



T.C.
KONYA TEKNİK ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ



2,4 VE 5 GHz FREKANSLARI İÇİN RF
YÜKSELTEÇ TASARIMINDA EMPEDANS
UYUMLAMANIN KARARLILIK VE BANT
GENİŞLİĞİNE ETKİSİNİN İNCELENMESİ

Muhammed ALAN

YÜKSEK LİSANS

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Eylül-2024
KONYA
Her Hakkı Saklıdır

TEZ KABUL VE ONAYI

Muhammed ALAN tarafından hazırlanan “**2,4 ve 5 GHz Frekansları İçin RF Yükselteç Tasarımında Empedans Uyumlamanın Kararlılık ve Bant Genişliğine Etkisinin İncelenmesi**” adlı tez çalışması 27/09/2024 tarihinde aşağıdaki jüri tarafından oy birliği / ~~oy çokluğu~~ ile Konya Teknik Üniversitesi Lisansüstü Eğitim Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı’nda YÜKSEK LİSANS TEZİ olarak kabul edilmiştir.

Jüri Üyeleri

Başkan

Prof. Dr. Levent SEYFİ
(Konya Teknik Üniversitesi)

Danışman

Prof. Dr. Ercan YALDIZ
(Konya Teknik Üniversitesi)

Üye

Dr. Öğr. Üyesi Yunus Emre ACAR
(Selçuk Üniversitesi)

İmza

.....

.....

.....

Yukarıdaki sonucu onaylarım.

Prof. Dr. Mevlüt UYAN
Enstitü Müdürü

TEZ BİLDİRİMİ

Bu tezdeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edildiğini ve tez yazım kurallarına uygun olarak hazırlanan bu çalışmada bana ait olmayan her türlü ifade ve bilginin kaynağına eksiksiz atıf yapıldığını bildiririm.

DECLARATION PAGE

I hereby declare that all information in this document has been obtained and presented in accordance with academic rules and ethical conduct. I also declare that, as required by these rules and conduct, I have fully cited and referenced all material and results that are not original to this work.

Muhammed ALAN

Tarih: 27.09.2024

ÖZET

YÜKSEK LİSANS TEZİ

2,4 ve 5 GHz FREKANSLARI İÇİN RF YÜKSELTEÇ TASARIMINDA EMPEDANS UYUMLAMANIN KARARLILIK ve BANT GENİŞLİĞİNE ETKİSİNİN İNCELENMESİ

Muhammed ALAN

**Konya Teknik Üniversitesi
Lisansüstü Eğitim Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı**

Danışman: Prof.Dr. Ercan YALDIZ

2024, 90 Sayfa

**Jüri
Prof. Dr. Ercan YALDIZ
Prof. Dr. Levent SEYFİ
Dr. Öğr. Üyesi Yunus Emre ACAR**

Düşük frekanslarda çalışan analog devreler admitans, empedans, gerilim ve akım gibi ölçülebilir büyüklükler ile ifade edilebilirken, RF/mikrodalga frekanslarda çalışan devreleri doğrudan bu değişkenlerle ölçmek mümkün değildir. Daha kolay ölçülebilen ve güç akışıyla ilgili olan gerilim yansıma ve iletim katsayıları gibi değişkenleri kullanmak daha elverişlidir. Bu çalışmada RF/mikrodalga için 2,4 ve 5 GHz merkez frekansı temel alınarak küçük sinyaller için A sınıfı bir yükselteç tasarlanmış ve simülasyonda incelenmiştir. Bunun için kolay erişilebilir olan ve AWR Design Environment yazılımında gerekli verileri bütünleşik halde bulunan BFP540 transistöründen yararlanılmıştır. Devrede bant genişliğinin yüksek olması için L-tipi uyumlama devreleri kullanılmıştır. Devrenin yüksek çalışma frekansından dolayı, giriş ve çıkış uyumlama devrelerinin toplu elemanlar yerine dağıtık elemanlarla tasarımı tercih edilmiştir. Saplamlar uyumlama devreleri için simetrik ve asimetrik, açık ve kısa-devre olarak tasarlanmışlardır. Sonra kendi aralarında bant genişliği bakımından tekrar incelenmişlerdir. Koşulsuz kararlılığı sağlamak ve bant genişliğini artırmak için negatif geribesleme ve çıkışta şönt direnç kullanma gibi kazanç düşürücü yöntemler de test edilmiştir. Uyumlama devreleri için iletim hatları ve saplamalar hesaplanırken Smith grafiğinden yararlanılmıştır. Birinci ve ikinci kesişim noktalarına ait çözümler ve tasarlanan saplama çeşitleri ile kendi aralarında kombinasyonlarının kullanımının etkileri, spektrumdaki bant genişliğine etkileri tekrar incelenmiştir. Devre sonra daha düşük collector akımı ile tasarlanmış, karşılaştırmaya dahil edilmiştir. Tasarım yapılırken üreticiden alınan saçılma (S) parametrelerinden yararlanılmış, bir hesaplama yazılımı oluşturularak yansıma katsayıları ve empedans/admitans değişkenleri hesaplatılmıştır. Bu değerler kullanılarak Smith grafiği yardımı ile iletim hatlarına eklenecek saplama konumları ve uzunlukları bulunmuş, ilgili yazılım ile yapılan simülasyon çalışmalarında bu değerler kullanılmıştır. İlgili yazılımla elde edilen tasarıma ait simülasyon sonuçları kazanç, kararlılık, gürültü figürü, bant genişliği ve uyumluluk bakımından incelenmiş ve sonuçlar arasındaki farklılıklar tartışılmıştır. Ayrıca, bu değişkenlerin hesabı, konuya yeni başlayan öğrenci ve araştırmacılara yararlı olması amacı ile bir örnek üzerinde açıklanmıştır.

Anahtar Kelimeler: Mikrodalga yükselteç, RF yükselteç, Empedans uyumlama, Kararlılık, L-tipi uyumlama devresi.

ABSTRACT

MS THESIS

INVESTIGATION OF THE EFFECT OF IMPEDANCE MATCHING ON STABILITY AND BANDWIDTH IN RF AMPLIFIER DESIGN FOR 2.4 AND 5 GHz FREQUENCIES

Muhammed ALAN

**Konya Technical University
Institute of Graduate Studies
Department of Electrical Electronics Engineering**

Advisor: Prof.Dr. Ercan YALDIZ

2024, 90 Pages

**Jury
Prof. Dr. Ercan YALDIZ
Prof. Dr. Levent SEYFİ
Assist. Prof. Dr. Yunus Emre ACAR**

While analog circuits operating at low frequencies can be expressed with measurable quantities such as admittance, impedance, voltage and current, it is not possible to measure circuits operating at RF/microwave frequencies directly with these variables. It is more convenient to use variables such as voltage reflection and transmission coefficients, which are easier to measure and related to power flow. In this study, a class A amplifier for small signals has been designed and examined in simulation based on the center frequency of 2.4 and 5 GHz for RF/microwave. For this purpose, the BFP540 transistor, which is easily accessible and has the necessary data integrated in the AWR Design Environment software, has been used. L-type matching circuits have been used in order to have a high bandwidth in the circuit. Due to the high operating frequency of the circuit, it has been preferred to design the input and output matching circuits with distributed elements instead of lumped elements. The stubs have been designed as symmetrical and asymmetrical, open and short-circuit for matching circuits. Then, they have been examined again in terms of bandwidth among themselves. Gain reduction methods such as using negative feedback and shunt resistance at the output have been also tested to provide unconditional stability and increase bandwidth. Smith chart has been used while calculating transmission lines and stubs for matching circuits. The effects of the solutions for the first and second intersection points and the designed stub types and their combinations among themselves, and their effects on the bandwidth in the spectrum have been re-examined. The circuit has been then designed with lower collector current and included in the comparison. While designing, scattering (S) parameters received from the manufacturer have been used, a calculation software has been implemented and reflection coefficients and impedance/admittance variables have been calculated. Using these values, the stub positions and lengths to be added to the transmission lines have been found with the help of the Smith chart, and these values have been used in the simulation studies conducted with the relevant software. The simulation results of the design obtained with the relevant software have been examined in terms of gain, stability, noise figure, bandwidth and compatibility, and the differences between the results have been discussed. In addition, the calculation of these variables has been explained on an example in order to be useful for students and researchers who are new to the subject.

Keywords: Microwave amplifier, RF amplifier, Impedance matching, Stability, L-type matching circuit

ÖNSÖZ

Çalışma konusunun belirlenmesinde ve çalışmanın hazırlanma sürecinin her aşamasında bilgilerini, tecrübelerini ve değerli zamanlarını esirgemeyerek bana her fırsatta yardımcı olan değerli hocam sayın Prof. Dr. Ercan YALDIZ'a teşekkürlerimi sunuyorum.

Muhammed ALAN
Konya-2024



İÇİNDEKİLER

ÖZET	i
ABSTRACT.....	ii
ÖNSÖZ	iii
İÇİNDEKİLER	iv
SİMGELER VE KISALTMALAR	vi
1. GİRİŞ	1
1.1. Yükselteçler	1
1.1.1. Kazanç	1
1.1.2. Bant genişliği	2
1.1.3. Verimlilik	2
1.1.4. Doğrusallık	2
1.1.5. Kararlılık	3
1.1.6. Gürültü	4
1.1.7. Empedans Uyumu	4
1.2. RF Yükselteç Tasarımında Bazı Önemli Hususlar	4
1.2.1. LNA için çok katlı PCB kullanımı	6
1.2.2. SMD bileşenlerin kullanımı	7
1.2.3. PCB tasarımında yüksek frekanslı sinyal gereksinimleri	7
1.2.4. LNA için empedans uyumlama devresi	8
2. KAYNAK ARAŞTIRMASI	9
3. MATERYAL VE YÖNTEM.....	15
3.1. Materyal	15
3.2. Yöntem.....	15
3.2.1. Transistör seçimi	17
3.2.2. Topoloji Seçimi	17
3.2.3. DC Analiz	19
3.2.4. Gürültü Figürü	19
3.2.5. Kararlılık	20
3.2.6. Doğrusallık	22
3.3. Mikrodalga ve RF Tasarımı	24
3.3.1. Yansıma Katsayıları	26
3.3.2. İki Kapılı Devreler için S Parametreleri	26
3.4. Güç Tanımlamaları	27
3.5. Empedans Uyumlama	30
3.5.1. Uyumlama devreleri	33
3.5.2. L tipi uyumlama devresi	33
3.5.3. Tek-saplamalı uyumlama	33
3.6. Kararlılığı artırma	36
3.7. Genişbant LNA Tasarımı	39

3.8. Tasarım Örneği	46
4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA.....	56
4.1. Kararlılık Testi.....	56
4.2. Empedans Uyumlama Uygulaması.....	57
4.3. Devrenin Koşulsuz Kararlı Hale Getirilmesi.....	61
4.4. Bant Genişliğinin Artırılması ve Gürültünün azaltılması	66
4.5. Bant Genişliği ve NF Karşılaştırması	72
5. SONUÇLAR VE ÖNERİLER	76
5.1. Sonuçlar	76
5.2. Öneriler	78
KAYNAKLAR	79
EKLER	83
EK-1 Yansıma, Empedans ve Admitans Hesabı Yapan Matlab Programı.....	83
EK-2 Uyumlama Devrelerini Hesaplamak İçin Kullanılan Smith Grafikleri.....	85

SİMGELER VE KISALTMALAR

Simgeler

D_p	: Dağılma faktörü (Dispersion factor)
G_L	: Yükten kazanç (Gain load)
g_m	: İletkenlik (Transconductance)
G_0	: Transistörün kazancı
G_S	: Kaynaktan kazanç (Gain source)
G_T	: Dönüştürücü kazancı (Transducer gain)
I	: Akım
K	: Rollet kararlılık faktörü (Rollet stability factor)
S	: Saçılma (Scattering)
V	: Gerilim
Y	: Admitans
Z	: Empedans
Γ	: Yansıma Katsayısı
Γ_{in}	: Girişte yansıma katsayısı
Γ_L	: Yükte yansıma katsayısı
Γ_S	: Kaynakta yansıma katsayısı
Γ_{out}	: Çıkışta yansıma katsayısı
μ	: Edwards-Sinsky kararlılık değişkenleri (Edwards-Sinsky stability variables)
ω	: Açısal frekans (Angular frequency)

Kısaltmalar

AC	: Alternatif akım (Alternating current)
AGC	: Otomatik kazanç kontrolü (Automatic gain control)
AM	: Genlik modülasyonu (Amplitude modulation)
BJT	: Bipolar eklem transistörü (Bipolar junction transistor)
dB	: Desibel
DC	: Doğru akım (Direct current)
DK	: Dielektrik sabiti (Dielectric constant)
FET	: Alan Etkili Transistör (Field effect transistor)
GaAs	: Galyum arsenid (Gallium-arsenide)

GHz	: Gigahertz
HEMT	: Yüksek elektron hareketli transistör (High-electron-mobility-transistor)
Hz	: Hertz
LNA	: Düşük gürültülü yükselteç (Low-noise amplifier)
mA	: Miliamper
MHz	: Megahertz
MOS	: Metal oksit transistör (Metal oxide transistor)
PA	: Güç yükselteci (Power amplifier)
PAE	: Katma güç verimliliği (Power-added efficiency)
PCB	: Baskılı devre kartı (Printed circuit board)
RF	: Radyo fekans (Radio frequency)
RFIC	: Radyo frekans entegre devre (Radio frequency integrated circuit)
SMD	: Yüzey montaj elemanı (Surface mount device)
TLIN	: İletim hattı (Transmission line)
TLOC	: Açık uçlu saplama (Open stub)
VSWR	: Duran Dalga Oranı (Voltage Standing Wave Ratio)

1. GİRİŞ

Kablosuz haberleşen cihazların sayıca çok fazla artması ve her alanda kullanılıyor olması aynı zamanda veri akış trafiğindeki önemli artış ve bant genişliklerinin günden güne yetersiz kalması, bu cihazların çalıştığı frekans bantlarının da yükselmesini beraberinde getirmektedir. Neredeyse her cihaz ile tümleşik gelen Wi-Fi modüllerinin 2,4 GHz'den 5 GHz'e geçmeye başlaması, 5G üzerine yapılan çalışmaların son hızla devam etmesi, eğlence amacı ile kullanılan telsiz cihazların haberleşme frekansının GHz seviyesine yükselmesi, mikrodalga bandında çalışan tasarımların önemini artırmıştır. Mikrodalga tasarımı süreçleri için geliştirilen araçların ve yazılımların gelişmesi ve yapılan çalışmaları hem hızlandırıp hem kolaylaştırması bu alanda yapılan çalışmaları da artırmaktadır.

Radyo frekansı (RF) ve Mikrodalga alandaki gelişmeleri ve teknolojileri takip etmenin kaçınılmaz olduğu gerçeğinden yola çıkarak, bu alana giriş yapmanın ilk adımı olarak küçük sinyaller için bir yükselteç tasarlamak ve bu süreçte gerekli olan bilgi birikimini elde etmek hedefi ile bu konu seçilmiştir. Literatürdeki birçok çalışmadan farklı olarak, tasarım süreci detaylı şekilde ele alınmıştır. Bu çalışma yapılırken, konuya ilgi duyan öğrenci ve araştırmacıların daha çabuk sonuçlar çıkarabilmesi için sayısal bir örnek de verilmiştir.

1.1. Yükselteçler

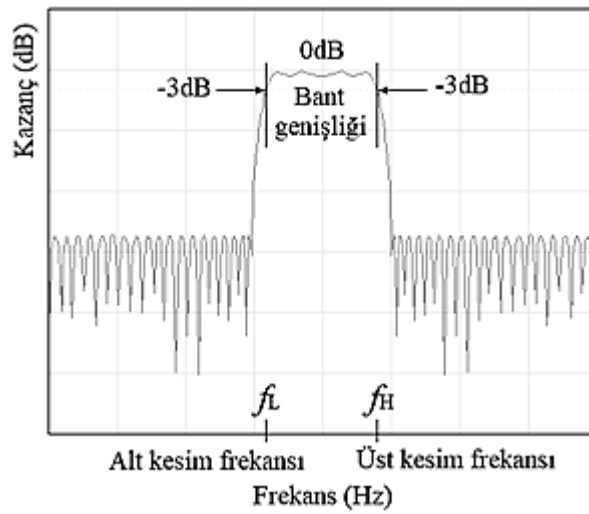
Yükselteçler güç kaynağından beslenerek ve girişine uygulanan elektronik işaretleri çıkışından yükselterek veren elektronik sistemlerdir. Sonuç olarak, bir yükselteç güç kaynağının çıkışını modüle eden bir eleman olarak kabul edilebilir. Uygulamaya uygun yükselteç seçimi için kazanç, bant genişliği, verimlilik ve gürültü gibi özellikler göz önünde bulundurulmalıdır.

1.1.1. Kazanç

Yükselteçlerin çıkışındaki işaretin girişindeki işarete oranı olarak tanımlanır ve G ile gösterilir. Girişteki işaretin çıkışta ne kadar yükseltildiğini ifade eden birimsiz bir katsayıdır. Genellikle kazançla beraber gürültü işaretleri de yükseltilir.

1.1.2. Bant genişliği

Bant genişliği yükseltecin aynı kazanç değerinde yükseltebileceği en düşük frekans değeri ve en yüksek frekans değeri arasındaki frekans bölgesidir. Kazanç değerinin -3 dB altına (yani yaklaşık yarı gücüne) inildiği nokta aynı kazanç değeri sayılır. Yukarıda sözü edilen sınır frekansları alt-kesim ve üst-kesim frekansları olarak adlandırılır. Şekil 1.1’de görülen orta bölgenin düz bir davranış göstermesi beklenir. Aksi takdirde doğrusallık bozulacaktır.



Şekil 1.1. Bant genişliği (Radartutorial, 2024).

1.1.3. Verimlilik

Verimlilik yükseltecin DC gerilim veya akımı ne oranda çıkış sinyaline dönüştürebildiğinin oranıdır. Elektronik malzemelerde kaybolan ısı ve tasarım tercihindan kaynaklanan bazı nedenler verimliliği çok etkiler. Bazen az gürültülü ve doğrusal bir davranış tercih edilirken bazen de verimlilik daha önemlidir, uygulamaya göre buna karar verilir.

1.1.4. Doğrusallık

Yükselteç girişinden uygulanan işaretin her frekans ve giriş seviyesinde aynı oranda yükseltilmesidir. Girişten uygulanan işaretin çıkışta şekil bozukluğuna da

uğramamasıdır. Genlik modülasyonu tabanlı uygulamalar ve ses uygulamalarında tercih edilir. Eğer işaret genlik modülasyonu veya genlik ve faz modülasyonunun kombinasyonu (SSB, TV-Video taşıyıcılar, QPSK, QAM, OFDM) ise doğrusal yükseltme gereklidir. Sürekli dalga, frekans ve faz modülasyonu gibi işaretler sabit zarflara (genliklere) sahiptirler ve bu yüzden, doğrusal yükseltme gerektirmezler (Rosu, 2022).

1.1.5. Kararlılık

Kararlılık salınımına karşı gösterilen bağışıklık şeklinde de ifade edilebilir. Yükselteç tasarımında çok dikkat edilmesi gereken bir konudur. S parametreleri, giriş uyumlama ve sonlandırma elemanları ile düzenlenebilir. Kararsızlık üç nedenden olabilir:

- Transistörün iç geribeslemesi,
- Transistörün etrafındaki dışsal geribesleme,
- Yükseltecin frekans bandı dışında çalışmasından dolayı olabilir.

Bazen salınım yapmadığı sanılan bir yükselteç farklı frekanslarda salınım yapıyor olabilir.

Pratikte, aktif bir cihazdaki içsel pozitif geribeslemeden kaynaklanan parazitik salınımlar, ya çalışma frekansına yakın (eğer cihaz potansiyel kararsızlığının etki alanları içerisindeyseler) ya da çalışma frekanslarından yeterince uzak bir frekanslarda ortaya çıkarlar (Grebennikov, 2004).

LNA tasarımında bir sonraki adım kararlılık analizi olmalıdır. LNA devre tasarımcısının hedefi koşulsuz kararlılıktır. Koşulsuz kararlılık, cihazın girişine veya çıkışına uygulanan her türlü yük için devre kararsız hale gelmeyecek ve salınım yapmayacak demektir. Kararsızlıklara temel olarak üç olgu neden olur: transistörün içsel geribeslemesi, harici devrenin neden olduğu transistör etrafındaki harici geribesleme veya çalışma bandı dışındaki frekanslardaki aşırı kazanç. Transistörün üreticisi tarafından sağlanan S parametreleri, LNA devresinin kararlılık analizine yardımcı olacaktır (Lucek ve Damen, 1999).

1.1.6. Gürültü

İstenen işaret dışındaki tüm işaretler gürültü olarak adlandırılır. RF yükselteçleri için işaret yükseltilmesinde gürültünün düşük olması önemli bir gereksinimdir. Yükselteç tasarlarken, kararlılık ve kazançla beraber düşük gürültü de hesaba katılmalıdır. Yüksek kazançlı ve aynı zamanda düşük gürültülü bir yükselteç tasarımı çok zorlayıcıdır.

1.1.7. Empedans Uyumu

Elektronik devrelerin giriş ve çıkış empedanslarının birbirine uygun olması gerekir. Bu konu yükselteçlerde daha da önemlidir, çünkü birçok değişken bundan etkilenebilir. Çıkış empedansının yüke uygun olmayışı güç kaybına hatta çıkış devresindeki malzemelerin arızalanmasına neden olabilir. Giriş devresinin uyumsuz olması, kazancın düşmesine veya yükseltecin aşırı sürülmesine neden olabilir. Giriş empedansının çok düşük olması, yükseltecin bant genişliğinin bile değişmesine neden olabilir.

Empedans uyumlama yüke en yüksek gücün aktarılması ve yükten dönen yansımaların en aza indirilmesini sağlar. Gerilim duran dalga oranı (voltage standing wave ratio, VSWR), iletim hattı ile yük empedansı arasındaki empedans farkından oluşan yansımaların önemli bir göstergesidir. Duran dalgaların oluşması, istenmeyen bir durumdur, güç kaybına neden olur.

1.2. RF Yükselteç Tasarımında Bazı Önemli Hususlar

RF yükselteçlerinin geniş bir uygulama alanı vardır. Kablosuz haberleşme, radar sistemleri, radyo-TV yayıncılığı, hücresel ve mobil ağlar ve uzaktan kontrol uygulamaları bunlardan bazılarıdır.

Doğrusal yükselteç tasarımı transistörlerin yüksek kazanç bölgesinde ön-gerilimlenmesini, giriş ve çıkış katlarında iyi bir güç aktarımı sağlanmasını gerektirir.

Giriş ve çıkış uyumlaması yükselteç tasarımı için birincil önemdedir. Bazen geniş bant ve kararlılık için geribesleme de gerekir. Küçük sinyalleri yükseltmek için, yüksek kazançlı ve düşük gürültülü RF transistörleri seçilmelidir. Vericilerdeki transistörler için ise verimliliği yüksek olan seçilmelidir.

Doğrusal yükselteç tasarımı için transistör karakteristikleri mümkün olduğunca akım-gerilim grafiğindeki orta bölgeye yakın olmalıdır. Distorsiyonu çok düşük tutmak için bu gereklidir.

Yüksek frekanslarda yüksek kazanç ve kararlılığı gerçekleştirmek daha zordur. Tasarım yaparken duruma göre gürültü-kazanç ve kararlılık arasında taviz vermek zorunda kalınabilir. Genelde giriş katında düşük gürültü daha önemli olduğu için kazançtan taviz verilir. Daha sonraki katlarda ise verimlilik ve kazanç ön plana çıkabilir. Ayrıca giriş çıkış empedans uyumu kararlılığı bozabilir. Geniş bant yükselteç tasarımı yapılırken bu işlemler daha da karmaşıklaşır.

Yükseltecin bant genişliği aktif bileşenlerin frekansa bağlı karakteristikleriyle belirlenir ve mikrodalga frekanslara çıkıldıkça, bu bileşenlerin parazitik kapasiteleri çok önemli hale gelir.

Yükselteçlerdeki temel topoloji, giriş uyumlama devresi, aktif bir eleman ve çıkış uyumlama devresidir. Bazen ek olarak kararlılık ve belli bir frekans bölgesinde düz bir kazanç eğrisi elde edilmesi için aktif elemana paralel olarak geribesleme kullanılır. Dar bantlı yükselteçlerde geribesleme nadiren gerekebilir.

Geniş bant yükselteç tasarımı, istenen bant genişlikleri üzerinde eşleşme sağlayan uyumlama devrelerinin sentezini gerektirir. Dar bant, geniş bant ve mikrodalga ayrımı yükselteç tasarımının çalışma frekansı verimliliğine bağlıdır. Genellikle yarım-oktav bant genişliğindeki mikrodalga yükselteçler geniş bant yükselteç kabul edilir.

Bir yükte reaktansın olması, enerji depolanması anlamına gelir ve bant genişliği sınırlanır. Genel bant genişliğini en üst düzeye çıkarmak için amaç, toplam enerji depolamasını minimize etmektir (Steer, 2022).

Mikrodalga frekanslardaki yükselteç tasarım sorunu, transistörün parazitik giriş ve çıkış kapasiteleridir. Maksimum güç transferi hesaplanırken bunlar ihmal edilmelidir. Dar bant tasarımlarda bu konu daha önemsizdir. Transistörün baskın reaktif parazitik özellikleri giriş ve çıkış kapasiteleridir, ama kollektör/dreyn ve base/geyt arası geribesleme kapasiteleri yüksek frekanslarda önemli hale gelir.

Ultra geniş bant yarım-oktavdan daha fazla bant genişliğine sahiptir. Ultra bant genişliği için iki yaklaşım kabul görür; ama ikisi de düşük verimli yükselteçlerdir. İlki dağıttık yükselteçtir. Çoklu oktav bant genişliği ile gerçekleştirilir. Transistörlerin parazitik kapasitelerinin içeriği yapay bir iletim hattı içindedir. Birden fazla çok katlı A sınıfı devre vardır ve %5 gibi düşük bir verimliliktedirler. Enstrümantasyonda kullanmaya yatkındırlar. İkincisi, çok yüksek geribeslemeli işlemsel yükselteçtir.

İşlemsel yükselteçte geribesleme yoksa kazanç çok yüksektir, ama bu frekansla değişir. Geniş bir bant aralığında düz bir kazanç için geribesleme kullanılır ve böylece kazancın çoğu gider, bu tip yükselteç çok verimsiz kullanılır ve mikrodalga transistörlerindeki kazanç çok düşüktür.

Güç kazancı hesabı için üç temel parametre vardır: Dönüştürücü güç kazancı, çalışma gücü kazancı ve mevcut güç kazancı olarak tanımlanabilirler. Kaynak, yük, giriş-çıkış yansıma katsayısı ve S-parametrelerine bağlıdır.

Mikrodalga yükselteç bant boyunca, düz bir kazanç, iyi bir verimlilik ve yarı oktavda iyi bir gürültü bağırlılığı ve kararlılık sergilemelidir. Mikrodalga frekanslarda giriş ve çıkış devrelerini aynı anda bilgisayarda optimize etmeye çalışmak oldukça karmaşıktır. Çünkü çıkıştan girişe geribesleme epey yüksektir. Birçok hedefe varmak ve birçok değişkeni ayarlamak optimizasyon sorununa neden olabilir. Sorun basitleştirilmeli ve soruna aşamalı olarak yaklaşılmalıdır. Mikrodalga yükselteçlerin bir başka çeşidi de RF entegre devreler (RFIC) ile olan diferansiyel yükselteçtir. Yükseltecin bant genişliği aktif bileşenlerin frekansa bağımlı iletkenliği ve parazitik özellikleri ile sınırlanmıştır. Frekansa bağımlı iletkenlik FET transistörlerde çok önemlidir. Girişindeki kontrol olayını gerçekleştiren gate kapasitesi kondansatör gibi davranır. Böylece FET transistörün iletkenliği frekansın tersine değişir. Kılıfsız transistörlerde cihazın parazitik özellikleri kapasiteleridir. Bunlar endüktanslar ve iletim hatları etkileri ile kapalı elemanlar olarak çoğaltılmışlardır. Collector/drain ve base/gate arası geribesleme kondansatörleri yüksek frekanslarda önemli hale gelir. Geribesleme kondansatörü görmezden gelinirse ve sadece transistörün girişi düşünülürse, bazen transistörün girişi seri olarak bir kondansatör ve bazen de paralel olarak bir direnç etkisi gösterir; RF işaretlerini sönümler.

Negatif görüntülü (imajlı) tasarım yöntemi başarılı bir geniş bant yükselteç tasarım yöntemidir. Bu da transistörün giriş ve çıkış kapasitelerine paralel olarak varsayımsal negatif kondansatör (endüktif reaktansı frekans ile düşen bir devre bileşeni) yerleştirilmesiyle olur.

1.2.1. LNA için çok katlı PCB kullanımı

Düşük gürültülü yükselteç (low noise amplifier, LNA) için kullanılan baskılı devre kartı (printed circuit board, PCB), RF bantlarında çalışmaktadır. Bundan dolayı örneğin, 4 katlı bir PCB ile çalışılıyorsa sabit bir toprak hattı düzlemi bırakılmalıdır. Bir kat besleme için, diğer iki kat toprak hattı için ve iki toprak düzlemi arasındaki kat RF

bağlantısı için kullanılmalıdır. Bu düzenleme, LNA devresinin dağıtılmış empedansını, kapasitansını ve rezistansını düşürecektir.

1.2.2. SMD bileşenlerin kullanımı

4 katlı PCB yönetilebilir bir mikroşerit hat yapabilme imkanı sağlar. Dielektrik sabiti, PCB kalınlığı ve benzeri malzeme verileri bilinmelidir. Bu bilgiler ışığında kolayca istenilen empedans değerinde mikroşerit hatlar oluşturulabilecektir.

Devrenin gerçekleştirilmesinde yüzey montajlı eleman (SMD) bileşenler kullanmak, daha kısa PCB yolları kullanılmasına ve daha küçük bir alan kullanılmasına imkan sağlayacaktır. Bu yöntemin tercih edilmesi RF devrelerde parazitik rezistans ve kapasitansı daha düşük değerlere çekecektir. SMD bileşenler ve GND hattı arasında kısa tutmak empedansın düşük olmasına yardımcı olacaktır, bu bağlantıların birkaç “via” kullanılarak yapılması daha iyidir.

Diğer bir dikkat edilecek husus ise test esnasındaki sıcaklık değerleridir. SMD bileşenlerin bu sıcaklık değerlerinde çalışabiliyor olması gerekir. Koaksiyel konnektör tipleri BNC, N, TNC vb. farklı frekans aralıklarında kullanılan konnektörlerdir. RF bağlantıları içinde SMA konnektörler sıklıkla tercih edilir.

LNA için PCB malzeme özelliklerini göz önünde bulundurmak işi kolaylaştırır. Bu değişkenler dağılma faktörü (D_p), dielektrik sabiti (ϵ_r), ısıl geçirgenlik, ϵ_r değerinin ısıl katsayısı ve alt tabaka kalınlık toleransıdır.

Örneğin iyi bir empedans uyumu için PCB'nin ϵ_r değeri doğru bir şekilde seçilmelidir. Dielektrik sabiti, sıcaklık katsayısını; bu da gürültüyü ve empedansı etkiler.

1.2.3. PCB tasarımında yüksek frekanslı sinyal gereksinimleri

Yükselteç devresindeki kablolama, RF işaretleri döngü oluşturmayacak şekilde olmalıdır. Eğer buna imkan yoksa, kablolama mümkün olduğunca kısa yapılmalıdır. Çapraz-karışma (Crosstalk) olayına dikkat edilmelidir. Yakındaki elektromanyetik alanların yaydığı girişim, RF işaretini gürültü olarak etkileyecektir.

Bunu önlemenin çeşitli yöntemleri vardır. Örneğin, bir katmandaki paralel hatlar, farklı katmanda birbirine dik olarak oluşturabilir ve daha küçük via'lar kullanabilir. Bunu yapmak hem hızı artırır hem de veri hatalarını azaltır. Bileşenlerin bacakları arasındaki

baęlantı mümkün olduęunca kısa tutulmalıdır. RF hatları taşıyan kabloları uzatmaktan kaçınılmalıdır.

1.2.4. LNA için empedans uyumlama devresi

Empedans uyumlama devresi dirençler, kondansatörler ve bobinler gibi toplu elemanlar veya mikroşerit gibi dağıtık elemanlar ile yapılır. Empedans uyumlamaya çalışmak optimum gürültü baęışıklığı sağlar. Bakır kalınlığı ve iletken genişliği gibi PCB toleransları bu tür devreleri etkiler. Eęer PCB üretiminden kaynaklı hatalar oluşursa bu yapılan devreyi de etkiler. Daha ince yollar, empedansı kalın yollardan daha fazla etkiler.



2. KAYNAK ARAŞTIRMASI

Tafriyana ve arkadaşları (2019), 2,4 GHz merkez frekansında ve 84 MHz bant genişliğine sahip bir LNA tasarlamışlardır. Tasarımda BFP720 BJT transistörünü ortak emitter topolojisi ile kullanmışlardır. Smith grafiği ile empedans uyumlama yapmışlardır. NF (*noise figure*) ve kazancı ayarlamaya çalışmışlar, S parametrelerini ayarlamışlar, harmonik dengeyi ölçmüşler, bu ölçümleri yaparken 2,352 GHz, 2,4 GHz ve 2,442 GHz frekanslarında denemeler yapmışlardır.

Zhou ve arkadaşları (2022), 65 nm CMOS teknolojisiyle yaptıkları çalışmada doğrusallığı bozabilecek faktörleri analiz etmişlerdir. Çalışmada NC (*noise-cancelling*) – LNA’lar için bir LO (*linearity optimization*) tekniği sunmuşlardır. Bu yöntemi kullanarak giriş empedansını etkilemeden ileri beslemeli bir LO parçası tarafından IIP3 (*input 3rd order intercept point*) geliştirebilmişlerdir. CG (*common gate*) NC- LNA tekniklerine genel bir bakış yapmışlar ve doğrusallık analizini, önerilen LO tekniği ile ve ardından LNA’nın sırasıyla giriş uyumu, kazancı, gürültüsü, doğrusallık ve kararlılık analizini açıklamış ve deneysel sonuçlarla karşılaştırmışlardır. NC- LNA’larda doğrusal olmama durumlarının kökenini ve mekanizmasını ortaya çıkarmak için bir LO tekniği önermişlerdir. NC- LNA’larda GM-boost teknikleriyle birlikte LO tekniğinin kullanımını araştırmışlar, ölçüm sonuçlarının önerilen LNA’nın genişbant, düşük NF ve iyi bir doğrusallık gösterdiğini rapor etmişlerdir.

Thakur ve Chatterjee (2021), 900 MHz’lik ESD (*electro static discharge*) korumalı ve 0,9 dB’lik bir LNA geliştirmişlerdir. Oldukça düşük güçte 1 dB altında NF değere sahip bir LNA elde etmek için, doğal düşük gürültülü şönt geribeslemeli LNA ile bobin dejenerasyonlu dar bant LNA’nın Q değerinden yararlanma tekniğini birleştirmişlerdir. 1dB NF altı giriş uyumlamasında sadece gerçek giriş kapasitansı kullanıldığından, giriş uyumlamasının önemsiz olmadığından bahsetmişlerdir. Ek şönt kapasitansının ωt değerini düşürdüğünden ve bu nedenle genel performansında düşeceğinden söz etmişlerdir. Giriş uyumlamasının yarı- kaskod bir yapı ile sağlanacağını bildirmişlerdir. Yaptıkları karşılaştırmalarda optimize edilmiş şönt geribeslemeli ayarlanmış LNA’nın en düşük aktif alanlı ve en az pasif elemanlı ve en düşük NF değerine sahip olduğunu paylaşmışlardır. 900 MHz’lik bir LNA’nın, normalde genişbantlı bir şönt geribesleme yükseltecini sabit bir frekansla eşleştirerek geliştirilmesi konusunu gündeme getirmişlerdir. Önerdikleri LNA’nın analizinin, doğası

gereği ayarlanmış bobin dejenerasyonlu LNA ve geniş bantlı şönt geribeslemeli LNA'dan daha yüksek performanslı olduğunu göstermişlerdir. Bu tekniği ayrıca ayarlı bir gürültü önleyici LNA geliştirmek için kullanmışlardır. ESD koruma devreleri, sabit g_m bias devreleri, kapsamlı paket ve tel bağlı simülasyonların sağlam bir performans gösterdiğini ve ayrı bir ayara gereksinim duymadığını bildirmişlerdir.

Khan ve Wahab (2011), yaptıkları çalışmada, 24 GHz için tamamen tümleşik 0,13 μm CMOS işlemini raporlamaktadırlar. LNA'yı iyi bir doğrusalık elde etmek için A sınıfı kaskod bir yapıda tasarlamışlardır. Giriş ve çıkış uyumlamalarını mikroşerit hat parçalarıyla dağıtık olarak gerçekleştirmişlerdir. 2 V güç kaynağından %30 verimle 12,5 dB kazanç sağladıklarını rapor etmişlerdir. Devreyi Cadence Spektre RF simülatör ile simüle etmişlerdir.

Aksoyak ve arkadaşları (2022) D bandında çalışan bir LNA tasarımı yapmışlardır. Gerçekleştirdikleri bu LNA, daha önce bildirilen silisyum tabanlı D bandı LNA'lardan daha iyi performans göstermiştir. LNA'nın, FoM (*figure of merit*) değeri ve dizi uygulamaları bakımından uygun bulunduğu bahsetmişlerdir. Bu tasarımda çekirdek yerleşimini ve ara bağlantıları daha uygun empedans davranışı ve parazitik elemanları da dikkate alarak optimize etmişlerdir. LNA çekirdek tasarımındaki ana unsurun cihaz ara bağlantılarındaki kayıpları en aza indirmek olduğunu vurgulamışlardır. Bu nedenle geniş metal yollar ve büyük "via" dizileri kullanarak ohmik kayıpları azaltmışlardır. Ek olarak, giriş ve çıkış terminalleri arasındaki parazitik kuplajı azaltmak için merdiven tabanlı bileşen yerleşim düzeni kullanmışlardır.

Gao ve arkadaşları (2015), tarafından 90 nm CMOS teknolojisi ile L bandında yüksek doğrusalıklı diferansiyel LNA yükselteç tasarlanmışlardır. Üçüncü dereceden kesişme noktasını (IP3) en üst düzeye çıkarmak ve aynı zamanda, üçüncü dereceden intermodülasyon distorsiyonunu IMD3 (third order intermodulation distortion) geniş bir giriş gücünde en aza indirmek için geniş bir türev süperpozisyon tekniği önermişlerdir. Alıcı girişindeki olası güçlü girişim veya engelleyici nedeniyle, LNA'nın yüksek intermodülasyon ürünlerini düşük seviyede tutmak için yüksek doğruluk gerekliliğini bildirmişlerdir. Yani intermodülasyon ürünlerini alıcı gürültü tabanının altında tutmak için yüksek sahte serbest dinamik aralığı elde etmek gerektiğini bildirmişmişlerdir. Geleneksel LNA doğrusallaştırma yöntemlerinin, temel olarak IP3'ü iyileştirmeye odaklandığından söz etmişlerdir. Yeni bir teknikle CMOS, LNA'nın büyük işaret doğruluğunun geliştirilmesi önermişlerdir. Tek başına IIP3'ü yükseltmeyen fakat aynı

zamanda geniş bir giriş gücünde kazanç ve NF'den ödün vermeden iyi bir IMD3 performansının da sürdürülmesi gerektiğini bildirmişlerdir.

Pan ve arkadaşları (2017), bu çalışmada düşük güçlü bobinsiz bir geniş bant diferansiyel LNA sunmuşlardır. Düşük güçlü tasarımda iletkenlik g_m parametre değerini artırmak için çapraz bağlı push-pull bir yapı kullanmışlardır. NF değerini azaltmak için bu teknolojiye kısmi gürültü giderme mekanizmasının varlığından bildirmişlerdir. Bant genişliğini artırma ve akım sürme için bir kaskod transistör eklemişlerdir. Güç kısıtlaması altında, ölçekleme ve öngerilimleme optimizasyonu önermektedirler. LNA'yı 15 nm CMOS işlemi ile gelecekte düşük güçlü sistemlere entegre edilecek şekilde gerçekleştirmişlerdir.

Cheng ve arkadaşları (2022), düşük güçlü alt GHz-altı geniş bant LNA çalışmalarında, 90 nm CMOS teknolojisinden yararlanmışlardır. Ultra düşük güçlü geniş bant diferansiyel SFBCG (*shunt- feedback common gate*) LNA tasarlamış ve üretmişlerdir. Önerilen LNA'nın, akımı yeniden kullanan bir güç uyumlamanın dayattığı katı g_m kısıtlamasını hafifletmek için yardımcı yükselteçlere ihtiyaç duymadan kullandığını bildirmişlerdir.

Chung ve arkadaşları (2015), geniş bant CMOS gürültü-önlemeli düşük-gürültülü yüksek doğruluklu LNA tasarlamışlardır. Gürültü önlemeli LNA'nın geniş bant empedans uyumlamalı NF için iyi bir seçenek olduğunu söylemişlerdir. Bu LNA'nın ilk kat transistörlerinin negatif geribesleme kullanarak uyarıldığı termal gürültü ve doğrusal olmayan harmonik distorsiyonu önlemesinden söz etmişlerdir. Bununla beraber asıl doğrusal olmayan eleman olan bir ek yükselteç tarafından üretilen distorsiyonu ortadan kaldırmanın zorluğuna dikkat çekmişlerdir. Bu çalışma ile IMD2 (second order intermodulation distortion) ve IMD3'ün tüm katlarda önlenmesi için yeni bir yapı önermişlerdir. Eşlenik CMOS paralel push-pull yapı kullanılarak IMD2'nin önlenilebileceğini açıklamışlardır. Modifiye edilmiş gürültü önleme devresinin IMD3'ü uygun bir şekilde bastırdığını bildirmişlerdir. LNA'yı devre kolaylığı için tek-uçlu giriş ve çıkışlı yapmışlardır. Önerdikleri LNA ile içsel önleme tekniğinin uyumlaması ile, düşük NF ve yüksek IIP3 performansını, kazancı ve geniş bant giriş uyumluluğunu kötüleştirmeden başarmışlardır.

Chung ve arkadaşları (2015), IM3 içsel harmonik ve gürültü önlemeli geniş bant diferansiyel LNA çalışması yapmışlardır. Rezistif geribesleme ve g_m kontrolü ile LNA'nın IM3 gürültüsünü aynı anda önleyebilmişlerdir.

Yang ve arkadaşları (2005), çalışmalarında LNA'yı ayarlamak için çoklu haberleşme sistemlerini destekleyen empedans bant genişliği genişletilmesi tekniğini sunmuşlardır. Transistörün emitter bacağına CMRC (*compact microstrip resonant cell*) eklenerek uygun giriş çıkış uyumlaması ile önerilen LNA'nın empedans bant genişliği % 95'e kadar artırılabilirdiğini söylemişlerdir. LNA'nın yüksek kazanç ve düşük gürültü performansını çalışma bandı boyunca sürdürebileceğini bildirmişlerdir.

Joshi ve arkadaşları (2020), çalışmalarında 5 - 6 GHz frekans bölgesinde kazanç, NF ve stabilite faktörünün değişik transistör konfigürasyonları ile optimizasyonlarını açıklamışlardır. Tasarım optimizasyonunu, simülasyondaki standart BJT ve MOSFET dosyaları ile yapmışlardır. Temel bir LNA, giriş empedans uyumlama devresi, yükselteç katı ve çıkış empedans uyumlama devresinden oluşur. Ayrıca giriş ve çıkış empedans uyumlama devrelerinin aynı topolojisini ele almışlardır. Bahsi geçen metriklerin analizini frekans spektrumu üzerinden gerçekleştirmişlerdir. S parametresi değerine bağımlı olan kazanç fonksiyonunu simülasyon denetleyicisi ile hesaplamışlardır. Benzer şekilde çeşitli LNA konfigürasyonlarının stabilite faktörü ve NF'sini simülasyon yazılımı ile hesaplanmışlardır. Bu çalışmada npn BJT LNA (tek katlı), npn BJT ve NMOS kaskod LNA, npn BJT ve CMOS kaskod LNA konfigürasyonlarının performans analizlerini açıklamışlardır.

Ouerghemmi ve arkadaşları (2021), çift aşamalı LNA bloğu tasarımı için karşılaştırmalı bir çalışma sunmaktadır. Anten girişini yükseltme ve alıcının hassasiyetini artırma amaçlı tasarım BJT kullanımına dayanmaktadır. WuRx (*wakeup receiver*), için esas düşünceleri hassasiyeti artırmak ve enerji tüketimini düşürmektir. WuRx sürekli açık konumda olacağından LNA tasarımı için daha çok güç tüketimi üzerine odaklanmışlardır. Simülasyonda ADS programından, BFP640 ve BFP405 transistörlerinden yararlanmışlardır.

Park ve Kwon (2021), çalışmalarında, düşük güçlü ve düşük voltajlı, IoT uygulamaları için 2,4 GHz bir BLE (*Bluetooth low energy*) alıcı tasarlamışlardır. Önerilen karesel LNA'yı aktif tip PPF (*poly - phase filter*) mimarisi ile kullanarak kesin karesel işaretler üretmişlerdir.

Zailer ve Belostotski (2020) çalışmalarında, geniş bant gürültü ve güç uyumlu kaynak dejenerasyonlu kaskod LNA için yeni bir yöntem sunmuştur. Bu yöntemi, LNA gürültü faktörü ile arasındaki farkı aynı anda en aza indiren transistör boyutunu ve polarizasyonunu seçmek için kullanmışlardır. En az gürültü faktörünün yanı sıra bu farkın frekansa olan duyarlılığını azaltmışlardır.

Kim ve arkadaşları (2021) çalışmalarında, giriş katı otomatik base akımı engelleyicili yanal pnp kullanan düşük gürültülü kıyıcı yükselteci CMOS yapıda tasarlamışlardır. BJT'li giriş katının empedansını yükseltmek için otomatik base akımı engelleme devresini 10 bitlik dijital-analog çevirici ve başarılı ortalama kaydedici mantığı kullanarak uygulamışlardır.

Lamers ve arkadaşları (2017) çalışmalarında, orijinal tasarım yönteminin sadece merkez frekansta analiz ettiği kararlılığı, doğrulama amacıyla “Smith Tube” kullanan tasarım yöntemi ile karşılaştırmışlardır. Karşılaştırılan tasarım için ADS simülasyon yazılımında yerleşik npn-BJT modeli kullanılmıştır.

Belen (2021) çalışmalarında, WLAN uygulamaları için ortak emitter'li düşük gürültülü BJT yükselteç tasarlamış ve gerçekleştirmiştir. Tasarımda AWR office programından yararlanmış ve Infineon firmasına ait BFP720 transistörünü tercih etmiştir. Devrenin kazancı yaklaşık 13 dB ölçülmüştür; bant genişliği 250 MHz'dir. Devre 3,3 V besleme gerilimi altında 36,3 mW güç harcadığı ve 5,6 GHz merkez frekansında NF 1,87 dB ölçüldüğü rapor edilmiştir.

Sharma ve arkadaşları (2017) çalışmalarında, mikroşerit yama anteni için toplu elemanlar ve dağıtık elemanların tüm tasarım eşitliklerini de içeren empedans uyumlama yöntemleri üzerine çalışmalarda bulunmuşlardır. Darbant, genişbant, çeyrek dalga boyu dönüştürücü, saplamalar ve toplu elemanlar hususlarını ayrıntılı olarak tartışmışlardır. Farklı geometrilerdeki giriş empedanslarını hesaplama tekniklerini de tartışmışlardır.

Sattar ve Zulkifli (2017) çalışmalarında, 2,4 ve 5,2 GHz frekanslarında eşzamanlı çift bant CMOS LNA tasarlamışlardır. Tasarımda kaskod ortak kaynak topolojisi ve kaynak dejenerasyonu tekniği kullanılmıştır. İki adet bant geçiren filtreyi seri bağlayarak çıkış empedansını aynı anda çift bant için uyumlamışlardır. 2,4 ve 5,2 GHz için sırası ile giriş yansıma katsayıları $-16,8$ dB ve $-19,4$ dB, ileri yön kazancı 19,3 dB ve 17,5 dB, NF 3,2 dB ve 3,3 dB'dir. LNA 1,2 V besleme geriliminde 2,4 mW güç harcadığını bildirmişlerdir.

El Bakkali ve arkadaşları (2019) çalışmalarında, 5,2 GHz frekansı için WLAN uygulamaları için LNA tasarlamışlardır. ADS programında ATF21xx serisi GaAs FET model dosyasından yararlanmışlardır. Yansıma katsayıları -17 dB ve ileri yön kazancı $11,3$ dB çıkmıştır. Bu tek katlı LNA'da NF değerinin $0,78$ dB olduğunu rapor etmişlerdir.

Abdelmonem ve arkadaşları (2022) çalışmalarında, 1.8 GHz merkez frekansında, 800 MHz bantgenişliğinde radar uygulamaları için genişbant bir LNA tasarlamışlardır. Kompanze edilmiş uyumlama tekniği üzerine kurulan bu LNA, yüksek kararlılıkta kazanç ve düşük gürültü amaçlanarak ADS design programında BFU730F transistörü ile A sınıfı olarak tasarlanmıştır. $1,4$ ve $2,2$ GHz aralığında NF $0,74$ ve $0,84$ dB, kazanç ise $17,9$ ve $20,4$ dB aralığında olduğu; $2,25$ V besleme gerilimi altında collector akımının $10,1$ mA hesaplandığı bildirilmiştir.

Huang ve arkadaşları (2008) çalışmalarında, SiGe ve BiCMOS teknolojisi kullanarak $3,35$ mm tabanlı UWB LNA tasarlamışlardır. Kazanç ve NF değerini optimize etmek için dirençli geribesleme topolojisini devreye uyarlamışlardır. Giriş empedansını uyumlamak ve grup gecikmesini düşürmek için tabandaki endüktanstan yararlanılmıştır. Simülasyon sonuçlarına göre, $6,3$ mW güç harcaması ile $3,1$ GHz'den $10,6$ GHz'e kadar tüm bant boyunca $1,9$ dB fark ile $12,5$ dB kazanca ulaşılmıştır. LNA, 5 ps'den daha az grup gecikmesi sergilemiş ve tüm bant boyunca $3,85$ dB'den daha küçük NF sergilemiştir. Genişbant yükselteç, tek katlı olarak ortak emitter'li ve geribesleme yolunda direnç ve bobinli olarak tasarlanmıştır. Tasarımda doğrusallığın da göz ardı edilmediği ve geribesleme kullanımı sayesinde koşulsuz kararlılığa ulaşıldığı bildirilmiştir.

3. MATERYAL VE YÖNTEM

3.1. Materyal

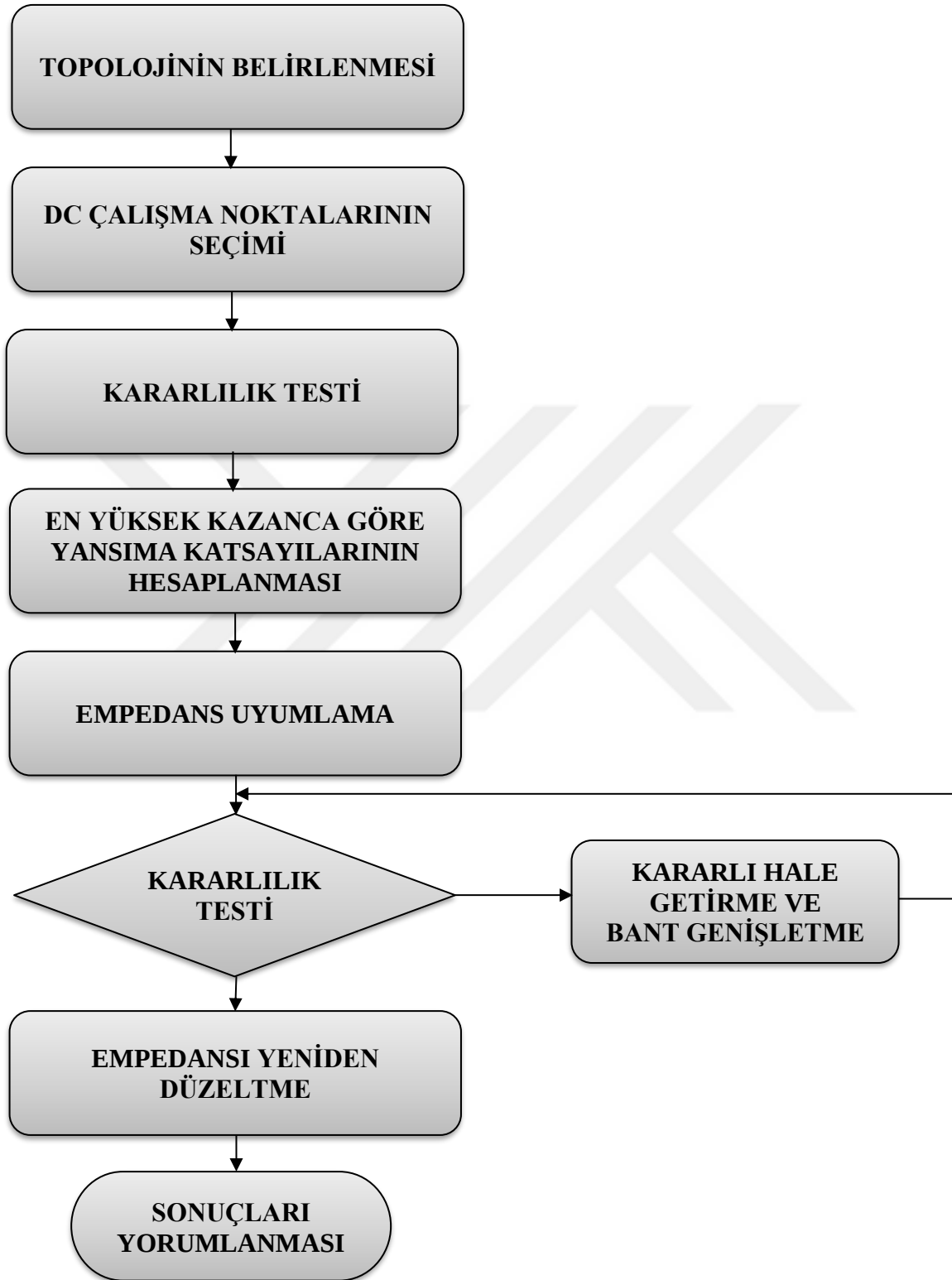
Bu tez çalışmasında, LNA tasarımı için AWR Design Environment yazılımından yararlanılmıştır. Söz konusu yazılım, Cadence şirketi tarafından üretilen RF/mikrodalga ürün geliştirme platformu olup, mühendisler için üretime hazır elektromanyetik (EM)/termal analizlerle birleştirilmiş gelişmiş yüksek frekanslı devre ve sistemler için yüksek verimlilik ve hassasiyette tasarım ve simülasyon olanağı sunar. Cep telefonları, çağrı cihazları, kablosuz ağlar, uydu iletişimleri, radar sistemleri ve yüksek hızlı veri bağlantıları gibi RF elektronik ürünler tasarımı için entegre bir tasarım ortamı sağlar.

Cadence AWR Microwave Office, şematik çizim tasarımı, frekans domen ve zaman domen devre simülasyonu ve EM alan simülasyonu gibi tasarım sürecinin her adımını destekler ve mühendislerin araçları değiştirmeden bir RF tasarımını tam olarak karakterize etmesine ve optimize etmesine olanak tanır.

Hesaplama ve mühendislik yazılımı olan Matlab ile karmaşık formüller ve fazla sayıda veri ile işlem yapmak hem hızlı ve kolay hem de hatasız hesaplama fırsatı sunmaktadır. Hazırlanan hesaplama yazılım ile süreç hızlandırılmıştır.

3.2. Yöntem

Tezin amacına ulaşmak için Şekil 3.1’de verilen yükselteç tasarım aşamaları izlenmiştir. Ticari olarak bulunan ve geniş bir frekans bandında çalışan düşük gürültülü bir transistör seçilmiştir. Daha sonra Şekil 3.1’deki prosedüre uygun bir topoloji seçilip, bu topolojiye uygun DC çalışma noktaları belirlenmiştir. Bu çalışma noktaları temel alınarak kararlılık testi uygulanmıştır. Daha sonra S parametreleri kullanılarak en yüksek kazançta göre yansıma katsayıları hesaplanmış ve Smith grafiği yardımı ile empedans uyumlama devresi için elektriksel uzunluklar bulunmuştur. Devrenin uyumlu hale getirilmesinden sonra tekrar kararlılık testi uygulanmıştır. Devre koşulsuz kararlı duruma geçmedi ise koşulsuz kararlı hale getirilmiş ve kayan empedans düzeltilmiştir. Yapılan her işlemten sonra devrenin frekans-kazanç eğrileri incelenmiştir. Daha sonra bant genişletme teknikleri uygulanmış ve sonuçlar değerlendirilmiştir.



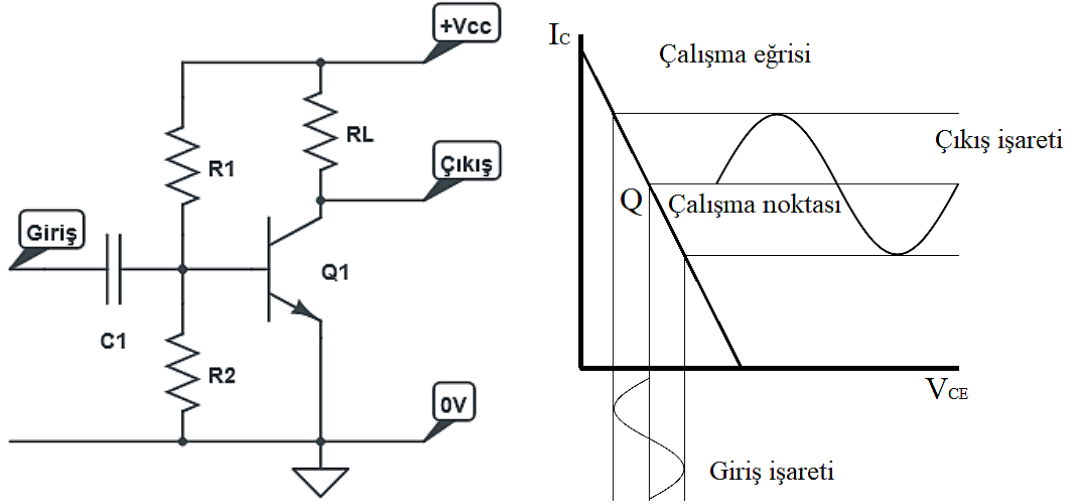
Şekil 3.1. Yükselteç tasarım aşamaları

3.2.1. Transistör seçimi

Başarılı bir LNA tasarımı, yüksek kazanç, düşük gürültü, iyi giriş-çıkış uyumluluğu ve mümkün olan en düşük akım çekimi şartlarında kararlı olması gibi koşulları aynı anda sağlamayı gerektirir. Transistör seçerken gerekli özenin gösterilmesi bu koşulların birçoğunun karşılanmasını kolaylaştırır. Bu isterleri karşılayabilen ve biraz da aşan aktif eleman seçimi iyi bir başlangıç noktasıdır. LNA tasarımı için BJT (*Bipolar Junction Transistor*) dahil ama sadece bununla sınırlı olmayan MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) ve HEMT (*High Electron Mobility Transistor*) gibi birçok uygun aktif malzemeler vardır (Ouerghemmi ve ark., 2021). MOSFET çıkışları giriş akımı yerine giriş gerilimi ile kontrol edildiğinden daha düşük güç harcarlar. Fakat BJT'ler kadar doğrusal değildirler. BJT'ler ise aynı fiziksel ölçüdeki MOSFET'lere göre daha hızlı ve giriş kapasiteleri daha düşüktür, üstelik daha ucuzdurlar. BJT transistörler düşük gürültülü devre tasarımı için daha avantajlıdır çünkü, MOS (*metal-oxide-semiconductor*) transistörlere göre daha az gürültülüdürler. (Kim ve ark., 2021). Ayrıca daha yüksek kazanç oranı sağladıklarından daha az kat kullanılabilir ve her katın sisteme eklediği gürültü de azaltılmış olur. Daha yüksek çıkış gücü ve daha düşük empedans değerine de sahiptirler. BJT'ler, MOSFET'lere göre bias gerilimine bağlı olmadıkları gibi daha doğrusal kazanç sağlarlar.

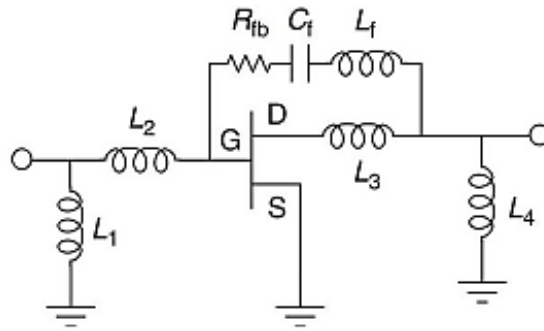
3.2.2. Topoloji Seçimi

A sınıfı yükselteçler özellikle doğrusal davranışları nedeniyle tercih edilmektedirler. Küçük sinyal yükselteci şeklinde öngerilimlenirler ve neredeyse giriş ve çıkış işaretleri arasında hemen hemen hiç bozulma görülmez. Girişlerinde herhangi bir işaret olsun veya olmasın sürekli olarak öngerilimlenirler ve çıkışta yük olsun veya olmasın transistor üzerinden sürekli bir akım akar, bu yüzden verim düşüktür. Eğer doğrusallık ön planda ve verimlilik çok önemli değil ise A sınıfı tercih nedenidir. Şekil 3.2'de görüldüğü gibi, devrenin ortak emitter'li olması giriş ve çıkış arasında 180° faz farkına neden olur. Yani giriş işareti ve çıkış işareti birbirine göre ters yönlüdür. Giriş işareti en düşük değerinde iken çıkış işareti en yüksek değerindedir. Giriş işareti en yüksek değerinde iken çıkış işareti en düşük değerindedir. İletim açısı A sınıfı yükselteçler için 360° 'dir. Bunun anlamı, transistörün işaretin tamamını çıkışta bir bütün olarak verebilmesidir.



Şekil 3.2. Ortak emitter'li A sınıfı yükselteç (solda) ve grafiği (sağda) (Electronics Tutorials, 2022)

Bir RLC devresinden oluşan genel bir geribesleme konfigürasyonu Şekil 3.3'te gösterilmektedir. Geribesleme döngüsü elemanları kazancı ve bant genişliğini kontrol eder, geribesleme direnci R_{fb} kazancı kontrol eder ve L_f frekans aralığını daha yüksek frekanslara genişletir. L_1 'den L_4 'e kadar olan bobinler yükseltecin bant genişliği performansını ayarlar. C_f kondansatörünün birincil işlevi, gate ve drain terminallerine uygulanan besleme gerilimleri arasında bir DC bloğu sağlamaktır. Geribesleme yapılandırması bant genişliğini ve doğrusallığı artırır, distorsiyonu azaltır ve süreç değişimlerine karşı tasarımı daha az duyarlı hale getirir (Bahl, 2009).



Şekil 3.3. Geribeslemeli yükselteç

3.2.3. DC Analiz

Devrenin DC analizi yapılırken kondansatörler açık devre, bobinler ise kısa devre olarak kabul edilir ve buna göre hesaplamalar yönlendirilir. İyi bir A sınıfı gibi yükseltici gerçeklemek için Q çalışma noktası tam ortada olacak şekilde ayarlanır. Ama çıkışın besleme gerilimine göre çok düşük olduğu durumlarda, çalışma noktasının tam ortada olması bir gereklilik değildir.

3.2.4. Gürültü Figürü

İki port doğrusal olduğunda bile, tüm spektral bileşenlerin eşit kazanç (veya zayıflama) ve gecikmeyle iletilmemesi nedeniyle çıkış dalga biçimi girişten farklı olacaktır. İki bağlantı noktasının dikkatli tasarımıyla veya giriş dalga biçiminin bant genişliğinin sınırlandırılmasıyla bu tür bozulmalar büyük ölçüde önlenabilir. Ancak iki portta üretilen gürültü de çıkış sinyalinin dalga biçimini değiştirebilir. Doğrusal pasif iki bağlantı noktasında gürültü yalnızca iki bağlantı noktasındaki kayıplardan kaynaklanır. Termodinamik değerlendirmeler, bu tür kayıpların gürültü denilen rastgele değişikliklerle sonuçlandığını göstermektedir. İki portta transistörler gibi aktif cihazlar bulunduğunda başka gürültü mekanizmaları da mevcuttur. Bir sistemde, iletilen sinyale eklenen gürültü miktarı çok önemli bir husustur. Bu genellikle çıkış sinyali gücünün çıkış gürültü gücüne (S/N) oranıyla değerlendirilir. Sinyal artı gürültü gücünün, gürültü gücüne $[(S+N)/N]$ oranının ölçülmesi genellikle daha kolaydır ve sinyal büyük olduğunda S/N'ye yaklaşır.

İki portun değerlendirilmesinde, içinden geçen sinyale eklenen gürültü miktarının bilinmesi önemlidir. Bu özelliği ifade eden önemli bir parametre gürültü faktörüdür. Bir üreteçten veya antenden gelen sinyal enerjisi, giriş sinyal enerjisine eşlik eden gürültü gibi, iki portlu bir girişten çıkışa geçerken güçlendirilir veya zayıflatılır. Bir sistemin gürültü faktörü, girişteki ve çıkıştaki sinyal/gürültü oranlarının oranı olarak tanımlanır.

$$F = \frac{\left(\frac{S}{N}\right)_{giris}}{\left(\frac{S}{N}\right)_{cikis}} \geq 1 \quad (3.1)$$

Bir alıcının gürültü figürü (veya faktörü), o alıcının sinyal/gürültü oranındaki azalmayı tanımlayan, kolayca ölçülebilen bir niceliktir.

Güçlerin oranı desibele dönüştürüldüğünde genellikle gürültü faktörü yerine gürültü figürü olarak anılır. Gürültü faktörü ve gürültü figürü için kullanılan sembolleri birbirinden ayırmak için çeşitli kurallar kullanılmaktadır. Terimler genellikle birbirinin yerine kullanılsa da, gürültü faktörünü temsil etmek için F ve gürültü figürünü temsil etmek için NF kullanılır.

G güç kazancına sahip bir yükselteç için gürültü faktörü Eşitlik (3.2)'de görüldüğü gibi yeniden düzenlenebilir.

$$F = \frac{\frac{S_i}{N_i}}{\frac{GS_i}{G(N_i + N_a)}} \geq 1 \quad (3.2)$$

N_a , girişi referans gösteren, yükselteç tarafından eklenen ek gürültü gücü olduğunda, gürültü faktörü Eşitlik (3.3)'de verildiği gibi hesaplanabilir.

$$F = 1 + \frac{N_i}{N_a} \quad (3.3)$$

Gürültü faktörünün yerini genellikle desibel cinsinden Eşitlik (3.4)'de verildiği gibi tanımlanan gürültü figürü (NF) halini alır (Rohde ve Newkirk, 2000).

$$NF = 10 \log_{10} F \quad (3.4)$$

3.2.5. Kararlılık

Bir yükseltecin farklı koşullar ve nominal çalışma şartları altında etkinliğini sürdürme yeteneği kararlılık olarak tanımlanabilir. Giriş ve çıkış port empedanslarının gerçel sayı tarafı negatif ise yansıma katsayıları 1'den büyük çıkar. Yansıma katsayılarının 1'den büyük olması kararsızlık anlamına gelir ve salınımına neden olur. Ayrıca kararlılığın frekansa bağlı olması, bir yükseltecin bant-dışı frekanslarda osilatör olarak çalışmasına neden olur.

Belli bir frekans aralığında yükseltecin kararlı olması, koşullu bir kararlılıktır ve yükseltecin tamamen kararlı olduğunu ve salınım yapmayacağını garanti edemez. O yüzden çalıştığı bütün bir frekans bandında kararlı olması yani koşulsuz bir şekilde kararlı olması tercih edilir.

Kararlılık frekansa bağlıdır ve tasarlanan bir yükseltici bazı frekanslar için kararlı iken diğer frekanslarda kararsız olabilir. Eğer yükseltici tek taraflı ise yani $S_{21} = 0$ 'sa, $|S_{11}| < 1$ ve $|S_{22}| < 1$ için yükseltici koşulsuz kararlıdır. Kararlılık Smith grafiği yardımıyla da incelenebilir. Smith grafiğinde $|\Gamma_{giriş}| = 1$ ve $|\Gamma_{çıkış}| = 1$ değerleri giriş ve çıkış kararlılık çemberlerini gösterir (Süleymanova, 2021).

İki bağlantı noktasının kararlılık koşulları, Eşitlik (3.5) ve (3.6)'da verilen S parametreleri cinsinden sabit tanımlamaları olarak sık kullanılır.

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (3.5)$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (\text{Rollet kararlılık faktörü}) \quad (3.6)$$

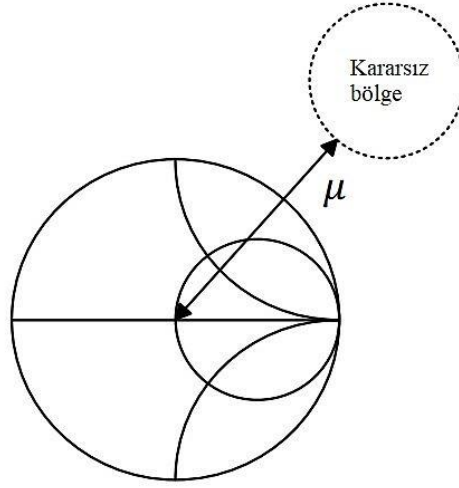
K sabiti, 1'den büyük ve Δ değeri 1'den küçük olduğunda cihaz herhangi kaynak ve yük empedanslarının kombinasyonunda koşulsuz olarak kararlıdır. Öte yandan, K değeri 1'den küçük olarak hesaplanırsa veya Δ değeri 1'den büyük olması durumunda cihaz potansiyel olarak kararsızdır ve belirli kaynak ve yük empedansı kombinasyonları için salınım yapması muhtemeldir. K , 1'den küçük veya Δ , 1'den büyük olduğunda kaynak ve yük empedanslarının seçilmesinde son derece dikkatli olunmalıdır. Bu koşullar devrenin kullanılamayacağı anlamına gelmez kullanılır, ancak devrenin kullanımı dikkat gerektirir.

Edwards ve Sinsky iki kararlılık parametresine ulaşmak için geometrik bir yöntem kullanmıştır. μ_1 , Smith grafiğinin merkezinden (Z_0) çıkış düzlemindeki en yakın kararsız noktaya kadar olan yarıçapı ölçer. μ_2 giriş düzlemi için aynısını yapar (Darwazeh, 2015).

$$\mu_1 = \frac{1 - |S_{11}|^2}{|S_{22} - \Delta S_{11}^*| + |S_{12}S_{21}|} > 1 \quad (3.7)$$

$$\mu_2 = \frac{1 - |S_{22}|^2}{|S_{11} - \Delta S_{22}^*| + |S_{12}S_{21}|} > 1 \quad (\text{Edward - Sinsky kararlılık kriterleri}) \quad (3.8)$$

Şekil 3.4'te görülen Smith grafiğinin içi kararlı bölgeyi temsil etmektedir. Edward – Sinsky parametrelerine göre $\mu > 1$ ise cihaz koşulsuz olarak kararlıdır. μ değeri daha büyükse kararlılık da artar (Pozar, 2012). Edwards ve Sinsky bu iki kriterin eşdeğer olduğunu gösterir ($\mu_1 > 1$ ya da $\mu_2 > 1$), aktif iki bağlantı noktalı bir devrenin koşulsuz olarak kararlı olduğunu kanıtlamak için yeterlidir (Darwazeh, 2015).

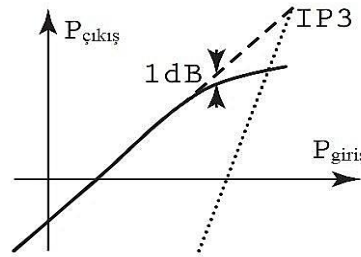


Şekil 3.4. Yük düzlemi ve karşılık gelen kararlılık çemberi (Kazan, 2018).

3.2.6. Doğrusallık

LNA'nın doğrusallığı, dikkate alınması gereken bir husustur. Özellikle giriş sinyali zayıf olduğunda ve yakınlarda güçlü bir girişim sinyali olduğunda doğrusal çalışma çok önemlidir. Bunun nedeni, böyle bir senaryoda engelleme ve çapraz modülasyon gibi istenmeyen intermodülasyon distorsiyonlarının ortaya çıkma ihtimalinin bulunmasıdır.

Bir yükseltecin doğrusallığını ölçmek için çoğunlukla 1-dB sıkıştırma noktası (P_{1dB}) ve 3. dereceden kesişme noktası (IP3) kullanılır. 1-dB sıkıştırma noktası, kazancın 1 dB düştüğü noktadaki güç seviyesi olarak tanımlanır.



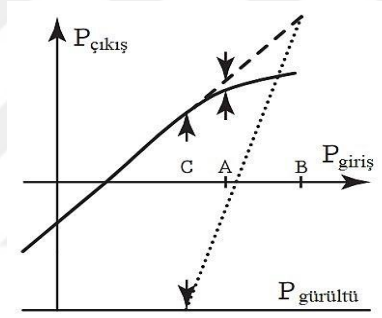
Şekil 3.5 1. dereceden çıkış (düz çizgi), 3. dereceden intermodülasyon ürünü (kesikli çizgi) (Edwall, 2008).

Üçüncü dereceden kesişme (IP3) ve 1-dB sıkıştırma noktası (P_{1dB}), doğrusallığın iki ölçüsüdür. IP3, üçüncü derece intermodülasyon ürününün hangi güç seviyesinde birinci dereceden çıkışın gücüne eşit olduğunu gösterir. IIP3 ve OIP3 sırasıyla IP3'e

karşılık gelen giriş gücü ve çıkış gücüdür. P_{1dB} , teorik doğrusal güç kazancına göre doğrusal olmamanın bir sonucu olarak çıkış gücünün hangi güç seviyesinde 1 dB düştüğünü gösterir. Şekil 3.5'te IP3 veya P_{1dB} 'den birinin bilinmesiyle diğeri Eşitlik (3.9)'daki bağıntıyla bulunabilir.

$$IP3 = P_{1dB} + 10dB. \quad (3.9)$$

Her iki ölçüm de tolere edilebilir giriş gücü için bir üst distorsiyon sınırını belirtirken, gürültü figürü bir alt sınır belirler. İkisinin oranı yükseltecin dinamik aralığını belirler. Bir başka benzer ölçüm, LNA bağlamında genellikle çıkış sinyali gücü ile üçüncü derece intermodülasyon ürününün gücü arasındaki mümkün olan en büyük farkla ilgili olan sahte serbest dinamik aralıktır (SFDR). Bu, gürültü zemini üzerinde ortaya çıktığı noktada meydana gelir, Şekil 3.6'da görülmektedir (Edwall, 2008).



Şekil 3.6 1. dereceden çıkış (düz çizgi), 3. dereceden intermodülasyon ürünü (kesikli çizgi). P_{1dB} (A), IIP3 (B) ve SFDR (C) (Edwall, 2008).

Bir yükseltecin girişinin aşırı sürülmesi çıkış işaretinde bozulmaya ve bu bozulmada, çıkış işaretinde yeni frekansların görülmesine neden olur. Bu yeni frekanslar bir sinüs sinyaline göre harmonikler olarak adlandırılır. Giriş sinyali iki veya daha fazla sinüzoidten oluştuğunda, harmonikler ile oluşan bu yeni frekanslara intermodülasyon ürünleri denir. Temel frekansa yakın oldukları için bunlar filtrelerle de temizlenemezler.

3. dereceden intermodülasyon ürünlerinin seviyelerinin hesaplanmasında kullanılan IP3, 1. dereceden ve 3. dereceden güçlerin eşit olduğu varsayımsal bir kesişme noktası olarak tanımlanırlar.

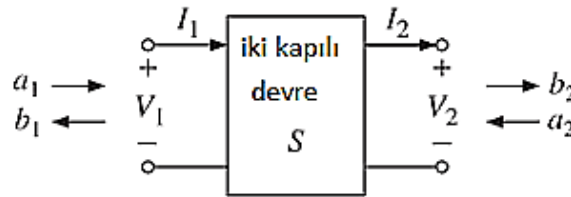
Alıcı girişindeki olası güçlü girişim veya engelleyici nedeniyle, yüksek intermodülasyon ürünlerini, alıcı gürültü tabanı seviyesi altında tutmak ve yüksek sahte

serbest dinamik aralık elde etmek için, LNA yüksek doğrusallık sağlamak zorundadır (Gao ve ark., 2015).

3.3. Mikrodalga ve RF Tasarımı

Birkaç on MHz'e kadar frekanslardaki analog devreler, admitanslar, empedanslar, gerilimler ve akımlarla ifade edilirler. Bu frekansların üzerindeki akımları, gerilimleri ve empedansları doğrudan ölçmek mümkün değildir. Oldukça kolay bir şekilde ölçülebilen ve güç akışıyla ilgili olan gerilim yansıma katsayısı ve iletim katsayısı gibi değişkenleri kullanmak daha elverişlidir. Aynı zamanda, RF ve mikrodalga devre tasarımında, sinyallerin gürültü gücü de her zaman ilgi çeken bir konudur. Dolayısıyla gücün yansıması ve iletimi ile ilgili ölçüm değişkenlerine odaklanma eğilimi her zaman olmuştur. Saçılma parametreleri, kısaca S parametreleri yansıma ve iletim etkilerini somut hale getirir. Bu değerleri alışıık olduğumuz admitans ve empedans gibi devre değişkenlerine çevirmek mümkündür. S parametreleri RF ve mikrodalga mühendisliği alanında yaygın olarak kullanılmakta ve bu parametreler ile tasarımlar yapılmaktadır. Yayılan dalgaları ve güç akışını tanımlarlar, dağıtık devreleri tanımlamak için de gereklidirler. RF ve mikrodalga tasarımı kavramsal olarak düşünülür ve fiziksel anlayışa yakın parametreler ve grafiksel görsellerin kullanımından yararlanır. S parametrelerinin doğal bir grafiksel yapısı vardır (Steer, 2022).

Doğrusal iki kapılı devreler Şekil 3.7'deki gibi bir dizi eşdeğer devre özellikleri ile tanımlanabilir.



Şekil 3.7. İki kapılı devre

Eşitlik (3.10)'da verilen iletim matrisi, “ABCD matrisi” olarak da bilinir, bağlantı noktası 1'deki gerilim ve akımları bağlantı noktası 2'dekilerle ilişkilendirir. Eşitlik (3.11)'de verilen empedans matrisi, bağlantı noktası 1 ve 2'deki gerilimleri bağlantı

noktası 1 ve 2'deki akımlarla ilişkilendirir. İletim ve empedans matrisleri 2×2 matrislerdir.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix}, \quad T = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \quad \text{İletim matrisi} \quad (3.10)$$

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}, \quad Z = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \quad \text{Empedans matrisi} \quad (3.11)$$

Saçılma matrisi, iki bağlantı ucundaki gelen a_1 ve a_2 dalgaları ile giden b_1 ve b_2 dalgalarını ilişkilendirir.

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}, \quad S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad \text{Saçılma matrisi} \quad (3.12)$$

Matris elemanları S_{11} , S_{12} , S_{21} ve S_{22} saçılma parametreleri olarak ifade edilir. S_{11} ve S_{22} parametreleri birinci ve ikinci kapıdaki yansıma katsayılarını ve S_{21} , S_{12} ise ileri ve geri yönlü iletim katsayılarını temsil eder. Bağlantı noktası 1'deki a_1 , b_1 ve bağlantı noktası 2'deki a_2 , b_2 yayılan dalga değişkenleri, V_1 , I_1 , V_2 , I_2 ve gerçel değerli pozitif referans empedans Z_0 türünden Eşitlik (3.13), (3.14), (3.15) ve (3.16)'da verildiği gibi tanımlanırlar:

$$a_1 = \frac{V_1 + Z_0 I_1}{2\sqrt{Z_0}} \quad (3.13)$$

$$a_2 = \frac{V_2 - Z_0 I_2}{2\sqrt{Z_0}} \quad (3.14)$$

$$b_1 = \frac{V_1 - Z_0 I_1}{2\sqrt{Z_0}} \quad (3.15)$$

$$b_2 = \frac{V_2 + Z_0 I_2}{2\sqrt{Z_0}} \quad (3.16)$$

Bağlantı noktası 2'deki tanımlamalar, 1'dekilerden farklı görünmektedirler, ancak bunlar gelen akım $-I_2$ cinsinden ifade edilirse aslında benzerdirler:

$$a_2 = \frac{V_2 - Z_0 I_2}{2\sqrt{Z_0}} = \frac{V_2 + Z_0 (-I_2)}{2\sqrt{Z_0}} \quad (3.17)$$

$$b_2 = \frac{V_2 + Z_0 I_2}{2\sqrt{Z_0}} = \frac{V_2 - Z_0 (-I_2)}{2\sqrt{Z_0}} \quad (3.18)$$

Eşitlikler (3.13), (3.14), (3.15) ve (3.16)'da verilen yayılan dalga terimleri, gerilim ve akım dalga değişkenleri olarak Eşitlik (3.19), (3.20), (3.21) ve (3.22)'de verildiği gibi düzenlenebilir.

$$V_1 = \sqrt{Z_0} (a_1 + b_1) \quad (3.19)$$

$$V_2 = \sqrt{Z_0} (a_2 + b_2) \quad (3.20)$$

$$I_1 = \frac{1}{\sqrt{Z_0}} (a_1 - b_1) \quad (3.21)$$

$$I_2 = \frac{1}{\sqrt{Z_0}} (b_2 - a_2) \quad (3.22)$$

Burada genellikle referans empedansı $Z_0 = 50 \, \Omega$ olarak seçilir.

3.3.1. Yansıma Katsayıları

Bir yükteki yansıma katsayısı Γ_L , yük tarafından sonlandırılan bir iletim hattındaki gerilimlerin ileri ve geri yönlü hareketinin ayrı ayrı ölçülmesiyle belirlenebilir.

$$\Gamma = \frac{V^-(x)}{V^+(x)} \quad (3.23)$$

Kaynak ve yük arasında Z_0 karakteristik empedanslı ve sonsuz küçük uzunlukta bir hat varsayılın. Yük empedansı Z_L ile yükteki yansıma katsayısı Γ arasındaki ilişki,

$$\Gamma_{(0)} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (3.24)$$

İletim hattının karakteristik admitansı $Y_0 = 1/Z_0$ ve yük admitansı $Y_L = 1/Z_L$ kullanılırsa;

$$\Gamma_{(0)} = \frac{Y_0 - Y_L}{Y_0 + Y_L} \quad (3.25)$$

gibi de yazılabilir. Yansıma katsayısı Γ , bazen voltaj yansıma katsayısı Γ^V olarak da gösterilir. Akım yansıma katsayısı ise $\Gamma^I = -\Gamma^V$ olur (Steer, 2022).

3.3.2. İki Kapılı Devreler için S Parametreleri

İki kapılı devre parametreleri, devrenin her bir bağlantı noktasına bağlı Z_0 gerçek karakteristik empedanslı iletim hatlarında yayılan dalgalar cinsinden tanımlanırlar.

$$V_1^- = S_{11}V_1^+ + S_{12}V_2^+ \quad (3.26)$$

$$V_2^- = S_{21}V_1^+ + S_{22}V_2^+ \quad (3.27)$$

Matris olarak Eşitlik (3.28)'deki gibi ifade edilir.

$$\begin{bmatrix} V_1^- \\ V_2^- \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} V_1^+ \\ V_2^+ \end{bmatrix} = S \begin{bmatrix} V_1^+ \\ V_2^+ \end{bmatrix} \quad (3.28)$$

Her bir S parametresi yüklerden dolayı ileri ve geri yönlü yayılan dalgaların ölçümü ile belirlenir. Z_0 değerli yük, güç yansıtmaz bu yüzden $V_2^+ = 0$ olur (Steer, 2022). Birinci bağlantı noktasında yansımaya katsayısı,

$$S_{11} = \left. \frac{V_1^-}{V_1^+} \right|_{V_2^+=0} \quad (3.29)$$

Diğer bağlantı noktasında yansımaya katsayısı,

$$S_{22} = \left. \frac{V_2^-}{V_2^+} \right|_{V_1^+=0} \quad (3.30)$$

şeklinde hesaplanır. İleri yönde iletim katsayısı;

$$S_{21} = \left. \frac{V_2^-}{V_1^+} \right|_{V_2^+=0} \quad (3.31)$$

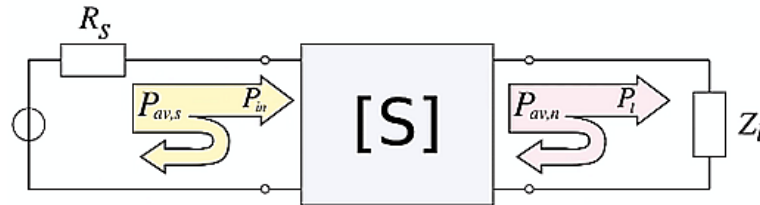
Ters yönde olan ise;

$$S_{12} = \left. \frac{V_1^-}{V_2^+} \right|_{V_1^+=0} \quad (3.32)$$

şeklinde hesaplanır.

3.4. Güç Tanımlamaları

Bir yükselteç devresindeki güç kazancı üç sınıfa ayrılabilir (Şekil 3.11): Transistörden kaynaklanan gerilim kazancı, kaynak tarafındaki yansımalar ve yük tarafındaki yansımalarla kaynaklanan kazanç. Bunların toplamı, toplam dönüştürücü gücünü oluşturur (Peik, 2016).



Şekil 3.11 Güç iletimi ve yansımaya (Peik, 2016).

Devre girişine verilen gücün, Z_L yükünde harcanan güce oranına *güç kazancı* denir. Z_s kaynak empedansından bağımsızdır (Peik, 2016).

$$\text{Güç kazancı} = G = \frac{P_L}{P_{in}} \quad (3.33)$$

İki kapılı devredeki hazır gücün, kaynaktaki hazır güce oranı *mevcut güç kazancı*dır. Z_s 'ye bağlıdır, fakat Z_L 'ye bağlı değildir.

$$\text{Mevcut güç kazancı} = G_A = \frac{P_{av,n}}{P_{av,s}} \quad (3.34)$$

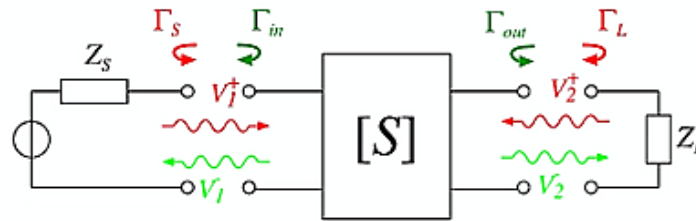
Yüke sağlanan gücün kaynaktaki güce oranına *dönüştürücü güç kazancı* denir. Z_L ve Z_s değişkenlerine bağlıdır.

$$\text{Dönüştürücü güç kazancı} = G_T = \frac{P_L}{P_{av,s}} \quad (3.35)$$

Dönüştürücü güç kazancı, S parametrelerine ve kaynak ile yük empedansına bağlıdır. Γ_s ve Z_s yer değiştirilip kaynağı karakterize etmek için birbirlerinin yerine kullanılabilir.

$$\Gamma_s = \frac{Z_s - Z_0}{Z_s + Z_0} \quad (3.36)$$

Aynı yöntem çıkışta da uygulanabilir. Şekil 3.12'de görüldüğü gibi Γ_L ve Z_L birbirlerinin yerine kullanılabilir.



Şekil 3.12. Yansıma (Peik, 2016).

S parametreleri ve $V_2^+ = \Gamma_L V_2^-$ eşitliğinden

$$V_1^- = S_{11}V_1^+ + S_{12}V_2^+ = S_{11}V_1^+ + S_{12}\Gamma_L V_2^- \quad (3.37)$$

$$V_2^- = S_{21}V_1^+ + S_{22}V_2^+ = S_{21}V_1^+ + S_{22}\Gamma_L V_2^- \quad (3.38)$$

elde edilir.

Eşitlik (3.37)'de V_2^- ortadan kaldırılır ve V_1^- / V_1^+ için çözülürse;

$$\Gamma_{in} = \frac{V_1^-}{V_1^+} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (3.39)$$

Benzer şekilde;

$$\Gamma_{out} = \frac{V_2^-}{V_2^+} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \quad (3.40)$$

Voltaj bölünmesinden;

$$V_1 = V_s \frac{Z_{in}}{Z_s + Z_{in}} = V_1^+ + V_1^- = V_1^+ (1 + \Gamma_{in}) \quad (3.41)$$

kullanılarak Eşitlik (3.39)'dan V_1^- hesaplanırsa,

$$V_1^+ = \frac{V_s}{2} \frac{(1 - \Gamma_s)}{(1 - \Gamma_s \Gamma_{in})} \quad (3.42)$$

Tüm gerilimler için tepe değerleri varsayılırsa iletilen güç;

$$P_{in} = \frac{1}{2Z_0} |V_1^+|^2 (1 - |\Gamma_{in}|^2) = \frac{|V_s|^2}{8 + Z_0} \frac{|1 - \Gamma_s|^2}{|1 - \Gamma_s \Gamma_{in}|} (1 - |\Gamma_{in}|^2) \quad (3.43)$$

Eşitlik (3.42) kullanıldığında yüke iletilen güç;

$$P_L = \frac{|V_2^-|^2}{2Z_0} (1 - |\Gamma_L|^2) \quad (3.44)$$

Eşitlik (3.38)'deki V_2^- çözülür ve Eşitlik (3.44)'de yerine yerleştirilir ve Eşitlik (3.42) kullanılırsa Eşitlik (3.45)'i verir;

$$P_L = \frac{|V_1^+|^2}{2Z_0} \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{|1 - S_{22}\Gamma_L|^2} = \frac{|V_s|^2}{8Z_0} \frac{|S_{21}|^2 (1 - |\Gamma_L|^2) (1 - |\Gamma_s|^2)}{|1 - S_{22}\Gamma_L|^2 |1 - \Gamma_s \Gamma_{in}|^2} \quad (3.45)$$

Buradan, güç kazancı;

$$G = \frac{P_L}{P_{in}} = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{|1 - S_{22}\Gamma_L|^2 (1 - |\Gamma_{in}|^2)} \quad (3.46)$$

Mevcut güç kazancı;

$$G_A = \frac{P_{av\ n}}{P_{av\ s}} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)}{|1 - S_{11}\Gamma_s|^2 (1 - |\Gamma_{out}|^2)} \quad (3.47)$$

Dönüştürücü güç kazancı;

$$G_T = \frac{P_L}{P_{av\ s}} = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)(1 - |\Gamma_L|^2)}{|1 - S_{22}\Gamma_L|^2 |1 - \Gamma_s \Gamma_{in}|^2} \quad (3.48)$$

olarak hesaplanır. Yansımalar nedeniyle kaynaktan kazanç G_s ve yükten kazanç G_L elde edilir ve kaynaktan kazanç, transistörün kendi kazancı ve çıkış tarafındaki yükten yansıyan kazanç olarak ayrıştırılırsa,

$$G_T = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_s \Gamma_{in}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (3.49)$$

sırasıyla,

$$G_S = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S \Gamma_{in}|^2} \quad (3.50)$$

$$G_0 = |S_{21}|^2 \quad (3.51)$$

$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2} \quad (3.52)$$

olur ve toplamda dönüştürücü gücü;

$$G_T = G_S G_0 G_L \quad (3.53)$$

olur.

Kazancı maksimize etmek için Γ_S , Z_S ve Γ_L , Z_L etrafında çalışmak, dolayısı ile G_S ve G_L ile yapılabilecek iyileştirmeler, kaynak ve yük empedanslarını değiştirmek ile mümkündür. Giriş ve çıkış devreleri uyumlanırsa ve $\Gamma_L = \Gamma_S = 0$ olur. Ve Eşitlik (3.48), uyumlu transistör kazancı $G_{Tm} = |S_{21}|^2$ olarak indirgenebilir. Ayrıca transistör tek taraflı iletimde ($S_{12} = 0$) olduğunda, $\Gamma_{in} = S_{11}$, $\Gamma_{out} = S_{22}$ olur ve tek yönlü transistör kazancı,

$$G_{TU} = \frac{|S_{21}|^2 (1 - |\Gamma_S|^2)(1 - |\Gamma_L|^2)}{|1 - S_{11} \Gamma_S|^2 |1 - \Gamma_S \Gamma_{in}|^2} \quad (3.54)$$

$$G_S = \frac{1 - |\Gamma_S|^2}{|1 - S_{11} \Gamma_S|^2} \quad (3.55)$$

$$G_0 = |S_{21}|^2 \quad (3.56)$$

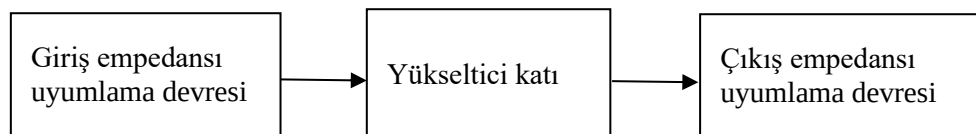
$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2} \quad (3.57)$$

$$G_{TU} = G_S G_0 G_L \quad (3.58)$$

olarak yazılabilir (Peik, 2016).

3.5. Empedans Uyumlama

Temel bir düşük gürültülü yükselteç (LNA) devresi Şekil 3.13'te görüldüğü gibi üç aşamadan oluşur: Giriş empedansı uyumlama devresi, yükselteç katı, çıkış empedansı uyumlama devresi (Joshi ve ark., 2020).



Şekil 3.13. Temel bir LNA modülünün bileşenleri.

Kaynak ve yük arasında mümkün olan maksimum güç aktarımını sağlamak için RF devre tasarımında sıklıkla empedans uyumu gereklidir. Böyle bir güç aktarımına duyulan ihtiyacın en belirgin örneği herhangi bir hassas alıcının girişinde ortaya çıkar. Oldukça düşük işaret seviyeleriyle çalışan bir devrede karşılaşılan en küçük kayıplar dahi önemli olacaktır. Bu nedenle çoğu durumda, ilk tasarım sırasında zincirdeki her devrenin kendi yüküne uyumlu olduğundan emin olmak için son derece dikkatli davranılır.

DC devreleri için, yük direncinin kaynak direncine eşit olması durumunda maksimum gücün bir kaynaktan yüke aktarılacağını belirten iyi bilinen bir teorem vardır. Hesaplama kolaylığı açısından kaynak 1 volt ve direnç 1 ohm olacak şekilde normalize edilir. Eşitlik (3.58)'e göre;

$$V_1 = \frac{R_L}{R_S + R_L} (V_S) \quad (3.58)$$

ve $V_S = 1V$ ve $R_S = 1\Omega$ alındığında,

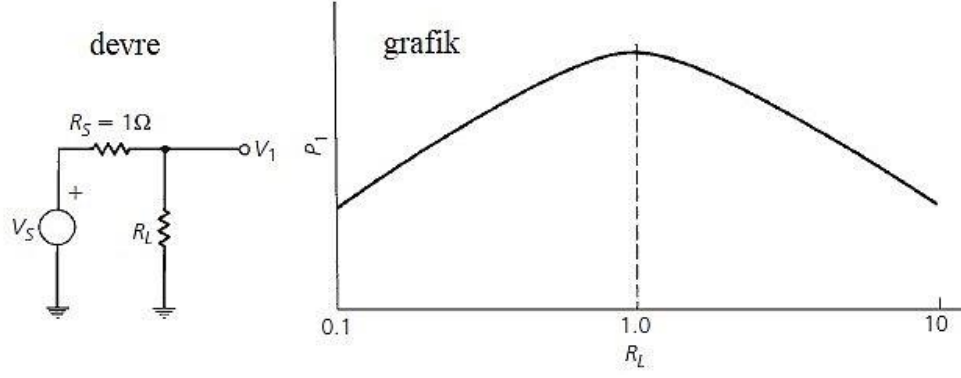
$$V_1 = \frac{R_L}{1 + R_L} \quad (3.59)$$

olur, böylece R_L 'ye aktarılan güç,

$$P_1 = \frac{V_1^2}{R_L} = \frac{\left(\frac{R_L}{1+R_L}\right)^2}{R_L} = \frac{R_L}{(1+R_L)^2} \quad (3.60)$$

olur. Eşitliğe göre, R_L ye göre P_1 çizilirse Şekil 3.14'te verilen grafikteki eğri elde edilir. $R_L = R_S$ olduğunda $P_{\text{çıkış}}$ en yüksek değerine ulaşır.

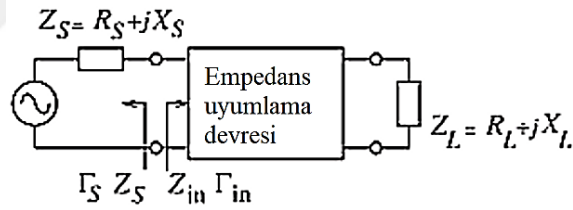
Bununla birlikte, AC veya zamanla değişen dalga formlarıyla çalışırken, aynı teoreme göre, kaynaktan yüke maksimum güç transferi yük empedansı (Z_L) kaynağın karmaşık eşleniğine eşit olduğunda gerçekleşir. Karmaşık eşlenik kısaca, aynı gerçel kısma ve zıt işaretli reaktansa sahip karmaşık bir empedansı ifade eder. Dolayısıyla, eğer kaynak empedans $Z_S = R + jX$ olursa, kompleks eşleniği: $Z_S^* = R - jX$ olur.



Şekil 3.14. Güç teoremi (Bowick ve ark., 2008).

Şekil 3.14'deki devreye ait eşitlikler ve grafik değişimine bakıldığında en yüksek güç aktarımının, yük empedansının kaynak empedansının karmaşık eşleniğine eşit olduğunda gerçekleştiği gerçeği açıkça görülmelidir (Bowick ve ark., 2008).

Şekil 3.15'teki devre incelenirse, maksimum güç aktarımı $Z_{in} = Z_S^*$ olduğunda gerçekleşir. Maksimum güç aktarım şartları referans empedansına göre Z_{REF} yansıma katsayıları ile de ifade edilebilir.



Şekil 3.15. Empedans uyumlama devresi (Steer, 2022).

$$\Gamma_{in} = \frac{Z_{in} - Z_{REF}}{Z_{in} + Z_{REF}} \quad (3.61)$$

Maksimum güç aktarımı $Z_{in} = Z_S^*$ ise,

$$\Gamma_{in}^* = \frac{Z_{in} - Z_{REF}}{Z_{in} + Z_{REF}} = \left(\frac{Z_S^* - Z_{REF}}{Z_S^* + Z_{REF}} \right)^* = \frac{(Z_S^* - Z_0)}{(Z_S^* + Z_0)^*} = \Gamma_S \quad (3.62)$$

Eğer Z_{REF} gerçel ise, $Z_{REF}^* = Z_{REF}$ ve maksimum güç şartı Eşitlik (3.63) gibi olur.

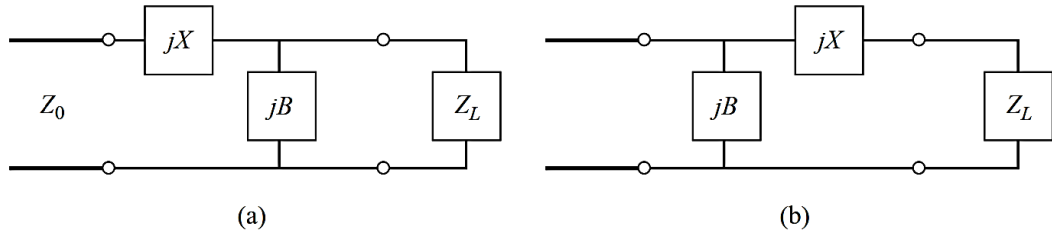
$$\Gamma_{in}^* = \frac{Z_S - Z_{REF}}{Z_S + Z_{REF}} = \Gamma_S \quad (3.63)$$

3.5.1. Uyumlama devreleri

Toplu elemanlar, birkaç GHz'e kadar uyumlama devrelerinde kullanılabilirken, daha yüksek frekanslarda kullanılırlarsa girişimlere, fazladan endüktif - kapasitif etkilere ve kayıplara neden olurlar. İletim hatları ve dağıtık yapılar mikrodalga frekanslarda toplu elemanlara göre daha az kayıplara ve girişimlere sahiptirler. Üstelik devreler gerçekleştirilirken fiziksel boyutlar da pratikte önem kazanmaktadır. Çoğunlukla basit, ucuz, kaybı az tasarımlar tercih edilir. Dağıtık elemanlar, frekans yükseldikçe boyutlar da uygun hale geldiğinden daha uygundur.

3.5.2. L tipi uyumlama devresi

L tipi olan devre, iki adet reaktif elemandan oluşan en kolay uyumlama devresidir. Bu tür devre için Şekil 3.16'de görüldüğü gibi iki değişik uygulama şekli vardır.



Şekil 3.16. L tipi empedans uyumlama devreleri (Pozar, 2012).

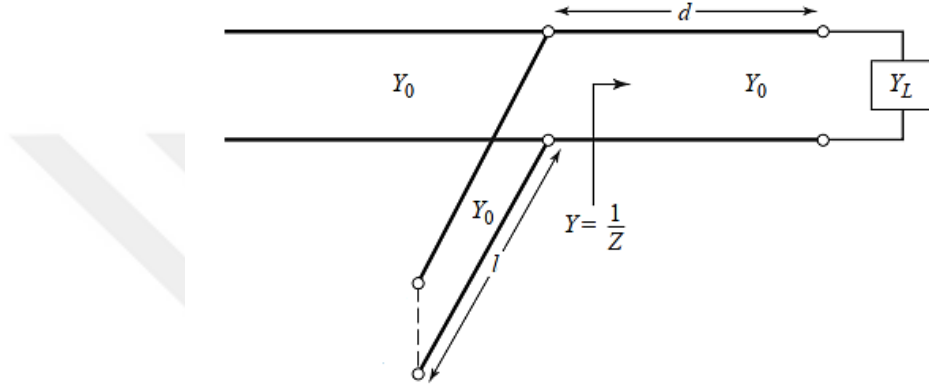
Eğer normalize edilmiş yük empedansı $z_L = Z_L/Z_0$ Smith grafiğindeki $1+jx$ çemberi içindeyse Şekil 3.16.a kullanılmalıdır. Eğer normalize yük empedansı $1+jx$ çemberinin dışındaysa Şekil 3.16.b kullanılmalıdır.

Paralel bileşenin seri bileşenden önce mi yoksa sonra mı olacağının belirlenmesi için, hangisinin daha yüksek kaynak veya yük empedansına sahip olduğunun bilinmesi gerekir. Yük empedansı kaynak empedansına göre daha yüksek olduğunda, paralel bileşen Şekil 3.16.a'daki gibi sağ tarafta olacaktır (Silicon Labs).

3.5.3. Tek-saplamalı uyumlama

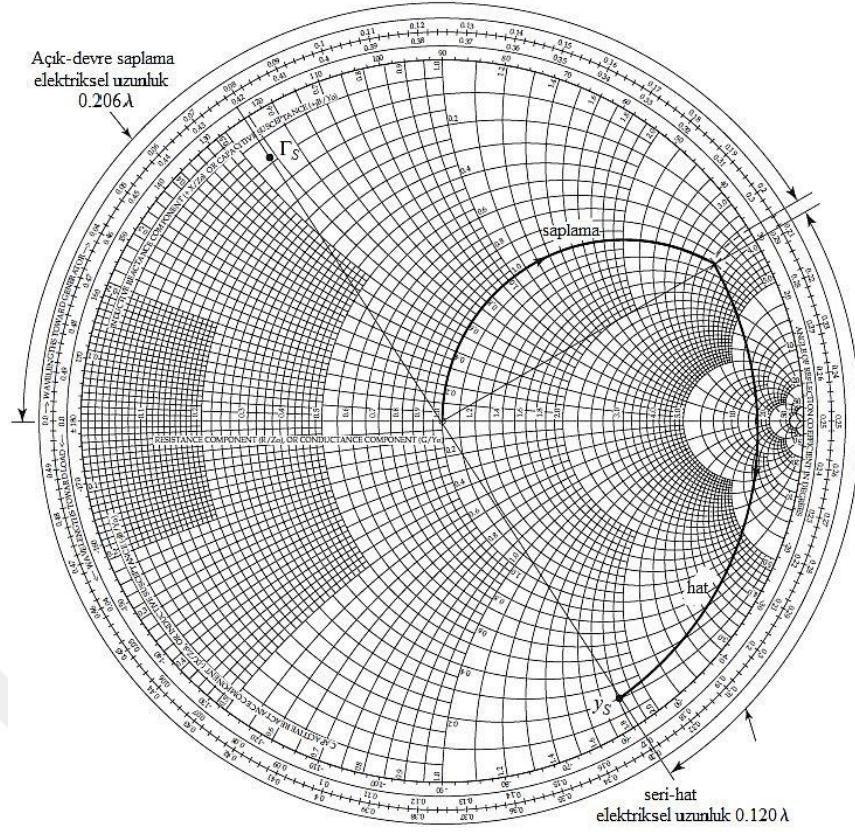
Bir başka yaygın uyumlama tekniği ise tekli açık veya kısa devre saplama kullanılmasıdır. Şekil 3.17'de görüldüğü gibi yükten belli bir uzaklıkta paralel ve seri

bağlanabilir. Uygulaması kolay olan şönt saplamalar tercih edilir. Tekli-saplama uyumlamada iki ayarlanabilir parametre vardır: Yükten saplama yerine olan mesafe (d) ve saplamanın boyudur (l). Şönt saplama için temel düşünce yüke doğru bakıldığında admitansı $Y_0 + jB$ olacak şekilde yükten itibaren d uzaklığını seçmektir. Sonra saplama suseptansı $-jB$ olacak şekilde l uzunluğu seçilerek devre uyumlanır. İletim hattı olarak mikroşerit veya şerit hat yapıları açık devre saplama veya kısa devre saplama kullanarak baskı devre şeklinde üretmek kolaydır.

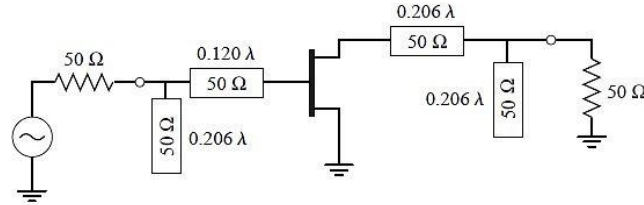


Şekil 3.17. Tekli şönt saplama ile uyumlama (Pozar, 2012).

Tek saplamalı uyumlamada iletim hattı parçaları kullanılarak 4 GHz’de maksimum kazanç sağlayacak bir yükselteç tasarımı örneği için $\Gamma_S = 0,872\angle 123^\circ$ ve $\Gamma_L = 0,876\angle 61^\circ$ verilmiştir. Uyumlama Şekil 3.18’deki Smith grafiği kullanılarak kolayca belirlenebilir. Şekil 3.18’de görüldüğü gibi Γ_S ’nin grafikte yeri belirlenir. Γ_S , yansıma katsayısına karşılık gelen Z_S empedansı, uyumlama devresine kaynak empedansı Z_0 yönünde bakıldığında görülen empedanstır. Bu nedenle uyumlama devresi Z_0 empedansını Z_S empedansına dönüştürmelidir. Uyumlama açık devre şönt saplama ve ardından bir hat uzunluğu kullanılarak yapılmıştır. Normalize empedans, normalize edilmiş admitans y_s ’ye dönüştürülür ve geriye doğru (Smith grafiğinde yüke doğru) $0,120\lambda$ uzunluğundaki bir yay ile $1 + jb$ dairesine gelinir. Daha sonra açık devre saplama uzunluğu $0,206\lambda$ için gerekli saplama girişinin $+j3,5$ değerinde olduğu görülür. Benzer bir prosedür, çıkış uyumlama devresi için $d = 0,206\lambda$ değerinde yükten hat konumu ve $l = 0,206\lambda$ değerinde bir saplama uzunluğunu verir. Şekil 3.18’den elde edilen değerlere göre hat ve saplama uzunlukları Şekil 3.19’daki devrede görülmektedir (Pozar, 2012).



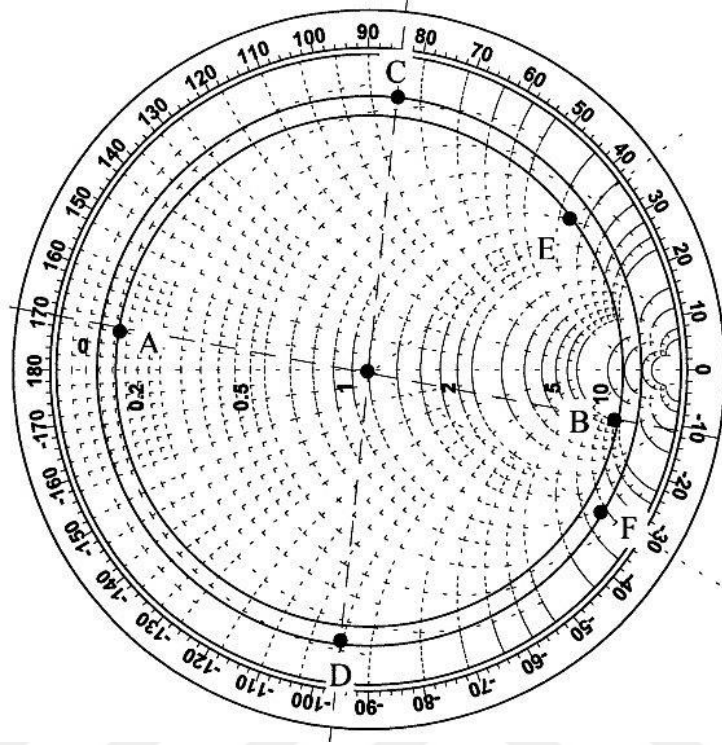
Şekil 3.18. L tipi giriş uyumlama devresi için Smith grafiği (Pozar, 2012).



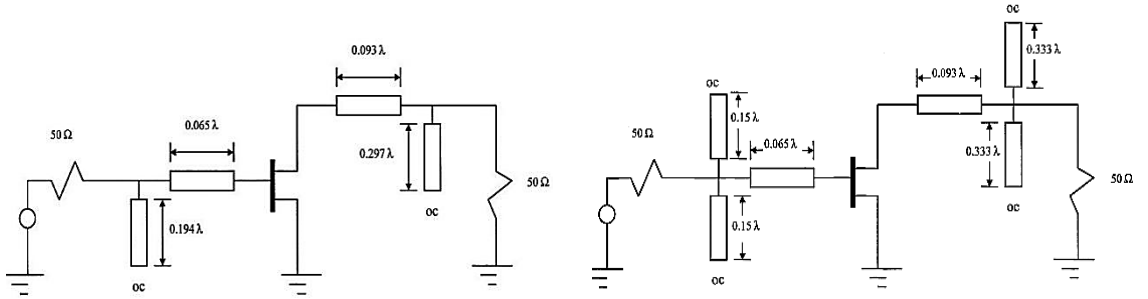
Şekil 3.19. L tipi uyumlama devresi eklenmiş yükseleç (Pozar, 2012).

6 GHz frekansta, 50Ω karakteristik empedansa göre, en yüksek kazanç değeri için HFET-1101 transistörüne ait verilerden $\Gamma_S = 0,872 \angle 123^\circ$ ve $\Gamma_L = 0,876 \angle 61^\circ$ değerleri hesaplanmıştır. Bu yansıma değerlerinden L tipi uyumlama devresine ait Γ_{MS} ve Γ_{ML} ye karşılık gelen normalize empedans noktaları, Şekil 3.20’de görüldüğü gibi sırasıyla A ve C olarak tanımlanmıştır. İlgili normalize admitans noktaları ise B ve D olarak konumlanmıştır. Birim çemberin A noktasındaki normalize admitansını B noktasına dönüştürmenin bir yolu da E noktasında $j2,7$ değerli normalize suseptansı eklemektir. Bu işlem, kondansatör veya Şekil 3.21’de görüldüğü gibi $0,194 \lambda$ uzunluklu saplama ile gerçekleştirilebilir. E noktasından B noktasına varmak için, yaklaşık $0,065 \lambda$ uzunluğunda iletim hattı gerekmektedir. Benzer şekilde birim değer; $0,297 \lambda$ açık-devre şönt saplama

ile F noktasındaki $1-j1,7$ değerine ve $0,009\lambda$ uzunluğundaki iletim hattı ile de D noktasındaki istenen değere dönüştürülür.



Şekil 3.20. L tipi giriş uyumlama devresi için Smith grafiği ve uyumlama noktaları (Misra, 2001).



Şekil 3.21. HFET-1101 transistörüne ait L tipi uyumlama devresi ve elektriksel uzunluk değerleri (soldaki asimetrik saplamalı devre, sağdaki simetrik saplamalı devre) (Misra, 2001).

Şekil 3.21’de görülen soldaki devredeki asimetrik saplama yerine, sağdaki simetrik saplamaları kullanırken, asimetrik saplama hesabındaki süseptans değeri ikiye bölünerek simetrik saplamaların süseptans değerleri hesaplanır (Misra, 2001).

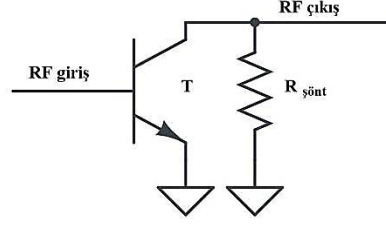
3.6. Kararlılığı artırma

Kararlılık faktörünü koşulsuz olarak kararlı bölgede tutmak için, sistemde kararlılık sağlayıcı yöntem uygulanması gerekmektedir. Aktif bir cihazı kararlı hale

getirmenin en basit ve etkili yolu, ona bir seri direnç veya şönt iletkenlik eklemektir. Ancak bir bağlantı noktasına seri direnç eklemek sistem gürültü karakteristiğine çok fazla gürültü ekleyebilir. Çünkü gürültü kaynağı üreten seri direnç, sinyal yoluna yerleştirilmiştir. Bu nedenle bağlantı noktasına yeterli şönt iletkenliğin eklenmesi tavsiye edilir (Hussain, 2008).

Birçok uygulamada devre tasarımcısı, transistörü veri sayfasında sunulan, mevcut kazanç, üçüncü dereceden kesişme noktası (IP_3), çalışma voltajı, F_{MIN} gibi parametrelere göre seçmektedir. Son adımda ise kararlılık açısından transistörün “S” parametreleri kontrol edilir. Tasarım aşamasında transistörün salınım eğiliminde olduğu görülebilir. Bu bilgi özellikle üretim aşamasında edinildiğinde zarar vericidir. Neyse ki, LNA tasarlama aşamasında bir transistörü “kararlı hale getirmek” mümkündür. Genel kural LNA’nın tamamının kazancını azaltmaktır. Bu yaklaşım, K faktörünü artırmaya ve böylece LNA’yı kararlı hale getirmeye yardımcı olacaktır. Devre tasarımı açısından bakıldığında şu olasılıklar mevcuttur:

- *Çıkışın uyumsuz hale getirilmesi.* Bu yaklaşım o devre katının kazancını azaltacak ve kararlılığı artıracaktır. Ama aynı zamanda bir sonraki LNA katına ilişkin uyumlama sorunlarına yol açabilir. Ayrıca S_{22} bozulabilir. Eşitlik (3.5) ve (3.6)’ya bakıldığında bu yaklaşımın K faktörünü arttırmaya yardımcı olamayabileceği açıktır.
- *Bir dirençli geribesleme eklenmesi.* Bir ortak emitter/source devresinde base/gate ve collector/drain arasına geribesleme uygulanır. Çoğu durumda, birbirinden farklı DC seviyelerini bloke etmek için bir kondansatöre de ihtiyaç duyulacaktır. Bu yöntem aynı zamanda giriş parametrelerini de değiştirdiğinden, gürültü parametrelerindeki önemli değişiklikler bazı düzenlemeleri gerektirir.
- *Çıkışa (collector/drain) şönt direnç eklenmesi.* Bu teknikte birlikte pek çok avantaj da gelir. Rezistif yüklemenin uygun bir bölgede yapılması durumunda kazanç bir miktar azalır ve S_{22} iyileşir. Bu iki etki, K faktörünü iyileştirmek için ortak bir yönde çalışır. Ayrıca bu teknik çıkış öngerilim devresine kolaylıkla dahil edilebilir.



Şekil 3.22. Kararlılık için çıkışta şönt direnç kullanılması (Delpy, 2006).

Şekil 3.22’de gösterilen kararlılık arttırıcı direnç $R_{şönt}$ ’ü uygulamanın farklı yolları vardır. Şekilde netlik sağlamak amacıyla giriş ve çıkıştaki uyumlama devreleri gösterilmemiştir. Önceki ve sonraki katlarda DC blokajı için kullanılan girişteki ve çıkıştaki kondansatörler de gösterilmemiştir. Hatta bipolar transistör ile gösterilen bu uygulama örneklerinin, FET’lerle de çalıştığı unutulmamalıdır (Delpy, 2006).

Şekil 3.23’te, çıkış direncinin devrenin kararlılığını artırdığı görülmektedir.



Şekil 3.23. Çıkış direncinin kararlılığa etkisi (Lucek ve Damen, 1999).

LNA tasarımcısı, devre kararlılığı için en az beş yöntem kullanabilir. İlki girişin dirençle yüklenmesinden oluşur. Bu yöntem kararlılığı artırabilmesine rağmen, aynı zamanda LNA’nın gürültüsünü de kötüleştirir ve neredeyse hiç kullanılmaz. İkincisi çıkışın dirençle yüklenmesi olup, devre kararlılığı için tercih edilen bir yöntemdir. Etkileri daha düşük kazanç ve daha düşük P_{1dB} noktası (dolayısıyla daha düşük $IP3$) olduğundan, bu yöntem dikkatli bir şekilde kullanılır. Üçüncü yöntem, collector’den base’e R-L-C (direnç-indüktör-kapasitör) geribeslemesi ile düşük frekanslardaki kazancı azaltmak ve dolayısıyla devrenin kararlılığını artırmaktır. Dördüncü yöntem genellikle filtre uyumlamasından oluşan, belirli bir dar bant bölgesinde kazancı azaltmak için

transistörün çıkışında kullanılır. Bu yöntem genellikle çalışma bandının çok üstünde, yüksek frekanslardaki kazancı ortadan kaldırmak için kullanılır. Sorunlu frekanslar için kısa devre çeyrek dalgaboyu hatları tasarımı, salınım (veya aşırı kazanç) frekansı ile aynı rezonans frekansına sahip basit kondansatörler devreyi kararlı hale getirmek için kullanılabilir. Son kararlılık yöntemi ise basit bir emiter geribesleme bobini ile gerçekleştirilebilir. Küçük değerli emiter bobini, devreyi daha yüksek frekanslarda daha kararlı hale getirebilir (Lucek ve Damen, 1999).

3.7. Genişbant LNA Tasarımı

LNA tasarımında geniş bant elde etmenin zorluğu, yüksek kazanç elde etmek ve tüm bantta kararlılığı sağlayabilmektir. Geniş bant LNA tasarımı teknikleri şunlardır:

- Kompanze edilmiş uyumlama devresi,
- Dengeli yükselteç,
- Negatif geribeslemeli yükselteç.

Düz bir kazanç yanıtı sağlamak, bunun yanında giriş ve çıkış duran dalga oranını azaltmak için, geniş bantlı yükselteçlerde negatif geribesleme kullanılabilir. Negatif geribeslemenin iki türü vardır: şönt ve seri. Devre negatif geribeslemeye göre tasarlandığında, şunlar yapılabilir:

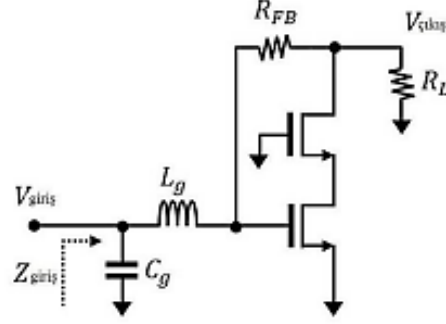
- Doğrusal kazanç korunur,
- Bileşenin sıcaklık etkisi azaltılır,
- DC ve RF kararlılık artırılır.
- Bozulma azalır (bozulmanın nerede oluştuğuna bağlı).

Genel kural olarak, daha düşük RF frekansları tek başına şönt geribesleme ile kararlılığı korur, ancak daha yüksek frekanslarda şönt geribesleme kararlılığı koruyamaz.

RF uygulamalarında seri geribesleme tercih edilmez, çünkü paralel geribesleme kararlılık için seri geribeslemeden daha iyidir. Karşılaştırıldığında, bu teknik kararlılık için en iyi teknik değildir, buna rağmen, kompanze edilmiş uyumlu yükselteç kararlılığı sağlar. Ama NF'den taviz verir (Abdelmonem ve ark., 2022).

Dirençli geribesleme tekniği geniş bant düşük gürültülü yükselteç uygulamalarında yaygın olarak kullanılmaktadır. Ancak ihtiyaca göre geniş bant performansına sahip olabilmesine rağmen geribesleme yapısından dolayı, çıkış gürültüsü de geri beslenir ve bir takas ilişkisi içinde düşük gürültülü yükseltecin gürültüsünü azaltır. Bu nedenle tasarımın dikkatli bir şekilde değerlendirilmesi gereklidir. Şekil 3.24'te

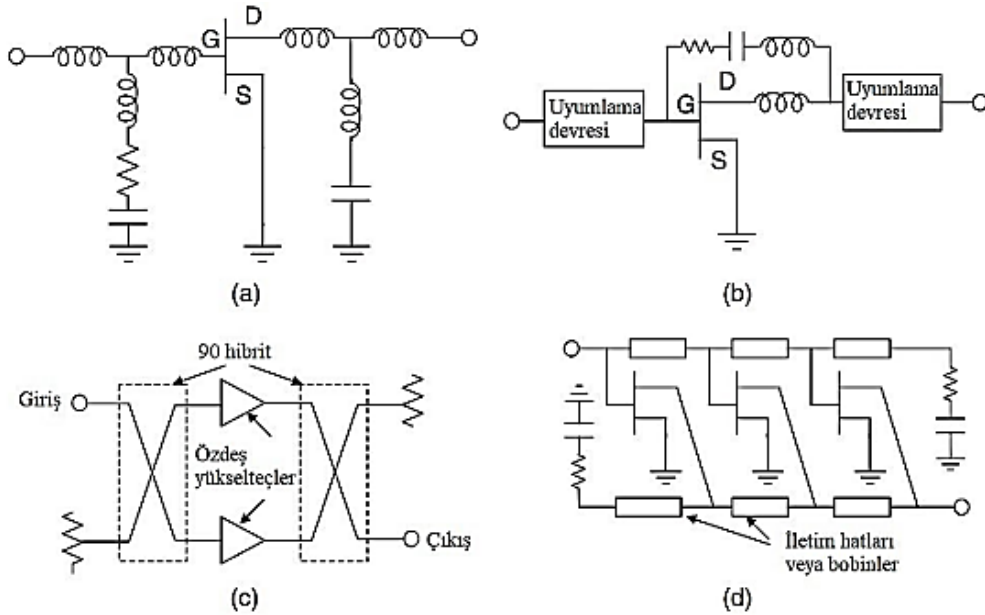
kaskod düşük gürültülü yükseltecin basitleştirilmiş direnç geribeslemeli devre şeması görülmektedir.



Şekil 3.24. Kaskod geribeslemeli yükselteç (Sensors, 2023).

Kaskod LNA'lar, uyumlama için bobin (L_g) ve kondansatör (C_g) dahil olmak üzere yüksek kazanç ve düşük gürültü özellikleri nedeniyle yaygın olarak kullanılmaktadır. Fakat, dar bant özelliklerinden dolayı bunu geniş bant uygulamak zordur, kaskod LNA'yı geniş bant uygulamak için dirençli geribesleme tekniğinin kullanılması gerekir (Sensors, 2023).

Geniş bant yükselteç gerçekleştirmek için kullanılan, Şekil 3.25'te gösterildiği gibi çeşitli devre topolojileri vardır. Bu teknikler arasında geleneksel reaktif/dirençli uyumlama, şönt veya paralel dirençli geribesleme, dengeli konfigürasyon ve yürüyen dalga yaklaşımı sıralanabilir.



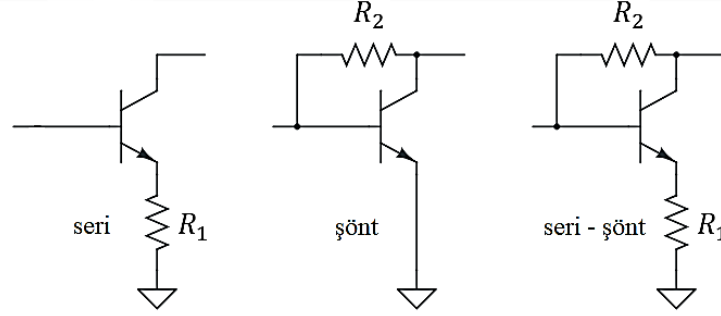
Şekil 3.25. Geniş bant yükselteç konfigürasyonları; (a) reaktif/dirençli, (b) geribeslemeli, (c) dengeli ve (d) dağıtık veya ilerleyen dalgalı (Bahl, 2009).

Reaktif uyumlu yükselteç, girişte ve transistörün çıkışında tamamen reaktif uyumlama devreleri kullanır. Bobinler, kondansatörler veya iletim hatları kullanılabilir. Bu teknik ortalama bir bant genişliği ve iyi bir gürültü ve güç performansı sağlar. Bununla birlikte, transistörün doğasından kaynaklanan kararsızlık ve kazanç kaybı nedeniyle, geniş bant tasarımı zordur. Q değerlerini düşürmek ve geniş bir bant genişliği üzerinde sabit kazanç elde etmek için, reaktif/dirençli teknik kendi içindeki uyumlama devresinin dirençlerini kullanır. En tipik topoloji, dirençlerin şönt hatlar veya bobinlerle seri olarak kullanılmasıdır. Düşük frekanslarda şönt hatların elektriksel uzunluğu azdır ve dirençler transistörü yükler ve kazancını azaltır. Yüksek frekanslarda şönt hatların endüktif etkisi nedeniyle dirençlerin transistör üzerinde çok az etkisi vardır. Dolayısıyla uyumlama devreleri, transistörün kazanç düşüşünü telafi etmek için pozitif bir kazanç eğimi sağlayabilir. Reaktif/dirençli topolojiler bir oktavın altındaki bant genişlikleri için uygundur ve ultra geniş bant genişliklerini uygulamak için daha fazla uyumlama elemanına ihtiyaç duyulur. Ayrıca kazanç doğrusallığı ve VSWR performansı zayıftır. Geribeslemeli yükselteç gate ucundan drain ucuna (yüzlerce ohm civarında) bir direnç kullanır. Bu, cihazı kararlı ve giriş-çıkış empedanslarını istenen 50Ω 'a çok daha yakın hale getirmeye etki eder. Dirençli geribesleme konfigürasyonu, geribesleme direncindeki ek bir kayıp nedeniyle cihaz başına daha yüksek gürültü figürüne ve daha düşük güç yoğunluğuna neden olur. Bununla birlikte, bu şema kazanç doğrusallığı, VSWR ve çok oktavlı bant genişliği performansı için iyidir. Dengeli konfigürasyon yaklaşık iki oktav bant genişliğine kadar iyi bir kazanç doğrusallığı ve VSWR performansına sahiptir. Yükseltecin NF değeri biraz daha yüksektir ve katma güç verimliliği (PAE) tek girişli versiyona göre kuplördeki ek 0,3-0,8 dB kaybı nedeniyle biraz daha düşüktür. Yayılan dalga veya dağıtık güç yükselteci yaklaşımı mükemmel kazanç bant genişliği özelliklerine, doğrusal kazanç, düşük VSWR'ye ve çok oktavlı bant genişliği kapasitesine sahiptir. Ancak güç çıkışı sınırlı (18 GHz'e kadar 2–4 W) ve PAE (%10) zayıftır (Bahl, 2009).

Negatif geribesleme, düz bir kazanç tepkisi sağlamak ve giriş ve çıkışta VSWR'yi azaltmak için geniş bantlı yükselteçlerde kullanılabilir. Ayrıca, transistörden transistöre S parametrelerindeki değişiklikler nedeniyle yükselteç performansı da kontrol edilir. Yükseltecin bant genişliği gereksinimleri bir dekatlık frekansa yaklaştığında, yalnızca uyumlama devrelerine dayalı kazanç telafisi çok zordur ve negatif geribesleme teknikleri kullanılır. Aslında, negatif geribesleme kullanan bir mikrodalga transistörlü yükselteç,

küçük kazanç değişiklikleriyle (dB'nin onda biri) çok geniş bant genişliklerine (iki dekadattan fazla) sahip olacak şekilde tasarlanabilir. Olumsuz olan ise, negatif geribesleme, NF değerini düşürecek ve bir transistörden elde edilebilecek maksimum güç kazancını azaltacaktır.

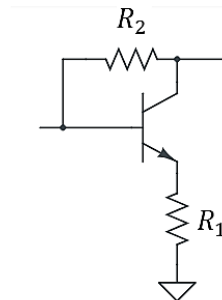
En yaygın negatif geribesleme uygulama yöntemleri, Şekil 3.26'da gösterilen seri ve şönt direnç geribesleme konfigürasyonlarıdır. Kuplaj kondansatörleri ve DC öngerilim bağlantısı ihmal edilmiştir.



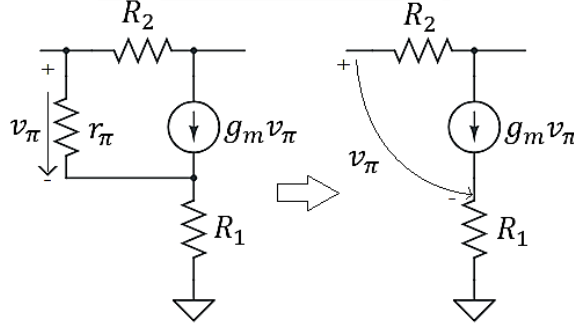
Şekil 3.26. Negatif geribesleme seri, şönt ve seri-şönt dirençli geribesleme

Mikrodalga frekanslarında seri geribesleme direncinin (R_2) kullanımı yükseltecin kararlılığını artırır, ancak aynı zamanda yükseltecin gürültü performansını da düşürür.

Negatif geribesleme tasarımında dikkate alınması gereken önemli bir husus S_{21} aşamasıdır. Düşük frekanslarda S_{21} 'in fazı 180° 'ye yakındır ve frekans arttıkça S_{21} 'in fazı hızla değişir. Bazı frekanslarda S_{21} 'in fazı, çıkış voltajının bir kısmı giriş voltajıyla aynı fazda olacak şekildedir (pozitif geribesleme). Bu sorun, S_{21} 'in faz kayması 90° 'ye yaklaştığında geribeslemenin azaltılmasıyla çözülebilir. Örneğin Şekil 3.26'daki gibi şönt negatif geribesleme durumunda, belirli bir frekanstan sonra negatif geribesleme devresinde S_{21} 'in kısmen azalmasını sağlayacak şekilde bir indüktör R_2 'ye seri olarak bağlanabilir (Gonzales, 1997).



Şekil 3.27. Dirençli negatif geribeslemeli BJT.



Şekil 3.28. Negatif geribesleme devresinin düşük frekans modeli

Düşük frekanslarda Şekil 3.27'deki devre, Şekil 3.28'de gösterildiği gibi eşdeğer π modelleri ile değiştirilebilir.

BJT için Eşitlik (3.64) geçerli sayılırsa,

$$r_{\pi}(1 + g_m R_1) \gg R_2 \quad (3.64)$$

bu durumda Şekil 3.28'deki r_{π} açık devre ile değiştirilebilir ve h -parametresi gösterimi Eşitlik (3.65)'deki gibi yazılabilir:

$$[\mathbf{h}] = \begin{bmatrix} \frac{R_2}{\frac{g_m R_2}{1 + g_m R_1} - 1} & 1 \\ \frac{g_m}{1 + g_m R_1} & \frac{g_m}{1 + g_m R_1} \end{bmatrix} \quad (3.65)$$

Matris dönüştürme formülü kullanılarak Eşitlik 3.65'e karşılık gelen S -parametresi gösterimi bulunur.

$$S_{11} = \frac{\left(\frac{h_{11}}{Z_0} - 1\right)(h_{22}Z_0 + 1) - h_{12}h_{21}}{\Psi_6} \quad (3.66)$$

$$S_{22} = \frac{\left(\frac{h_{11}}{Z_0} + 1\right)(h_{22}Z_0 - 1) + h_{12}h_{21}}{\Psi_6} \quad (3.67)$$

$$S_{12} = \frac{2h_{12}}{\Psi_6} \quad (3.68)$$

$$S_{21} = \frac{-2h_{21}}{\Psi_6} \quad (3.69)$$

$$\Psi_6 = \left(\frac{h_{11}}{Z_0} + 1\right)(h_{22}Z_0 + 1) - h_{12}h_{21} \quad (3.70)$$

$$[\mathbf{S}] = \frac{1}{\Delta} \begin{bmatrix} \frac{R_2}{Z_0} - \frac{g_m Z_0}{1 + g_m R_1} & 2 \\ 2 \left(1 - \frac{g_m R_2}{1 + g_m R_1}\right) & \frac{R_2}{Z_0} - \frac{g_m Z_0}{1 + g_m R_1} \end{bmatrix} \quad (3.71)$$

Burada,

$$\Delta = 2 + \frac{R_2}{Z_0} - \frac{g_m Z_0}{1 + g_m R_1} \quad (3.72)$$

ideal uyumlama koşullarının $S_{11} = S_{22} = 0$ olduğu varsayıldığında (yani giriş ve çıkış VSWR'lar 1'e eşit olduğunda), şönt geribesleme direncinin değerini seri geribesleme direnci R_2 ile ilişkilendiren Eşitlik (3.73) elde edilir:

$$R_1 = \frac{Z_0^2}{R_2} - \frac{1}{g_m} \quad (3.73)$$

burada karakteristik empedans Z_0 ve geçiş iletkenliği g_m kullanılır. Eşitlik (3.73)'ü Eşitlik (3.72) ve Eşitlik (3.71)'de değiştirmek, Eşitlik (3.74)'ü verir:

$$[S] = \begin{bmatrix} 0 & \frac{Z_0}{R_2 + Z_0} \\ 1 - \frac{R_2}{Z_0} & 0 \end{bmatrix} \quad (3.74)$$

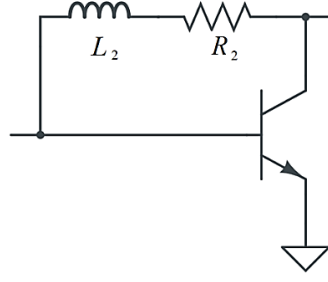
Eşitlik (3.71) ve (3.74)'de görüldüğü gibi, R_1 ve R_2 geribesleme dirençleri için uygun değerlerin seçilmesiyle hem kazanç düzleştirme hem de mükemmel uyum elde edilebilmektedir. Tek sınırlama, Eşitlik (3.73)'teki R_1 'in negatif olmaması gerekliliğinden kaynaklanmaktadır, yani g_m aralığını sınırlayan bir minimum $g_{m_{min}}$ değeri vardır.

$$g_m \geq g_{m_{min}} = \frac{R_2}{Z_0^2} = \frac{1 - S_{21}}{Z_0} \quad (3.75)$$

g_m yeterli koşulu Eşitlik (3.75)'teki gibi olan herhangi bir transistör, Şekil 3.27'de gösterilen negatif geribesleme konfigürasyonunda kullanılabilir.

Geribesleme devresinin analizi yalnızca tüm reaktansların ihmal edildiği düşük frekans aralığında çalıştırılan ideal cihazlar için geçerlidir. Pratik uygulamalarda, transistördeki parazit ve dirençlerin varlığı dikkate alınmalıdır. Bu da geribesleme dirençlerinin değerlerinin değişmesine neden olur. Ayrıca RF ve mikrodalga frekanslarında dahili kapasitansların ve endüktansların etkisi göz ardı edilemez; geribesleme döngülerindeki ilave reaktif bileşenler analize dahil edilir. En yaygın uygulama, geribesleme direnci R_2 'ye seri bir endüktans eklemektir. Bu, yüksek frekanslardan gelen geri bildirimi azaltmak ve böylece S_{21} ile ilgili azalmayı telafi etmek için yapılır (Ludwig, 2000).

LNA'dan iyi bir performans elde etmek için Şekil 3.29'da verilen tasarımdaki dirençli geribesleme yolu kullanılır. R_2 , düşük frekanstaki kazancı azaltmak için collector



Şekil 3.29. Bobinli negatif geribesleme devresi

çıkışından şönt geribeslemedir. Ayrıca daha yüksek frekanstaki kazanç bozulmasını telafi etmede L_2 önemli bir rol oynar ve tüm banttaki kazancı artırabilir. Böylece bu geribesleme döngüsü, tüm bant üzerinde iyi bir kazanç doğrusallığı elde edebilir. L_1 , S_{11} ve S_{22} 'yi etkili bir şekilde optimize edebilir.

Düşük frekansta devrenin S matrisi şöyle ifade edilir:

$$[S] = \frac{1}{\Delta} \begin{bmatrix} \frac{R_2 + j\omega L_2}{Z_0} - g_m Z_0 & 2 \\ 2(1 - g_m(R_2 + j\omega L_2)) & \frac{R_2 + j\omega L_2}{Z_0} - g_m Z_0 \end{bmatrix} \quad (3.76)$$

$$\Delta = 2 + \frac{R_f + j\omega L_f}{Z_0} - g_m Z_0 \quad (3.77)$$

Giriş ve çıkışın sırasıyla kaynak ve yük empedansı ile uyumlandığı varsayılırsa, Eşitlik (3.76)'daki matris, Eşitlik (3.78)'dekine dönüştürülür:

$$[S] = \begin{bmatrix} 0 & \frac{Z_0}{R_2 + j\omega L_2 + Z_0} \\ 1 - \frac{R_2 + j\omega L_2}{Z_0} & 0 \end{bmatrix} \quad (3.78)$$

Eşitlik (3.78)'deki matrise göre, $S_{21} = 1 - \frac{R_2 + j\omega L_2}{Z_0}$ parametresi R_2 ve L_2 'ye bağlıdır. L_2 , daha yüksek frekansta kazançtaki bozulmayı telafi edebilir ve aynı zamanda tüm banttaki kazancı iyileştirebilir. R_2 arttıkça düşük frekanstaki kazanç azalır. Bu nedenle geniş bant kazancının doğrusallığı, geribesleme döngüsü ile etkili bir şekilde optimize edilebilir (Huang ve arkadaşları, 2008).

Negatif geribesleme, yükseltecin bant genişliğini artırabilir, giriş ve çıkıştaki uyumlamayı iyileştirebilir. Ancak yükseltecin kazancı azalır. Ayrıca orijinal yükselteçten önce ileri yönde nispeten düşük gürültülü başka bir yükselteç eklenmedikçe, negatif geribesleme NF değerini olumsuz yönde etkileyebilir (Misra, 2001).

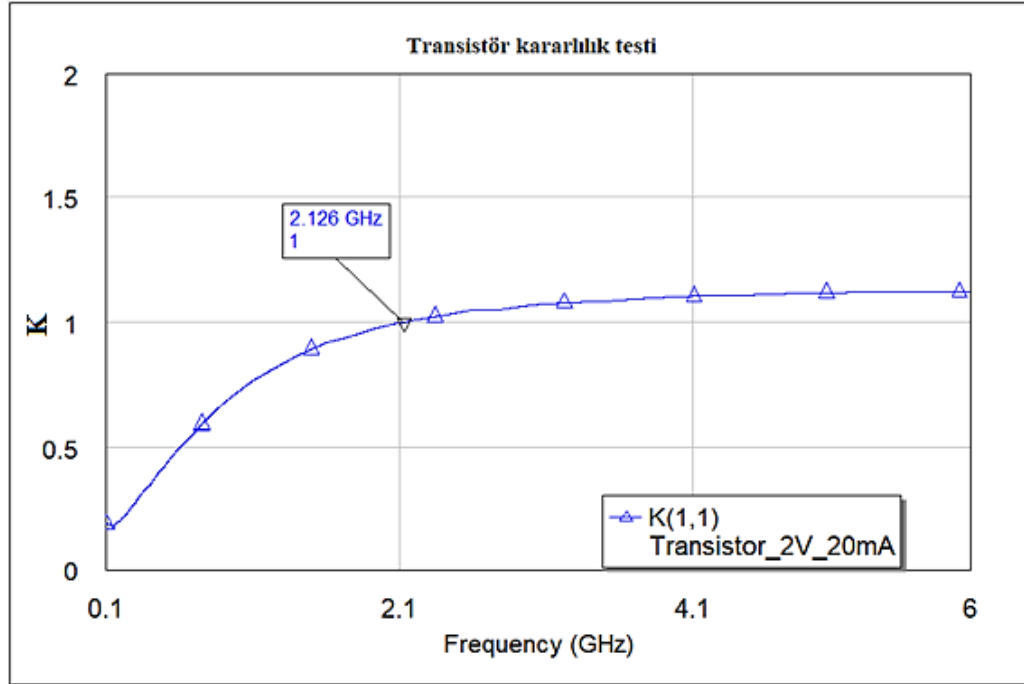
3.8. Tasarım Örneği

Uygulamada, transistör üreticisi tarafından geniş bir frekans aralığında S parametreleri sağlanmıştır. 2,4 GHz frekansı, $V_{CE} = 2$ V ve $I_C = 20$ mA değerlerinde çalıştırılan BFP 540 transistörünün S parametreleri Çizelge 3.1’de verilmiştir. Buna göre en yüksek kazanç verecek şekilde tasarım için, tek bir frekanstaki kararlılık hesabı yerine bütün belirli banttaki frekanslarda kararlılığın hesap edilmesi daha uygundur. K değerinin 1’den büyük olması salınım yapmamayı garanti eder. K testinde bütün frekans bandının taranması gerekmektedir.

Çizelge 3.1. Örnek tasarım için saçılma parametreleri

BFP540, @2,4 GHz, S Parametreleri	S_{11}	S_{21}	S_{12}	S_{22}
2V, 20mA	0,4476 $\angle 162^\circ$	6,082 $\angle 63,1^\circ$	0,0769 $\angle 49,5^\circ$	0,1702 $\angle -111,3^\circ$

Şekil 3.30’da görüldüğü gibi transistörün belirli bir frekans aralığında ($K < 1$) kararsız olduğu tespit edilmiştir. Kararlı hale getirmek için yükseltecin girişine veya çıkışına gerilim bölücü, şönt veya seri dirençler eklenebilir. Girişe eklenecek dirençler



Şekil 3.30 BFP540 transistörüne ait K kararlılık testi

gürültünün artmasına neden olacağı için, bunları çıkışta kullanmak tercih edilmelidir. Yine hem seri hem şönt negatif geribesleme, transistörü kararlı hale getirmeye katkı sağlar. Burada şönt geribesleme tercih edilmiştir.

AWR Design Environment yazılımının Tune aracı kullanılarak anlık olarak bu direncin değeri ayarlanabilir. Direnç değeri değiştikçe, grafik de anlık değişecektir. Yine çıkıştaki şönt direnç ve şönt geribesleme direnci için optimizasyon aracından yararlanılabilir. Optimizasyon işleminin ardından Tune aracı ile tekrar manuel düzeltme uygulanabilir. Negatif geribesleme ve çıkışa bağlanan şönt direnç kazançta bir miktar düşüğe neden olur.

Şekil 3.30'da görüldüğü gibi, 2,126 GHz'den düşük frekanslarda transistör kararsızdır, yani devre koşullu kararlıdır. Bu şartlar altında transistörü 2,126 GHz'den düşük frekanslarda kullanılmaması gerekir. Fakat mikrodalga frekanslarda bazen bundan tümüyle kaçınmak pek mümkün olmadığından, yükseltecin salınımına girmeyeceğinin garantisi yoktur.

Yükseltece uyumlama devreleri eklendikten sonra, kararlılık testine almak daha uygundur. Sonuçta bütün bir yükseltecin denenmesi gerekir.

L tipi uyumlama devreleri, T ve Pi tipi devrelere göre daha geniş bant aralığı sağlar. Bu yüzden tercih edilmiştir. Ayrıca simetrik saplama kullanmak, yine bant genişliğine katkı sağlar. En yüksek kazançta göre tasarım yapmak için ilk bakılması gereken, istenen frekans aralığında istenen collector akım ve gerilim değerlerine ait S parametrelerinden hesaplanan K ve Δ değerleridir. Eğer $K > 1$ ve $|\Delta| < 1$ değil ise devreyi en yüksek kazançta göre tasarlanamaz.

Uyumlama devresi en yüksek kazanç değerine göre tasarlanırsa, transistöre göre karmaşık eşlenik olarak ayarlanır. Böylece, $\Gamma_S = \Gamma_{in}^*$ ve $\Gamma_L = \Gamma_{out}^*$ olur.

Yansıma katsayılarını hesaplayabilmek için formüldeki gerekenler ve determinant yine saçılma parametrelerinden yararlanılarak hesaplanır.

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| = 0,437 < 1$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} = 1,0281 > 1$$

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 = 0,9804$$

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2 = 0,6376$$

$$C_1 = S_{11} - \Delta S_{22}^* = -0.4707 + j0,0791$$

$$C_2 = S_{22} - \Delta S_{11}^* = 0,0868 - j0,2858$$

Bulunan değerler yerine konur ve hem giriş hem de çıkış için yansımaya katsayıları hesaplanır.

$$\Gamma_S = \frac{B_1 \pm \sqrt{B_1^2 - 4|C_1|^2}}{2C_1} = 0,7932 \angle -170,4597^\circ$$

$$\Gamma_L = \frac{B_2 \pm \sqrt{B_2^2 - 4|C_2|^2}}{2C_2} = 0,6938 \angle 73,1039^\circ$$

İstenirse, yansımaya katsayılarından kazançlar hesaplanabilir:

$$G_S = \frac{1}{1 - |\Gamma_S|^2} = 2,6961 = 4,307 \text{ dB}$$

$$G_0 = |S_{21}|^2 = 36,9907 = 15,680 \text{ dB}$$

$$G_L = \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} = 0,6261 = -2,033 \text{ dB}$$

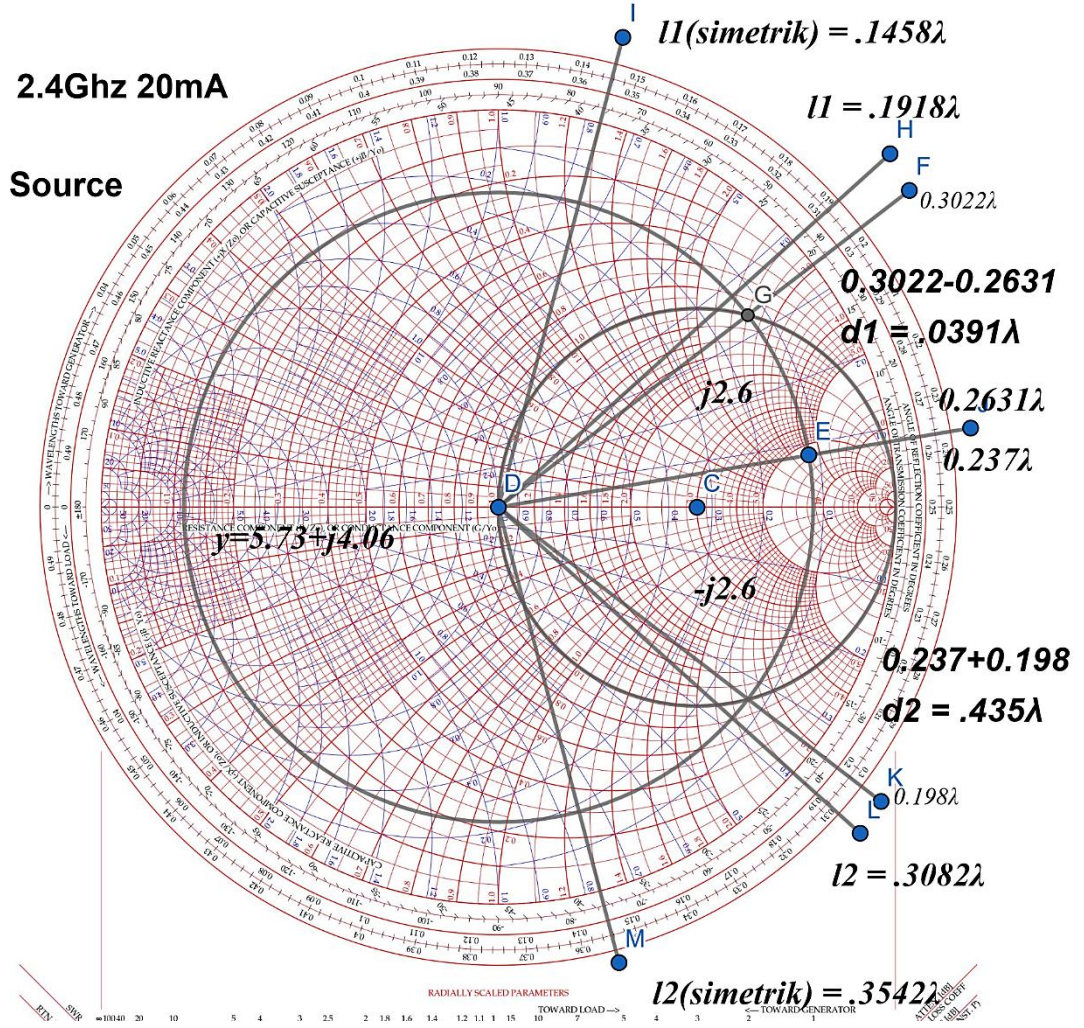
Dönüştürücü kazancı aşağıdaki gibi elde edilir;

$$G_T = 4,307 + 15,680 - 2,033 = 17,9545 \text{ dB}$$

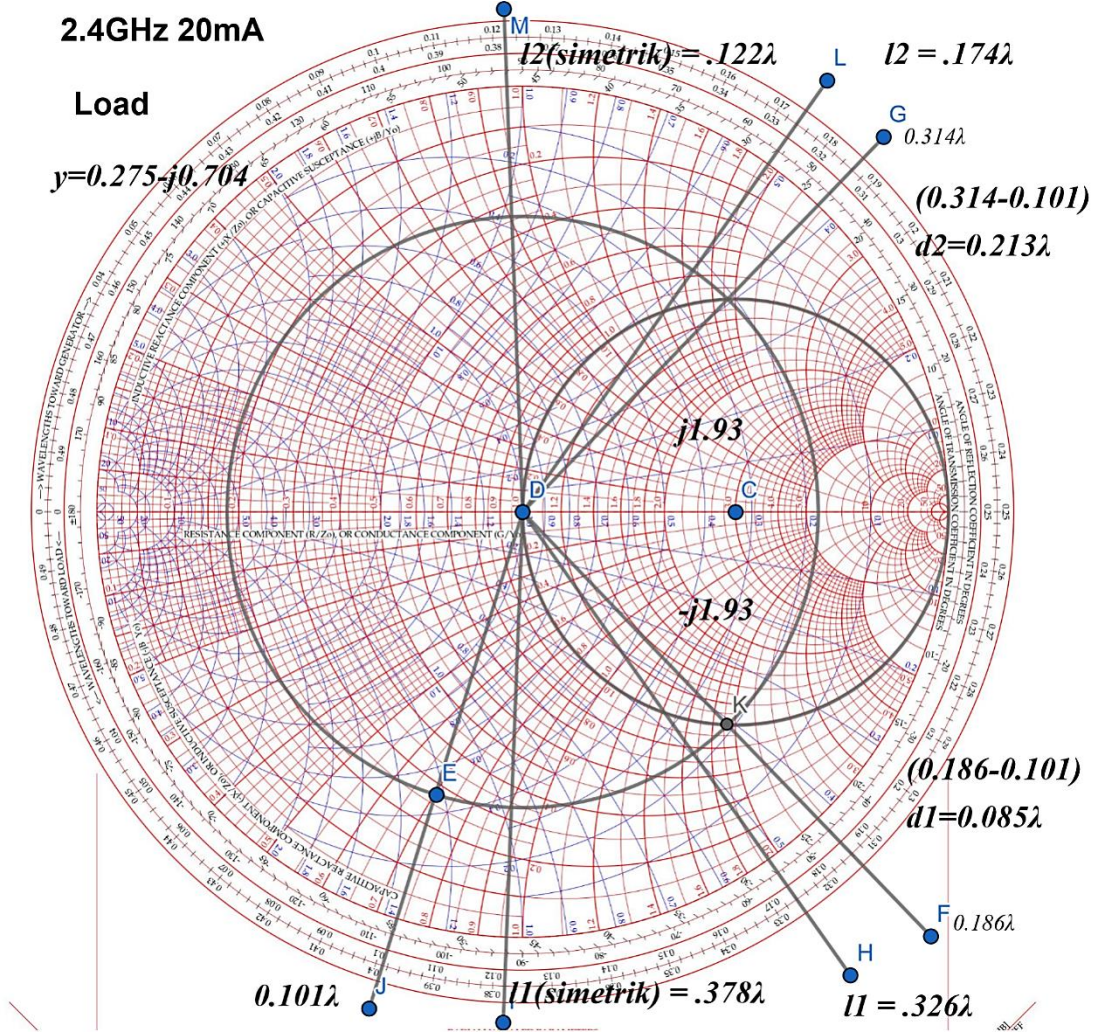
Γ_S ve Γ_L değerleri hesaplandıktan sonra Smith grafiği yardımı ile VSWR çemberi çizilir, ister doğrudan ister $z = \frac{1+\Gamma}{1-\Gamma}$ veya $y = -\frac{1+\Gamma}{1-\Gamma}$ değerine çevrilerek grafik üzerindeki noktalar belirlenir. $1 + jb$ çemberindeki kesişme noktalarına göre önce saplamaya olan d uzaklığı, sonra saplamanın uzunluğu l hesaplanır. Aynı işlem hem giriş hem de çıkış için yapılır. Eğer kazancı artırmak için birden fazla kat kullanılacak ise aynı yöntem her kat içinde uygulanır. Burada kolaylık amacı ile admitans değerlerinden yararlanılmış ve empedans çemberi üzerinde işlem yapılmıştır, o yüzden birim $1 + jb$ çemberi olarak empedans çemberinde sağ taraf kullanılmıştır. Açık-devre saplama tercih edilmiş ve admitans değeri üzerinden empedans grafiği kullanıldığı için yine yön değiştirme uygulanmış ve grafiğin açık-devre başlangıç noktası sol taraf olarak referans alınmıştır.

L tipi uyumlama devresinin uzunluğunun dalgaboyu cinsinden kolay bir şekilde hesaplanabilmesi için Smith grafiğinden yararlanılmıştır. Giriş devresi için Şekil 3.31'deki Smith grafiği hazırlanmıştır. S parametreleri kullanılarak hesaplanan yansımaya

katsayıları kolay olsun diye admitans değerlerine çevrilmiş daha sonra empedans çemberi üzerinde yeri işaretlenmiş ve $1+jb$ çemberi ile kesiştiği birinci noktaya doğru saat yönü tersine (yükte doğru) gidilerek arasındaki mesafe hesaplanmış ve yükten saplamaya olan uzaklık d bulunmuştur. Daha sonra, açık uçlu saplama kullanılacağı için, çemberin sol tarafındaki "O.C." noktasından kesişim noktasındaki suseptans değerine kadar olan l mesafesi saat yönüne doğru gidilerek hesaplanmış ve saplamanın elektriksel uzunluğu bulunmuştur. Benzer yöntem kullanılarak çıkış uyumlama devresi de Şekil 3.32'deki Smith grafiği ile hesaplanmıştır. Şekil 3.31 ve Şekil 3.32'de birinci ve ikinci kesişim noktalarından oluşan iki adet çözüm vardır. Birinci çözümde d_1 uzunluğu daha kısa olduğu için daha iyi bir bant genişliği sağlar, ayrıca simetrik saplama kullanılmasının bant genişliğinin artmasına katkısı vardır.



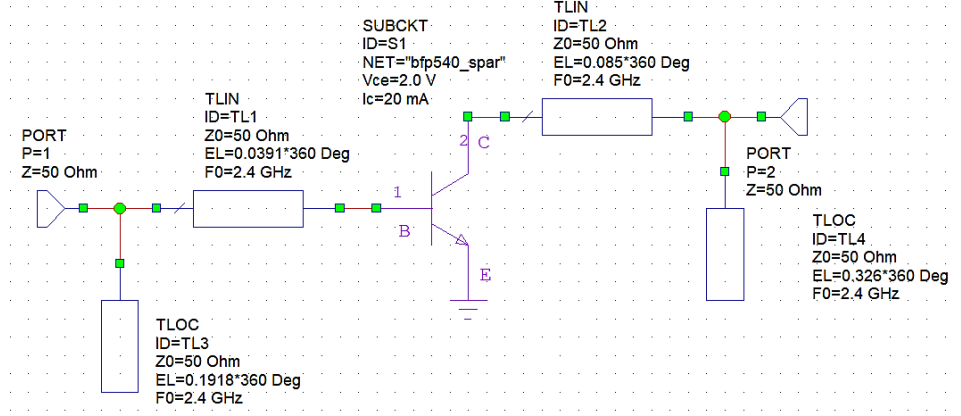
Şekil 3.31. Giriş uyumlama devresi için Smith grafiği üzerinde yapılan hesaplamalar.



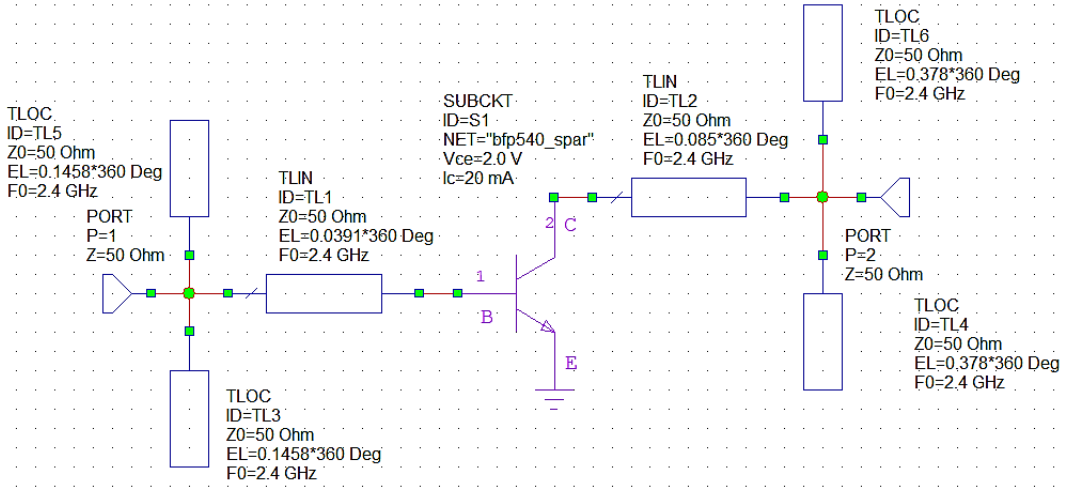
Şekil 3.32. Çıkış uyumlama devresi için Smith grafiği üzerinde yapılan hesaplamalar.

Smith grafiğinden elde edilen uzaklık değerleri 360° ile çarpılmış ve Şekil 3.33'de görüldüğü gibi iletim hattı aracı TLIN ve açık-devre saplama aracı TLOC için EL değeri olarak simülasyonda yerine yazılmıştır.

Şekil 3.33'deki devre, Şekil 3.34'de gösterildiği gibi simetrik saplamalı olarak yeniden uyarlanmıştır. Asimetrik saplamayı hesaplamak için kullanılan suseptans değeri, önce ikiye bölünmüş ve yeni suseptans değerine göre Smith grafiğinden yararlanılarak saplama uzunlukları yeniden belirlenmiştir.



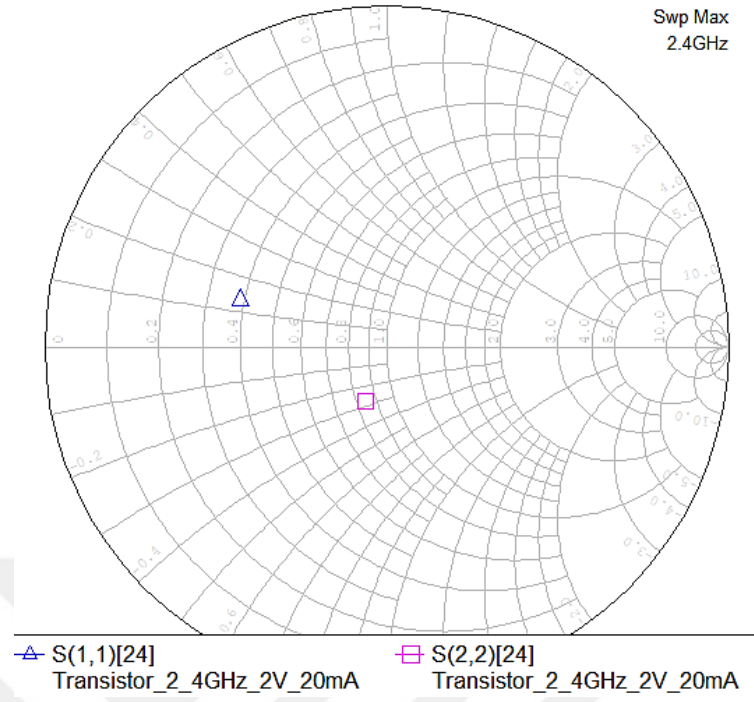
Şekil 3.33. Transistör giriş ve çıkışına L-tipi uyumlama devresinin eklenmesi



Şekil 3.34. L-tipi uyumlama devresinde simetrik saplamaların kullanımı

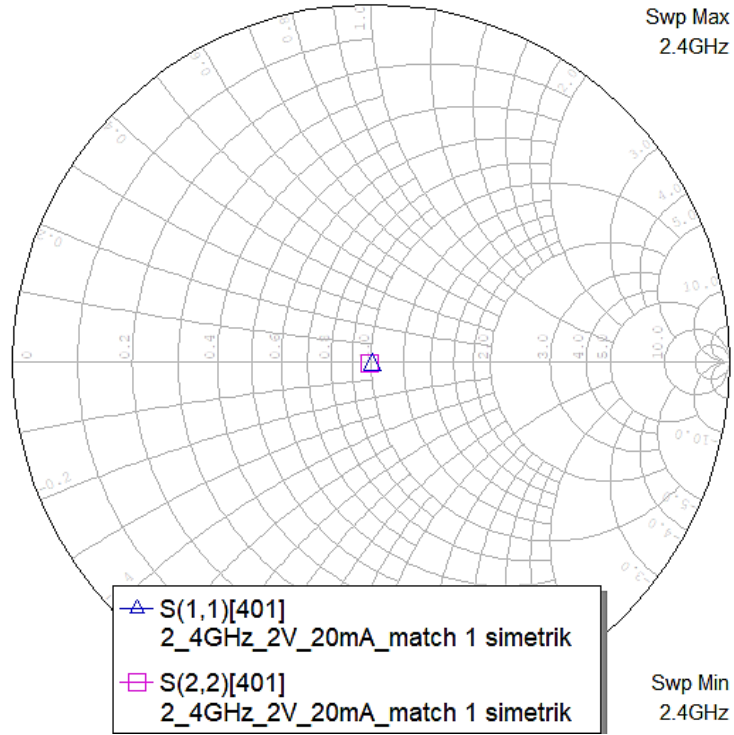
Tasarımda kullanılan transistöre ait S_{11} ve S_{22} parametrelerinin Smith grafiğindeki konumları Şekil 3.35’de görülmektedir. Empedans uyumlama devresi eklendikten sonra, S_{11} ve S_{22} ’nin Smith grafiğinde tam orta noktaya yaklaştığı Şekil 3.36’da görülmektedir. Burada empedans 50Ω ’dur. Devreyi koşulsuz kararlı hale getirmek için çıkışa eklenen şönt direnç ve devreye şönt negatif geribesleme tekniği uygulanması sonucu empedans uyumundaki kayma Şekil 3.37’de görülmektedir.

Uyumlama öncesi Transistör (S11, S22)

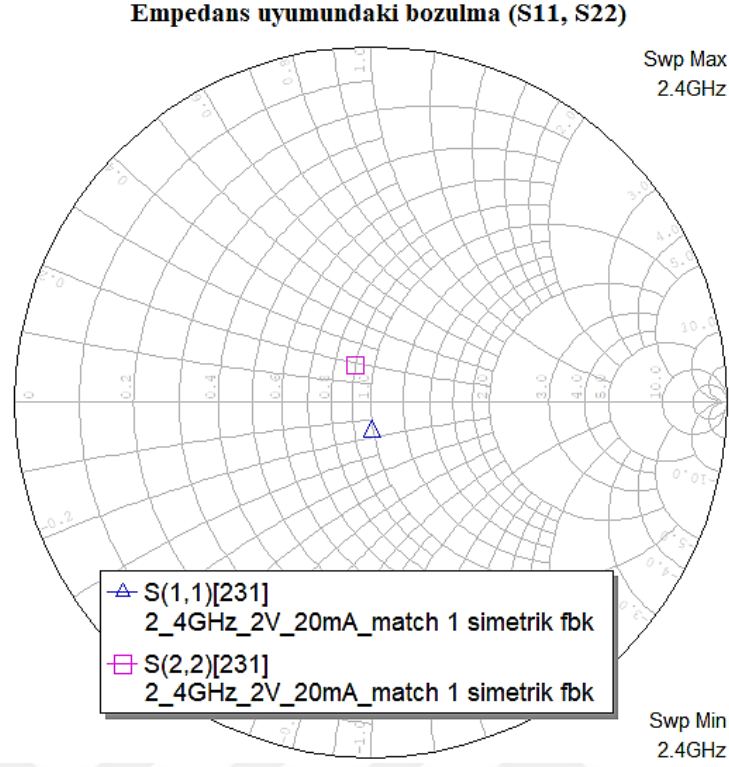


Şekil 3.35. Transistör uyumlanmadan önceki Smith grafiği

Uyumlama sonrası (S11, S22)



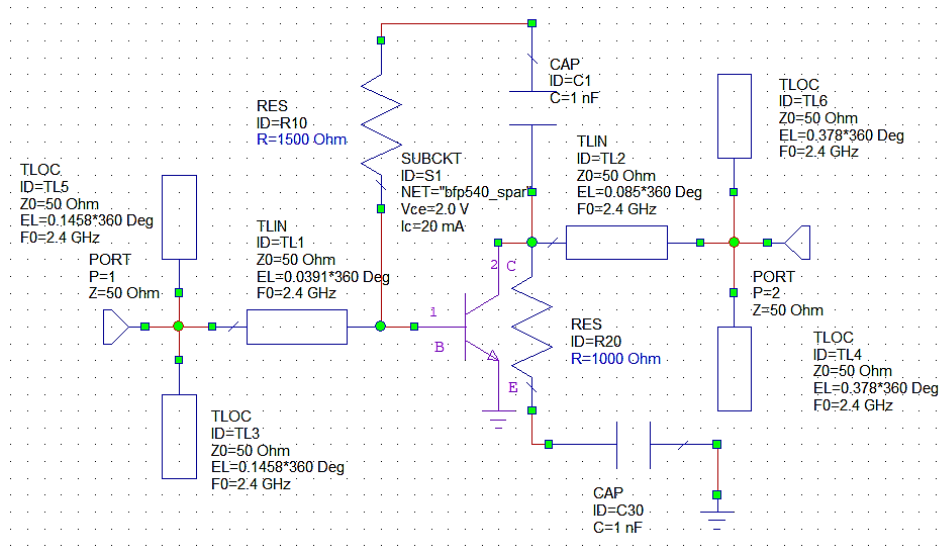
Şekil 3.36. Uyumlama sonrası Smith grafiği



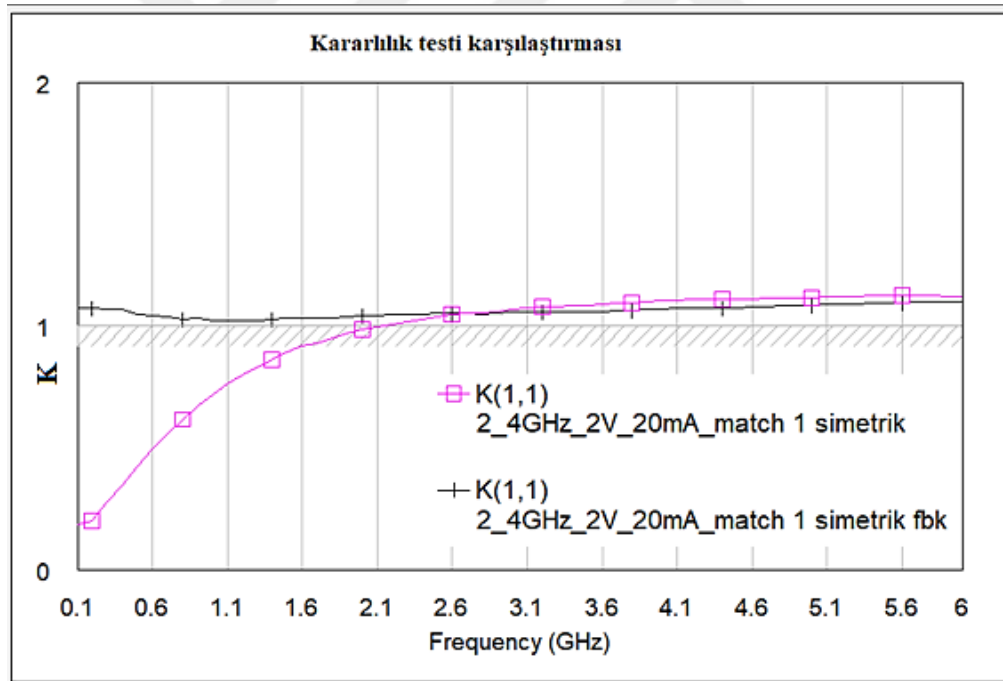
Şekil 3.37. Koşulsuz kararlılık sonrası Smith grafiği ve empedans uyumundaki kayma

Şekil 3.38'deki devre çıkışına eklenen şönt direnç ve şönt geribesleme giriş ve çıkıştaki empedans uyumunda bozulmaya neden olmasına rağmen Şekil 3.39'da görüldüğü üzere devre koşulsuz kararlı hale gelmiştir. Grafikte K değerinin 1'in altına düştüğünü gösteren renkli eğri, empedans uyumlamadan sonra devrenin koşulsuz kararlı hale gelmediğini göstermektedir. Koyu gri renkli eğri ise şönt geribesleme ve çıkışa şönt direnç ekleme sonrasındaki kararlılığa aittir. Devredeki kondansatörler DC blokaj amacı ile eklenmiş olup; çalışma frekansının altında bir değerde seçilmiş olması empedans uyumuna fazla etki etmemelerini sağlar.

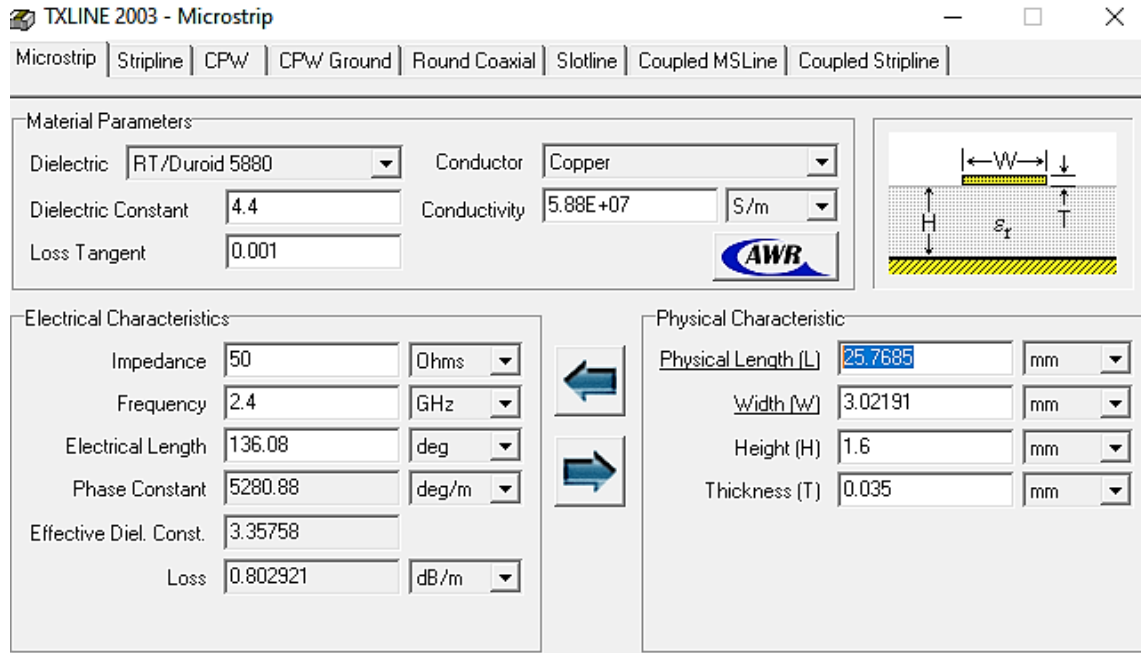
Şekil 3.40'da görülen TXLINE aracı ile elektriksel uzunluklar fiziksel değerlere çevrilebilir. Şekil 3.41'de devrenin fiziksel uzunluklar ile tasarlanmış empedans uyumlu hali görülmektedir. İletim hatları ve saplamaların değerleri mm cinsinden seçilmiştir.



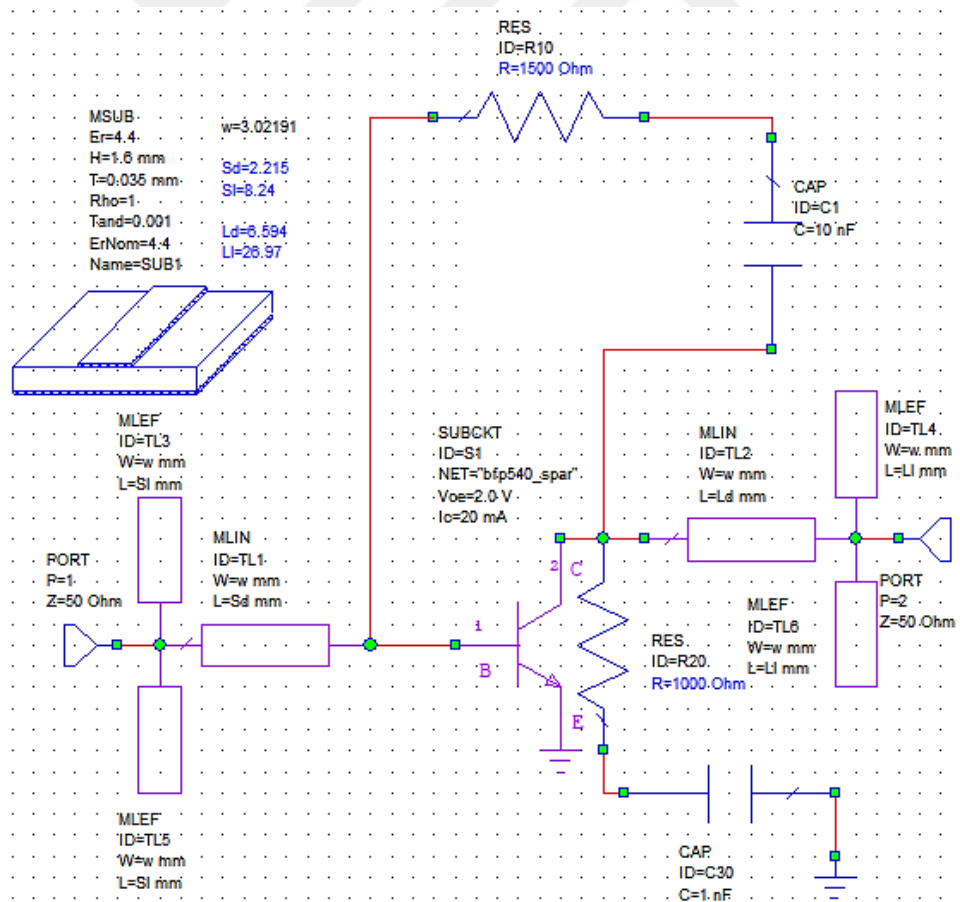
Şekil 3.38. Negatif şönt geri-beslemeli ve çıkışı şönt dirençli devre



Şekil 3.39. Negatif şönt geribesleme ve çıkışa şönt direnç eklenmesi sonrası kararlılık eğrisi



Şekil 3.40. TXLINE aracı elektriksel özellikler ve fiziksel özellikler arasında dönüşüm yapar



Şekil 3.41. İletim hatları ve sapsamalar “Tune” aracı ile yeniden düzeltilmiş devrenin son hali

4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA

RF yükselteç tasarımı, Şekil 3.1’de verilen akış diyagramındaki aşamalara uygun olarak gerçekleştirilmiştir. AWR Design Environment programında A sınıfı ortak emitter’li RF yükselteç tasarlanmış ve simülasyon sonuçları incelenmiştir. Tasarımlar en yüksek kazanca göre yapılmıştır.

Önce BFP540 transistörüne simülasyon ortamında kararlılık testi uygulanmıştır. Bu transistöre ait S parametreleri, AWR Design Environment programından alınarak tablo haline getirilmiştir (Çizelge 4.1). Matlab’da yazılan hesaplama programı (Ek-1) ile elde edilen admitans değerlerinden, Smith grafiği kullanılarak gerekli saplama ve iletim hattı değerleri bulunmuştur. Bulunan değerler ile L tipi uyumlama devreleri tasarlanmış ve yükselteç tekrar kararlılık testine sokulmuştur. Daha sonra koşulsuz kararlılık sağlanması için negatif geribesleme uygulanmış ve yükselteç çıkışında şönt direnç kullanılmıştır.

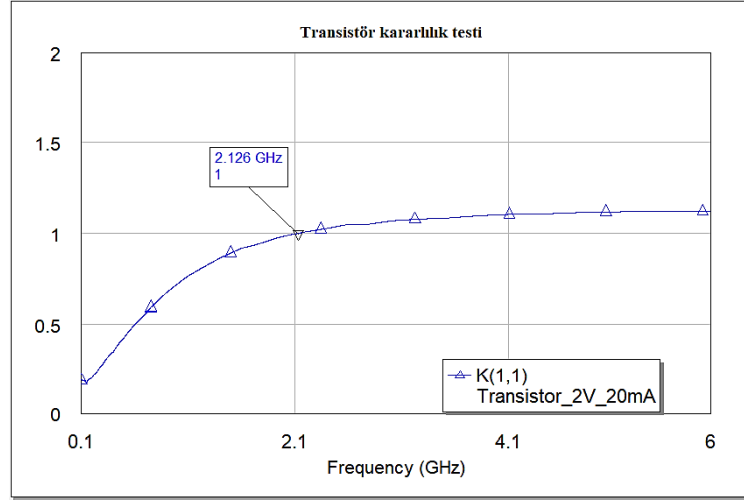
Son olarak, NF incelenmiş ve bant genişliğini artırıcı yöntemler üzerinde çalışılmıştır. En geniş bantlı tasarıma ulaşıldıktan sonra daha düşük collector akımı için hesaplamalar yapılmış ve önceki sonuçlar ile karşılaştırılmıştır.

Çizelge 4.1. BFP540 transistörüne ait saçılma parametreleri

BFP540 S Parametreleri @ $V_{ce} = 2V, I_c = 20mA$	S_{11}	S_{21}	S_{12}	S_{22}
@ 2,4GHz	0,5953 $\angle 114,4^\circ$	2,745 $\angle 22,8^\circ$	0,1360 $\angle 27,1^\circ$	0,2051 $\angle 148,2^\circ$
@ 5GHz	0,5766 $\angle 112,9^\circ$	2,963 $\angle 24,0^\circ$	0,1320 $\angle 32,6^\circ$	0,1433 $\angle 154,8^\circ$

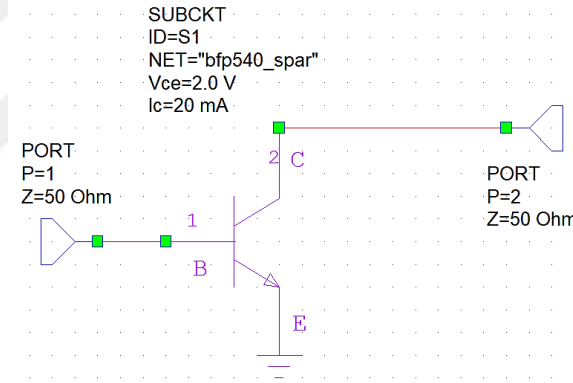
4.1. Kararlılık Testi

Devreye maksimum kazanca göre tasarlandığı için ilk olarak K ve $|\Delta|$ değerleri hesaplanmıştır. 2,4 GHz için $K = 1,0281$, $|\Delta| = 0,4370$ ve 5 GHz için $K = 1,1177$, $|\Delta| = 0,4806$ bulunmuştur. Seçilen değerlerde transistör kararlıdır. Simülasyonda bütün bir frekans bandı tarandığında, Şekil 4.1’de görüldüğü gibi, belirli bir frekansın altında transistörün kararsız olduğu görülmüştür. $K < 1$ olduğu bölgede salınım riski vardır.



Şekil 4.1. BFP540 transistörüne ait kararlılık K eğrisi

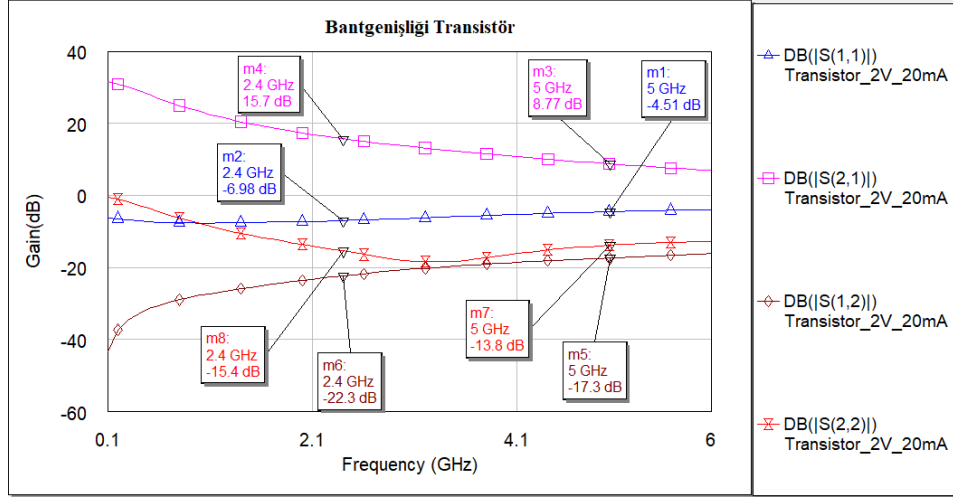
Bu durumda devre koşullu kararlıdır. 2,126 GHz frekansının üzerinde salınım riski olmadan çalıştırılabilir. Henüz empedans uyumlama yapılmadan önce transistörün giriş ve çıkış uçları Şekil 4.2'deki gibi 50 Ω ile sonlandırılmıştır.



Şekil 4.2. Empedans uyumlama yapılmamış BFP540 transistörü

4.2. Empedans Uyumlama Uygulaması

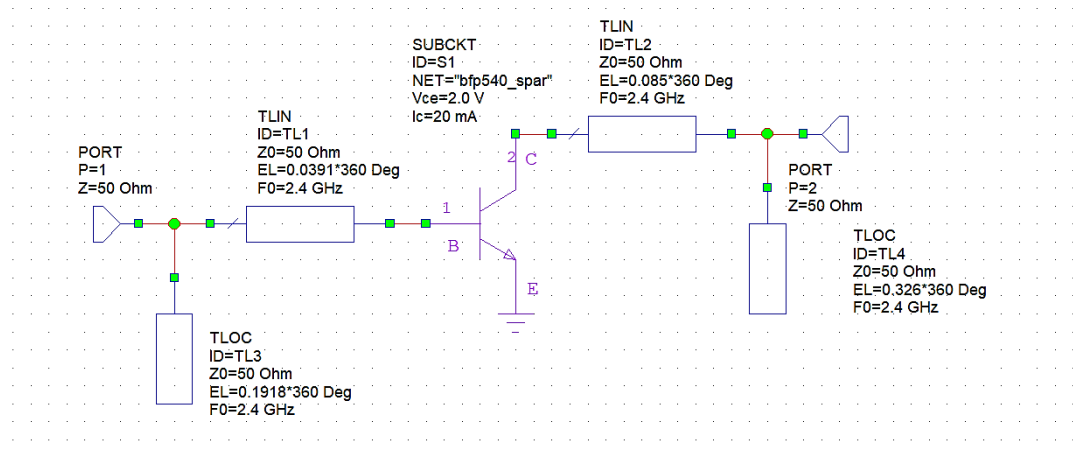
S parametrelerinin frekansa göre değişim eğrileri Şekil 4.3'de birlikte görülmektedir. Frekans arttıkça ileri yönlü kazanç S_{21} azalmış ve geri yönlü kazanç S_{12} artmıştır. Çıkış yansıma değerleri S_{22} düşük olmasına rağmen, giriş yansıma değerleri S_{11} yüksektir.



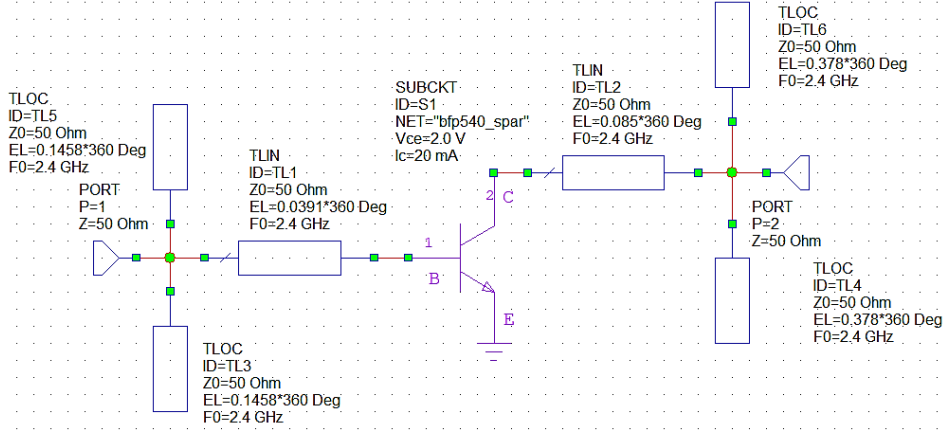
Şekil 4.3. BFP540 transistörüne ait ileri-geri yönlü kazanç ve yansıma eğrileri.

Saçılma parametreleri kullanılarak EK-1’de verilen hesaplama programı ile 2,4 GHz için $y_s = 5,7305 + j4,0622$, $y_l = 0,2751 - j0,7045$ ve 5 GHz için $y_s = 0,6340 + j1,5085$, $y_l = 0,8814 - j0,6185$ olarak bulunmuştur. Bu değerler kullanılarak empedans uyumlama için simetrik saplama ve asimetrik saplamadan oluşan L tipi uyumlama devreleri tasarlanmıştır. Uyumlama devrelerinin hesapları yapılırken yine Smith grafikleri kullanılmış ve hem birinci hem ikinci kesişim noktalarındaki hesaplamalara göre devreler simüle edilmiş ve grafikleri karşılaştırılmıştır.

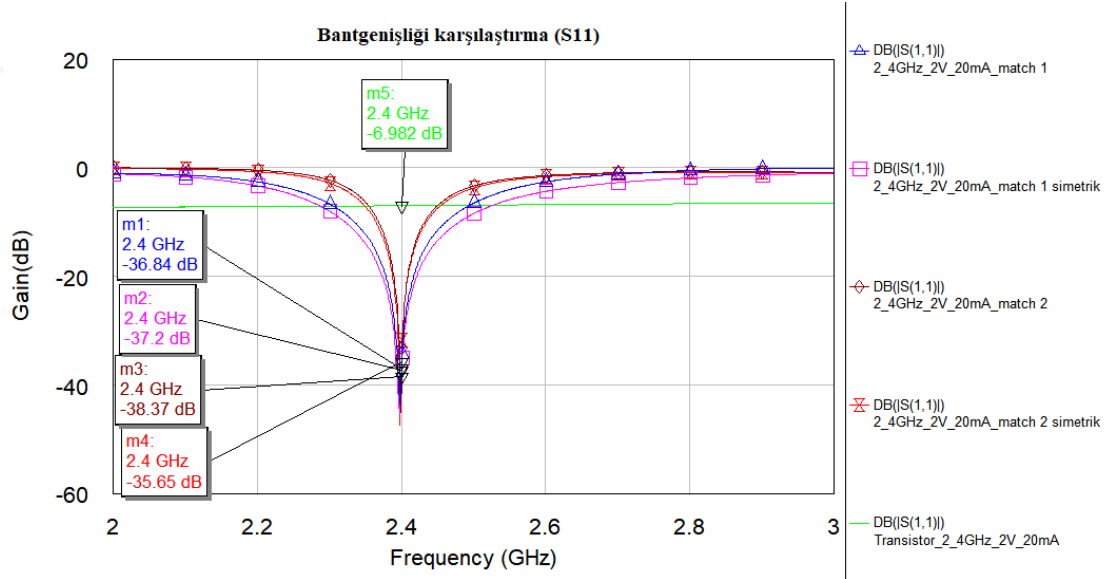
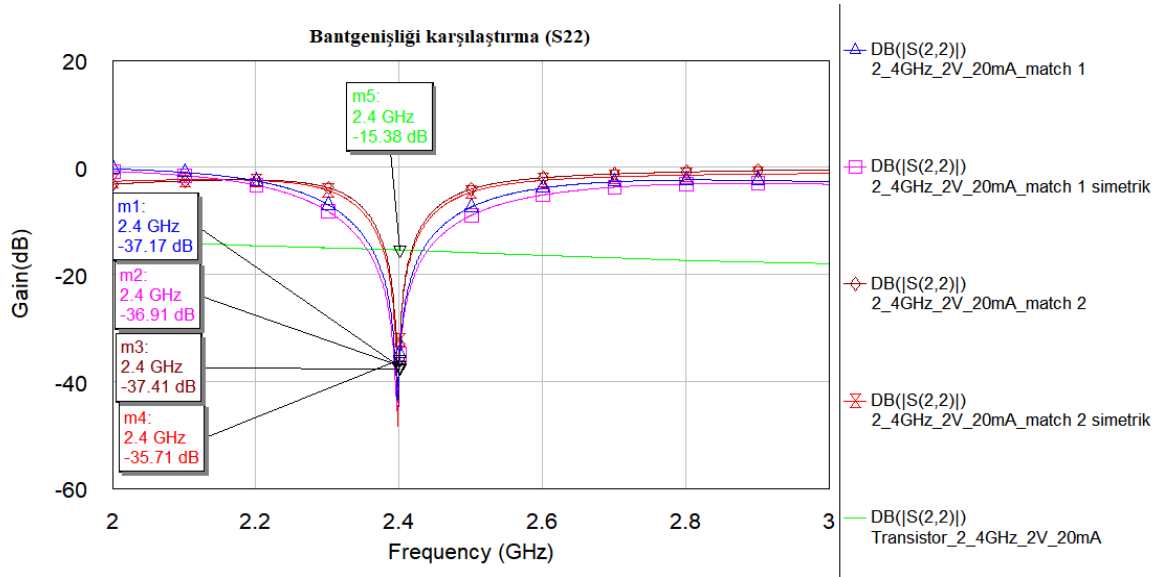
Şekil 4.4 ve Şekil 4.5’teki devreler hem birinci hem de ikinci kesişim noktalarındaki hesaplamalara göre simüle edilmiş; S_{11} , S_{22} , S_{12} ve S_{21} saçılma parametrelerine ait sonuçlar sırasıyla Şekil 4.6, Şekil 4.7, Şekil 4.8 ve Şekil 4.9’da verilmiştir.

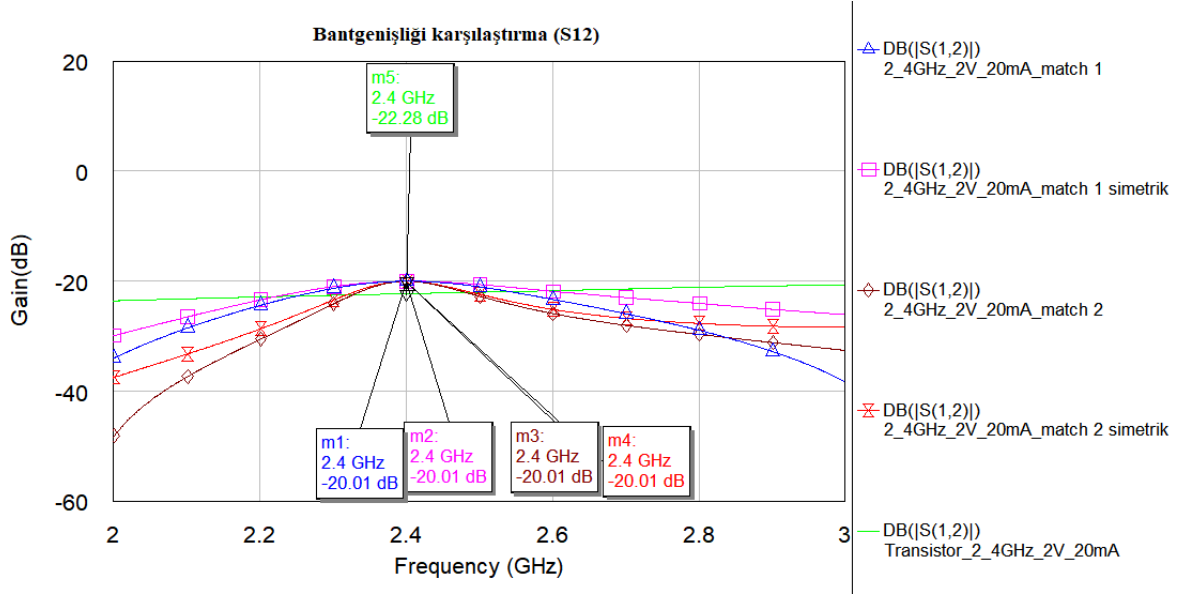


Şekil 4.4. Asimetrik saplamalı L tipi uyumlama devre

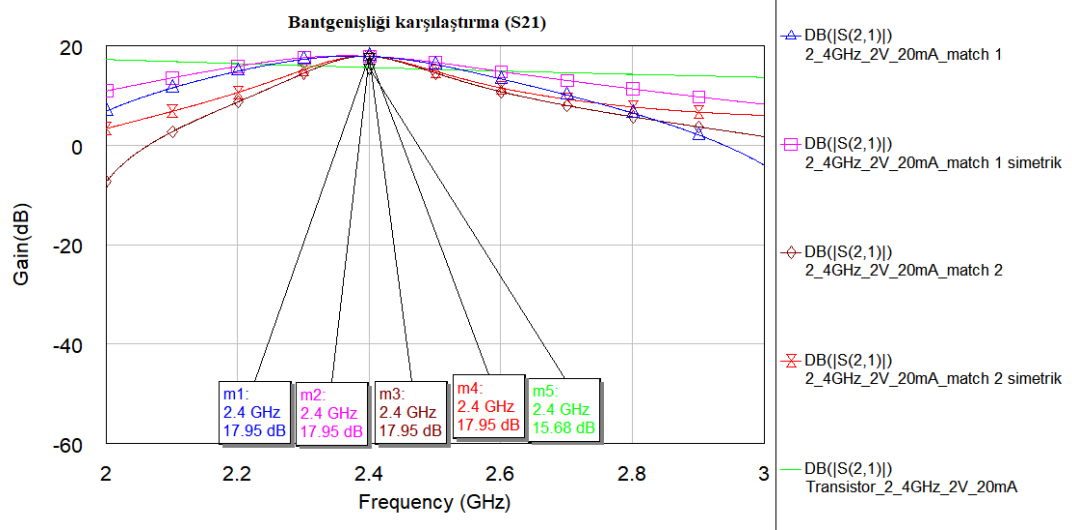


Şekil 4.5. Simetrik saplamalı L tipi uyumlamalı devre

Şekil 4.6. Asimetrik ve simetrik saplamalı devrelerin S_{11} giriş yansımalarıŞekil 4.7. Asimetrik ve simetrik saplamalı devrelerin S_{22} çıkış yansımaları



Şekil 4.8. Asimetrik ve simetrik saplamalı devrelerin S_{12} geri yön kazançları



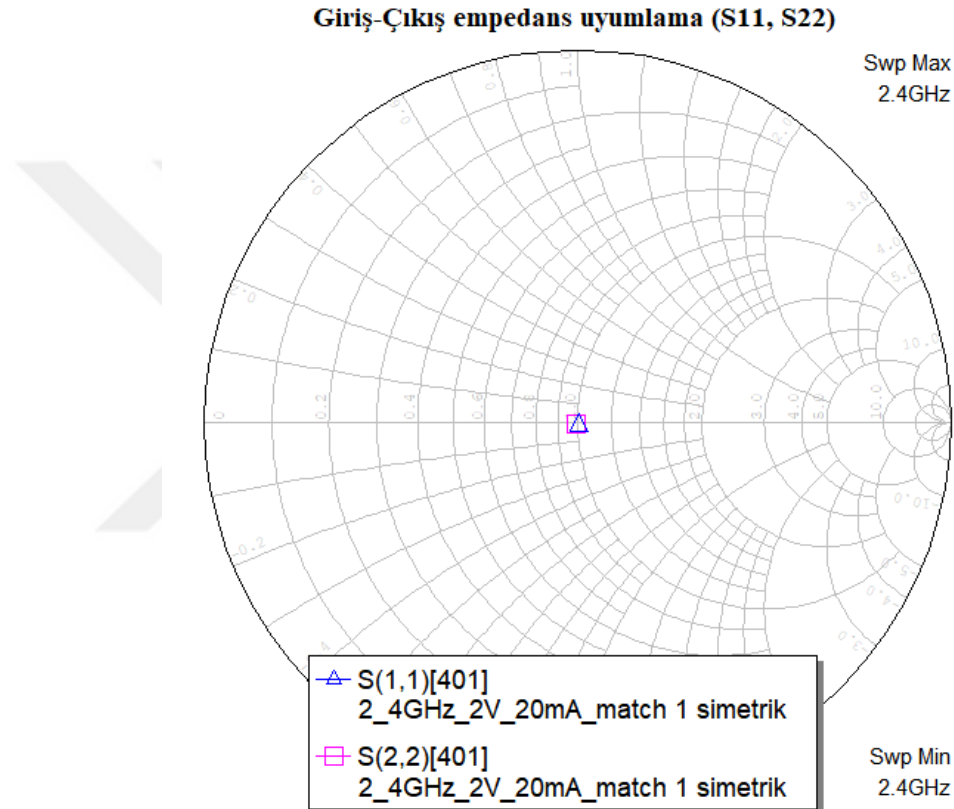
Şekil 4.9. Asimetrik ve simetrik saplamalı devrelerin S_{21} ileri yön kazançları

Şekil 4.6, Şekil 4.7, Şekil 4.8, ve Şekil 4.9'daki grafiklerde m1 birinci kesişim noktasındaki hesaplamalara ait asimetrik saplamalı, m2 birinci kesişim noktasındaki hesaplamalara ait simetrik saplamalı, m3 ikinci kesişim noktasındaki hesaplamalara ait asimetrik saplamalı, m4 ikinci kesişim noktasındaki hesaplamalara ait simetrik saplamalı devrelere ait eğrilere ve m5 ise devreye empedans uyumlaması yapılmadığı haldeki eğriye ait işaretçilerdir.

Şekil 4.6'dan Şekil 4.9'a kadardaki frekans-kazanç eğrilerine ait her bir S parametre değişimi incelendiğinde birinci kesişim noktasındaki hesaplamalara göre tasarlanan uyumlama devresinin, ikinci kesişim noktasındaki hesaplamalara göre

tasarlanan devreden daha geniş bir bant aralığı sağladığı; simetrik saplamalı uyumlama devresinin de asimetrik saplamalı devreye göre daha geniş bir bant aralığı sağladığı görülmektedir.

Şekil 4.10'da, empedans uyumlaması sonrası çemberin tam orta noktasına oldukça yaklaşıldığı görülmektedir. Çemberin ortası hem empedans hem de admitans değeri için $1+j0$ 'dır. Z_0 karakteristik empedans değeri ile çarptığımızda 50Ω değerine ulaşılır, bu da empedans uyumlamanın gerçekleştiğini gösterir.



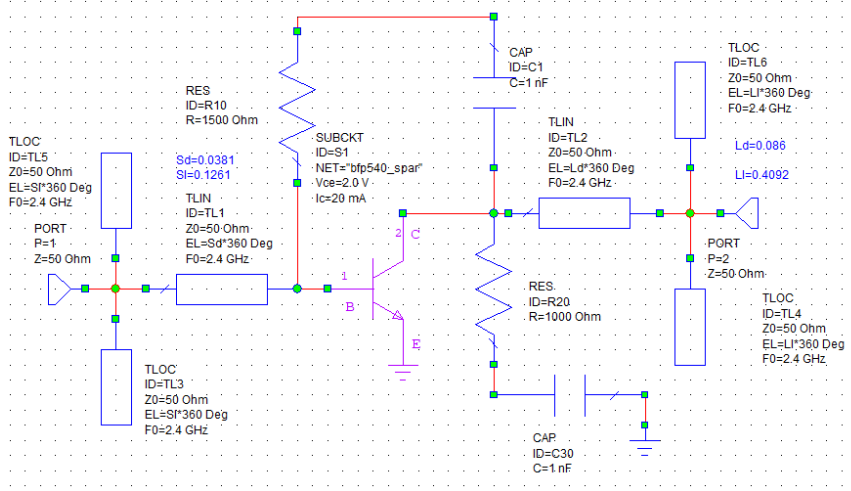
Şekil 4.10. Empedans uyumlaması sonrası S_{11} ve S_{22} parametrelerinin Smith grafiğindeki konumları

4.3. Devrenin Koşulsuz Kararlı Hale Getirilmesi

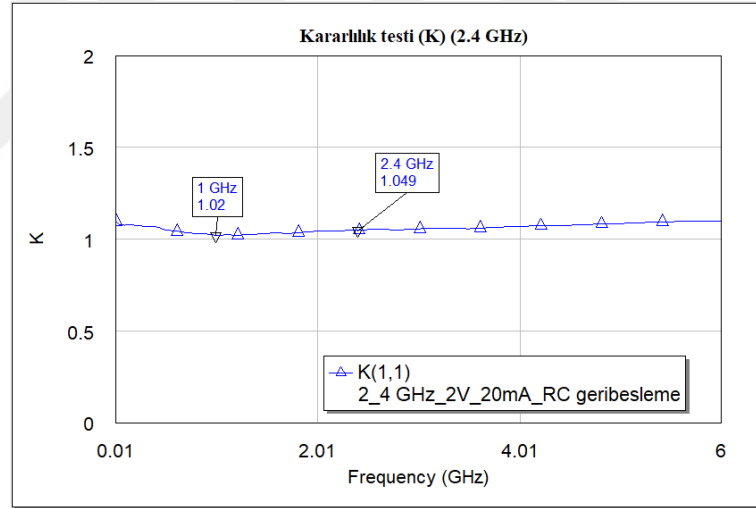
Devrenin koşulsuz olarak kararlı hale getirilmesi için çıkış ucuna şönt direnç eklenmiş ve devrede negatif şönt geribesleme tekniği uygulanmıştır. Ayrıca DC blokaj için, Şekil 4.11'deki gibi, her iki dirence seri olarak birer kondansatör eklenmiştir.

Kararlılık için eklenen elemanlar empedans uyumunda bozulmalara neden olmuştur. Tekrar “Tune” aracı kullanılarak devre Şekil 4.10'daki gibi S_{11} ve S_{22} parametreleri Smith grafiğinin tam orta noktasında konumlanacak şekilde ayarlanmıştır. Ayrıca iletim hatları ve saplamalara ait elektriksel uzunluklar “TXLine” aracı ile mm

cinsinden fiziksel uzunluklara dönüştürülmüştür. Şekil 4.12’de, Şekil 4.11’deki devreye ait eğrinin tüm frekans bandı boyunca $K > 1$ olduğu görülmektedir.

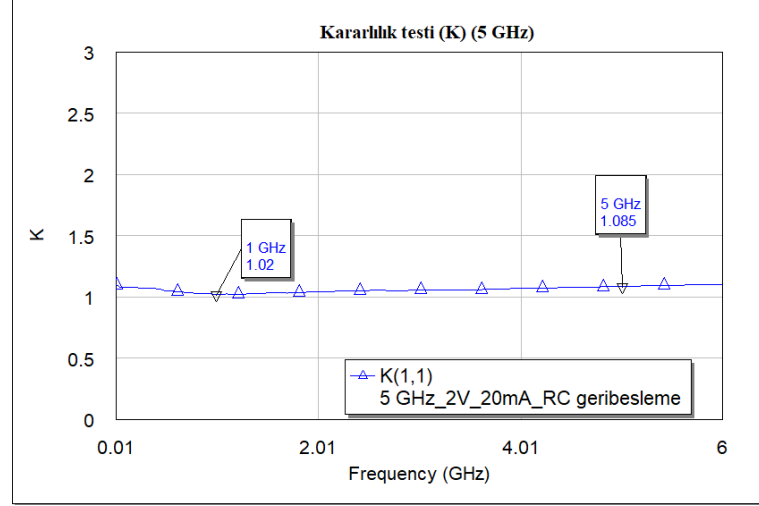


Şekil 4.11. Çıkışına şönt direnç eklenmiş şönt geribeslemeli devre



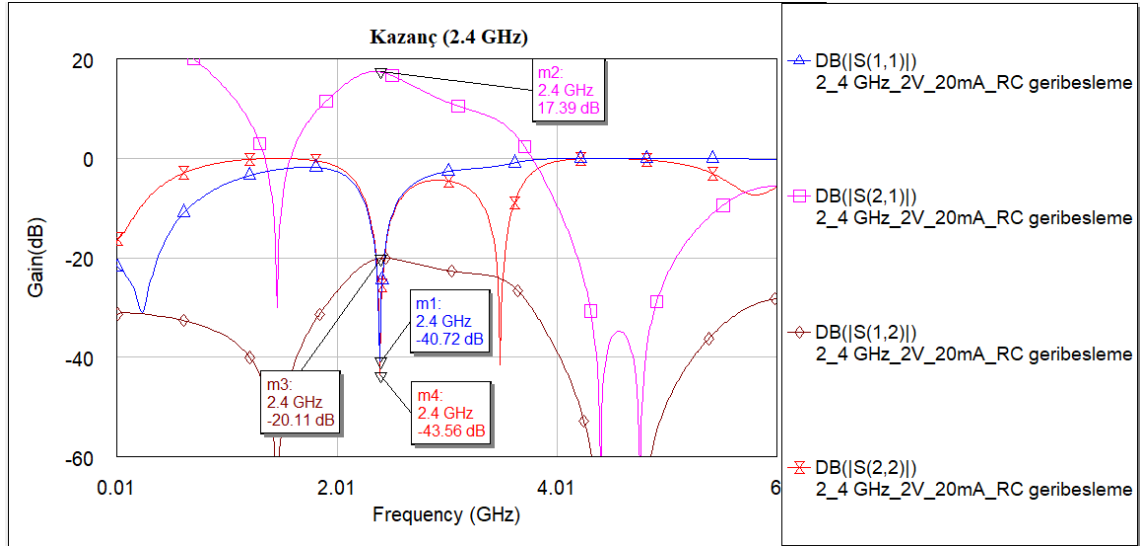
Şekil 4.12. (2,4 GHz) Koşulsuz kararlı hale getirilmiş devrenin K kararlılık eğrisi

Şekil 4.10’daki aynı devrenin 5 GHz’e göre uyumlanmış halinin kararlılık eğrisi Şekil 4.13’te verilmiştir. İki devrede aynıdır aradaki tek fark empedans uyumlama devresindeki iletim hatları ve saplamaların değerleridir. K her iki durumda da 1’den büyüktür.

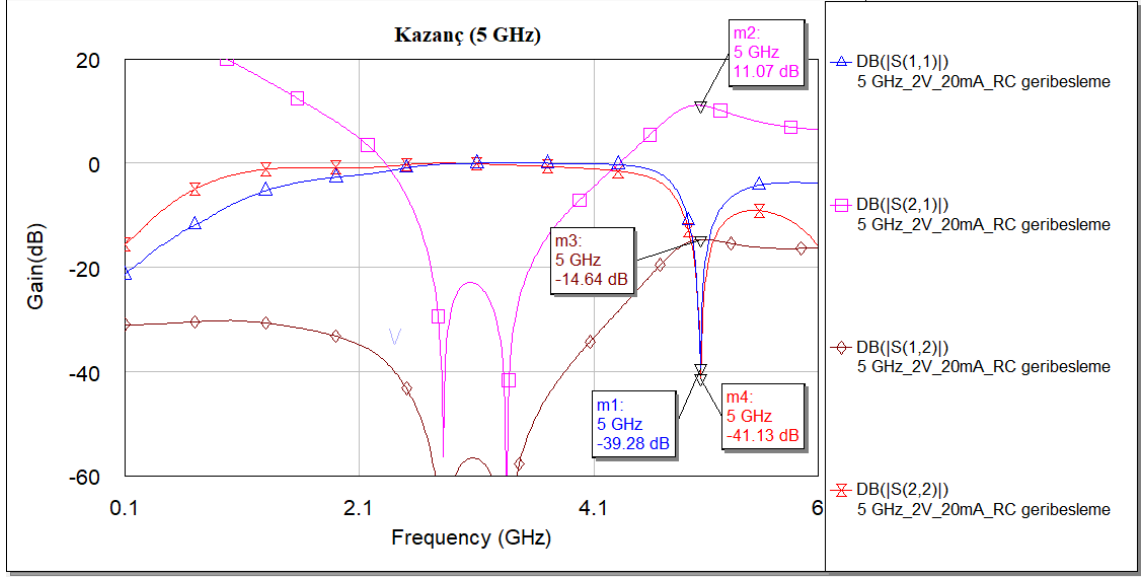


Şekil 4.13. (5 GHz) Koşulsuz kararlı hale getirilmiş devrenin K kararlılık eğrisi

Şekil 4.14'te görüldüğü gibi, 2,4 GHz'e göre uyumlanmış devrenin giriş ve çıkış yansıma değerleri S_{11} ve S_{22} oldukça düşüktür. İleri yön kazancı S_{21} 17 dB'nin üzerindedir. Şekil 4.15'te görüldüğü gibi, 2,4 GHz'e göre tasarlanmış devreninkiler kadar düşük seviyede olmasa da, 5 GHz'e göre uyumlanmış devrenin giriş ve çıkış yansıma değerleri S_{11} ve S_{22} de oldukça düşük seviyede olduğu görülmektedir. İleri yön kazancı S_{21} uyumlandığı frekansta 11 dB'e yakın çıkmıştır.

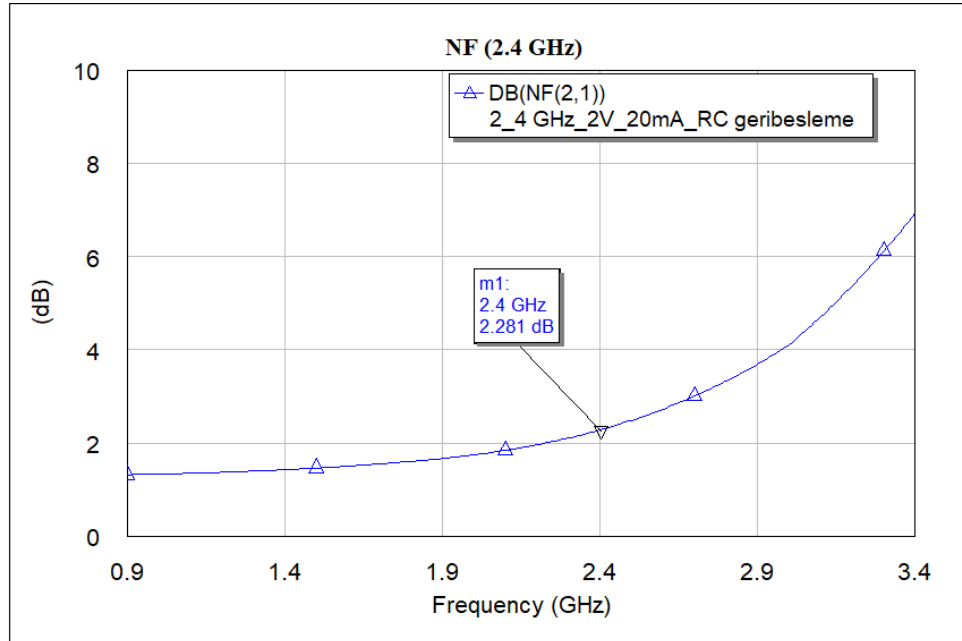


Şekil 4.14. (2,4 GHz) Kazanç frekans ekseninde ileri-geri yön kazanç ve yansıma eğrileri

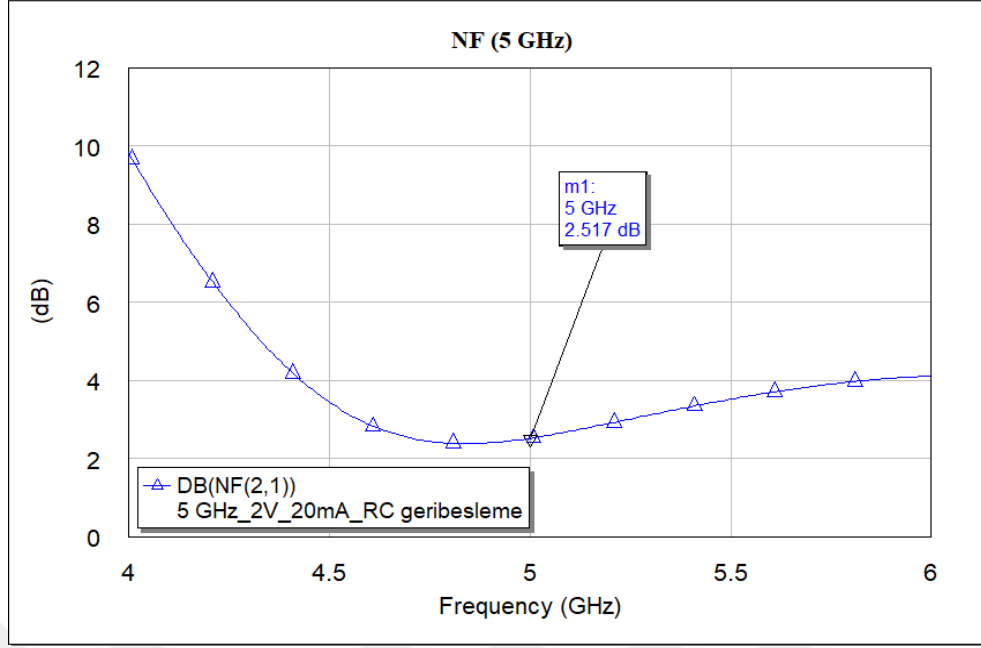


Şekil 4.15. (5 GHz) Kazanç frekans ekseninde ileri-geri yön kazanç ve yansıma eğrileri

Şekil 4.16 ve Şekil 4.17’de sırası ile 2,5 GHz ve 5 GHz’e göre tasarlanmış devrelerin gürültü figürü (NF) değerlerinin oldukça yüksek olduğu gözlemlenmektedir. Yükselteç devrelerinin en yüksek kazançla göre tasarlanmaları, iç sıcaklığın etkisiyle NF değerlerinden ödün verilmesine neden olmuştur.

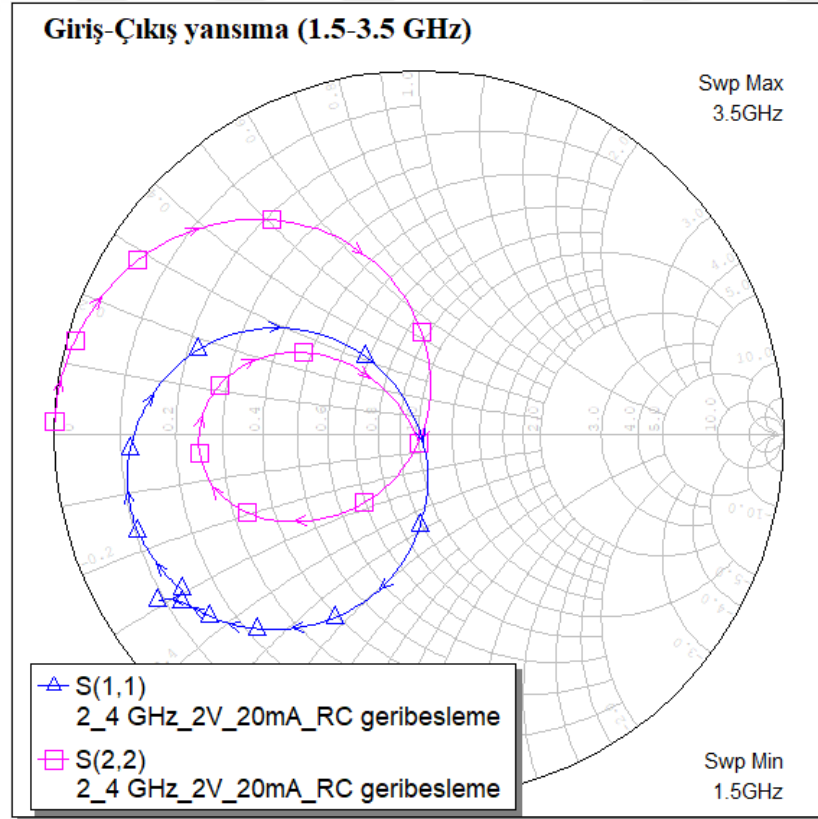


Şekil 4.16. 2,4 GHz’e göre uyumlanmış devrenin NF eğrisi



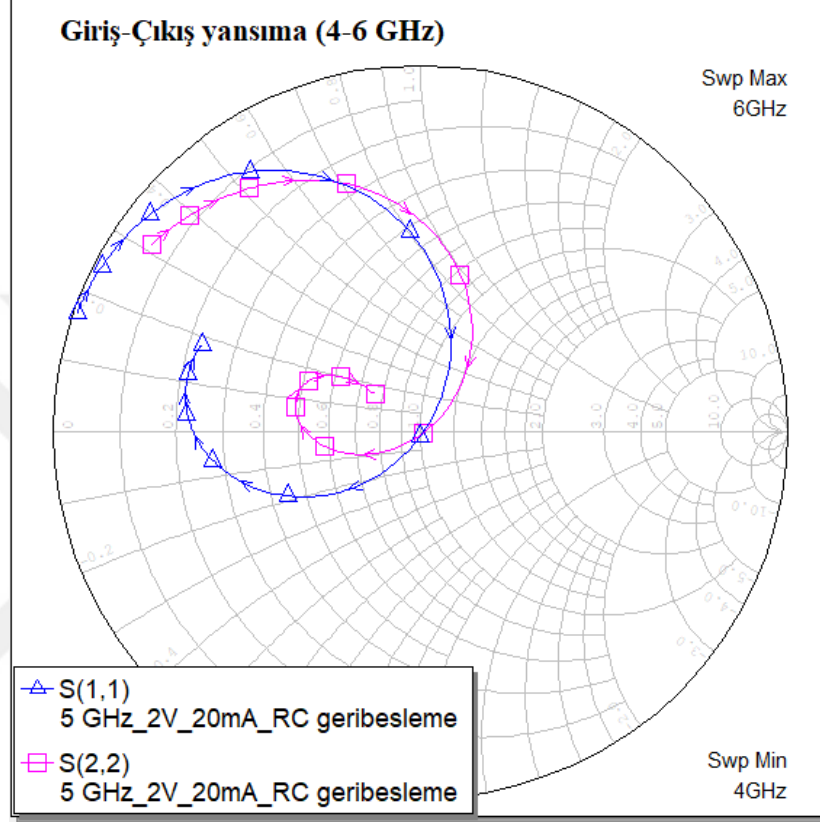
Şekil 4.17. 5 GHz'e göre uyumlanmış devrenin NF eğrisi

Empedans uyumlamanın sadece belli bir frekansa göre yapılması diğer frekanslarda bu uyumun bozulmasına neden olmaktadır. Şekil 4.18 ve Şekil 4.19'da sırası ile 2,4 GHz ve 5 GHz'e göre uyumlanmış devrenin "Tune" aracı ile sentezlenmesi sonrası



Şekil 4.18. (1,5GHz – 3,5 GHz) aralığında Smith grafiğinde S_{11} , S_{22} parametrelerinin konumu

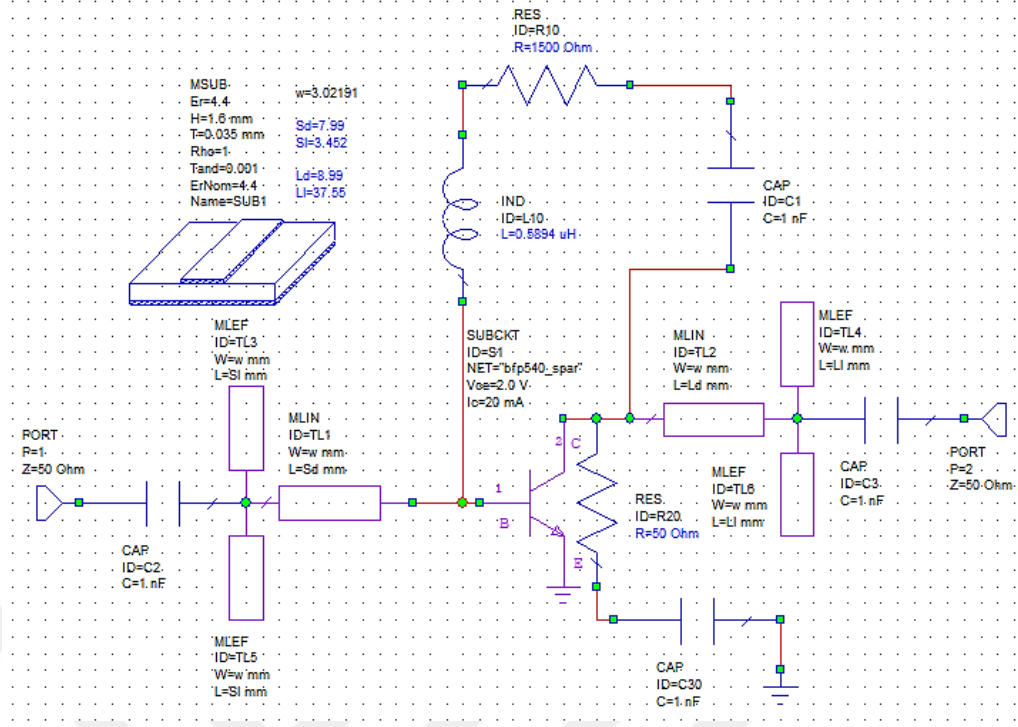
S_{11} ve S_{22} parametrelerinin Smith grafiği üzerindeki konumlarının değişimi görülmektedir. Simülasyonlar, 2,4 GHz'e göre uyumlanmış devre için 1,5 GHz – 3,5 GHz frekans aralığında, 5 GHz'e göre uyumlanmış devre için ise 4 GHz – 6 GHz frekans aralığında gerçekleştirilmiştir.



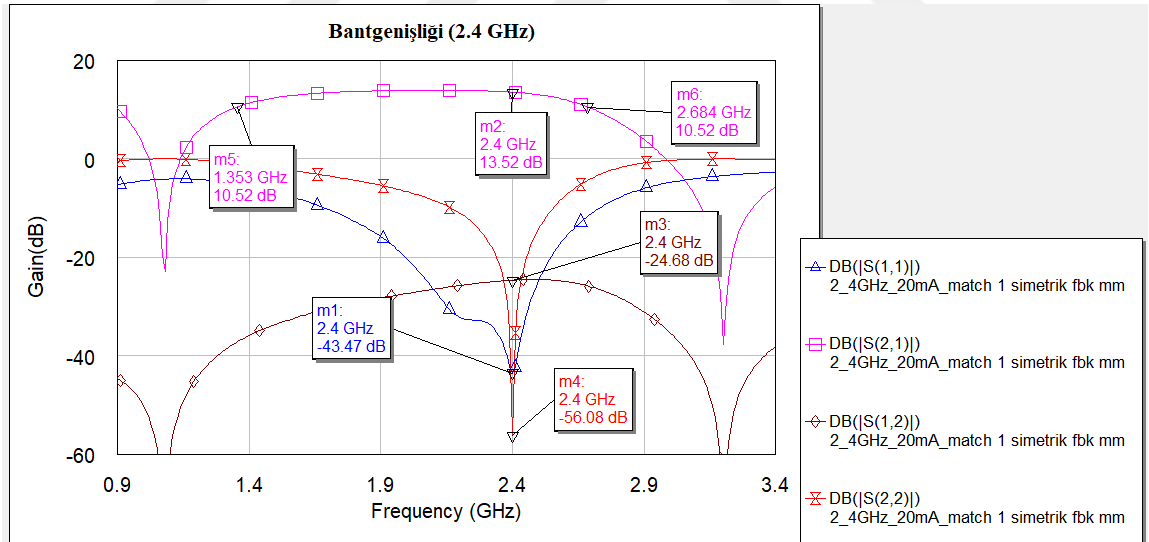
Şekil 4.19. (4 GHz – 6 GHz) aralığında Smith grafiğinde S_{11} ve S_{22} parametrelerinin konumu

4.4. Bant Genişliğinin Artırılması ve Gürültünün azaltılması

Bant genişliğini artırmak için Şekil 4.20'de görülen devrede çıkıştaki kararlılığı artırmak için eklenmiş şönt direncinin değeri düşürülerek, devrenin kazancı azaltılmış ve böylece Şekil 4.21'de görüldüğü gibi daha geniş bir bant aralığında daha doğrusal bir kazanç elde edilmiştir. Bu işlem 2,4 GHz'e göre tasarlanan devrede 5 dB'den fazla kazanç kaybına neden olmuştur. Bant genişliğini artırmaya yönelik işlem 5 GHz'e göre uyumlanmış devre için de uygulanmaya çalışılmış, fakat anlamlı veriler elde edilemediğinden ve bozulan empedans uyum değerlerine yeniden yaklaşamadığı için vazgeçilmiştir.



Şekil 4.20. (2,4 GHz) Kazancı düşürülmüş geribeslemesi bobinli devre

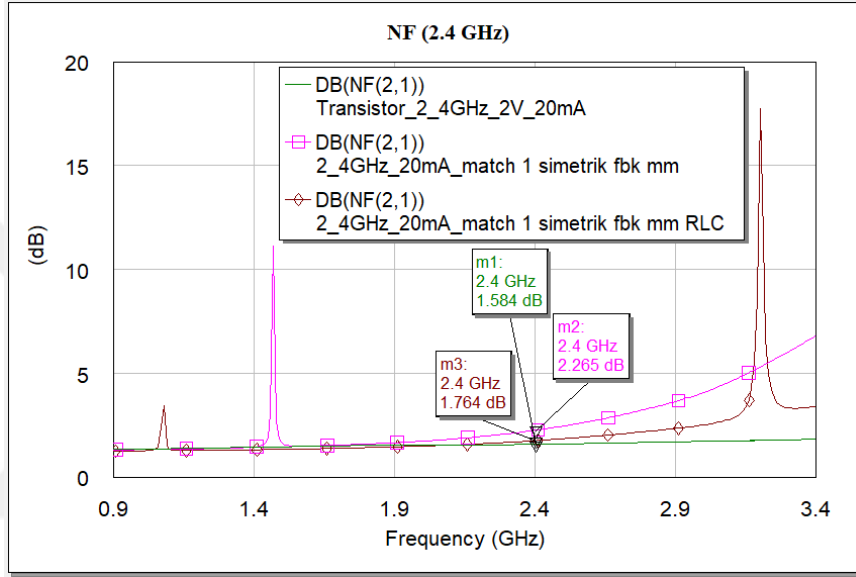


Şekil 4.21. (2,4 GHz) Kazancı düşürülmüş geribeslemesi bobinli devrenin kazanç ve yansıma eğrileri

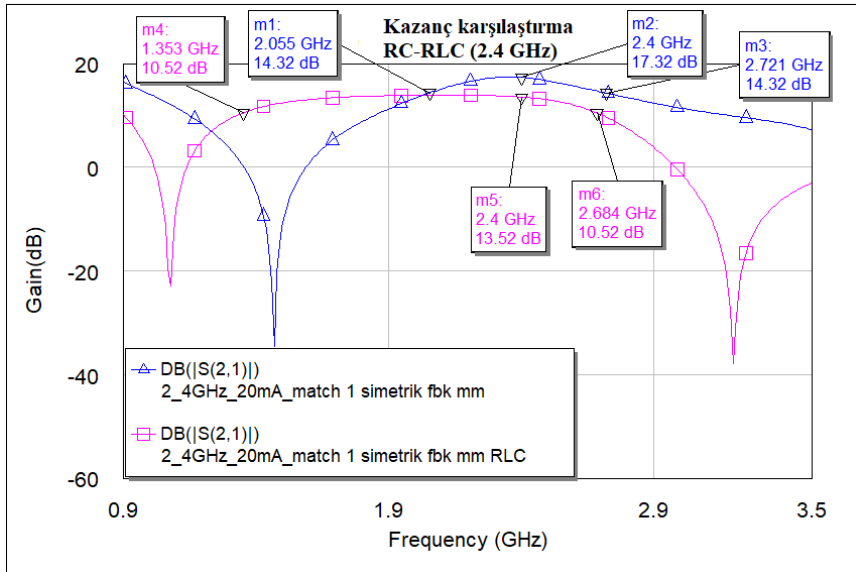
Devredeki kondansatörler DC blokajı amacı ile eklenmiş ve çalışılan frekans aralığında filtre etkisi oluşmayacak şekilde oldukça büyük değerler seçilmiştir. Dirençli negatif şönt geribesleme devresine bobin ilave edilerek Şekil 4.22’de görüldüğü gibi devrenin gürültü değerlerinde iyileşme sağlanmıştır, NF 2,265 dB’den 1,764 dB’e

düşmüştür. Transistöre ait NF 1,584 dB değeri, empedans uyumu ve koşulsuz kararlılık sağlanmadan önceki değerdir.

Şekil 4.23, kazancın tepe noktasında 4 dB'ye yakın bir zayıflamanın bant genişliğine olumlu etkisini göstermektedir. Kazanç 17,32 dB'den 13,52 dB'e düşmüştür. Çıkıştaki şönt direnç 1 k Ω 'dan 50 Ω 'a düşürülerek bant genişliği iki kata yakın artırılmıştır. Benzer işlem daha önce de bahsedildiği gibi 5 GHz'e göre uyumlanmış devrede kayda değer sonuç vermemiştir. Devrelere yapılan her işlem sonrası, empedans

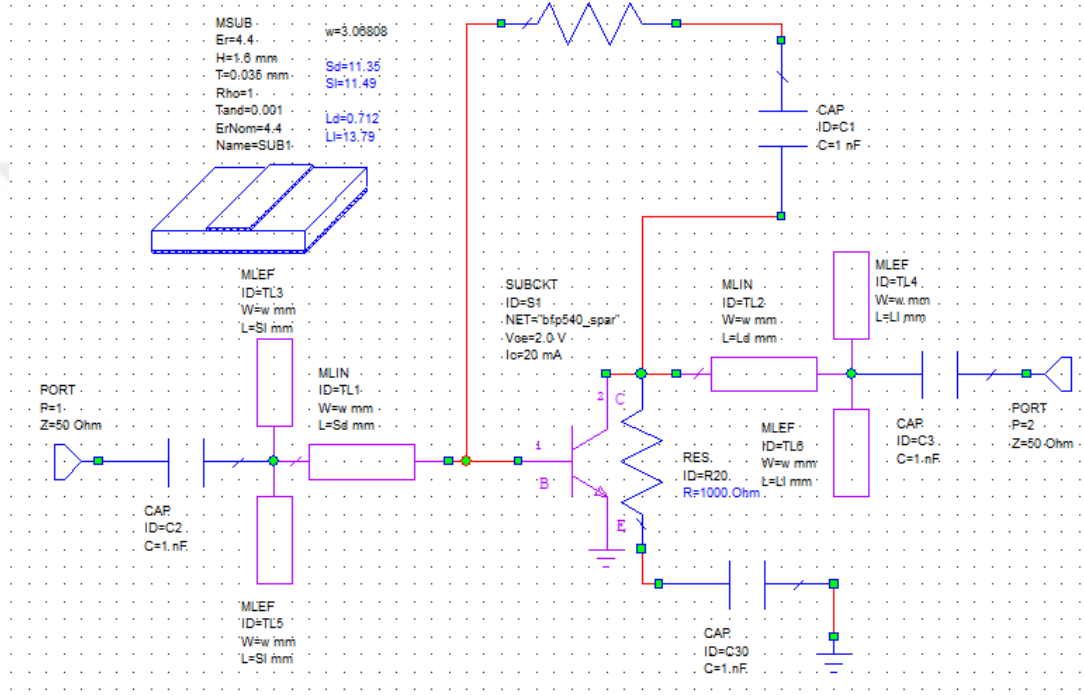


Şekil 4.22. (2,4 GHz) NF değerindeki düzelme



Şekil 4.23. (2,4 GHz) Şekil 4.11 (m1, m2, m3) ve Şekil 4.20'deki (m3, m4, m5) devrelerin bant genişliği değişimi.

uyumlamadaki kaymalardan dolayı sonuç değerlerinde kötüye gidiş olmuş, daha sonra “Tune” aracı ile tekrar empedans uyumu sağlanarak, mümkün olan en iyi değerlerine ulaşılmıştır. Şekil 4.24’de 5 GHz için düzenlenmiş devrenin son hali görülmektedir. Empedans uyumundaki kaymalar “Tune” aracı ile düzeltilmiş ve kullanılan yöntemlerle bant genişliği ve NF değerinde anlamlı bir iyileşme sağlanamadığı için devre son hali ile bırakılmıştır. Ayrıca kullanılan transistöre ait doğrusal olmayan model verisi olmadığı için devrelere IP_3 testi yapılmamıştır.

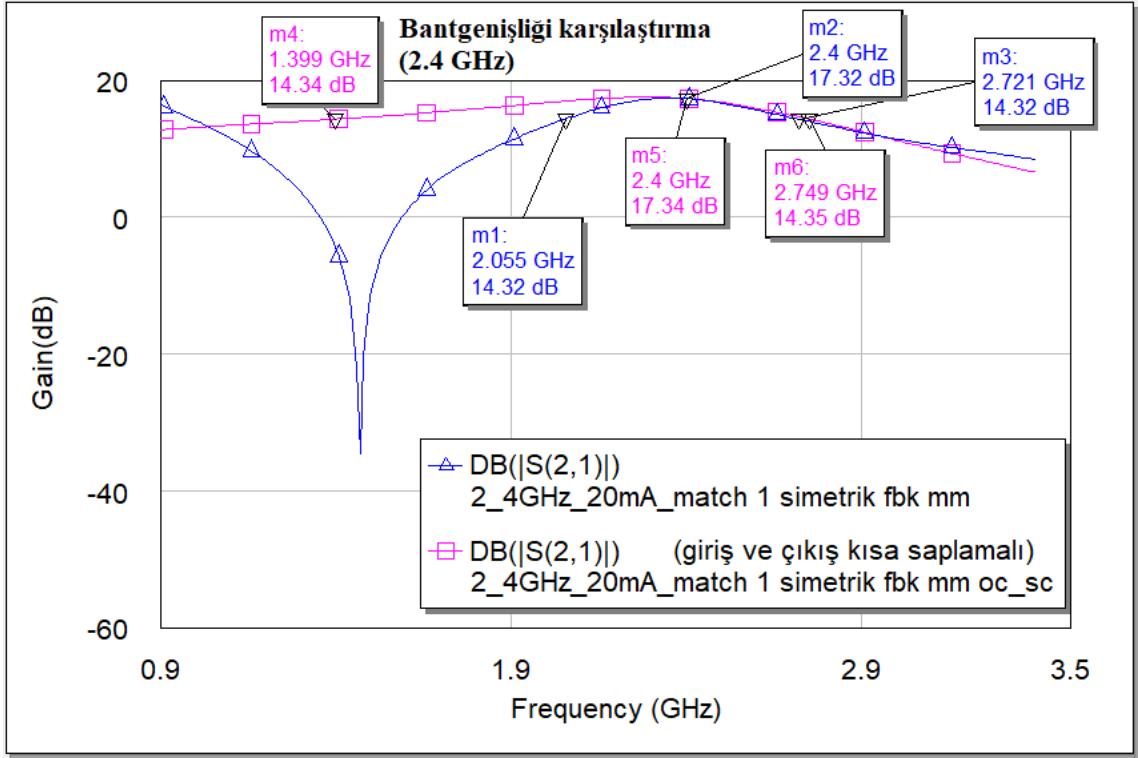


Şekil 4.24. 5 GHz’e göre düzenlenmiş devrenin son hali

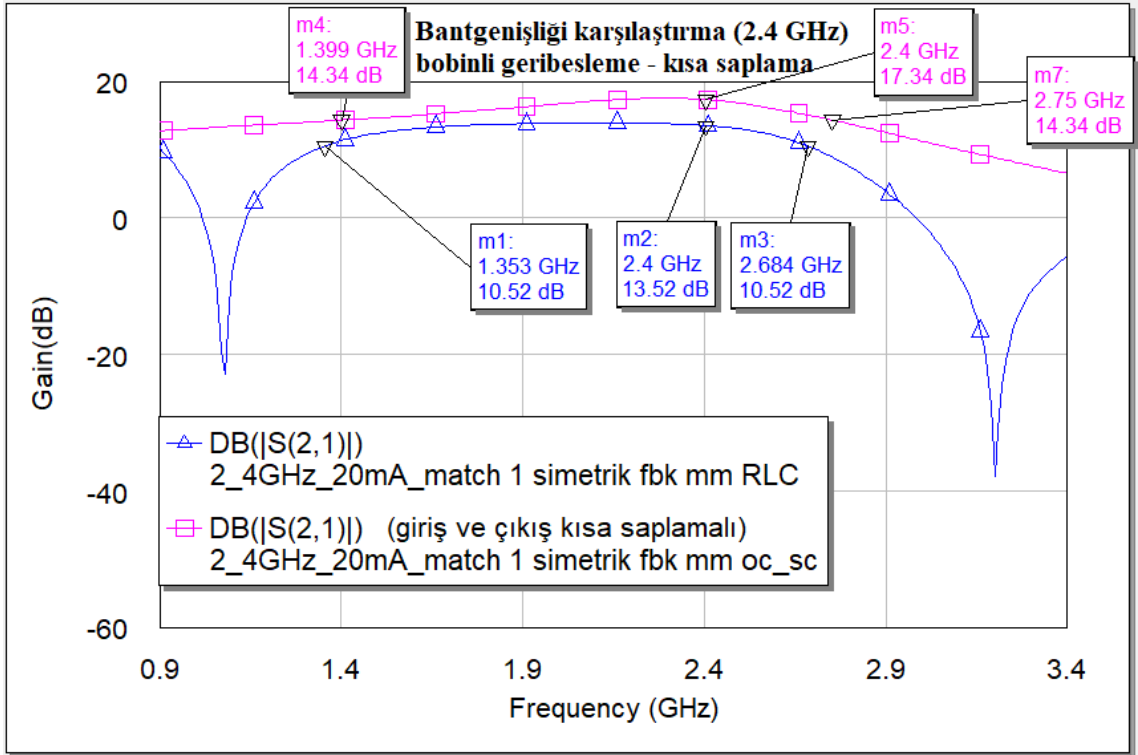
Buraya kadar kullanılan açık devre saplamalar, yerine kısa devre saplamalar ve uzunluk ve kısalıklarına göre hem açık hem kısa devre saplamalar kendi aralarında kombinasyonlar yapılarak sonuçlar incelenmiştir. Şekil 4.25’te görülen en geniş bantlı eğri, giriş ve çıkışında en kısa saplama kullanılan devreye aittir (Şekil 4.26).

Giriş uyumlama devresinde daha kısa saplama kullanılması, spektrumun yüksek frekanslı tarafında daha geniş bant elde edilmesini sağlamıştır. Diğer taraftan çıkış uyumlama devresinde daha kısa saplamanın kullanılması ise spektrumun düşük frekanslı tarafında daha geniş bant elde edilmesini sağlamıştır.

Devre, giriş kısmı kısa olan açık devre saplama, çıkışı ise kısa olan kısa devre saplama şeklinde tasarlanmış ve kararlı hale getirildikten sonra “Tune” aracı ile empedans sapmaları yeniden düzeltilmiştir.



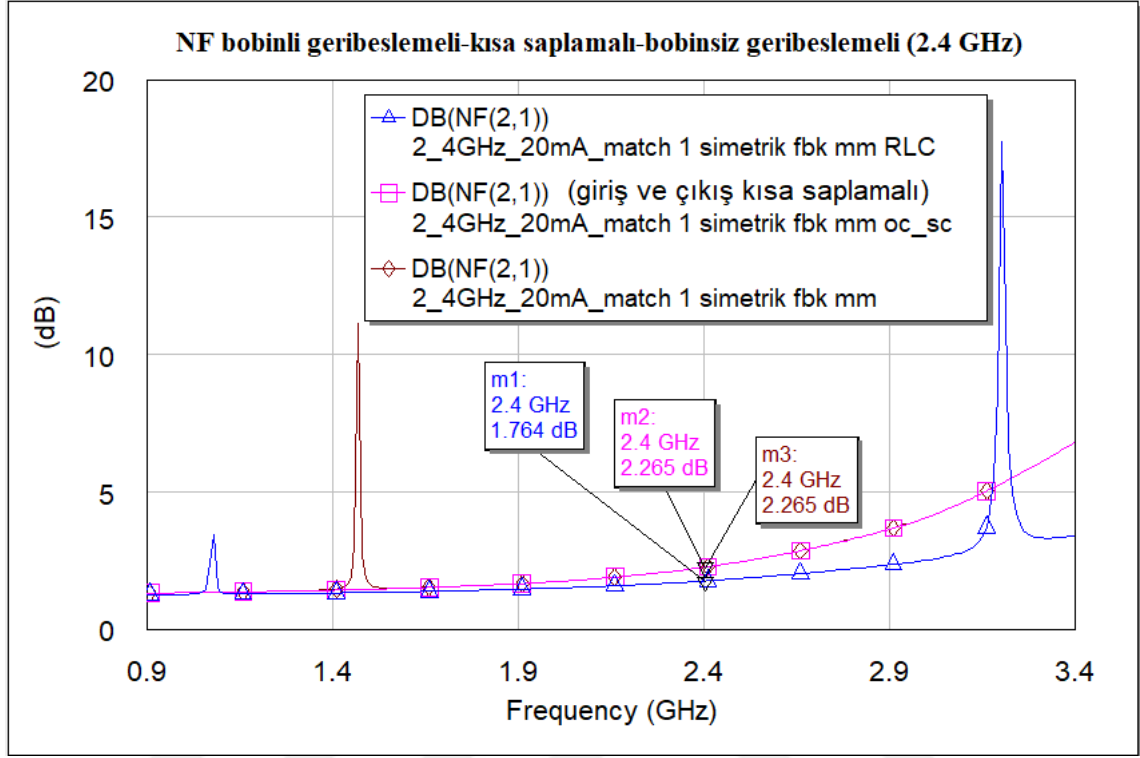
řekil 4.27. (2,4 GHz) řekil 4.11 (▲) ve řekil 4.26'daki (■) devrelerin bant geniřlikleri



řekil 4.28. (2,4 GHz) řekil 4.20 (▲) ve řekil 4.26'daki (■) devrelerin bant geniřlikleri

Bant geniřletme sonrası řekil 4.20'de grlen devre ile řekil 4.26'da grlen devre arasında 4 dB'ye yakın kazan farkı vardır (řekil 4.28). stelik, řekil 4.26'da

verilen devre daha fazla kazançla sahip olmasına rağmen daha geniş bant aralığına sahiptir.



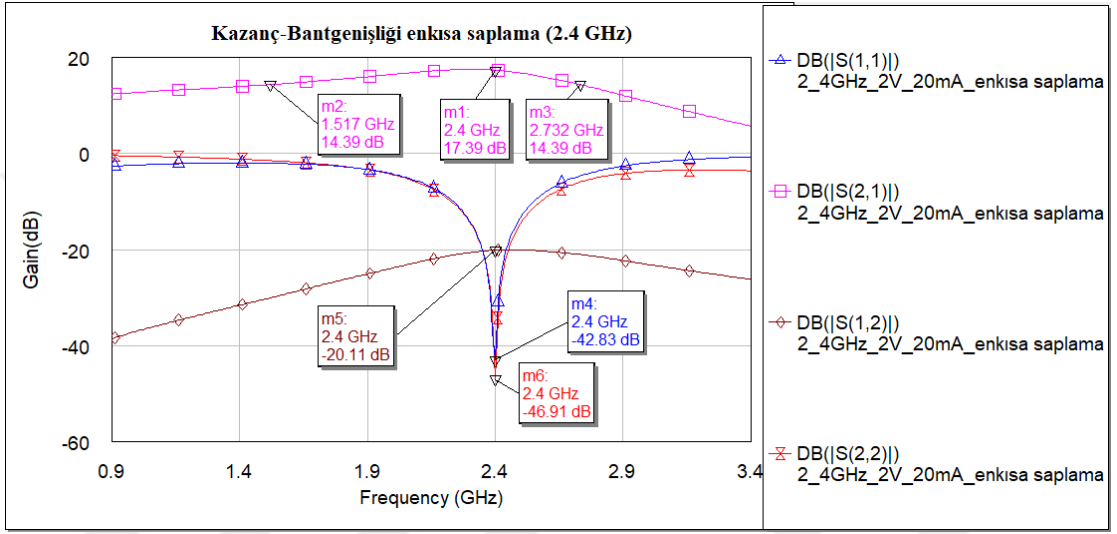
Şekil 4.29. (2,4 GHz) m1, m2, m3 sırasıyla Şekil 4.20, Şekil 4.26 ve Şekil 4.11'deki devrelerin NF değerleri

Şekil 4.29'da görüldüğü gibi, Şekil 4.26'daki devrede daha kısa saplamalara sahip olan devre (m2) 2,4 GHz merkez frekansında daha fazla gürültü üretmektedir (2,65 dB). Şekil 4.11'de görülen geribeslemesinde bobin olmayan devrede (m3) 2,4 GHz'de aynı gürültü değerine sahiptir (2,65 dB). Negatif geribesleme devresinde bobin olan Şekil 4.20'de görülen devre (m1) 2,4 GHz'de (1,76 dB) diğer iki devreden daha az gürültüye sahiptir.

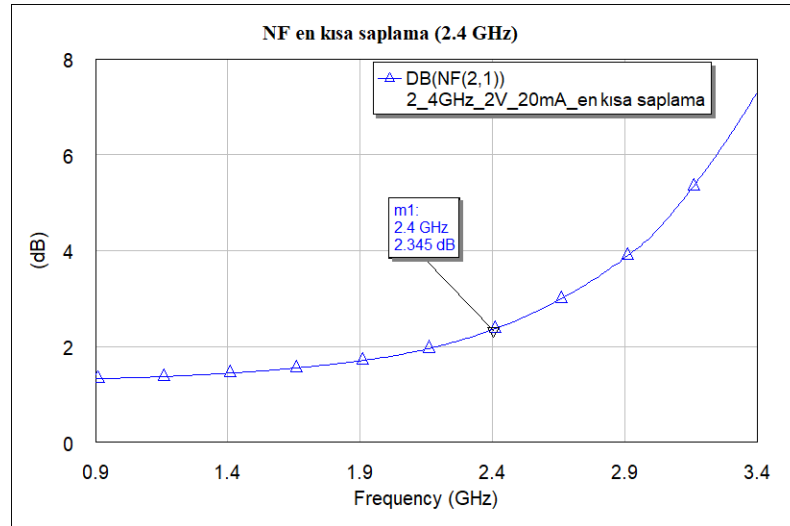
4.5. Bant Genişliği ve NF Karşılaştırması

2,4 GHz, $V_{CE} = 2V$, $I_C = 20\text{ mA}$; 5 GHz, $V_{CE} = 2V$, $I_C = 20\text{ mA}$ ve 5 GHz, $V_{CE} = 2V$, $I_C = 3\text{ mA}$ koşullarında simülasyonu yapılan 3 devrenin bant genişliği ve NF grafikleri sırası ile Şekil 4.30, Şekil 4.31, Şekil 4.32, Şekil 4.33, Şekil 4.34 ve Şekil 4.35'de verilmiştir.

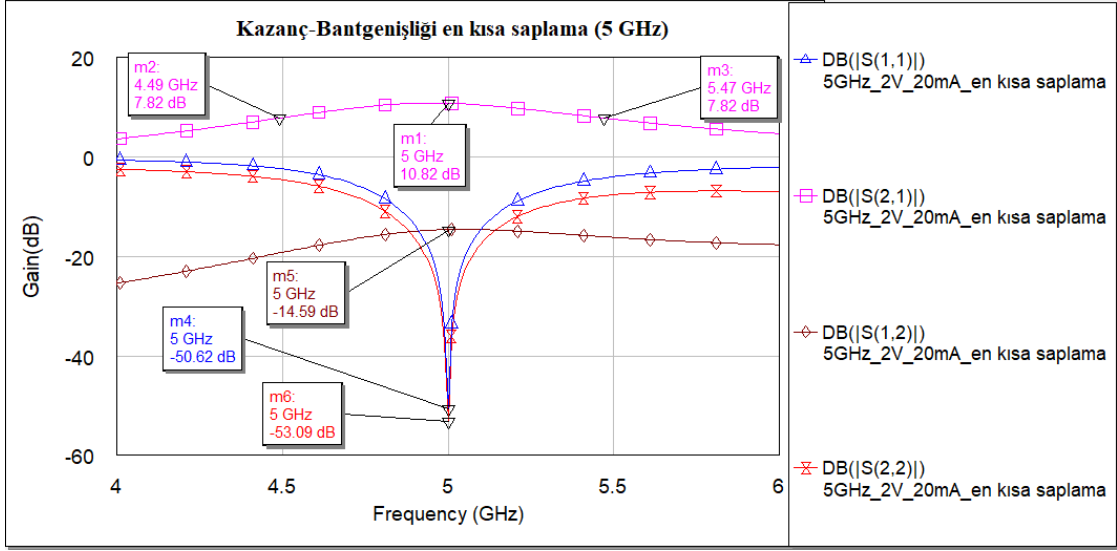
Her bir devreye ait empedans uyumlaması için Smith grafiği üzerinde hesaplanan ilk çözüm esas alınmıştır. Daha sonra simetrik saplama seçilmiştir. En son bu simetrik saptamalar boyu en kısa olanı tercih edilmiştir. 2,4 GHz'e göre uyumlanan devre için en kısa saptamalar girişin açık devre, çıkışın kısa devre saptama olduğu durumda; 5 GHz'e göre uyumlanan devrelerde ise en kısa saptamalar girişte ve çıkışta kısa devre saptama olduğu durumda tespit edilmiştir. Bu sayede mümkün olan en geniş bant elde edilmiştir.



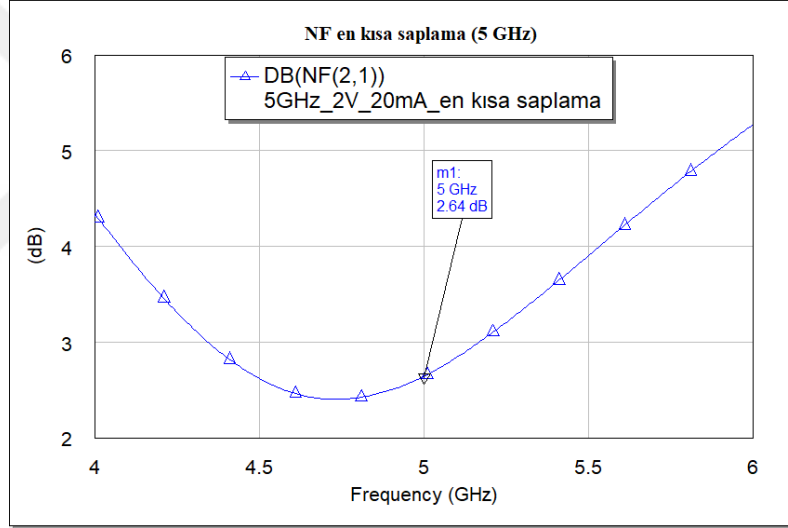
Şekil 4.30. Bant geniřlięi (2,4 GHz, $V_{CE} = 2V$, $I_C = 20 mA$)



Şekil 4.31. NF değeri (2,4 GHz, $V_{CE} = 2V$, $I_C = 20 mA$)

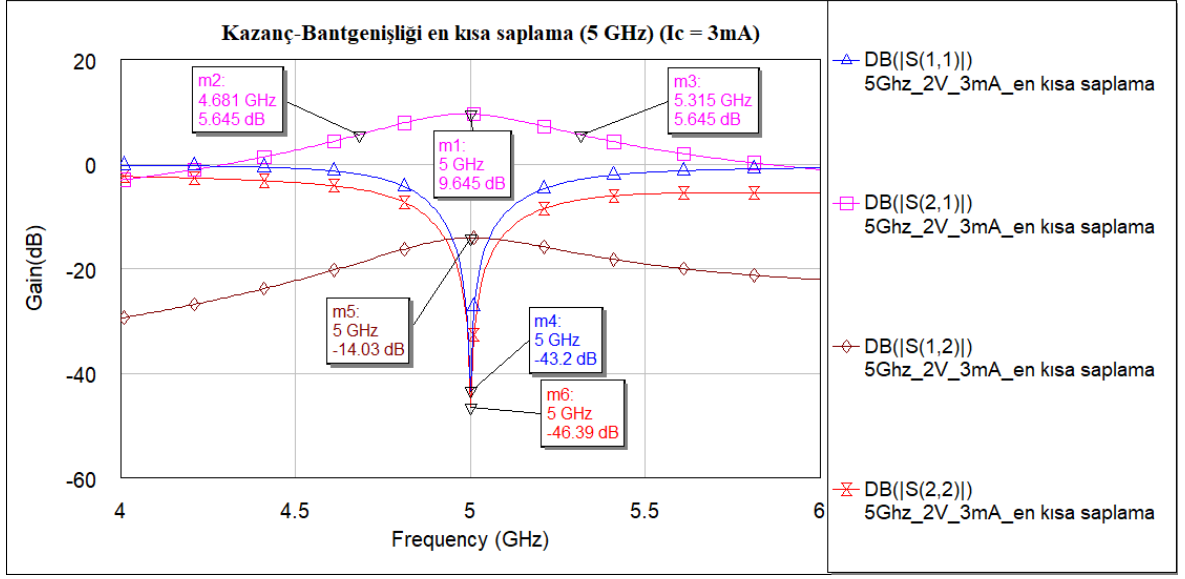


Şekil 4.32. Bant genişliği (5 GHz, $V_{CE} = 2V$, $I_C = 20$ mA)

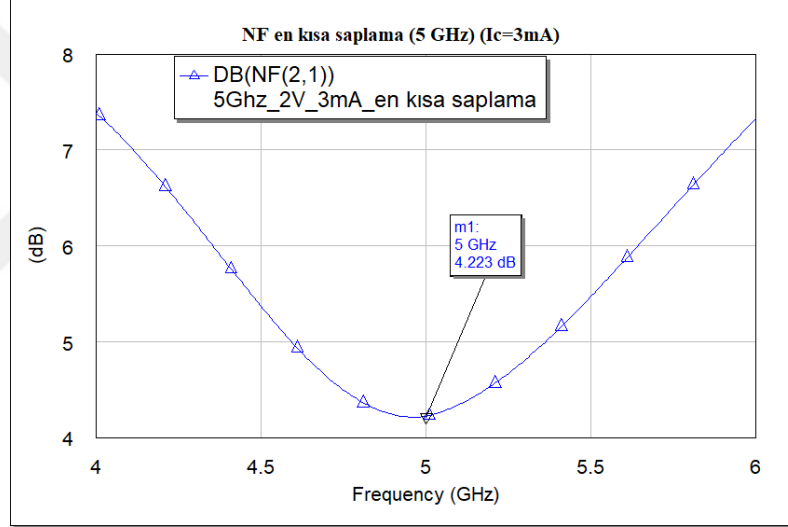


Şekil 4.33. NF değeri (5 GHz, $V_{CE} = 2V$, $I_C = 20$ mA)

Devreler uyumlandıktan sonra dirençli negatif şönt geribesleme tekniği ve çıkışlarında şönt sonlandırma direnci kullanılarak kararlı hale getirilmiştir. Kararlılık işleminden sonra empedans uyumlamada kullanılan sapmalar, iletim hatları ve saplama değerleri devre tekrar tam uyumlu olacak şekilde “Tune” aracı ile düzeltilmiş ve sonuçlar alınmıştır. Çizelge 4.2’de empedans uyumlama sonrası kazançlar, bant genişlikleri ve NF değerleri karşılaştırılmıştır.



řekil 4.34. Bant geniřlięi (5 GHz, $V_{CE} = 2\text{V}$, $I_C = 3\text{mA}$)



řekil 4.35. NF deęeri (5 GHz, $V_{CE} = 2\text{V}$, $I_C = 3\text{mA}$)

Çizelęe 4.2. Empedans uyumlama sonrası kazanç, bant geniřlięi ve NF deęerlerini karřılařtırma

BFP540	Uyumlama sonrası kazanç	Uyumlama sonrası NF	Bant geniřlięi
@ 2,4 GHz, $V_{CE} = 2\text{V}$, $I_C = 20\text{mA}$	17,39 dB	2,345 dB	1,215 GHz
@ 5 GHz, $V_{CE} = 2\text{V}$, $I_C = 20\text{mA}$	10,82 dB	2,64 dB	0,98 GHz
@ 5 GHz, $V_{CE} = 2\text{V}$, $I_C = 3\text{mA}$	9,645 dB	4,223 dB	0,634 GHz

5. SONUÇLAR VE ÖNERİLER

5.1. Sonuçlar

2,4 ve 5 GHz merkez frekanslarında RF yükselteç tasarımı konusunda yapılan çalışmalardaki öncelikli amaç, geniş bir aralıkta doğrusal kazanç elde etmektir. Bunun için devrenin bütün bir frekans bandında K kararlılık analizi yapılmıştır. Önce empedans uyumlama yapıp, en yüksek bant genişliğine sahip olan simetrik saplamalı ve kısa iletim hattına sahip olan çözüm tercih edilmiştir. Frekans ekseninde kararsız bölgelerin kararlı hale getirilmesi için yükseltecin çıkışına şönt direnç eklenmiş ve şönt geribesleme tekniği uygulanmıştır. Geribesleme, dirençli negatif geribeslemedir. Daha sonra NF değerini iyileştirmek için dirençli geribeslemeye seri bobin eklenmiştir.

Devre hesaplamalarının hızlı ve hatasız bir şekilde yapılabilmesi için, ilgili S parametre eşitliklerinden yararlanılarak Matlab ortamında özel bir hesaplama programı hazırlanmıştır. Daha sonra bu hesaplanan değişkenler kullanılarak, Smith grafiğinde çizimler yapılmış ve ihtiyaç duyulan değişkenlerin değerleri bulunmuştur. Bu değerler, AWR Design Environment programında kullanılarak simülasyon sonuçlardaki değişimler gözlemlenmiştir.

Çizelge 5.1. Empedans uyumlama öncesi ve sonrası karşılaştırma* ($I_C = 20$ mA),

BFP540, @ $V_{CE} = 2V$, $I_C = 20$ mA	Uyumlama öncesi kazanç	Uyumlama öncesi NF	Uyumlama sonrası kazanç	Uyumlama sonrası NF	Uyumlama sonrası BG
@ 2,4 GHz	15,68 dB	1,584 dB	17,32 dB	2,265 dB	0,666 GHz
@ 5 GHz	8,771 dB	1,584 dB	10,95 dB	2,524 dB	0,797 GHz

*Kararlılık ayarlaması sonrası empedans kaymaları tekrar düzeltilmiştir.

Empedans uyumlama yapılırken her iki temel frekans için (2,4 GHz ve 5 GHz) Smith grafiği ile yapılan hesaplamalardan elde edilen çözümlerden (birinci ve ikinci kesişim noktalarından elde edilen hesaplamalardan) yararlanılarak devre, simülasyonda denenmiş, daha sonra hem asimetrik hem de simetrik çözüm yöntemleri, her iki çözüm içinde ayrı ayrı simülasyonda denenmiştir. Birinci kesişim noktasından elde edilen hesaplamaların ikinci kesişim noktasından elde edilen hesaplamalara göre daha geniş

bantlı olduğu; simetrik saplamalı uyumlama devresinin, asimetrik saplamalı devreye göre daha geniş bantlı olduğu tespit edilmiştir. En geniş bantlı olan devrenin birinci kesişim noktasından elde edilen hesaplamalara ait simetrik saplamalı devre olduğu tespit edilmiştir.

Kararlılığı artırmak için kullanılan geribeslemedeki elemanların ve çıkışa eklenen direncin, empedans uyumunu bozduğu fark edilmiştir. Yeniden empedans uyumu sağlandığında kazancın bir miktar attığı gözlenmiştir. DC blokaj amacı ile kullanılan kondansatörlerin merkez frekans bantlarının çok altında olacak şekilde büyük değerlerde tutulmasının empedans uyumlamaya fark edilir bir etkide bulunmadığı görülmüştür. Empedans uyumu bozuldukça gürültünün arttığı ve kazancın azaldığı tespit edilmiştir.

2,4 GHz merkez frekansına göre tasarlanan devrenin bant genişliği çıkışına bağlanan şönt direncin değerinin düşürülerek yaklaşık 4 dB kazanç kaybı nedeniyle, bant genişliği 0,666 GHz'den 1,331 GHz'e çıkmıştır. Bant genişliği artışı, spektrumun daha düşük frekanslı tarafında meydana gelmiştir.

Yapılan bu çalışmaların ardından tekrar 2,4 GHz'e göre hesaplanmış uyumlama devreleri arasında tekrar açık ve kapalı devre saplama tekniğine göre simülasyonlarda bir test yapılmış, bu test sonucunda açık ve kapalı devre testlerinin doğrudan bant genişliğine bir katkısının olmadığı ancak daha kısa saplamaya sahip olan devrenin daha geniş, daha uzun saplamaya sahip devrenin daha dar bir frekans bandına sahip olduğu tespit edilmiştir. Giriş tarafındaki saplamaların daha kısa olmasının spektrumun yüksek frekanslı tarafında; çıkış tarafındaki saplamaların daha kısa olmasının ise spektrumun düşük frekanslı tarafında bant genişliğini artırdığı sonucuna ulaşılmıştır. Üstelik bant genişliğini artırmak için kazançtan taviz verilmesine gerek kalmamıştır. Zira devrenin son hali ile bant genişliği, 1,35 GHz'e çıkmıştır.

Çalışmanın somut sonuçlarına bakılacak olursa; yükseltecin salınım yapmamasının koşulu olan $K > 1$ ve $\Delta < 1$ için sadece empedans uyumlama ile kayda değer bir iyileşme sağlanamamıştır. Bundan dolayı devreleri kararlı hale getirmek için çıkışlara şönt sonlandırma dirençleri ve negatif dirençli geribesleme devreleri eklenmiştir. Sadece sonlandırma direnci ile kararlılığı sağlamak kazancı ve çıkış empedansını fazlaca düşürmektedir. Negatif geribeslemenin kararlılığa sağladığı katkı, çıkış sonlandırma direncinin daha yüksek kullanılabilmesine de olanak sağlayarak hem kazançtan fazla ödün vermemeyi sağlamış hem de NF değerlerinin daha iyi olmasına yardımcı olmuştur. Bu işlemler aynı zamanda doğrusallığa ve bant genişliğine de katkı sağlamışlardır. Fakat literatürde dar bant olarak geçen yöntem ile empedans uyumlaması yapılmıştır. Diğer

tarafından, L tipi uyumlamanın dar bant uyumlama yöntemleri içindeki en geniş bantlı uyumlama olduğu için tercih edilmiştir. Smith grafiğinden elde edilen daha kısa iletim hattına sahip olan birinci çözümün seçilmesi, saplamaların simetrik olarak tasarlanması ve (açık ve kısa devre saplama olmasına bakılmaksızın) en kısa saplamanın seçilmesi bant genişliğini oldukça artırmıştır. Tasarımlar, darbant tekniği ile başlanmasına rağmen geniş bant tasarımlar haline dönüşmüştür. Daha düşük collector akımı kullanmanın da kararlılığı, bant genişliğini, gürültü figürünü ve kazancı olumsuz yönde etkilediği tespit edilmiştir.

5.2. Öneriler

Yükselteçlerde kararlılık çok önemlidir. Az bir kazanç kaybı ile devrenin salınım riski ortadan kaldırılabildiği için, devreyi koşulsuz kararlı hale getirmek tercih edilmelidir. Transistörü görece daha yüksek çalışma akımlarında kullanmak kazanç, kararlılık, NF ve bant genişliğinde iyileşme sağladığı için önerilir. Çok fazla collector akımlarına çıkmanın, gereksiz güç kayıplarına ve transistörün ısınmasına neden olmasına rağmen, yükseltecin değerlerinde çok az bir iyileşme sağlayacağı için, bu önerilmemektedir. Collector akımını çok fazla artırmak yerine dirençli negatif geribesleme tekniği kullanmak ve çıkışa şönt direnç eklemek daha iyi sonuç vermektedir.

Empedans uyumlama işlemi, yansımayı azalttığı, kazancı artırdığı, NF’de iyileşme sağladığı ve bazen az da olsa bir bant genişliği kaybına uğratmasına rağmen her durumda tercih edilmelidir. Düşük frekanslarda gürültüyü azalttığı için, dirençli geribesleme devresinde seri bobin kullanımı önerilir.

Bu tez çalışmasında, empedans uyumlama devreleri için hesaplanan farklı çözümler bant genişliği açısından incelenerek en geniş bantlı olanı tercih edilmiştir. Sonraki çalışmalar için bu yöntemler NF değeri açısından da incelenebilir. Ayrıca devre en yüksek kazanç yerine, düşük gürültüye göre tasarlanıp, birden fazla kat kullanımının etkileri araştırılabilir.

KAYNAKLAR

- Anonymous, 2022, Electronics Tutorials [online], <https://www.electronics-tutorials.ws/amplifier/amplifier-classes.html>, [Ziyaret Tarihi: 16 Eylül 2024].
- Anonymous, 2024, Radartutorial [online], <https://www.radartutorial.eu/09.receivers/rx10.tr.html>, [Ziyaret Tarihi: 6 Ekim 2024].
- Abdelmonem, A., M., Abdalla, I., L. and Farag, F., A., 2022, Design a Broad Band High Flatness Gain Low Noise Amplifier for Radar Applications, *The Egyption International Journal of Engineering Sciences and Technology*, Vol. 38, 41-46
- Aksoyak, İ., K., Möck, M., and Ulusoy, A., Ç., 2022, A differential D-band low-noise amplifier in 0.13 μm SiGe, *IEEE Microwave and Wireless Components Letters*, Vol. 32, No. 8, 979-982.
- Bahl, I., J., 2009, *Fundamentals of RF and Microwave Transistor Amplifiers*, John Wiley & Sons, Inc., Hoboken, New Jersey, 297-306.
- Bakkali, M.E., Touhami, N.A., Ftouh, H.E., Marroun, A., 2019, Design of 5.2 GHz Low Noise Amplifier for Wireless LAN, *The 12th International Conference Interdisciplinarity in Engineering*, Abdelmalek Essaadi University, Faculty of Science, BP.2121 M'Hannech II, 93030 Tetuan, 739–744.
- Belen, A., 2021, WLAN Uygulamaları için Düşük Gürültülü Kuvvetlendirici Tasarımı, *European Journal of Science and Technology*, No. 25, pp. 665-668.
- Bowick, C., Blyler, J., Ajluni, C., 2008, *RF Circuit Design*, Newnes, USA, 63-64.
- Cheng, K., W., Chen, W., and Yang, S., D., 2022, A low power sub-GHz wideband LNA employing current-reuse and device-reuse positive shunt-feedback technique, *IEEE Microwave and Wireless Components Letters*, vol.32, no. 12, 1455-1458.
- Chung, T., Lee, H., Seo, H., Choi, I., and Kim, B., 2015, A wideband differential low-noise-amplifier with IM3 harmonics and noise canceling, *IEEE Microwave and Wireless Components Letters*, Vol. 25, No. 1, 46-48.
- Chung, T., Lee, H., Jeong, D., Yoon, J., and Kim, B., 2015, A wideband CMOS noise-canceling low-noise amplifier with high linearity, *IEEE Microwave and Wireless Components Letters*, Vol. 25, No. 8, 547-549.

- Darwazeh, I., Poole, C., 2015, *Microwave Active Circuit Analysis and Design Gain and Stability of Active Networks*, Academic Pres Inc., Slide 1-53.
- Delpy, U., 2006, Stabilize Transistors in Low Noise Amplifiers [online], Microwaves and RF, <https://www.mwrf.com/technologies/components/article/21846587/stabilize-transistors-in-low-noise-amplifiers>, [Ziyaret Tarihi: 14 Eylül 2024].
- Edwall, M., 2008, Low-Noise Amplifier Design and Optimization, Yüksek Lisans Tezi, Department of Computer Science and Electrical Engineering, Division of EISLAB, Lulea University of Technology, 10-12.
- Gao, W., Chen, Z., Liu, Z., Cui, W., and Gui, X., 2015, A Highly Linear Low Noise Amplifier with Wide Range Derivative Superposition Method, *IEEE Microwave and Wireless Components Letters*, Vol. 25, No. 12, 817-819.
- Gonzales, G., 1997, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, New Jersey, USA, 333-343.
- Grebennikov, A. 2004, *RF and Microwave Power Amplifier Design*, McGraw-Hill Profesyonel, Ireland.
- Huang, L., Zhang, W., R., Xie, H., Y., Li, J., Zhang, W., Wang, Y., Shen, P., Gan, J., N., Huang, Y., W., 2008, A Low Power SiGe HBT LNA Utilizing Serial Inductance for Wideband Matching, *9th International Conference on Solid-State and Integrated-Circuit Technology*, Beijing, China, 1500-1503.
- Joshi, M., M., Dutt, A., Mathew, R., Tiwari, S., Sarkar, P., and Nigam, P., 2020, Performance Analysis of Radio Frequency (RF) Low Noise Amplifier (LNA) with Various Transistor Configurations, *5th International Conference on Devices, Circuits and Systems (ICDCS)*, Coimbatore, India, 88-91.
- Khan, R., H., and Wahab, Q., 2011, A 24 GHz Class-A Power Amplifier in 0.13 μ m CMOS Technology, *3rd International Conference on Computer Research and Development*, Shanghai, China. Vol. 3, 314-317.
- Kim, H., Kwon, Y., You, D., Choi, H.-W., Kim, S., H., Heo, H., Kim, C.-Y., Lee, H.D., and Ko, H., 2021, Low Noise Chopper Amplifier Using Lateral PNP Input Stage with Automatic Base Current Cancellation, *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 68, No. 7.

- Kim, M., S., Yoo, S., S., 2023, RF-SOI Low Noise Amplifier Using RC Feedback and Series Inductive Peaking Techniques for 5G New Radio Application, *MDPI Sensors*, Vol.23, Issue 13, 5808.
- Lamers, L., Walden, E., Baylis, C., Marks, R., J., E., V., 2017, Fast Design of Unconditionally Stable Power Amplifier Using The Center Frequency Smith Tube, *Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS)*, Waco, TX, USA, 106-109.
- Lucek, J., Damen, R., 1999, LNA Design for CDMA Front End, *RF Design*, 20-30.
- Ludwig, R., Bretchko P., 2000, *RF Circuit Design Theory and Applications*, Prentice Hall, Inc., New Jersey, 517-519.
- Misra, D., K., 2001, *Radio Frequency and Microwave Communication Circuits Analysis and Design*, John Wiley & Sons, Inc., NewYork, 434-436.
- Ouerghemmi, S., Ketata, I., Sahnoun, S., Derbel, F., 2021, Performances Analysis of Low Noise Amplifier Based on BJT for Power Aware Wake - Up Receiver Nodes, *18th International Multi-Conference on Systems, Signals & Devices (SSD'21)*, Monastir, Tunisia, 222-227.
- Pan, Z., Qin, C., Ye, Z., and Wang, Y., 2017, A Low Power Inductorless Wideband LNA with Gm Enhancement and Noise Cancellation, *IEEE Microwave and Wireless Components Letters*, Vol. 27, No. 1, 58-60.
- Park, B., Kwon, K., 2021, 2.4-GHz Bluetooth Low Energy Receiver Employing New Quadrature Low Noise Amplifier for Low-Power Low-Voltage IoT Applications, *IEEE Trans. on Microwave Theory and Techniques*, Vol. 69, No. 3, 1887-1895.
- Peik, S., 2016, Amplifier Design for Maximum Gain Using Microwave Office [online], Microwave Labcast, <https://www.youtube.com/@microwavelabcast2174>, [Ziyaret Tarihi: 14 Eylül 2024].
- Pozar, D. M., 2012, *Microwave Engineering*, John Wiley & Sons, Inc., NewYork
- Rohde, U. L., Newkirk, D.P., 2000, *RF/Microwave Circuit Design for Wireless Applications*, John Wiley & Sons, Inc., USA, 573-575.
- Sattar, S., Zulkifli, T.Z.A., 2017, A 2.4/5.2 GHz Concurrent Dual Band CMOS Low Noise Amplifier, *IEEE. Access*, Vol 5, 21148- 21156.

- Sharma, S., Tripathi, C.C., Rishi, R., 2017, Impedance Matching Techniques for Microstrip Patch Antenna, *Indian Journal of Science Technology*, Vol. 10(28).
- Suleymanova, S., 2021, 5G Teknolojisi İçin Düşük Gürültülü Yükselteç Tasarımı, Yüksek Lisans Tezi, Kocaeli Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Mühendisliği, Kocaeli, (12).
- Steer, M. 2022, *Fundamentals of Microwave and RF Design*, NC State University.
- Tafriyana, B., Alam R., 2019, 2,4 GHz Low noise amplifier design for broadband IoT runway application, *International Symposium on Electronics and Smart Devices*, Bandung, Indonesia, 8 – 9 October, 209-212.
- Thakur, A., and Chatterjee, S., 2021, A 4.4-mA ESD - Safe 900 - MHz LNA with 0.9 - dB noise figure, *IEEE Transactions on Very Large-Scale Integration (VLSI) Systems*, Vol. 29, No. 2, 297-306.
- Yang, S., L., S., Xue, Q., and Luk, K., M., 2005, A Wideband Low Noise Amplifiers Design Incorporating the CMRC Circuitry, *IEEE Microwave and Wireless Components Letters*, Vol. 15, No. 5, 315-317.
- Zailer, E., Belostotski, L., 2020, Wideband LNA Noise Matching, *IEEE Solid - State Circuits Letters*, Vol. 3, 62-65.
- Zhou, R., Liu, S., Liu, J., Liang, Y., and Zhu, Z., 2022, A 0.1–3.5-GHz Inductorless Noise Canceling CMOS LNA with IIP3 Optimization Technique, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 70, No. 6, 3234-3243.

EKLER

EK-1 Yansıma, Empedans ve Admitans Hesabı Yapan Matlab Programı

```

clc
format compact
clear all
% DIKKAT S11,S21,S12,S22!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
Ss(:,1) = [0.6555 2.011;0.1142 0.2001]    %5GHz 2v 3mA Büyüklük
Ss(:,2) = [126.9 22.5;7.7 -138.1]        %5GHz 2V 3mA Açık
% Ss(:,1) = [0.5953 2.745;0.1360 0.2051] %5GHz 2V 20mA Büyüklük
% Ss(:,2) = [114.4 22.8;27.1 148.2] %5GHz 2V 20mA Açık
% Ss(:,1) = [0.5766 2.963;0.1320 0.1433] %5GHz 4.5V 50mA Büyüklük
% Ss(:,2) = [112.9 24.0;32.6 154.8] %5GHz 4.5V 50mA Açık
S = Ss(:,1).*exp(((Ss(:,2)).*pi)/180*j))

Delta = det(S)    % Determinant
Delta_Abs = abs(Delta)

K = (1 - power(abs(S(1,1)), 2) - power(abs(S(2,2)), 2) + power(abs(Delta), 2))/(2*abs(S(1,2)*S(2,1)))

B1 = 1 + power(abs(S(1,1)), 2) - power(abs(S(2,2)), 2) - power(abs(Delta), 2)
B2 = 1 + power(abs(S(2,2)), 2) - power(abs(S(1,1)), 2) - power(abs(Delta), 2)
C1 = S(1,1) - Delta * (conj(S(2,2)))
C2 = S(2,2) - Delta * (conj(S(1,1)))

GammaSp = (B1+sqrt(power(B1, 2)-(4*power(abs(C1), 2))))/(2*C1)
GammaSn = (B1-sqrt(power(B1, 2)-(4*power(abs(C1), 2))))/(2*C1)
GammaLp = (B2+sqrt(power(B2, 2)-(4*power(abs(C2), 2))))/(2*C2)
GammaLn = (B2-sqrt(power(B2, 2)-(4*power(abs(C2), 2))))/(2*C2)

```

```

Gamma = [abs(GammaSp) (180/pi)*angle(GammaSp) abs(GammaSn)
(180/pi)*angle(GammaSn);abs(GammaLp) (180/pi)*angle(GammaLp) abs(GammaLn)
(180/pi)*angle(GammaLn)]

```

```

Gs = 1/(1-power(abs(GammaSn),2))

```

```

G0 = power(abs(S(1,2)), 2)

```

```

GL = (1-power(abs(GammaLn),2))/(power(abs(1 - S(2,2)*GammaLn), 2))

```

```

zS = (1+GammaSn) / (1-GammaSn)

```

```

zL = (1+GammaLn) / (1-GammaLn)

```

```

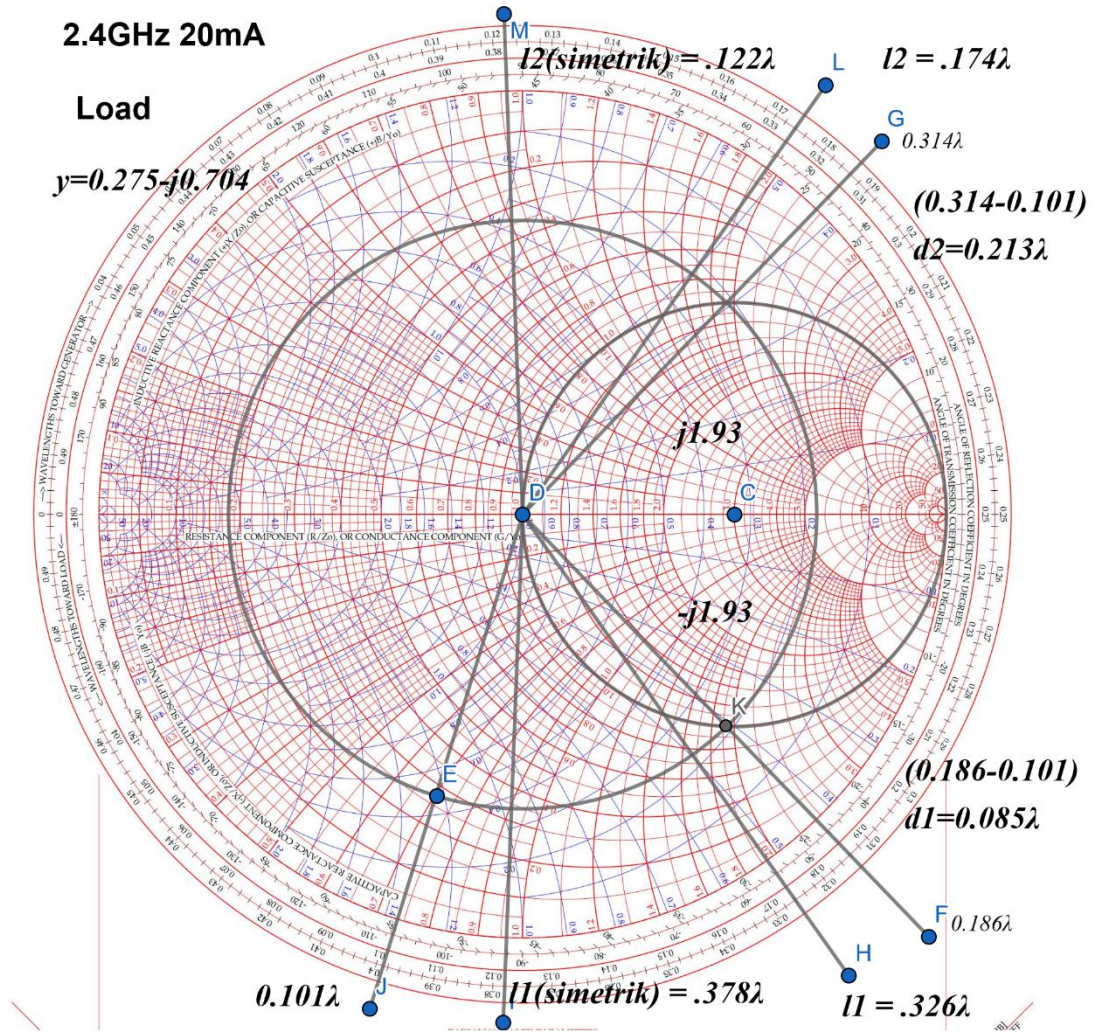
yS = 1/zS

```

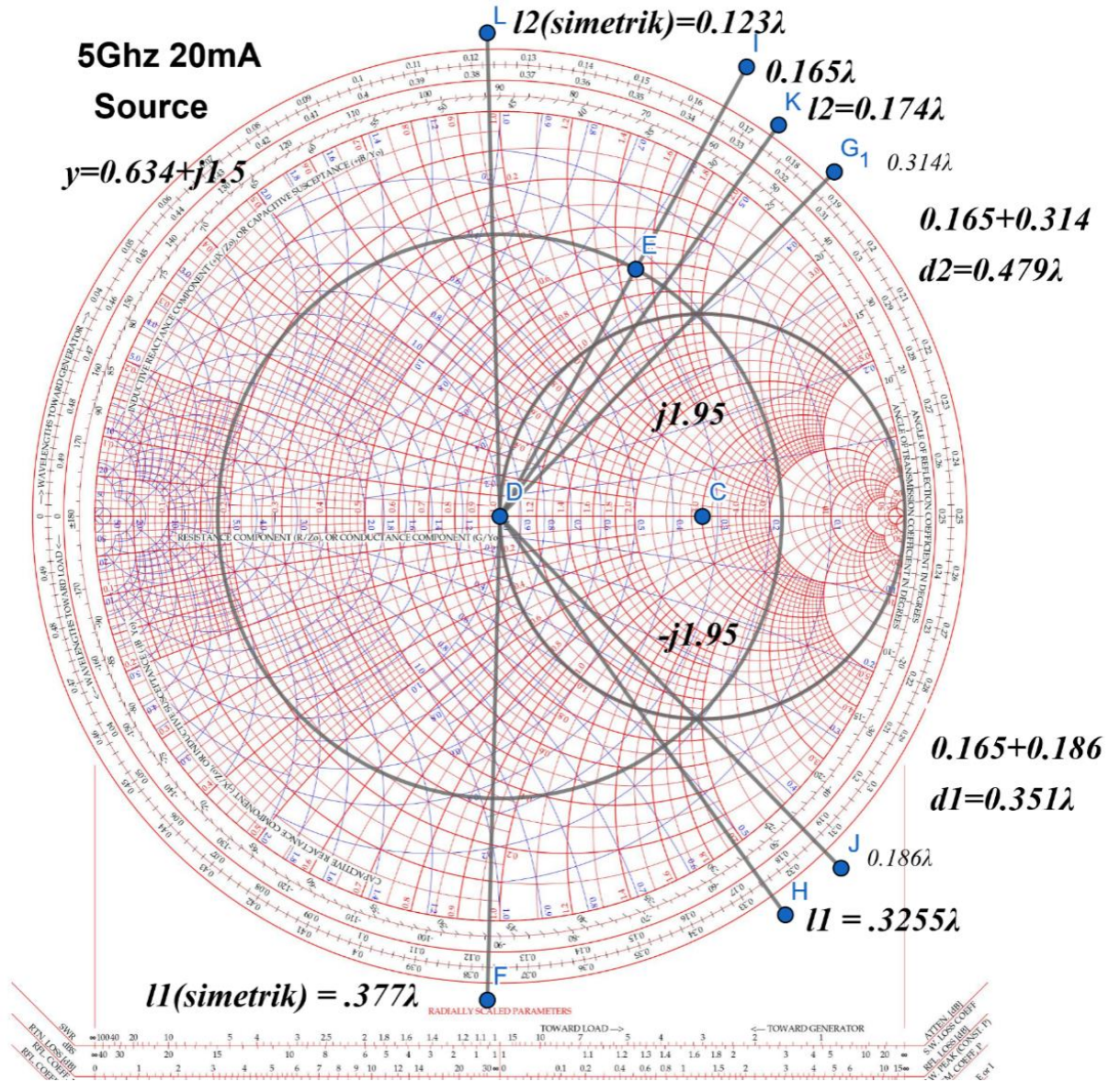
```

yL = 1/zL

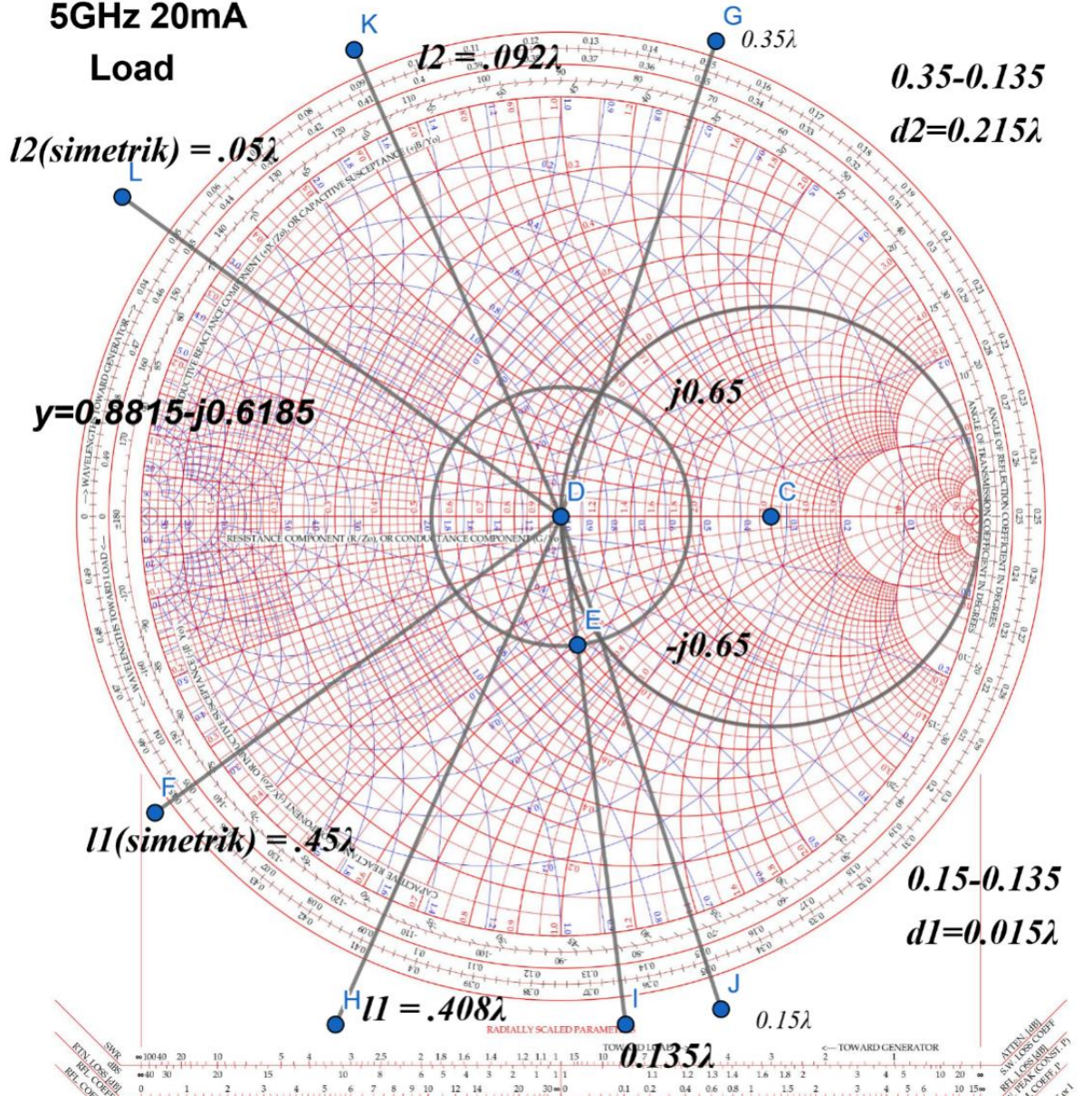
```

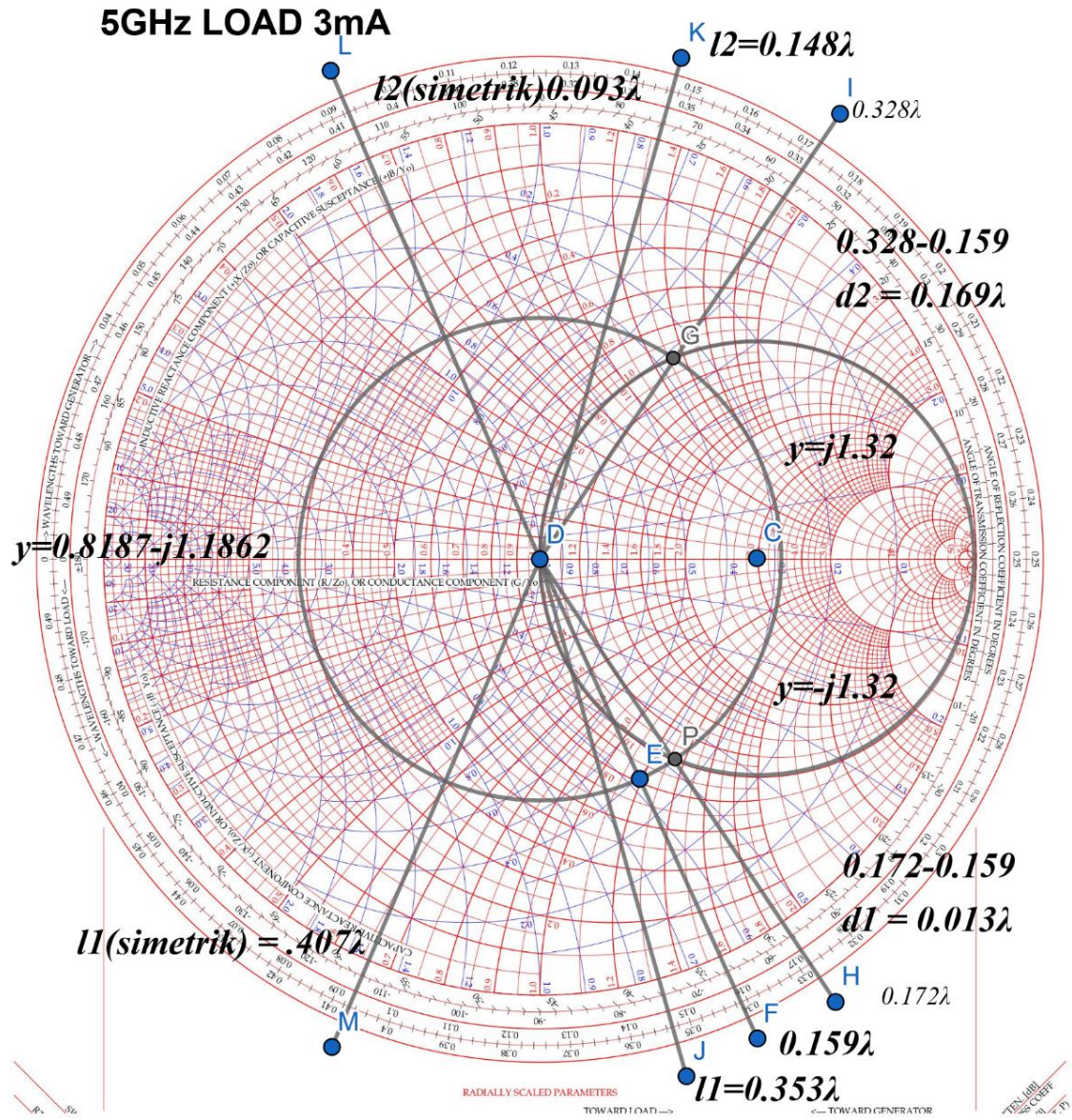
Şekil EK2-2. Smith grafiği ile iletim hattı ve saplama değerleri hesabı.
(2,4 GHz, $V_{ce} = 2V$, $I_c = 20mA$, çıkış)



Şekil EK2-3. Smith grafiği ile iletim hattı ve saplama değerleri hesabı.
(5 GHz, $V_{ce} = 2V$, $I_c = 20mA$, giriş)



Şekil EK2-4. Smith grafiği ile iletim hattı ve saplama değerleri hesabı.
(5 GHz, $V_{ce} = 2V$, $I_c = 20mA$, çıkış)



Şekil EK2-4. Smith grafiği ile iletim hattı ve saplama değerleri hesabı.
(5 GHz, $V_{ce} = 2V$, $I_c = 3mA$, çıkış)