

T.C.
BOZOK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
MEKATRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Yüksek Lisans Tezi

FPGA TABANLI MİKROBİLGİSAYAR MİMARİSİ
KULLANILARAK 3 EKSENLİ ÇİZİCİ TEZGAH TASARIMI

Abdussefer BÖLÜKBAŞI

Tez Danışmanı
Yrd. Doç. Dr. Halit ÖZTEKİN

YOZGAT 2017

T.C.
BOZOK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
MEKATRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Yüksek Lisans Tezi

FPGA TABANLI MİKROBİLGİSAYAR MİMARİSİ
KULLANILARAK 3 EKSENLİ ÇİZİCİ TEZGAH TASARIMI

Abdussefer BÖLÜKBAŞI

Tez Danışmanı
Yrd. Doç. Dr. Halit ÖZTEKİN

Bu çalışma Bozok Üniversitesi Bilimsel Araştırma Projeleri Birimi
tarafından 2014FBE/T124 kodu ile desteklenmiştir.

YOZGAT 2017

T.C.
BOZOK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

TEZ ONAYI

Enstitümüzün Mekatronik Mühendisliği Anabilim Dalı Tezli Yüksek Lisans Programı 70111711024 numaralı öğrencisi Abdussefer BÖLÜKBAŞI'nın hazırladığı **“FPGA TABANLI MİKRO BİLGİSAYAR MİMARİSİ KULLANILARAK 3 EKSENLİ ÇİZİCİ TEZGAH TASARIMI”** başlıklı tezi ile ilgili tez savunma sınavı, Lisansüstü Eğitim-Öğretim ve Sınav Yönetmeliği'nin ilgili maddeleri gereğince 04/07/2017 salı günü saat 16:00'da yapılmış, tezin onayına oy birliği/oy çokluğu ile karar verilmiştir.

Başkan : Prof. Dr. Feyzullah TEMURTAŞ

Jüri Üyesi : Yrd. Doç. Dr. Halit ÖZTEKİN
(Danışman)

Jüri Üyesi : Yrd. Doç. Dr. Kenan GENÇOL

ONAY:

Bu tezin kabulü, Enstitü Yönetim Kurulu'nun ...16.../08.../2017 tarih ve ...20... sayılı Enstitü Yönetim Kurulu Kararı ile onaylanmıştır.

...16.../08.../2017


Doç. Dr. Fuat KÖKSAL
Müdür

İÇİNDEKİLER

Sayfa

ÖZET ..	v
ABSTRACT ..	vi
TEŞEKKÜR	vii
TABLolar LİSTESİ	viii
ŞEKİLLER LİSTESİ	ix
KISALTMALAR LİSTESİ	xii
1. GİRİŞ	1
1.1 Literatür Taraması.....	2
2. ALANDA PROGRAMLANABİLİR KAPİ DİZİLERİ (FPGA)	7
2.1. Programlanabilir Lojik.....	7
2.1.1. Basit Programlanabilir Lojik Aygıt (SPLD).....	8
2.1.1.1. Programlanabilir Salt Okunur Bellek (PROM).....	9
2.1.1.2. Programlanabilir Dizi Lojik (PAL).....	10
2.1.1.3. Genel Dizi Lojik (GAL).....	12
2.1.1.4. Programlanabilir Lojik Dizi (PLA).....	12
2.1.2. Karmaşık Programlanabilir Lojik Aygıt (CPLD).....	14
2.1.3. Sahada Programlanabilir Kapı Dizileri (FPGA)	16
2.2. FPGA Mimarisi	18
2.2.1. Programlama Teknolojileri.....	18
2.2.1.1. EPROM (Erasable Programmable Read Only Memory).....	19
2.2.1.2. EEPROM (Electrically Erasable Programmable Read Only Memory).....	20
2.2.1.3. Anti-Fuse (Karşıt Sigorta).....	21
2.2.1.4. SRAM (Static Random Access Memory).....	22
2.2.1.5. Programlama Teknolojileri Hakkında Özet.....	23
2.2.2. FPGA İç Yapısı	24
2.2.2.1. Lojik Bloklar.....	25
2.2.2.2. Input/Output Blokları.....	27
2.3. FPGA Geliştirme Ortamı.....	28
3. ADIM MOTOR ve ÖZELLİKLERİ	31
3.1. Adım Motor Tanımı.....	31

3.2. Adım Motor Türleri.....	32
3.2.1. Sabit Mıknatıslı Adım Motorlar.....	33
3.2.2. Değişken Relüktanslı Adım Motorlar.....	33
3.2.3. Hibrit Adım Motorlar.....	34
3.2.4. Hidrolik Adım Motorlar.....	34
3.2.5. Lineer Adım Motorlar.....	34
3.3. Çalışmada Kullanılan Adım Motor ve Sürücü Özellikleri.....	35
4. BZK.SAU MİKROBİLGİSAYAR MİMARİSİ	42
5.SİSTEM ÇALIŞMASI.....	47
5.1. Çizici Tezgah Tasarımı.....	47
5.2. Yazdırma Alanı	49
5.3. BZK.SAU.FPGA Mikro Bilgisayar ile Çizici Tezgah Bağlantısı ve Komutlar.....	50
5.3.1. BZK.SAU.FPGA Mikro Bilgisayar ile Çizici Tezgah Bağlantısı.....	50
5.3.2. Komutlar.....	60
5.4. Sistemin Çalıştırılması.....	62
6. ÖRNEK UYGULAMA.....	64
6.1. Program Kodlarının Açıklaması.....	64
SONUÇ VE ÖNERİLER	69
KAYNAKLAR	71
EK.....	74
ÖZGEÇMİŞ.....	79

FPGA TABANLI MİKROBİLGİSAYAR MİMARİSİ KULLANILARAK 3 EKSENLİ ÇİZİCİ TEZGAH TASARIMI

Abdussefer BÖLÜKBAŞI

Bozok Üniversitesi

Fen Bilimleri Enstitüsü

Mekatronik Mühendisliği Anabilim Dalı

Yüksek Lisans Tezi

2017; Sayfa: 70

Tez Danışmanı: Yrd. Doç. Dr. Halit ÖZTEKİN

ÖZET

Bu çalışma ile eğitimsel amaçlı 3 eksenli adım motor kontrol tasarımı ve uygulaması yapılmıştır. Tasarımın kontrolör kısmında eğitimsel amaçlarla tasarlanarak yapılmış FPGA tabanlı bir mikrobilgisayar olan BZK.SAU.FPGA kullanılmıştır. BZK.SAU.FPGA mikrobilgisayar mimarisinde var olan paralel portlar kullanılmak suretiyle adım motora sinyal gönderilmesi sağlanmıştır. Bunun için kullanılan adım motorlar ve sürücülerin özelliğine uygun olarak BZK.SAU.FPGA mikrobilgisayara program kodu yazılmıştır. Çalışmada iki ayrı sürücü modeline sahip iki farklı adım motor kullanılmış olup her biri için ayrı kodlama gerçekleştirilmiştir. Çalışma ile birlikte oluşturulan tasarım eğitimsel hedeflere uygun olarak kullanılabilir.

Anahtar Kelimeler: BZK.SAU.FPGA, Eğitimsel Amaçlı Mikrobilgisayar, Adım Motor, FPGA Tabanlı Mikrobilgisayar, Adım Motor Kontrolü, Çizici Tezgah

3 AXIS PLOTTING MACHINE DESIGN USING FPGA MICROCOMPUTER

ARCHITECTURE

Abdussefer BÖLÜKBAŞI

Bozok University

Graduate School of Natural and Applied Sciences

Department of Mechatronic Engineering

Master of Science Thesis

2017; Pages: 70

Tez Danışmanı: Yrd. Doç. Dr. Halit ÖZTEKİN

ABSTRACT

This study has been made with educational purposes that 3 axis stepper motor control design and application. In the controller part of the design, BZK.SAU.FPGA, which is a microcomputer designed and made of FPGA based educational purpose, was used. Step motor signal transmission is provided that BZK.SAU.FPGA microcomputer architecture using the existing parallel ports. BZK.SAU.FPGA microcomputer program code is written in accordance with the characteristics of stepper motors and drivers used for this. In such a case, two stepping motor with two different drive models was used and a separate coding was carried out for each one. The design created with the study could be used in accordance with the educational objectives.

Keywords: BZK.SAU.FPGA, Educational Purpose Microcomputer, Stepper Motor, FPGA Based Microcomputer, Stepper Motor Control, Plotter Machine

TEŞEKKÜR

Değerli hocam Prof. Dr. Feyzullah TEMURTAŞ'a, tez çalışmam boyunca bilgisiyle bana ışık tutan danışman hocam Yrd. Doç. Dr. Halit ÖZTEKİN'e ve desteğini esirgemeyen değerli arkadaşım Öğr. Gör. Hüseyin BOZKURT'a, ayrıca çalışmalarımıza 110E069 numaralı proje ile verdiği destekten dolayı TÜBİTAK'a ve yine 2014FBE/T124 numaralı proje ile verdiği destekten dolayı Bozok Üniversitesi Bilimsel Araştırma Projeleri Birimine teşekkürü bir borç bilirim.

Haklarını hiçbir zaman ödeyemeyeceğim sevgili anneme ve babama, gösterdiği anlayıştan dolayı sevgili eşime sonsuz teşekkür ederim.

TABLÖLAR LİSTESİ

Sayfa

Tablo 2.1: Programlama Teknolojileri.....	19
Tablo 2.2: Programlama Teknolojilerinin Kıyaslanması.....	23
Tablo 3.1: 57HS22 Elektriksel Özellikler.....	36
Tablo 3.2: 57HS22 Akım Ayarları.....	37
Tablo 3.3: 57HS22 Mikrostep (Frekans) Ayarları.....	38
Tablo 3.4: 28BYJ-48 Sürme Adımları.....	40
Tablo 4.1: BZK.SAU.FPGA Tasarım Özellikleri.....	42
Tablo 5.1: Paralel Port Arabirimi Pin Tanımları.....	52
Tablo 5.2: 4x1 Multiplexer Doğruluk Tablosu.....	53
Tablo 5.3: 1x4 DeMultiplexer Doğruluk Tablosu.....	54
Tablo 5.4: Paralel Port ve GPIO 0 Portu Pin Bağlantıları	56
Tablo 5.5: Frekans Ayar Adımları.....	58
Tablo 6.1: FETCH ve DECODE Evrelerine Ait Mikro İşlemler.....	65

ŞEKİLLER LİSTESİ

Sayfa

Şekil 2.1 : SPLD Genel Yapısı.....	9
Şekil 2.2 : PROM Genel Yapısı.....	10
Şekil 2.3 : PAL Yapısı.....	11
Şekil 2.4 : Genişletilmiş Blok Şeması (GAL).....	12
Şekil 2.5 : PLA Blok Şeması.....	13
Şekil 2.6 : PLA Yapısı.....	14
Şekil 2.7 : Karmaşık PLD (CPLD) Yapısı.....	15
Şekil 2.8 : FPGA Genel Yapısı.....	17
Şekil 2.9 : EPROM Bellek Hücresi.....	20
Şekil 2.10: EEPROM Bellek Hücresi.....	21
Şekil 2.11: Karşıt Sigorta Teknolojisi (Anti-Fuse).....	22
Şekil 2.12: SRAM Tabanlı Programlanabilir Hücre.....	23
Şekil 2.13: FPGA Mimarisi.....	25
Şekil 2.14: Basitleştirilmiş Lojik Blok.....	26
Şekil 2.15: Boolean Fonksiyonu Lojik ve LUT.....	26
Şekil 2.16: Cyclone II Lojik Blok.....	27
Şekil 2.17: Cyclone II I/O Blok.....	28

Şekil 2.18: Altera DE2-70 Board.....	30
Şekil 3.1: Adım Motor.....	31
Şekil 3.2: Adım Motor Yapısı.....	32
Şekil 3.3: 57HS22 Adım Motor Yapısı.....	35
Şekil 3.4: 57HS22 Hız-Tork Eğrileri.....	36
Şekil 3.5: Adım Motor ve Sürücü Bağlantı Çeşitleri.....	39
Şekil 3.6: 28BYJ-48 Yapısı.....	40
Şekil 3.7: 28BYJ-48 Adım Motor İçin Sürücü Devre.....	41
Şekil 5.1 : Çizici Tezgah Tasarımı.....	47
Şekil 5.2 : Çizici Tezgah Ölçüleri.....	48
Şekil 5.3 : Çizici Tezgah Yazdırma Alanı	49
Şekil 5.4 : Çizici Tezgah Blok Şeması.....	51
Şekil 5.5 : Paralel Port Arabirimi	52
Şekil 5.6 : 4x1 Multiplexer.....	53
Şekil 5.7 : 1x4 DeMultiplexer	54
Şekil 5.8 : DE2-70 FPGA Geliştirme Kiti GPIO 0 Portu	55
Şekil 5.9 : BZK.SAU.FPGA ile Çizici Tezgah Bağlantıları.....	57
Şekil 5.10:Clock_Divider Tasarım Görünümü.....	58
Şekil 5.11:Clock_Divider İç Yapısı.....	60
Şekil 5.12: Adım Motor Kontrol Akış Şeması.....	62

Şekil 6.1: LDA Derhal Adresleme Modu.....	66
---	----



KISALTMALAR LİSTESİ

FPGA	: Alanda Programlanabilir Kapı Dizileri
ECU	: Elektronik Kontrol Ünitesi
PLD	: Programlanabilir Lojik Aygıt
SPLD	: Basit Programlanabilir Lojik Aygıt
CPLD	: Karmaşık Programlanabilir Lojik Aygıt
PROM	: Programlanabilir Salt Okunur Bellek
EPROM	: Silinip Programlanabilir Yalnızca Okunur Bellek
EEPROM	: Elektriksel Silinip Programlanabilir Yalnızca Okunur Bellek
PAL	: Programlanabilir Dizi Lojik
GAL	: Genel Dizi Lojik
PLA	: Programlanabilir Lojik Dizi
I/O	: Giriş/Çıkış
RAM	: Rasgele Erişilebilen Bellek
SRAM	: Statik Rasgele Erişilebilen Bellek
DRAM	: Dinamik Rasgele Erişilebilen Bellek
LUT	: Look-Up Tablosu
MUX	: Çoklayıcı/Veri Seçici
MOS	: Metal Oksit Yarı İletken
CMOS	: Bütünleyici Metal Oksit Yarı İletken

VHDL	: Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili
VGA	: Video Grafikleri Dizilimi
LCD	: Sıvı Kristal Ekran
HDL	: Donanım Tanımlama Dili
DSP	: Sayısal İşaret İşleyici
IC	: Entegre Devre
SoC	: System on Chip
ASIC	: Uygulamaya Özgü Entegre Devre
PID	: Oransal – İntegral - Türevsel
CPU	: Merkezi İşletim Birimi
UV	: Morötesi
PC	: Kişisel Bilgisayar
PLC	: Programlanabilir Mantıksal Denetleyici
MHZ	: Megahertz
KHZ	: Kilohertz

1. GİRİŞ

FPGA'lerin kullanımı günümüzde giderek büyük bir artış göstermeye başlamıştır. Akademik çalışmalarda veya küçük bütçeli projelerde FPGA, özel amaçlı tümdevre geliştirmek isteyen tasarımcılar için gayet uygun ve ekonomik bir çözüm olanağı sunmaktadır. Yeniden yapılandırılabilir donanım birimleri olarak da ifade edilebilen FPGA'ler kullanıcının uygun bir süre içerisinde tasarım yapmasına ve tasarımının sonuçlarını anında görebilmesine fırsat sağlarlar. Sahip oldukları bu artı değer ile FPGA'lerle eğitimsel çalışmalar simülatif ortamda kolaylıkla yapılabilir. Simülatif ortamdaki ideal şartların yerine, FPGA'ler gerçek dünya şartlarında gözlenebilen, elle tutulabilen ve çalıştırılabilen tasarımlara olanak sağlar.

Günümüzde bulunan elektrik makinelerinin hemen hepsinin yapısında stator, rotor ve sargılar mevcuttur. Genel olarak bu yapıdaki motorlara enerji verildiğinde dönmeye başlarlar ve bu durum enerji kesilinceye kadar devam eder. Ancak adım motorlarda bu durum biraz farklılık gösterir. Bir adım motoru kontrol edebilmek için devamlı enerji vermek yeterli olmamaktadır. Motorun sargılarına darbe şeklinde gerilim verilir ve bahsedilen çalıştırma işlemi özel sürücüler sayesinde sağlanabilmektedir. Bu çalışmada da hassas konumlandırma ve istenilen zamanda kolaylıkla durma özelliklerinden dolayı çizici tezgah tasarımında adım motorlar tercih edildi. FPGA tabanlı olarak tasarlanıp geliştirilen ve eğitimsel amaçlarla ortaya konan bir mikrobilgisayar mimarisi olan BZK.SAU.FPGA çizici tezgahın kontrolör kısmını oluşturmaktadır.

Tez çalışmasında iki farklı adım motor kullanımı tercih edilmiştir. Motorların birincisi çizici tezgahın X ve Y eksenlerinde kontrolünü sağlamak için, diğeri ise Z ekseninde hareketi sağlayarak tezgahdaki çizim alanının ilgili pikseline bir işaretleyici vasıtasıyla nokta koymasını gerçekleştirmektedir. Her iki adım motorun da sürücü devreleri temin edilerek kontrolü BZK.SAU.FPGA mimarisi tarafından gerçekleştirilmektedir.

Tez çalışmasında amaçlanan temel nokta eğitimsel boyutun öne çıkarılmasıdır. Bundan dolayı bu çalışmada kullanılan bütün elemanların ve sistem tarafındaki

alışmaların incelenebilir, mdahale edilebilir ve geliřtirilebilir olması nemsenmesi gereken bir durumdur. yle ki alışmada kullanılan ve aık kaynak kod kullanılarak gerekleřtirilen bu sistem sayesinde arařtırmacıların alışır halde bulunan bir bilgisayar mimarisinden faydalanabilmesi saėlanmıřtır. Bunun yanı sıra zgn bir mikrobilgisayar mimarisi ile endstriyel bir adım motor kontrolnn temeli de atılmıř olmaktadır. yle ki iki ayrı src tipinde adım motor kontrol saėlanarak alternatif alışma tekniklerine de yer verilmiř olması aslında donanımsal alanda yapılan alışmaların zengin bir yapıda olmasını saėlamaktadır.

1.1 Literatr Taraması

Literatrde FPGA kullanılarak yapılan farklı biimlerde adım motor alışmaları bulunmaktadır. Bu alışmaların bazıları 3 eksenli iken bazıları ise 2 eksenli olarak karřımıza çıkmaktadır.

Jose Rafael Guzman-Sepulveda ve arkadaşları  dereceli serbest mekanik bir kol yapısı zerinde alışma yapmıřlardır. [1] alışmalarını FPGA zerinde VHDL komutları ile gerekleřtirmiřlerdir. Burada kullanılan sayısal sistem kontrol devreler ve fonksiyonel blokların ara baėlantısı yoluyla saėlanmıřtır. alışmada kullanılan 3 ayrı adım motor  dereceli serbest kol hareketini saėlamaları iin kullanılmıřtır. Bylece mekanik tasarım belirli bir yrngeye tabi tutulmaksızın FPGA ara yz ile gnderilecek komutlara baėlı kılınmıřtır. Tasarlanıp geliřtirilen bu mekanik sistemin byk kapasiteli aėırlık kaldırma ve benzeri gibi amalarla olmadıėı, daha ziyade eėitimsel amalı olarak ortaya konduėu, bylelikle herkes iin kolay eriřilebilir bir alışma olduėu belirtilmektedir.

Yukarıdaki alışma ile beraber endstride sayısal sistemler ile FPGA zerinde VHDL dilini kullanarak adım motor kullanımı n plana ıkarılmıřtır. Bu proje sayesinde karmařık mekanizmaların kontrol edilebildiėi FPGA ile mekanik sistem hareketlerinin kontrolnn saėlanabileceėi zerinde durulmuřtur.

2008 yılında Satyam ve arkadaşları X, Y ve Z eksenlerinde hareket eden ve VHDL dili ile programlanıp FPGA zerinde alışan bir sistem zerinde alışmıřlardır. [2]

Bu sistemde üç boyutlu hareket 3 adet adım motorla sağlanmaktadır. Çalışmada bir sayısal kontrollü makinenin elektrotlarının kontrolü mikro denetleyici ile yapılmaktadır. Adım motorların X, Y ve Z eksenlerinde kontrolleri klavye yardımıyla sağlanır ve iki çeşit test yöntemi kullanılmıştır. Bu yöntemler elle ve otomatik kontrol olarak ifade edilmiştir. Mikro denetleyiciler ve FPGA'ler ile tek boyutlu ve iki yönlü sayısal kontrolün başarıyla uygulanmakta olduğu aynı zamanda bu çalışma ile üç boyutlu programların da diğer çalışmalar gibi uygulanabilir olduğu açıklanmaktadır. Çalışmada ayrıca kullanıcı tarafından elle girilen elektrotların kendi koordinat pozisyonlarını koruyup bir sonraki hareket için konumlarını koruduğu belirtilmektedir. Böylelikle bu sayısal kontrol makinesi ile boya yapımı, delme, taşlama, kesme, şekillendirme ve diş açma işlemleri gerçekleştirilebilecektir.

Jiebin Zhu ve Gaohua Liso çalışmalarında adım motor yük özelliklerini geliştirmek için bir adım motorun potansiyel performansına tam yükleme yaparak daha yüksek performans elde edilen bir sistem geliştirmişlerdir. [3] Çalışmada yüksek hızlı mikro denetleyici tabanlı bir haberleşme arabirimi olarak geliştirilmiş paralel port anlamına gelen EPP, darbe sinyal jeneratörüne ulaşmak için FPGA, zengin PC kullanımı, mesaj odaklı Windows sistemleri gibi düşünmeye uygulanan mikro denetleyici program geliştirme için ve devamlı, istikrarlı ve ayarlanabilir bağlantı enterpolasyonu ve modüler sistem yazılım sinyalinin elde etme hedeflenmiştir. Bu çalışmayla birlikte kontrol sistem fonksiyonlarının tasarım gereksinimleri, kontrol, esneklik, yüksek entegrasyon, sürücü boyutunu küçültme, geliştirme maliyetlerini azaltma ve adım motor sistem etkilerinin iyileştirilmesinin kanıtlandığı belirtilmektedir.

2013 yılında yayınlanmış olan sıradaki çalışma Juan Yu ve arkadaşlarına aittir. Çalışmada kontrol nesnesi olarak hibrit adım motor kullanılmıştır ve sistem FPGA tabanlı olacak şekilde üç eksenli olarak tasarlanıp uygulanmıştır. [4] Tüm kontrol sisteminde adım motorun başlama, durdurma, hızlanma, yavaşlama ve itme kontrolü için harici bir klavye kullanılır. Ayrıca motor hızının tespiti de dönel kodlayıcı ile tespit edilmektedir. İşlenmiş sinyal motor çalışma hızının durumu VGA ara yüzü aracılığıyla LCD ekranda gösterilmiştir. Bu çalışmadaki sistemin temeli, FPGA +

Verilog HDL + EDA araçları tarafından oluşturulan sayısal sistem teknolojisinin ekran entegrasyonudur.

FPGA tabanlı üç eksenli adım motor kontrol aygıtı adım motorun çok iş parçacıklı kontrolünü geleneksel CPU yazılım kontrolünün yerine koyarak doğrudan FPGA kullanarak yapar.

Zoonubiya Ali ve R. V Kshirsagar, VHDL kullanarak yüksek performans elde etmek için CPLD tabanlı açık döngü adım motor kontrolörü gelişimi üzerinde çalışmışlardır. [5] Hareket kontrol sistemlerinde adım motorların yaygın olarak kullanıldığı ve adım motor sürücüsünün ağırlıklı olarak bir DSP kullanılarak gerçekleştirildiğini belirtmişlerdir. Özellikle son 10 yılda entegre devre anlamına gelen IC endüstrisinde büyük bir değişimin yaşandığı ve dijital sistemde büyük miktarda veri işleminin giderek daha hızlı bir şekilde işlem gördüğüne dikkat çekilmiştir. Bundan dolayı SOC ve CPLD'lerin tasarımcılar nezdinde popüler olduğu açıklanmıştır. Bununla birlikte seri üretime ihtiyaç duyulduğu zaman CPLD tabanlı sürücülerin ASIC konuşma ile uyumlu olmalarından dolayı tercih edildiği ifade edilmektedir.

Çalışmalarında CPLD'ye dayalı adım motor kontrolörünün bir açık devre sürücüsünü sunmuşlardır. Öyle ki bu sürücünün kararlı ve hassas kontrol gerçekleştirebildiği ve duyarlı olduğu tespit edilmiştir. Elde ettikleri deneysel sonuçların da kontrol algoritmasının performansını doğruladığı anlaşılar. Ayrıca CPLD'nin bir DSP ya da mikro denetleyici kullanmadan yüksek performanslı bir açık döngü sürücüsü oluşturmak için kullanıldığını sonuç olarak karşımıza çıkarmışlardır.

2011 yılında Dajun Feng ve arkadaşları FPGA ve sistem eş zamanlı çalıştırılması temelinde dijital PID uygulaması üzerinde çalışmışlardır. [6] FPGA tabanlı PID kontrol algoritmasının donanım uygulaması olan tasarımda hız ve tükenmiş FPGA kaynakları arasında bir denge kurmak için üç seviye boru hattı ve her pakete ayrı ayrı onay veren aktarım işlemi benimsenmiştir. Bu çalışma tasarım performansının doğrulanması aşamasında adım motorun sinüs mikro adımli bir sürücü sistemi modeli getiriyor. Bu modelin ideal sinüs dalgası faz akımı üretmek ve sabit tork

çıkışı elde etmek için PID kontrolüne ihtiyaç duyduğu belirtilmektedir. Sistem eş zamanlı çalıştırma yöntemini benimsemektedir. Simülasyon Modelsim ve Simulink'i bir ara yüz gibi bağlamak için EDA simülatör bağlantısı MQ'yu seçmektedir. Eş zamanlı çalıştırma yöntemi yazılım ve donanım tasarımı arasındaki boşluğu kırar ve fonksiyon simülasyonunu hızlandırır. Simülasyon sonucu tasarımın klasik analog PID kontrolünü gerçekleştirebildiğini göstermektedir.

Bu çalışma ile FPGA tabanlı yeni bir dijital PID ortaya konulmuştur. Uygulamanın ideal çıktıların mevcut ve sabit olduğu bazı sistemler için uygun olduğu belirtilmektedir. Sonuç olarak dış çevreye duyarlı bazı sistemler için bulanık PID gibi uyarlanabilir PID'nin benimsenmesinin gerekliliği ortaya konmaktadır.

Buraya kadar bahsedilen literatür çalışmalarının ortak noktası adım motor kullanımıdır. Çalışmalar kendilerine özgü çalışma yöntemlerine göre farklılaşmaktadır. Bazı çalışmalar VHDL komutları ile ortaya konmuşken bazıları ise CPLD'ler ile gerçekleştirilmiştir. Özellikle VHDL dilinin kullanılarak FPGA ile uygulanan çalışmalar farklı türlerde karşımıza çıkmaktadır. Örneğin eğitim amaçlı ve herkes için erişilebilir çalışmaların yanında endüstriyel çalışmalarda kullanılabilecek duyarlı, hassas ve yüksek performans gerektiren çalışmalarla da karşılaşabilmekteyiz.

Eğitim amaçlı kontrol uygulamalarında laboratuvar ortamında test edilebilirlik ön plana çıkarken, endüstriyel çalışmalarda delme, taşlama, kesme, şekillendirme, diş açma gibi genel itibariyle performans gerektiren çalışmalara rastlamaktayız. Aslında her iki durum için başlama, durdurma, hızlanma, yavaşlama ve itme kontrolü önem kazanmaktadır. Ve bu işlemler geleneksel CPU yerine FPGA kitleri ile gerçekleştirilir. Kimi uygulamalar da kontrol, esneklik, yüksek entegrasyon, geliştirme maliyetlerinin azaltılması ve adım motor sistem etkilerinin iyileştirilmesine dikkat çekilmiştir.

Literatür çalışmalarında dikkat çeken noktalardan birisi çalışmalarda kullanılan kontrol sistemlerinin özgün olmamasıdır. Yani kimi çalışmalarda VHDL dili kullanılmış kimi çalışmalarda geleneksel CPU sistemleri ile çalışmalar

tamamlanmıştır. Aynı zamanda özgün bir sistemle adım motor kontrolünün eğitimsel amaçlarla yapılmadığı görülmektedir. Şimdiye kadar bahsedilen durumlardan ötürü bu çalışma ile birlikte özgün bir sistem kullanılarak adım motor kontrolünün sağlanmasının yanında ortaya konan bu çalışmanın eğitimsel hedeflerinin olması önemli görülebilir.



2. ALANDA PROGRAMLANABİLİR KAPI DİZİLERİ (FPGA)

Bu bölümde Alanda Programlanabilir Kapı Dizileri anlamına gelen FPGA'lerin genel özellikleri ve mimarileri tanıtılacaktır. Fakat onun öncesinde FPGA'in anlaşılmasını kolaylaştıracak bazı tanım ve ifadelerin bilinmesinde yarar vardır.

2.1. Programlanabilir Lojik

Programlanabilir lojik, temel lojik fonksiyonların kullanılarak karmaşık donanım tasarımlarının üretilmesini sağlayan donanım geliştirme platformlarını ifade etmektedir. Yani basit olarak AND, OR kapılarıyla başlayan bir çalışmanın gittikçe karmaşıklaşan bir tasarıma dönüşmesi, bizi programlanabilir lojikle karşılaştırır.

Günümüzde dijital sistemlerinin tasarımları eskiye nazaran daha kolay olmaktadır. Bunda programlanabilir lojik aygıtların erişilebilirliğinin artması en büyük etkenlerden biridir. Bundan dolayı yapılan çalışmalar devamlı olarak tekrar tekrar denenebilmesi bakımından tasarımcılara büyük kolaylıklar sağlamaktadır.

Programlanabilir lojik günlük yaşamda çoğu yerde karşımıza çıkmaktadır. Bunlardan bazıları beyaz eşyalar, araçlardaki Elektronik Kontrol Ünitesi (ECU), banka ATM'leridir. Bunların yanında daha birçok kullanım alanı örnek olarak belirtilebilir.

Programlanabilir lojikte kullanılan devreler, kapı ve flip-flopların birbirleri ile bağlanması sonucunda oluşan yapılar olarak ifade edilebilir. Burada kullanılan bellek hücreleri, lojik kapılarla gerçekleştirilen fonksiyonların tanımlanması, kontrolü ve kendi aralarında olan giriş çıkış bilgisi ilişkilerinin kayıtlı tutulması için kullanılmaktadır. Bu kapsamda üretilen ürünlerin mimarileri farklıdır ama genel itibari ile aynı işlevleri gerçekleştirirler.

Programlanabilir lojik alanında kullanılan cihazlar genel hatlarıyla üç ayrı mimari ile ifade edilirler.

- SPLD

- CPLD

- FPGA

Bu elemanlara ait detaylar bir sonraki bölümde açıklanacaktır.

2.1.1. Basit Programlanabilir Lojik Aygıt (SPLD)

Programlanabilir lojik aygıtlar içerisinde kapasite olarak en düşük olanı SPLD'lerdir. Bu sebeptendir ki en ucuzu da bu elemanlardır. [7] Yapısında 4 - 22 arasında programlanabilir hücre bulunmaktadır. Bu hücreler kendi aralarında, her biri bir sonrakıyla direk olarak bağlantılıdır. Bellek hücreleri genellikle sigorta, EPROM, EEPROM ya da Flash gibi değiştirilemeyen teknolojilerden yararlanılarak yapılırlar.

SPLD'ler yapılarındaki farklılıklara göre aşağıdaki terimlerle de karşımıza çıkabilir:

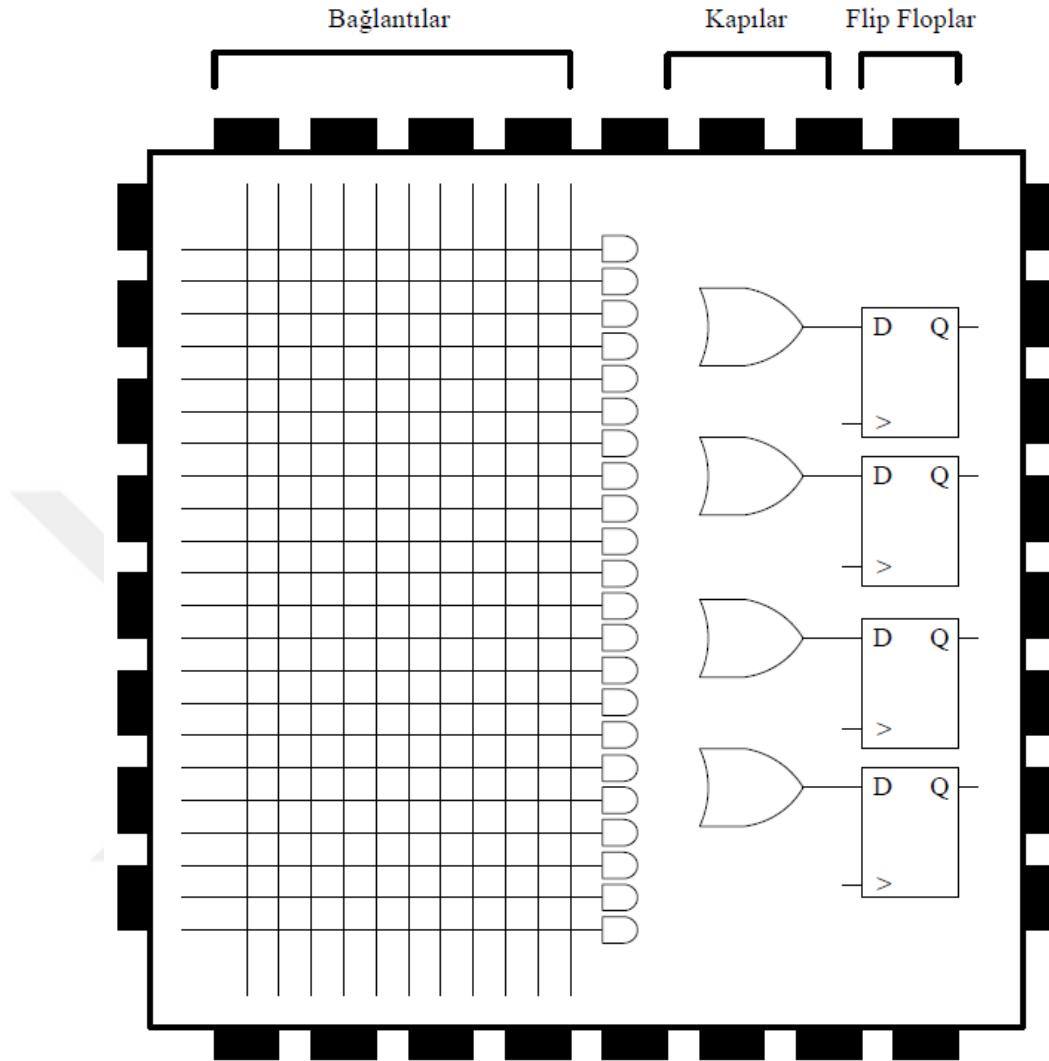
- PROM

- PAL

- GAL

- PLA

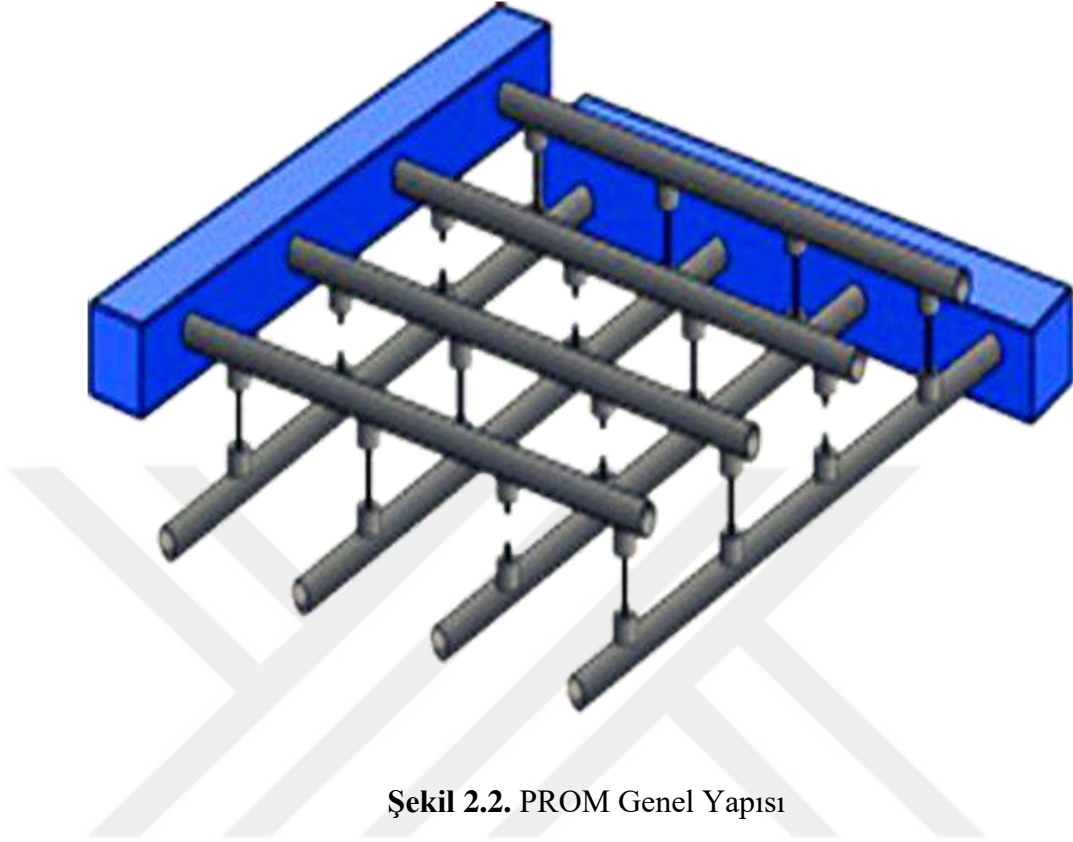
Aşağıda SPLD'nin genel yapısını görmekteyiz. SPLD çeşidine göre iki hat arasında yer alan bağlantı önceden programlanmış ya da tanımlanmıştır denilebilir.



Şekil 2.1. SPLD Genel Yapısı [13]

2.1.1.1. Programlanabilir Salt Okunur Bellek (PROM)

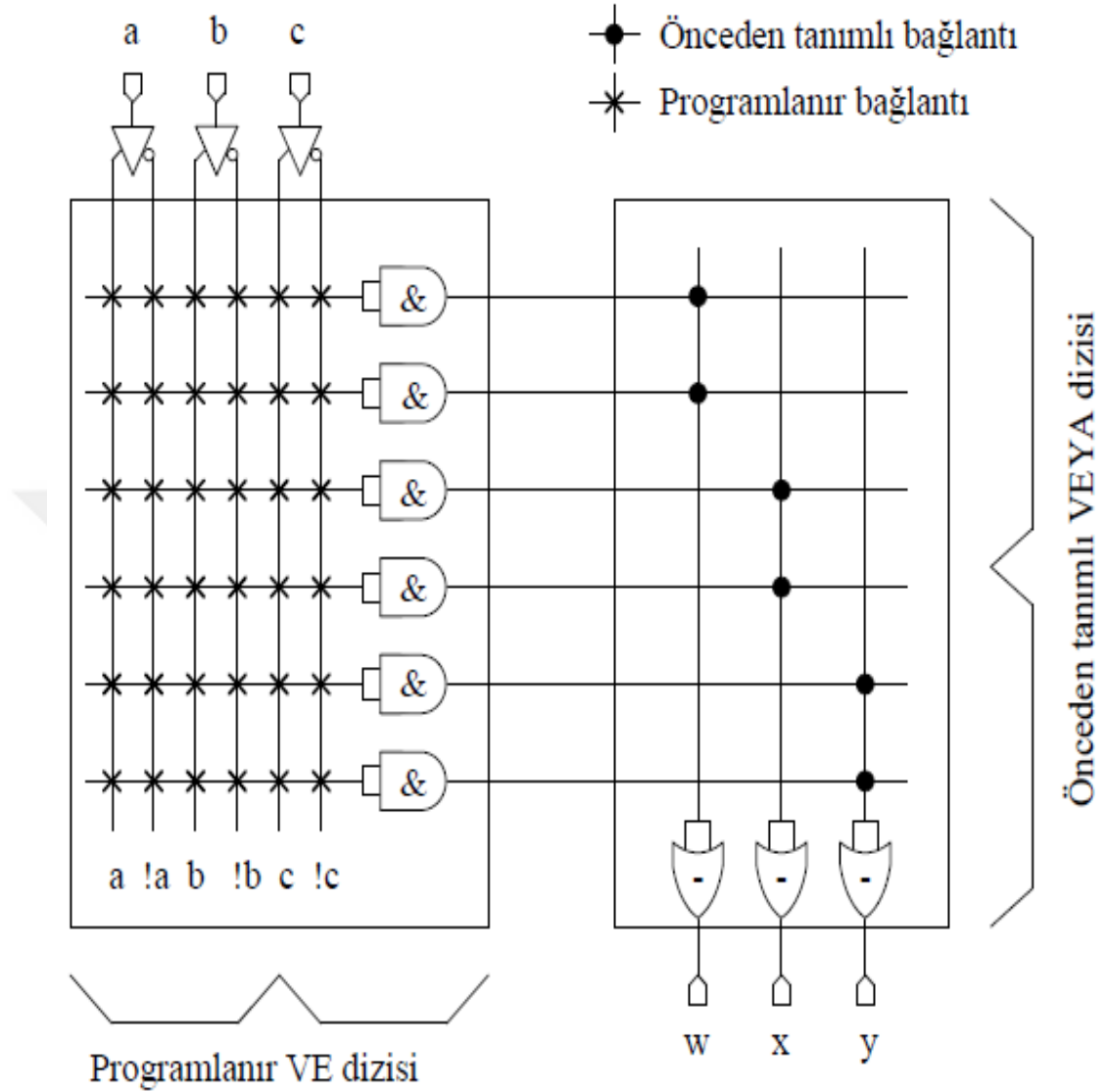
Programlanabilir salt okunur bellek olarak bilinen PROM her bir bit ayarının bir sigorta (Fuse) ya da antifuse tarafından kilitlendiği bir sayısal hafıza çeşididir. Daha çok programların kalıcı olarak saklanmasına yarayan PROM bellekler güvenilir, ekonomik fiyatlı, ayırık bileşenler yerine entegre devrelerin kullanıldığı ve 35ns ila 60ns arasında hıza sahip aygıtlardır.



Şekil 2.2. PROM Genel Yapısı

2.1.1.2. Programlanabilir Dizi Lojik (PAL)

PAL'ler, bir adet programlanabilir diziye sahiptirler. Bundan dolayı PLA'lardan daha hızlı olmaktadır. Ancak bu durum OR yapılacak çarpım terimlerinin sayısını sınırlandırır. Dolayısıyla farklı boyutta OR kapısı dizilerine ve farklı sayıda giriş ve çıkışlara sahip farklı modellerin üretilmesi ortaya çıkmıştır. Bununla birlikte birçok PAL kaydedicili çıkışlara da sahiptir. Çıkışların sıradaki darbe (clock) sinyaline kadar flip-floplarda depolanabilmesi sıralı tasarımlar gerçekleştirilebilmesi için gereklidir. Şekil 2.3.'de PAL yapısı görülmektedir.

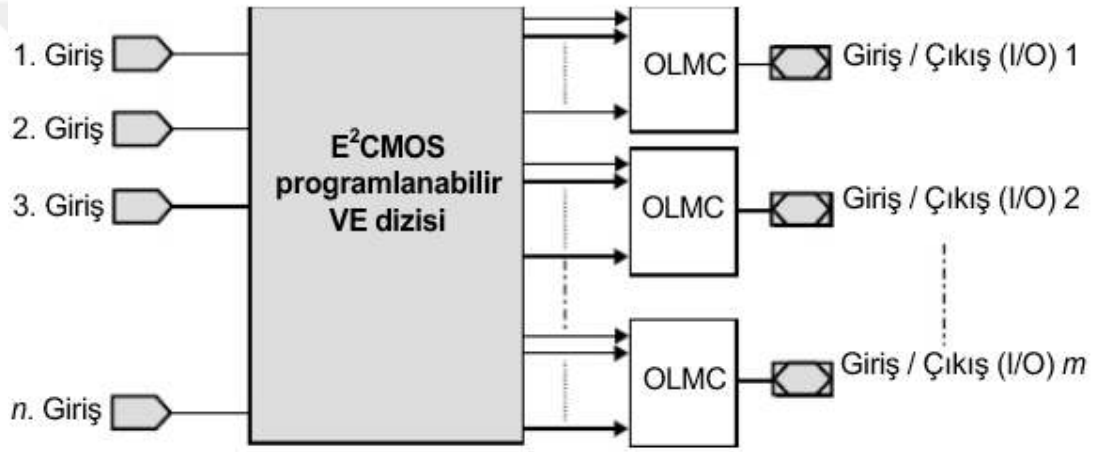


Şekil 2.3. PAL Yapısı [13]

SPLD'ler genel olarak adres kod çözücü olarak kullanılırlar. 7400 serisi ürünlerin yerini almışlardır ve bu ürünlere göre bazı üstünlükleri bulunmaktadır. Öncelikle tek çip olmalarından dolayı devre üzerinde daha az alan kaplamaktadırlar, güç tüketimleri daha azdır ve kablolama işlemi de oldukça kolaydır. Diğer avantajları ise çip içerisinde değişiklik yapma işleminin daha esnek olması ve board üzerinde herhangi bir değişiklik yapmayı gerektirmemesidir. Birçok SPLD tipi sigortaları ya da kalıcı bellekleri kullanarak (EPROM, EEPROM veya Flash Memory gibi) lojik tasarım işlevselliği saklanabilir.

2.1.1.3. Genel Dizi Lojik (GAL)

PLD elemanları arasında yer alan genel dizi lojik (GAL) aynen PAL elemanlarında olduğu gibi programlanabilir. ‘VE’ dizisi ve sabit ‘VEYA’ dizisi ile birlikte programlanabilir çıkış devresi içermektedir. Bu aşamada GAL ile PAL arasındaki iki temel farktan bahsedecek olursak; GAL yeniden programlanabilirdir ve programlanabilir çıkış devresine sahiptir. Yapısında bipolar transistör ve sigortalı hatlar yoktur. Bunların yerine elektriksel silinebilir CMOS teknolojisi kullanıldığı için birden fazla programlanabilir.

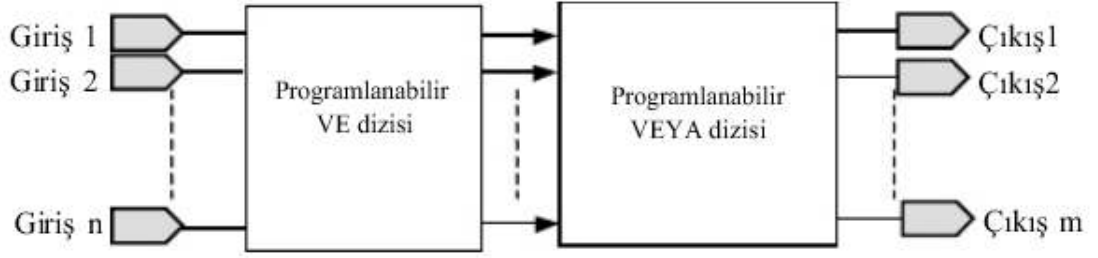


Şekil 2.4. Genişletilmiş Blok Şeması (GAL)

Yukarıdaki şekilde görüleceği üzere blok şema şeklinde gösterilen GAL devresinde farklı sayıda giriş ya da çıkış olarak programlanabilen giriş ve çıkış pinleri bulunabilmektedir.

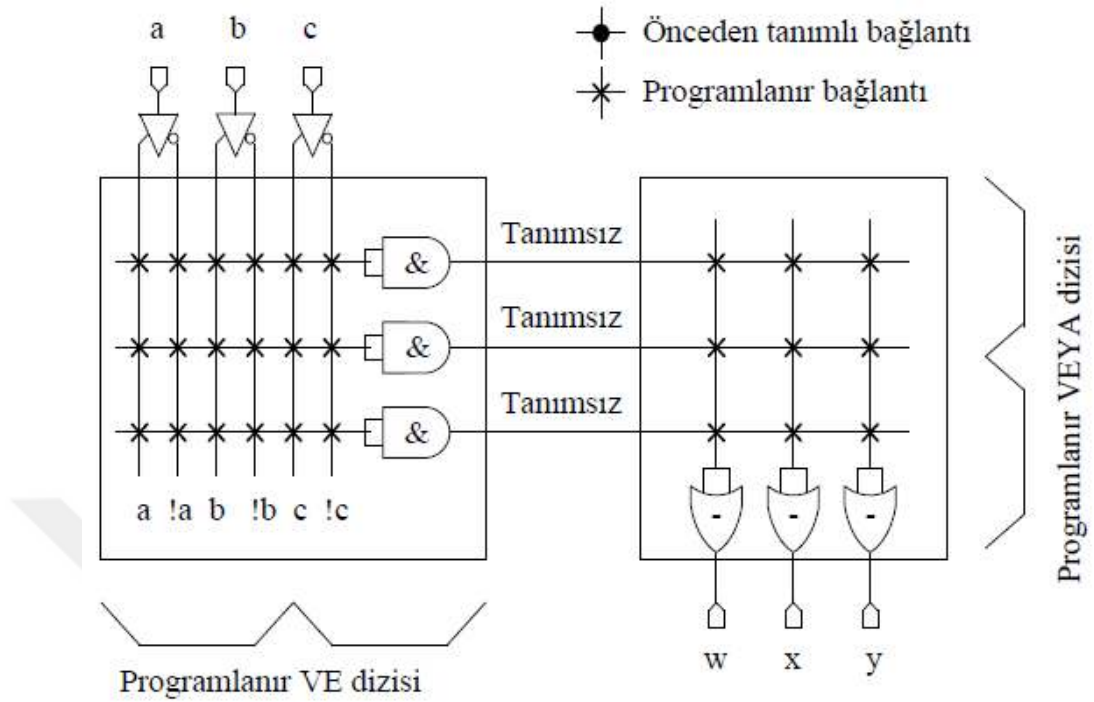
2.1.1.4. Programlanabilir Lojik Dizi (PLA)

Programlanabilir lojik elemanlar arasında yer alan PLA, programlanabilir ‘VE’ ve programlanabilir ‘VEYA’ dizisi içermektedir. PLA’da bulunan devreler PROM’larda bulunan sınırlamaları ortadan kaldırır. PLA devrelerini üreticiler programlamazlar. Bundan dolayı FPLA olarak da anılabilirler. PLA’ların dezavantajı iki programlanabilir dizi kullanılması neticesinde oluşacak karmaşık sigortalı devreler sebebiyle eleman içerisinde uzun bir işlem zamanı meydana gelmesidir.



Şekil 2.5. PLA Blok Şeması

SPLD cihazların yapılandırılması açısından en esnek olanları PLA'lardır. Kullanıcı tarafında programlanabilir 'VE' kapı dizileri ve 'VEYA' kapı dizilerinden oluşmaktadırlar. PLA yapısında 'VE' düzleminde yer alan tüm girişlerin çarpım terimleri biçiminde yapılandırılmasına imkan sağlamaktadır. Bunun yanında 'VEYA' düzleminde yer alan tüm çıkışları 'VE' düzlemindeki tüm çıkışların toplamını verecek biçimde yapılandırılabilir. Bahsedilen yapı sayesinde lojik fonksiyonlar çarpımların toplamı biçiminde gerçekleştirilebilir. PLA'lar birçok çarpım teriminin birkaç çıkış tarafından kullanılarak özellikle geniş tasarımlar için kullanışlı olmaktadır. En belirgin dezavantajları yüksek maliyetli olmalarının yanında düşük hıza sahip olmalarıdır. [31]

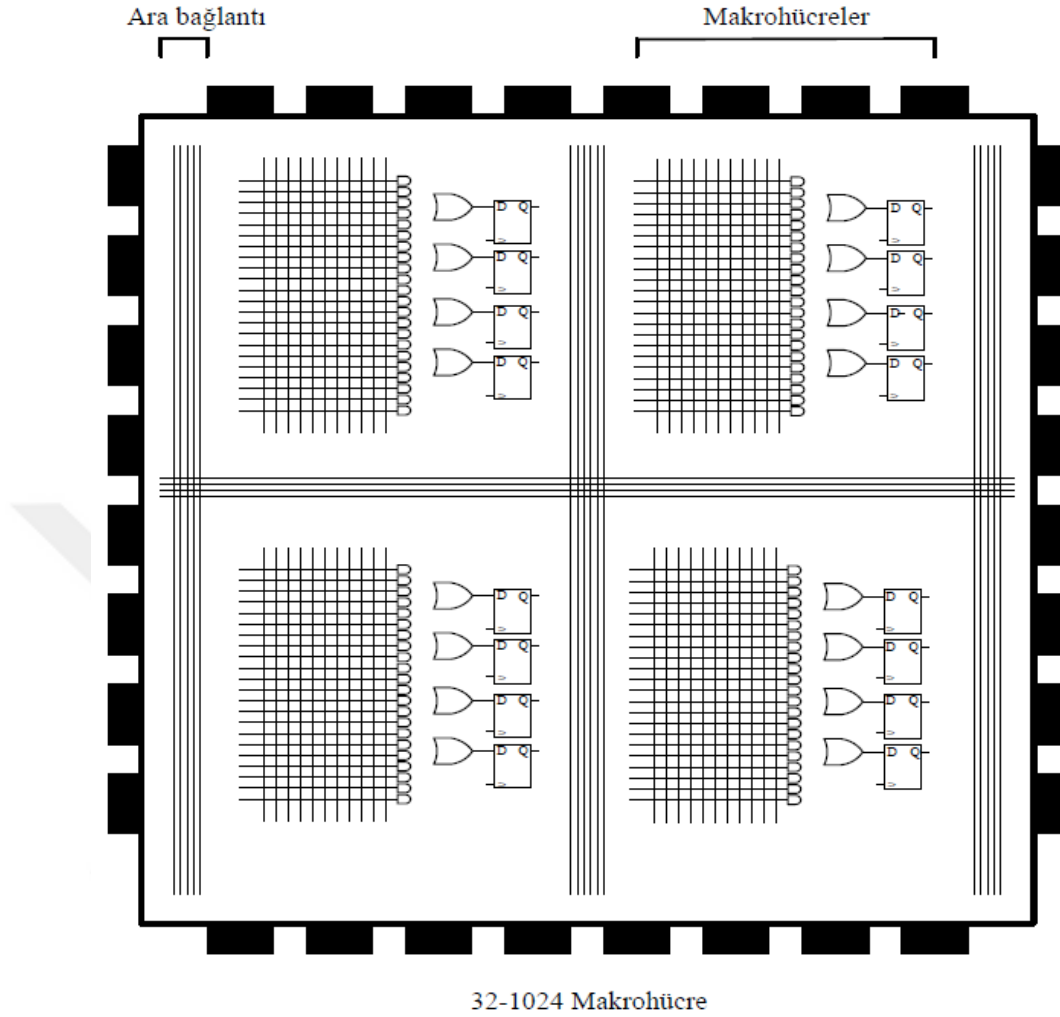


Şekil 2.6. PLA Yapısı [13]

2.1.2. Karmaşık Programlanabilir Lojik Aygıt (CPLD)

Karmaşık ve yoğun olmaları açısından incelendiğinde SPLD ve FPGA'lerin ortasında bulunurlar. SPLD'lerle hemen hemen aynı özelliklere sahip olmakla birlikte SPLD'lere göre anlamlı bir biçimde daha büyük tasarımların yapılabilmesine izin verirler. Yani kapasiteleri SPLD'den üstündür. FPGA'lere göre ise daha az lojik imkan sağlamaktadırlar.

CPLD'lerin yapısında 8 ila 500 kadar makro hücre bulunduran birkaç lojik blok vardır. CPLD pratik çalışmalar için tek bir çip içerisine toplanmış bir yapıdır. Aşağıdaki şekilde CPLD yapısı görülmektedir.



Şekil 2.7. Karmaşık PLD (CPLD) Yapısı [13]

Burada bulunan dizi bloklar aslında SPLD eşiti olarak kabul edilebilir. Ancak bir CPLD’de lojik blokların sayısı daha az veya fazla olabilmektedir. Burada ifade edilen lojik blokların her biri sıradan bir SPLD gibi makro hücre ve bağlantılardan oluşmaktadır. Boyutları daha geniş olan bir CPLD beklenenden daha fazla lojik eşitliğe ve daha karmaşık tasarımlara izin verebilir. Bununla birlikte CPLD’lerde büyük bir oranla karmaşık tasarımlar yapılabilir. Bu tasarımlar çarpımların toplamı biçiminde bütünleştirici lojik fonksiyonlar ve isteğe bağlı olarak flip-flop içeren makro hücrelerden oluşurlar.

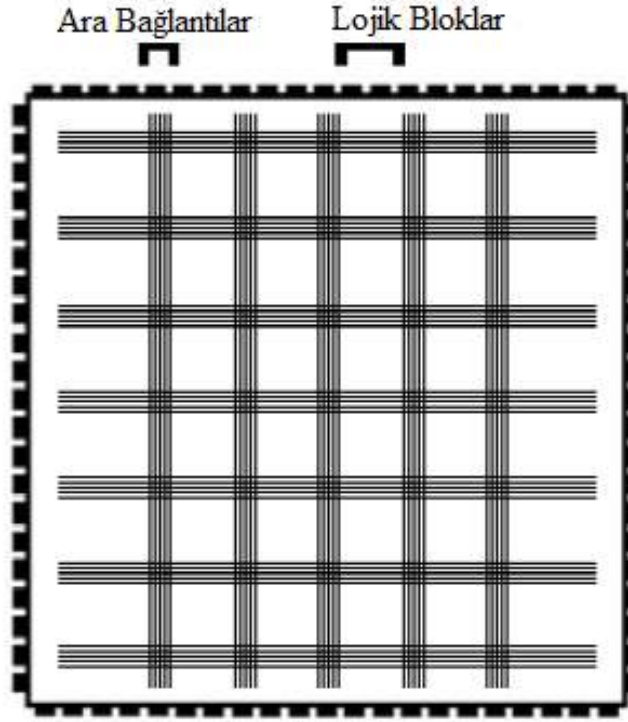
CPLD’ler sahip oldukları tahmin edilebilir zamanlama karakteristikleri ile kritik ve yüksek performans kontrol uygulamalarında rahat bir biçimde kullanılırlar. FPGA ve

diğer programlanabilir lojik aygıtlara göre daha kısa ve tahmin edilebilir gecikme süreleri vardır. CPLD, uygun fiyat ve daha düşük güç tüketimi sayesinde maliyetin düşük tutulduğu ve pil ile enerji verilen taşınabilir uygulamalarda oldukça avantajlıdır. SPLD'lere göre kapasiteleri yüksek olduğundan potansiyel olarak daha fazla kullanım alanına sahiptirler. Adres kod çözme gibi basit uygulamaların yanında yüksek performans kontrol uygulamalarında ya da karmaşık sonlu durum makinelerinde daha yoğun kullanılmaktadırlar. [31]

2.1.3. Sahada Programlanabilir Kapı Dizileri (FPGA)

Bir FPGA'nın yapısında aralarında elektriksel programlanabilir ara bağlantı bulunan 2 boyutlu lojik blok ve flip-flop diziler vardır. FPGA'lar ile geleneksel entegreler arasındaki fark da bu elektriksel programlanabilir ara bağlantılardır. Günümüzde bulunan entegre devrelerde lojik bloklar arasında yer alan bağlantılar fabrika teknolojisi kullanılarak metal ara bağlantısı şeklinde olur.

FPGA ile bir donanım tasarımı uygulanabilir. Genel olarak sistem prototipi hazırlama amacıyla da kullanılabilir. Böyle bir çalışmada elde edilecek son üründe FPGA'nın kullanılıp kullanılmayacağı, geliştirme zamanı ve maliyet arasında ortaya çıkan denge ve sonuçta cihazın ekonomik getirisi ile ilişkilidir. Aşağıdaki şekilde FPGA'nın genel yapısı görülmektedir.



Şekil 2.8. FPGA Genel Yapısı [13]

FPGA mimari açıdan üç anahtar parçadan oluşur. Lojik bloklar, ara bağlantılar ve giriş/çıkış (I/O) blokları bahsedilen üç parçadır. I/O blokları yapının etrafını bir daire biçiminde sararak şekillendirilir. Bahsedilen blokların her biri FPGA paketi dışındaki I/O pinlerine giriş, çıkış ve çift yönlü olacak şekilde erişirler. FPGA'lara mimari açıdan bakıldığında I/O bloklarının iç tarafında dikdörtgen biçiminde diziler halinde lojik blokların olduğu görülür. Buraya kadar aktarılan bloklar arasında yer alan bağlantılar programlanabilirdir.

FPGA içerisinde bulunan lojik blokların büyüklüğü bir PLD içerisindeki makro hücrelere göre eşit ya da daha büyüktür. Karmaşıklık açısından ise aynı ya da daha karmaşık olduğu belirtilebilir. Ancak tüm bunlara rağmen bu lojik blokların büyüklüğü bütün PLD'lere göre daha büyük değildir. Mesela CPLD'lerle kıyaslandığında daha küçüktür. Aslına bakılırsa FPGA'ların içerisinde bulunan lojik bloklar birkaç çift lojik kapı ve bir look-up tablosu ile bir flip-flop'tan oluşur. Bu durum fazladan flip-flop'lardan ötürü FPGA mimarisini CPLD'lere göre daha esnek yapmaktadır. Yani FPGA'lar pipelined ve ağır kayıt uygulamalarında daha iyi bir

performans sunacaktır. Bununla birlikte FPGA'lar işlemci artı yazılım çözümlerinin bulunduğu uygulamalarda kullanılmaktadır. Özellikle giriş veri akımlarının hızlı bir biçimde işlenmesi gereken durumlarda tercih sebebidirler. Özet olarak FPGA'lar CPLD'lere göre aynı alanda daha fazla kapı içermesi ve maliyetinin daha az olması nedeniyle tercih edilmektedirler.

2.2. FPGA Mimarisi

Günümüzde var olan FPGA'lar farklılık göstermektedir. Çünkü FPGA üretimleri farklı firmalar tarafından gerçekleştirilebilmektedir. Bundan dolayı her üretici firma ürünlerini kendi mimarilerini, programlama tekniklerini, güç tüketimlerini, lojik kapı sayılarını ve I/O sayılarını oluşturup müşterilere sunarlar. Hemen bütün ürünlerde programlanabilir ara bağlantı, I/O bloklar ve lojik bloklar vardır. Bunun yanında bellekler, kod çözücüler, gömülü çarpıcılar ve benzeri fazladan özellikler de ürüne eklenebilmektedir.

2.2.1. Programlama Teknolojileri

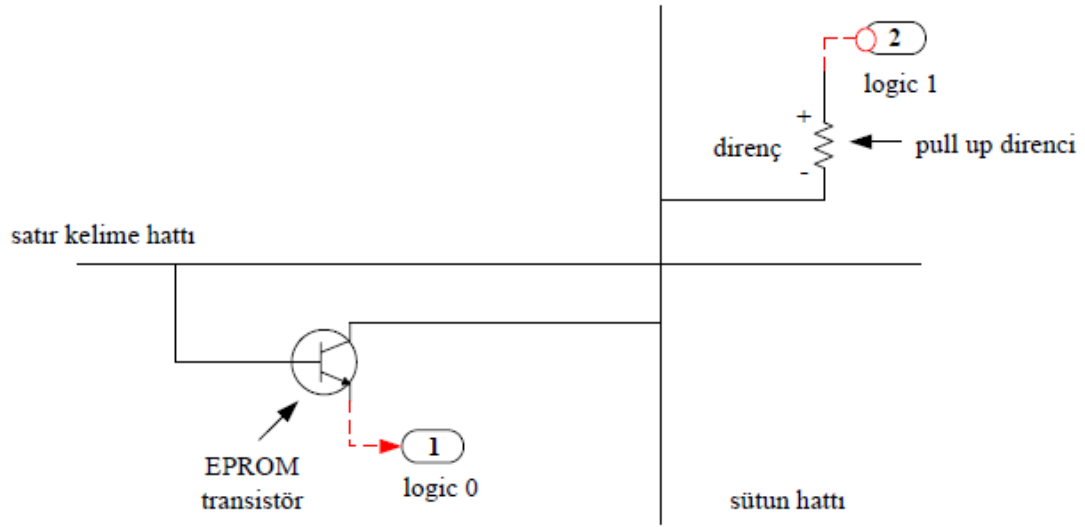
Günümüzde kullanıma sunulan programlanabilir cihazlar temel olarak iki ana kategoride incelenmektedir. Bunlardan birinci olanı programlanabilir, ikincisi ise bir kez programlanabilir ana kategorileridir. FPGA'ları programlayabilmek için ise genellikle dört farklı teknoloji kullanılmaktadır. Aşağıdaki tabloda bahsi geçen teknikler ve kısa açıklamaları görülmektedir.

Tablo 2.1. Programlama Teknolojileri [13]

Programlama Teknolojisi	Açıklaması
EPROM	EPROM tabanlı belleklerle aynı teknolojiye sahiptir. Elektrik kesintisinde içeriği silinmediği için kalıcıdır.
EEPROM	EEPROM tabanlı bellek teknolojisi ile aynıdır. Kalıcıdır ancak yeniden programlanabilir.
Anti-Fuse	Yapılandırma kalıcıdır. Bir kez programlanabilir.
SRAM	Kalıcı değildir ve elektrik kesintisinde bellek silineceği için tekrar yüklenmelidir.

2.2.1.1. EPROM (Erasable Programmable Read Only Memory)

Bir EPROM silinip programlanabilir yalnızca okunur bellek anlamına gelir. Standart MOS transistor yapısında temellendirilmiştir ve ek olarak oksit tabakaları arasında izole edilmiş bir serbest kapısı vardır. Bu kapı floating gate olarak bilinir. Programlanmamış durumda serbest kapı şarj olmamış haldedir. EPROM'u programlamak için gate ve drain uçları tahminen 12 volt değerinde bir gerilimle beslenir. Bu şarj transistoru sabit olarak açık bırakır. Serbest kapı üzerinde yer alan uyarılmış elektronlar ince oksit tabakanın diğer tarafına doğru itilmektedirler ve böylece negatif bir şarj oluşması sağlanır. İfade edilen programlama gerilimi kesilse ya da kesintiye uğrasa bile normal şartlar altında EPROM bu şarj durumunu tahminen 20 yıl süresince korumaktadır. Değişken kapı üzerinde depolanan şarj transistorun normal çalışmasını engellemektedir. Bu karakteristik aşağıda yer alan şekildeki gibi bir bellek hücreni şekillendirmede kullanılabilir.

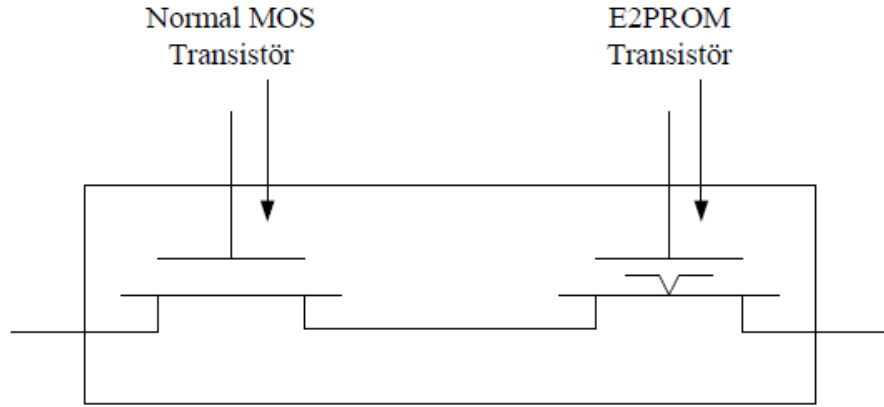


Şekil 2.9. EPROM Bellek Hücresi [13]

Programlanmamış durumda transistor normal çalışmasını sürdüreceğinden satır kelime hattına uygulanan pozitif sinyalde satıra bağlı olan sütunda yer alan programlanmamış transistörlerden lojik 0 değeri okunacaktır. Programlanmış durumda ise transistor normal çalışmasını sürdüremeyeceğinden okunan değer lojik 1 olacaktır. EPROM'un silinmesi serbest kapı hücrelerinde bulunan yükün boşaltılması ile olacaktır. Bu işlemin yapılabilmesi için bir UV ışık kaynağına ihtiyaç vardır. EPROM'larda içerisine UV ışığın girmesine izin veren bir Quartz pencere vardır. Cihaz programlandıktan sonra bahsedilen pencere yanlışlıkla silinmeyi önlemeyebilmek için yapışkan bir bant yardımıyla kapatılmaktadır. Cihazın silinmesi için ilk önce cihaz devreden ayrılmalıdır. Ardından Quartz pencere açılır ve yüksek yoğunluklu bir UV kaynağı yardımı ile beraber kapalı bir kutu içerisine konulmalıdır.

2.2.1.2. EEPROM (Electrically Erasable Programmable Read Only Memory)

Yapı olarak EPROM'lara benzemektedirler. Farklı olarak elektriksel olarak silinebilirler. Aşağıdaki şekilde görüldüğü üzere EPROM bellek hücresine ikinci bir transistor eklenmesiyle oluşturulmuştur. Bu ikinci transistor hücreyi elektriksel olarak silmeyi sağlar.

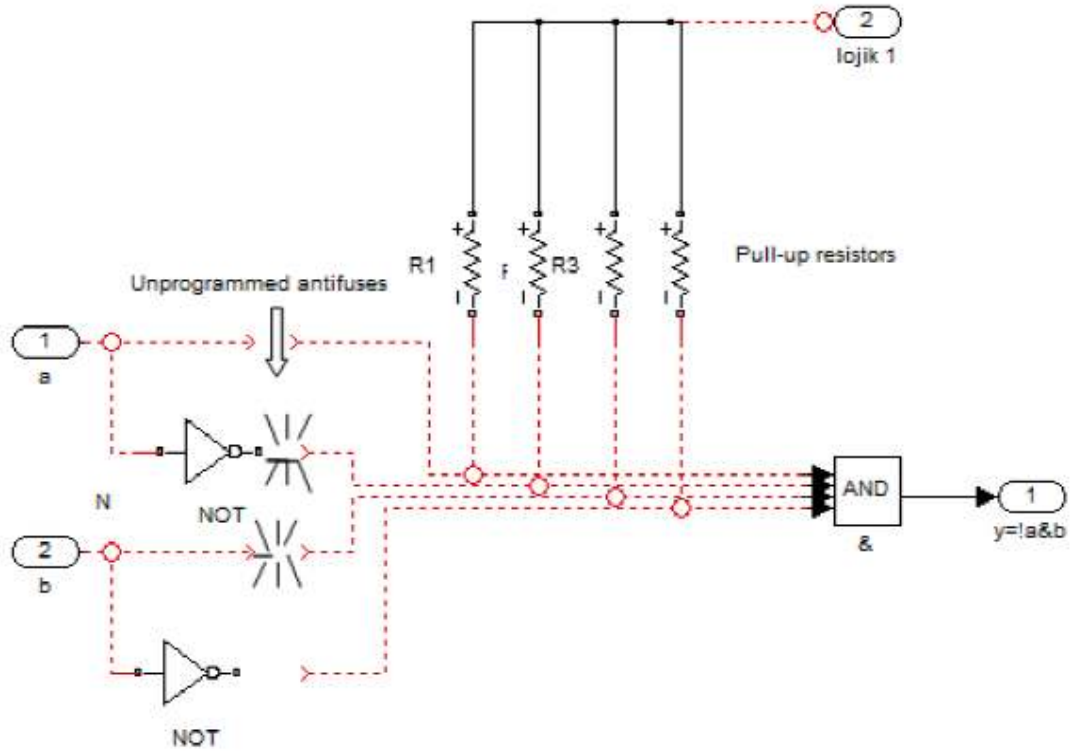


Şekil 2.10. EEPROM Bellek Hücresi [13]

EEPROM’larda çipin tekrar yazılabilmesi için taşınması zorunlu değildir. Yine bir kısım bilginin değiştirilmesi için bütün çipin yeniden yazılmasına da gerek yoktur. Ayrıca çipin silinebilmesinde ek özel donanımlara ihtiyaç duyulmayacaktır.

2.2.1.3. Anti-Fuse (Karşıt Sigorta)

Anti-fuse teknolojisinde her yapılandırılabilir yolun programlanabilir bir bağlantısı bulunmaktadır. Programlanmamış durumda anti-fuse yüksek empedans ortaya koyar. Böylece anti-fuse iki metal parçayı birbirinden yalıtan bir izolatör görevi üstlenecektir. Yüksek voltaj ve akım darbelerinin uygulanması sonucunda bu yalıtkan silikon bölüm iletken polisilikon halini alır. Burada oluşturulan bağlantı geri alınamayan bir bağlantı türüdür. Yani anti-fuse teknolojisi bir kez programlanabilen bir teknoloji olarak ifade edilebilir.

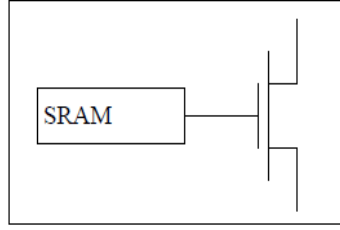


Şekil 2.11. Karşıt Sigorta Teknolojisi (Anti-Fuse) [13]

2.2.1.4. SRAM (Static Random Access Memory)

Yarı iletken RAM'ler iki türdür. Bunlar SRAM ve DRAM'dir. SRAM'de hücreye işlenen herhangi bir bilgi değiştirilinceye ya da güç kesilinceye kadar kaybolmamaktadır. Bütün hücreler kontrol transistörünü süren SRAM depolama birimlerinden oluşmaktadır. Depolama biriminin içeriğine göre transistör açık veya kapalı konumda bulunabilir. Burada bahsedilen teknoloji 4 ya da 6 transistörden oluştuğu için bu bir dezavantajdır. Bir diğer dezavantaj ise güç kesildiği zaman bütün verilerin kaybolması durumudur. Bütün bu dezavantajlara rağmen hızlı ve yeniden programlanabilir olmaları onlara büyük bir avantaj sağlar.

Dinamik RAM yapısında ise her hücre bir transistör ve kapasiteden oluşmaktadır. Bu bellek çeşidi dinamik olduğundan içerisinde yük varsa belli aralıklarla mevcut yük tazelenir. Bundan dolayı DRAM teknolojisi programlanabilir lojik cihazlar için tercih edilmemektedir.



Şekil 2.12. SRAM Tabanlı Programlanabilir Hücre

2.2.1.5. Programlama Teknolojileri Hakkında Özet

Programlama teknikleri açısından Manyetik RAM ve Flash gibi teknolojiler de geliştirilse dahi buraya kadar anlatılan bu dört programlama teknolojisi programlanabilir lojik devreler açısından bir temel teşkil etmektedir. EPROM ve EEPROM teknolojisi daha çok SPLD'leri programlamak için kullanılır. EEPROM bazı FPGA'ler için de kullanılabilir. Karşıt sigorta (Anti-fuse) ve SRAM teknolojileri ise FPGA'lerde yaygın bir biçimde kullanılır. Aşağıdaki tabloda FPGA programlama tekniklerinin kıyaslaması görülmektedir. [32]

Tablo 2.2. Programlama Teknolojilerinin Kıyaslanması [13]

ÖZELLİK	EEPROM	ANTI-FUSE	SRAM
Tekrar Programlanabilme	Var	Yok	Var
Tekrar Programlama Hızı	Orta		Hızlı
Kalıcılık	Var	Var	Yok
Prototipleme	İyi	Kötü	İyi
Güvenlik	İyi	İyi	Zayıf
Konfigürasyon Hücresi	Orta	Küçük	Geniş
Güç Tüketimi	Orta	Düşük	Orta

SRAM teknolojisinin kullanıldığı bazı FPGA aileleri şunlardır:

- Altera Stratix II ve Cyclone II
- Atmel AT6000 ve AT40K
- Lattice LatticeEC ve LatticeECP
- Xilinx Spartan-3 ve Virtex-4

Anti-Fuse teknolojisinin kullanıldığı bazı FPGA aileleri aşağıdaki gibidir:

- Actel SX ve Axcelerator
- Quicklogic Eclipse II

Flash teknolojisinin kullanıldığı bazı FPGA aileleri aşağıda verilmiştir:

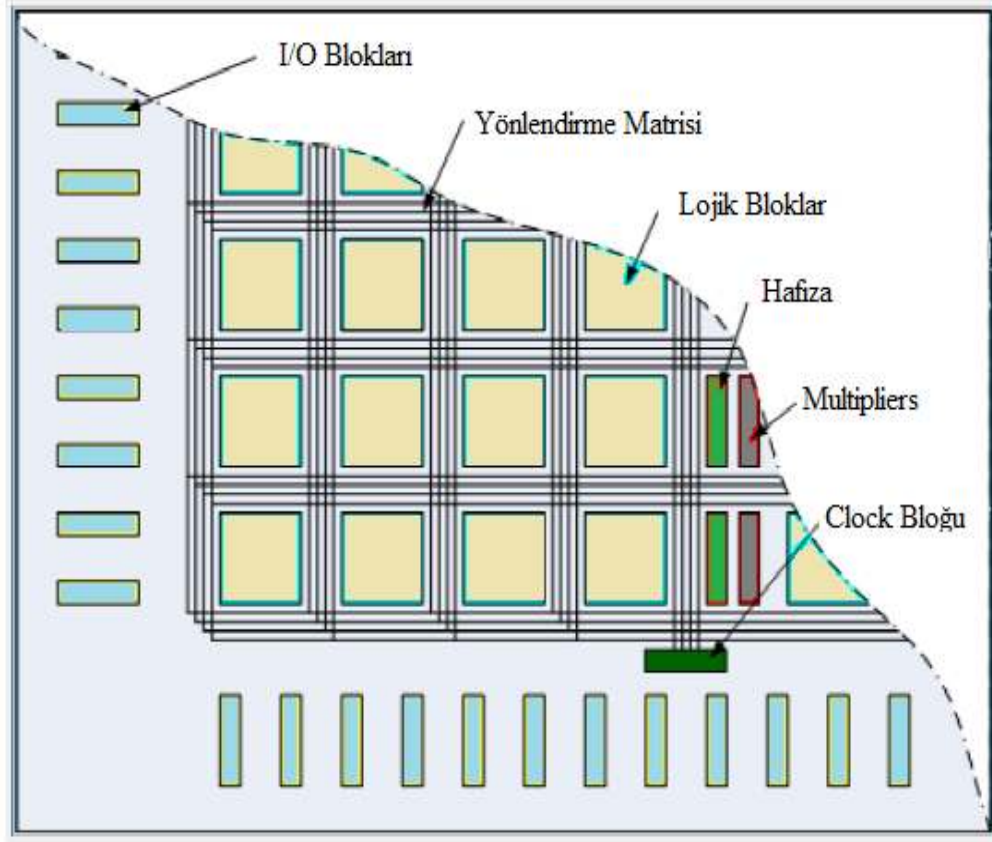
- Actel ProASIC

Hibrit Flash/SRAM teknolojisinin kullanıldığı bazı FPGA aileleri de şunlardır:

- LatticeXP

2.2.2. FPGA İç Yapısı

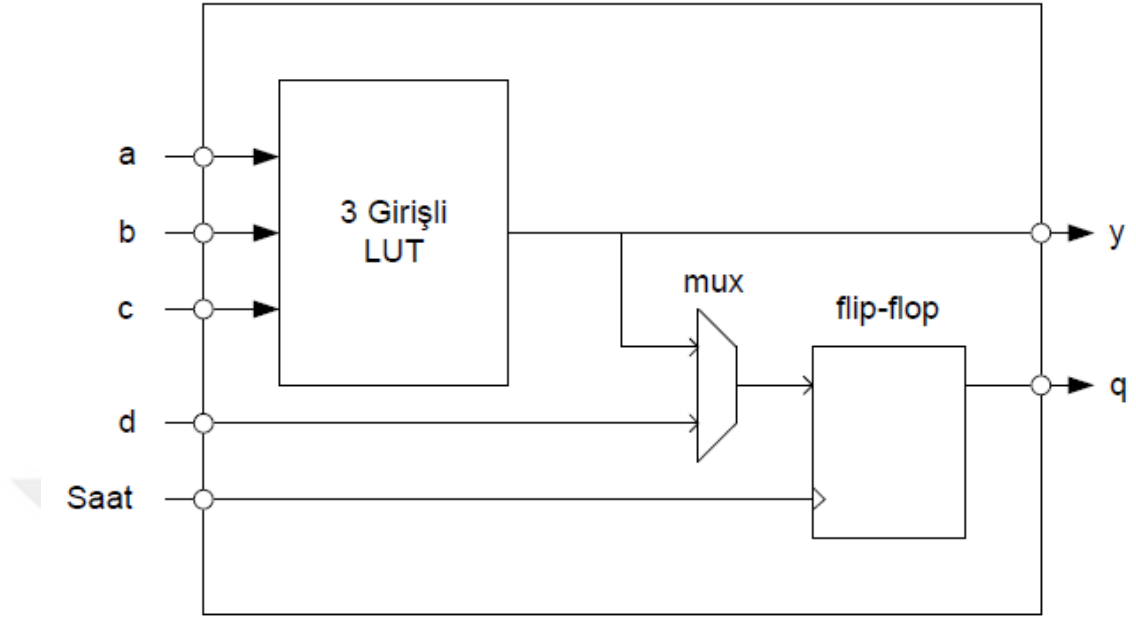
Günümüzde kullanılan FPGA aygıtları değişik firmalarca birçok farklı cihaz ailesi olarak üretilmektedir. Üretim yapan cihaz ailelerinden bazıları üreticiler arasında bulunan rekabetin etkisiyle bazı özel uygulama alanları için daha iyi tasarlanma imkanı bulmuşlardır. Aralarında bulunan farklılıklara rağmen tasarım mimarisi ve özellikleri açısından birbirlerine benzemektedirler. FPGA'ler üç temel elemandan oluşurlar. Programlanabilir ara bağlantılar, lojik bloklar ve I/O blokları bu üç temel elemandır. Aşağıdaki şekilde bu durum kısaca özetlenmiştir. Ayrıca bu bölümde temel bileşenler arasında yer alan lojik ve I/O bloklardan genel yapıları itibariyle bahsedilecektir.



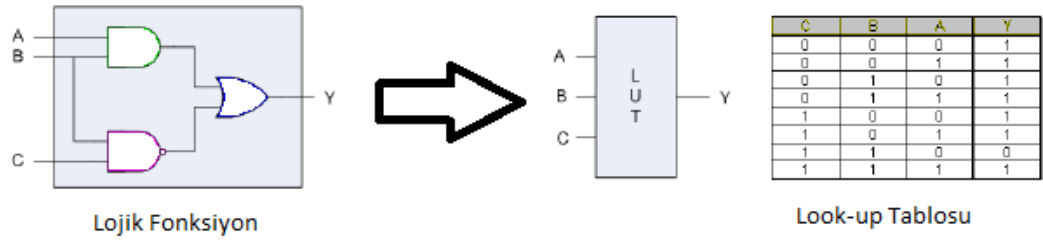
Şekil 2.13. FPGA Mimarisi [32]

2.2.2.1. Lojik Bloklar

FPGA lojik blokları farklı üreticiler tarafından üretildiği için aralarında değişiklikler mevcuttur. Öyle ki bahsi geçen farklılıklar aynı üreticinin farklı ailedeki cihazlarında bile etkisini gösterebilmektedir. Tipik olarak bir lojik blok, bir ya da daha fazla look-up tablosu, flip floplar, elde biti ve sinyal yönlendirme MUX'ından oluşmaktadır. Basitleştirilmiş haldeki bir lojik blok aşağıdaki şekilde gibidir. Şekildeki lojik blok 3 girişli bir LUT, bir flip-flop ve bir MUX'tan oluşur. Bir look-up tablosu N sayıda girişe sahip bir Boolean fonksiyonunu icra etmektedir. Aşağıdaki şekilde bir boolean fonksiyon uygulaması lojik kapılar ve look-up tablosu şeklinde gösterilmiştir.

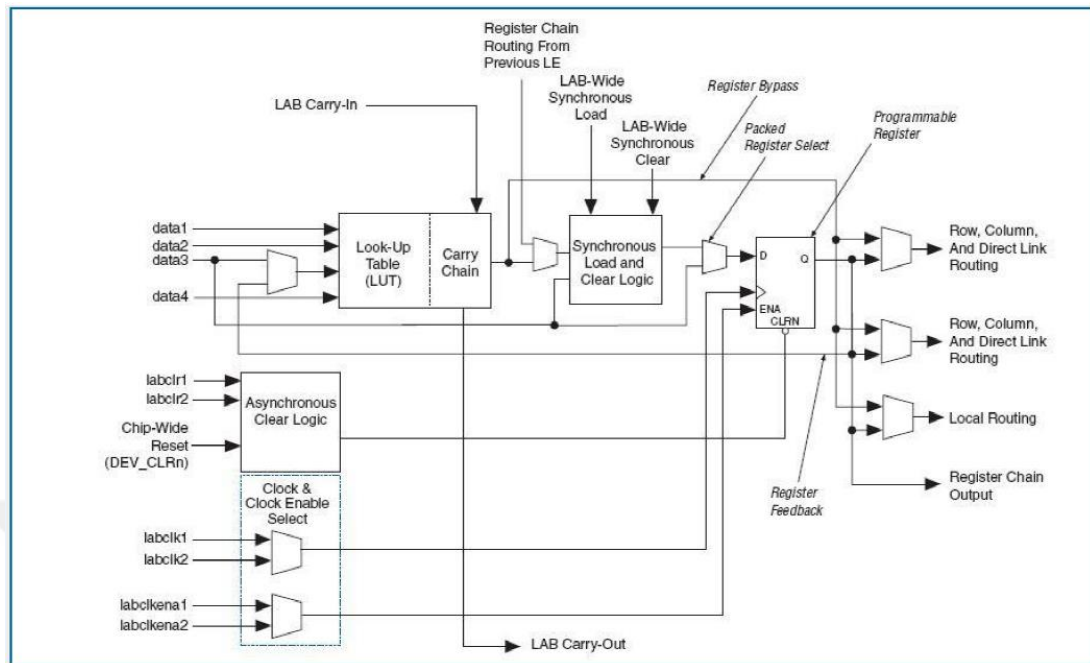


Şekil 2.14. Basitleştirilmiş Lojik Blok [32]



Şekil 2.15. Boolean Fonksiyonu Lojik ve LUT [32]

Look-up tablosu çıkışları doğrudan ya da bir flip-flop üzerinden lojik bloğun dışarısına çıkmaktadırlar. Lojik bloklar daha büyük yapıları oluşturmak için beraber gruplanabilmektedirler. Şekilde Cyclone II ailesine ait bir lojik blok verilmiştir.



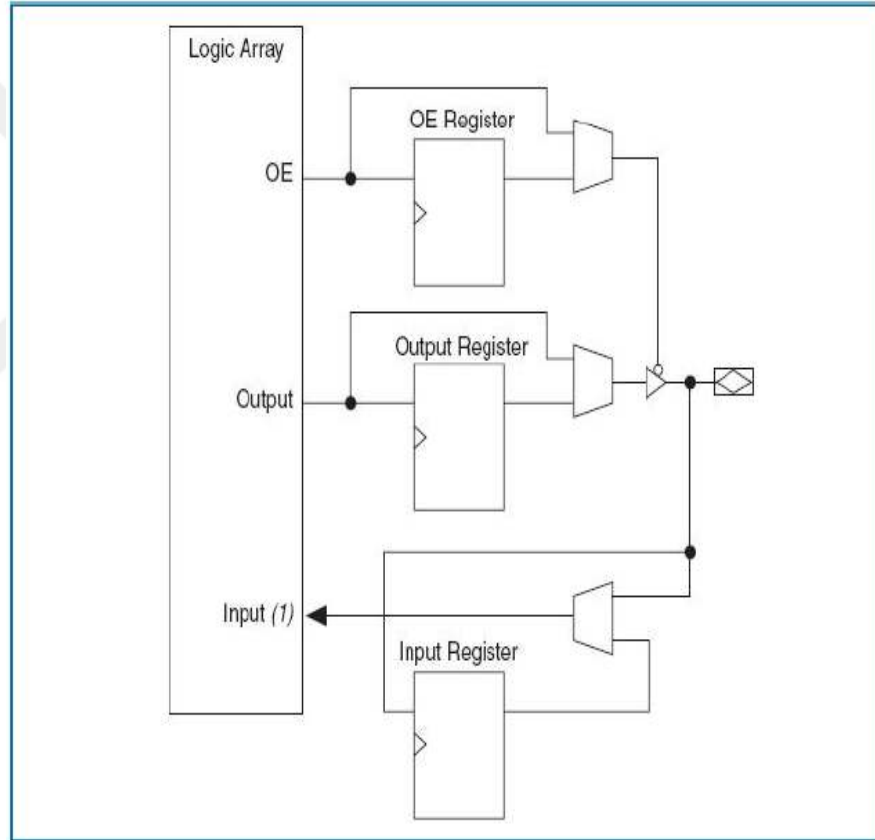
2.2.2.2. Input/Output Blokları

Aşağıdaki şekilde Cyclone II'ye ait I/O blok yapısı görülmektedir. I/O bloklar aşağıda belirtilen özelliklere sahiptir.

- Diferansiyel ve tek uçlu I/O standardı
- 3.3-V, 64 ve 32 bit, 66 ve 33 Mhz PCI uyumluluğu
- JTAG ve BST sağlama
- Output güç kontrolü
- Yapılandırma esnasında zayıf pull-up dirençleri
- Üç konumlu tamponlar (Tri-state buffers)
- Bus-hold devre sistemi
- Kullanıcı modunda programlanabilir pull*up dirençleri

- Programlanabilir input, output gecikmeleri
- Open-drain çıkışları
- DQ ve DQS I/O pinleri
- VREF pinleri

Cyclone II I/O pinleri çift yönlüdür ve kullanıcı tarafından input, output ya da çift yönlü olarak tanımlanıp kullanılabilir.



Şekil 2.17. Cyclone II I/O Blok [32]

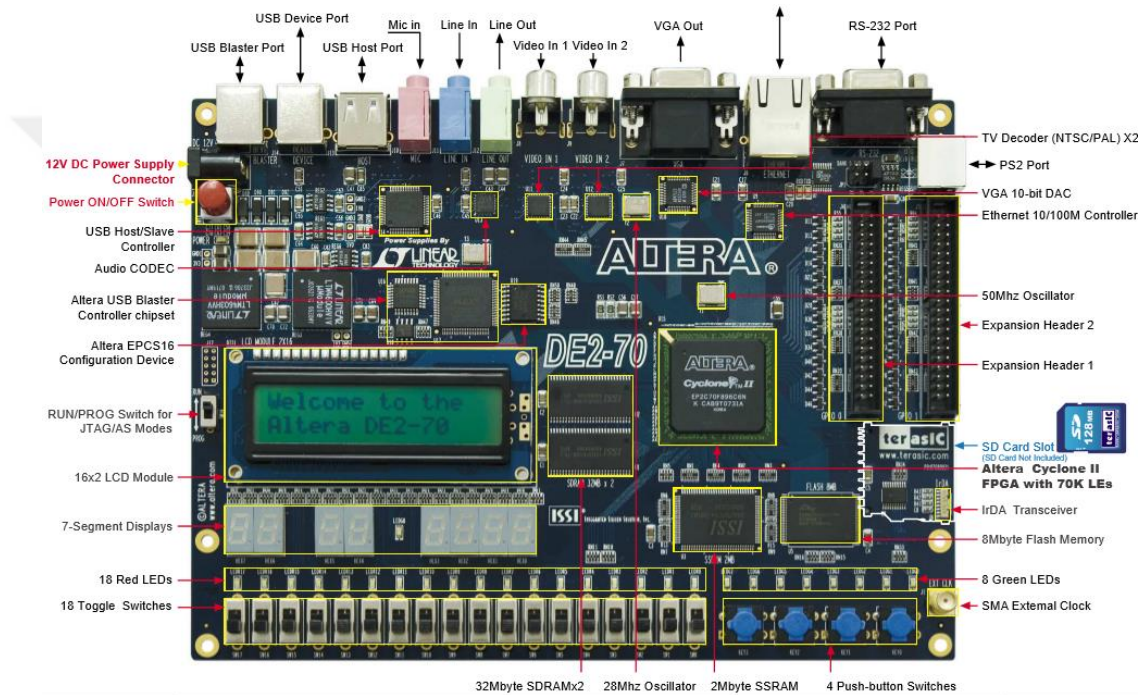
2.3. FPGA Geliştirme Ortamı

Bu bölümde tez çalışmasında kullanılan FPGA olan Altera DE2-70 geliştirme kiti hakkında bilgi aktarılacaktır. DE2-70 geliştirme kitinde Cyclone II serisi FPGA

vardır. DE2-70 kiti üzerinde aşağıdaki donanımlar bulunmaktadır. Altera DE2-70 hakkında daha detaylı bilgi için ‘*Altera DE2-70 User Manual*’ incelenebilir.

- Altera Cyclone® II 2C70 FPGA
- Altera Serial Configuration device - EPCS16
- USB Blaster (on board) programlama ve kullanıcı API kontrolü
- 2-Mbyte SSRAM
- İki adet 32-Mbyte SDRAM
- 8-Mbyte Flash memory
- SD Card socket
- 4 adet pushbutton
- 18 adet toggle switch
- 18 adet kırmızı led
- 9 adet yeşil led
- 50-MHz ve 28.63-MHz osilator
- 24-bit CD-quality audio CODEC line-in, line-out, ve microphone-in jackları
- VGA-out konnektörlü VGA DAC
- 2 TV Decoder (NTSC/PAL/SECAM) ve TV-in connector
- 10/100 Ethernet Controller
- USB Host/Slave Controller
- RS-232 transceiver ve 9-pin connector

- PS/2 mouse/keyboard connector
- IrDA transceiver
- 1 SMA connector
- 2 adet diyet korumalı 40-pin Expansion Header



Şekil 2.18. Altera DE2-70 Board [22]

3. ADIM MOTOR VE ÖZELLİKLERİ

3.1. Adım Motor Tanımı

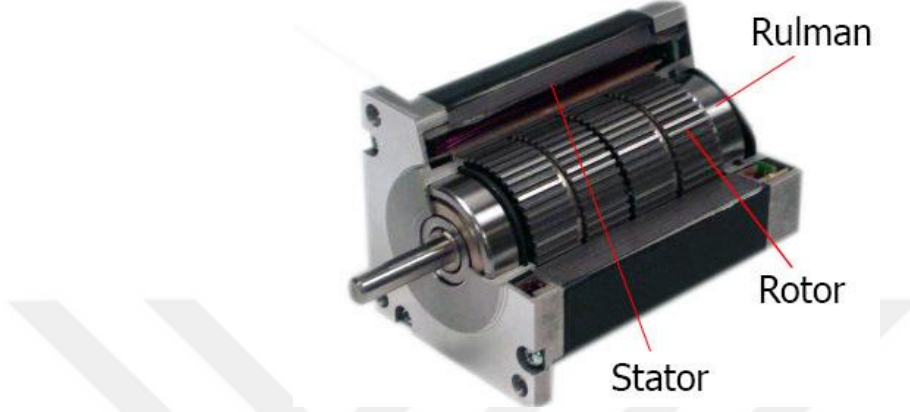
Adım motor, yapısında bulunan sargıların sırasıyla enerjilenmesi ile hareket eden motor çeşididir. Bu motorlarda sargılardan bir tanesine enerji verildiği zaman motor bir adım dönecektir. Bu yapısı sebebi ile adım motor olarak adlandırılmaktadır. Adım motorun kaç adım atacağı motorun tasarımı ile doğrudan ilgilidir. Daha teknik bir tabir kullanılacak olursa adım motor elektrik enerjisini dönme hareketine çeviren elektro-mekanik bir cihaz olarak kaydedilebilir. Motora elektrik enerjisi verildiğinde rotor ve kendisine bağlı olan şaft sabit açısal birim bazında adım adım dönecektir. PC, PLC ya da FPGA gibi cihazlardan giriş darbeleri alabilen adım motor kendisine gönderilen her giriş darbesinde bir adım ilerlemektedir. [34]

Adım motor, atmış olduğu tam bir turdaki adım sayısına bağlı olarak anılır. Bir örnekle açıklamak gerekirse, 200 adımlık bir adım motor tam bir turunda 200 adım yapacaktır. Bu durumda adım motorun sahip olduğu adım açısı $360/200 = 1,8^\circ$ olacaktır. Hesap sonucu ortaya çıkan değer bahse konu adım motorun hassasiyetini ortaya çıkarmış olur. [34] Adım motorun bir adımındaki adım sayısı yükseldikçe motorun hassasiyeti artmaktadır.



Şekil 3.1. Adım Motor

Adım motorun yapısında stator, rotor, şaft ve rulman bulunmaktadır. Stator ve rotor bir dış zarf ile kapalı haldedir. Şaft, rotora bağlıdır ve hareketi rulmanlar tarafından sağlanır.



Şekil 3.2. Adım Motor Yapısı

Adım motorun diğer motorlara kıyasla fiyatları düşüktür. Ayrıca robotlar tarafından oldukça önemli olan tutma karakteristiğinin uygun olması robotik teknolojisinde yoğun olarak kullanılmalarına imkan sağlamaktadır.

Adım motor yapısındaki sargılara enerji uygulandığında rotor, enerji verilen sargının karşısına gelir ve durur. Bu esnada oluşan dönme miktarı motor yapısına bağlıdır. Adım motorlarda dönme açısı önemli bir kriter olduğundan gerçekleştirilecek işleme göre seçim yapılabilir. Eğer adım motor devamlı olarak hareket ettirilecekse sargılara sırası ile ve devamlı enerji verilmelidir. Yazıcılar, dikiş makineleri, makine tezgahları ve bant sürücüler gibi cihazlarda adım motor kullanımı yaygındır.

3.2. Adım Motor Türleri

Genel olarak adım motorlar 5 farklı yapıda incelenirler.

1. Sabit Mıknatıslı Adım Motorlar (PM)
2. Değişken Relüktanslı Adım Motorlar (VR)
3. Hibrit Adım Motorlar

4. Hidrolik Adım Motorlar

5. Lineer Adım Motorlar

3.2.1. Sabit Mıknatıslı Adım Motorlar

Sabit mıknatıslı adım motorlar, dört kutuplu statör içerisinde dönen iki kutuplu sabit mıknatıslı rotordan oluşmaktadır. Temel çalışma prensibi, birinci sargıya gerilim uygulandığı anda rotor sargıların karşısında duracak biçimde hareket etmektedir. Birinci sargıya verilen gerilim kesilip ikinci sargıya gerilim uygulanırsa rotor bu defa ikinci sargıların karşısında duracak biçimde dönüp durur. [34] Bu haliyle 90°lik dönüş işlemi sağlanmış olmaktadır.

Sabit mıknatıslı adım motorda dönme işlemini devam ettirmek için birinci sargıya uygulanacak gerilim bir önceki işlemin tersi yönünde olmalıdır.

3.2.2. Değişken Relüktanslı Adım Motorlar

Değişken relüktanslı adım motorlar tıpkı sabit mıknatıslı adım motorlar gibi en az dört kutuplu statöre sahiptirler. Sabit mıknatıslı adım motorlardan farkı ise rotorun sabit mıknatıs yerine mıknatıslık özelliği bulunmayan ve dişler açılmış yumuşak demirden yapılmış olmasıdır. [34] Bahsi geçen dişler silindir eksenine paralel olacak biçimde açılmış olan oluklar ile şekillendirilmiş durumdadır.

Üç fazlı değişken relüktanslı adım motorlarda statördeki diş sayısı rotorda bulunan diş sayısında fazladır. Bundan dolayı stator kutupları arasındaki merkez açısı rotor kutupları arasındaki merkez açıdan küçük olmaktadır. Bu adım motor türünde 1. fazdaki seri bağlı dört sargıya DC gerilim uygulandığı anda sargıların etrafında oluşan manyetik alanlar rotorun kutuplarını mıknatıslamaktadır. Bu işlem rotoru bahsedilen sargıların karşısına getirecektir. Bu işlem esnasında diğer kutuplarda ise stator ve rotordaki diş sayıları eşit olmadığından dolayı stator kutupları karşısında değildir. 1. faza verilen enerji kesilip 2. faza verilirse bu defa statorda 2. faz bobinleri çevresinde manyetik alan kutupları meydana gelir. Bu da rotorun 1. faz karşısındaki kutuplarını kendisine çekmiş olur. Bu sayede rotorda dönme hareketi sağlanmış olacaktır. Üç fazlı adım motorlarda rotora devamlı olarak hareket verebilmek için

stator sargılarına peş peşe enerji verilmelidir. Üç fazlı sistemlerde rotorun dönme yönü mevcut fazlara gönderilecek gerilim yönüne bağlı olarak değişecektir. [34]

3.2.3. Hibrit Adım Motorlar

Hibrit adım motorlar, sabit mıknatıslı ve değişken relüktanslı adım motorların özelliklerinin birleştirilip geliştirildiği halidir. Hibrit adım motorda rotor, sabit mıknatıslı olup farklı kesit (dişli) sayılarında yapılmaktadır. Aynı zamanda her bir kesit üzerinde de farklı sayılarda dişli bulunmaktadır. Bahsedilen dişlilerin arası diskler yardımıyla yalıtılmış haldedir. [34]

Genel olarak adım motorlar senkron çalışan makinelerdir. Her bir uyarım da bir manyetik hareket yapılır. Bu da motorda hareket uyarım kademesinden sonra ilk uyarım biçimine dönme suretiyle devam etmektedir.

3.2.4. Hidrolik Adım Motorlar

Hidrolik motordaki basınçlı yağ yolunun denetlenmesiyle şaft hareketinin ve yönünün tayin edildiği adım motor çeşidine hidrolik adım motoru denilmektedir. Yani hidrolik bir motora ait servo valfin basınç giriş yolunun translatörler aracılığıyla kontrol edilmesi karşımıza hidrolik adım motorları çıkarmaktadır. Elektro-hidrolik adım motor olarak da adlandırılan bu motor çeşidi adım motor, hidrolik motor, valf, translatör ve elektronik konnektörden oluşmaktadır. [34]

3.2.5. Lineer Adım Motorlar

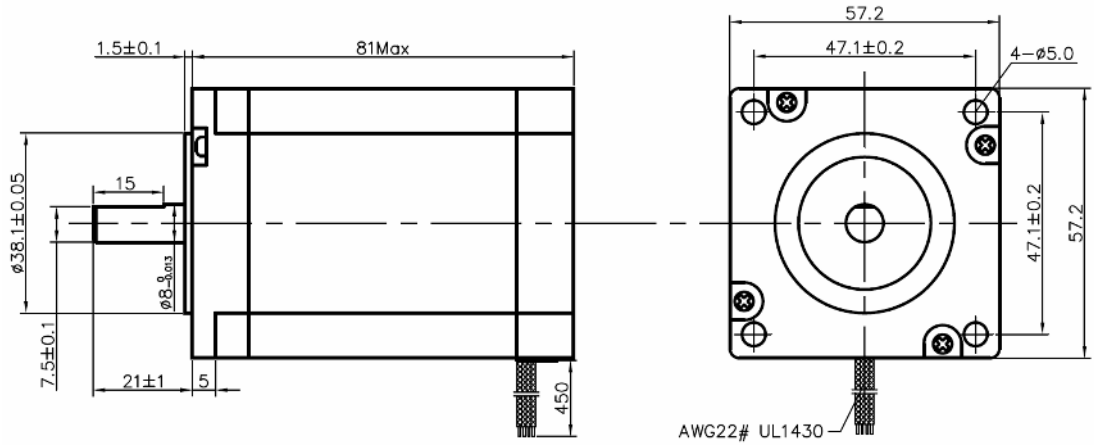
Mekanik hareketlerini yatay eksenlerde (X ya da Y eksenleri) yapan motorlardır. Daha açık bir ifadeyle lineer motorlar, dairesel olarak hareket etmeyip X ve Y yönlerinde ya da X ve Y düzleminde herhangi bir vektör yönünde mekanik hareketlerini gerçekleştirirler. Lineer motorlarda motor bir gövde üzerinde iki adet ortogonal elektromanyetik alan içermektedir. Bahsedilen alanı tamamlamak için demir nüve kare biçiminde yapılmaktadır. Bu sayede iki eksenli lineer adım motor ortaya çıkmış olur. Bu motorlar iki ana mekanik bileşenden oluşurlar. Birincisi gücü oluşturan hareketli armatürken, ikincisi armatürün statora sabitlendiği (Demir nüve) kısımdır. Stator ve armatür arasında sabit bir mil yatağı vardır ve bu geometrik

biçimde dönmeye olanak sağlamaktadır. Yükün harekete geçirilmesi demir nüvenin uzunluğuna bağlı olan güç miktarı ile değişecektir. [34]

3.3. Çalışmada Kullanılan Adım Motor ve Sürücü Özellikleri

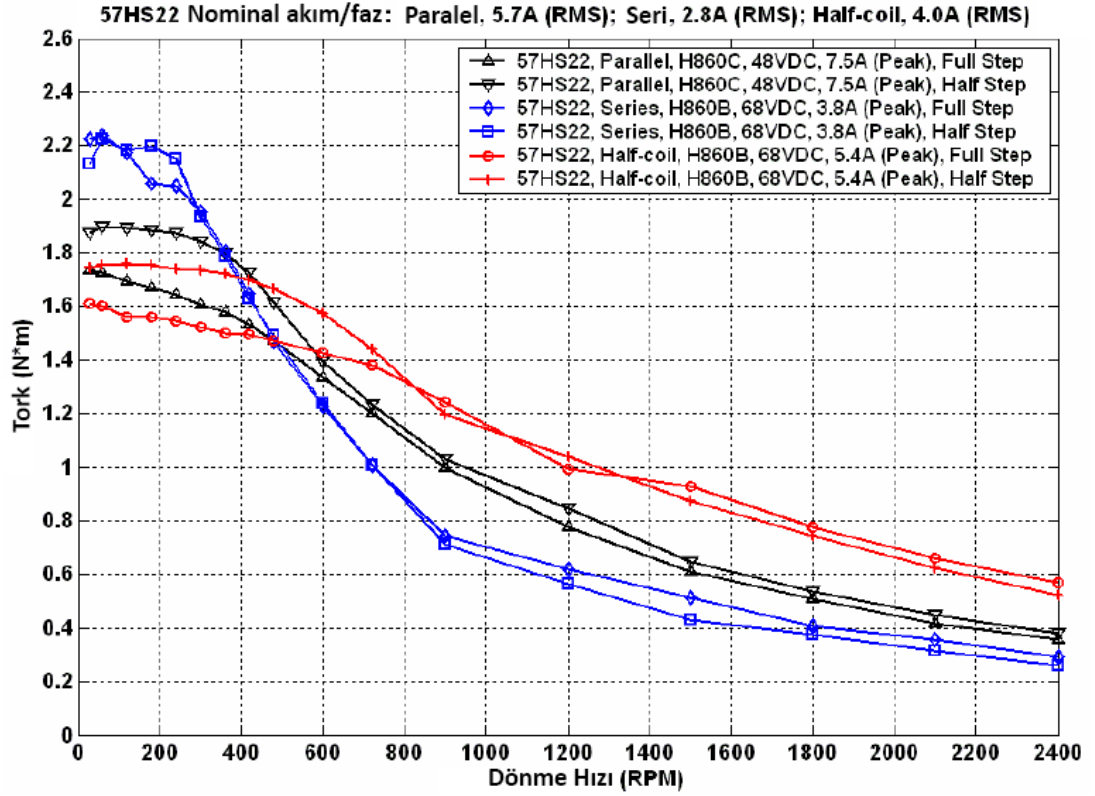
Bu tez çalışmasının ana hedefi eğitimsel amaçlarla oluşturulmuş olan BZK.SAU.FPGA mikro bilgisayar mimarisi kullanarak 3 eksenli adım motor hareketi sağlamaktır. Çalışmada karşımıza 2 çeşit adım motor çıkmaktadır. Birinci çeşit motor 2 adet olup X ve Y eksenleri boyunca hareketi sağlamaktadırlar. Üçüncü motor ise bu iki motordan ebat, tork ve sürücü gibi özellikleri nedeniyle ayrılmaktadır. Şimdi bu iki çeşit motorla ilgili detaylara geçilebilir.

Birinci çeşit adım motor 57HS22 model numarasına sahiptir. 8 telli olan bu adım motor $1,8^\circ$ 'lik adım açısıyla hareket etmekte olup 3.0A'e kadar akım çekip 12.6 watt güç harcamaktadır. 24V gerilim ile çalışan adım motorun yapısı aşağıdaki gibidir.



Şekil 3.3. 57HS22 Adım Motor Yapısı

2.2 Nm tork gücüne sahip olan bu adım motorlardan çalışmamızda 2 adet kullanılmıştır. Aşağıdaki şekilde 57HS22 model adım motorun hız-tork eğrileri görülmektedir.



Şekil 3.4. 57HS22 Hız-Tork Eğrileri

Bu iki adım motorun çalışmasını sağlamak üzere hazır sürücü devre kullanılmıştır. Bu sürücü devre CWD556 numaralı modele aittir. Aşağıdaki tabloda bu sürücüye ait elektriksel özelliklere yer verilmektedir.

Tablo 3.1. 57HS22 Elektriksel Özellikler

Parametre	Min	Karakteristik	Max	Birim
Giriş Gerilimi (DC)	20	-	50	VDC
Çıkış Akımı	0	-	5.6	A
Darbe Sinyal Frekansı	0	-	200	KHZ
Mantık Sinyal Akımı	7	10	16	MA

Bu çalışmada kullanılan adım motor sürücüsünün bazı özelliklerinden bahsetmek gerekecektir. Bunlardan ilki kullanılacak olan adım motorun akım değerine göre sürücüde akım değerlerinin değiştirilebilmesi özelliğidir. Sürücü üzerinde yer alan butonlar aracılığıyla akım değerleri düzenlenebilir. Butonların durumuna göre akım değerleri aşağıdaki tabloda verilmiştir.

Tablo 3.2. 57HS22 Akım Ayarları

Tepe Değer	RMS	SW1	SW2	SW3
Default		off	off	off
2.1A	1.5A	on	off	off
2.7A	1.9A	off	on	off
3.2A	2.3A	on	on	off
3.8A	2.7A	off	off	on
4.3A	3.1A	on	off	on
4.9A	3.5A	off	on	on
5.6A	4.0A	on	on	on

Tez çalışmasında karşılaşılan zorluklardan biri olan frekans ayarları ile ilgili olarak ortaya konan iki farklı çözüm bulunmaktadır. Bunlardan ilki BZK.SAU.FPGA mikro bilgisayar mimarisi içerisinde yer alan ‘*Clock_Divider*’ modülünü kullanmak suretiyle frekans ayarlaması yapmaktır. Bu durum ilerleyen konularda detaylı bir şekilde açıklanacaktır. Bir diğer frekans ayarlama işlemi ise adım motor sürücüsü üzerinde yer alan butonlar aracılığı ile bu işlemi gerçekleştirmektir. Aşağıdaki

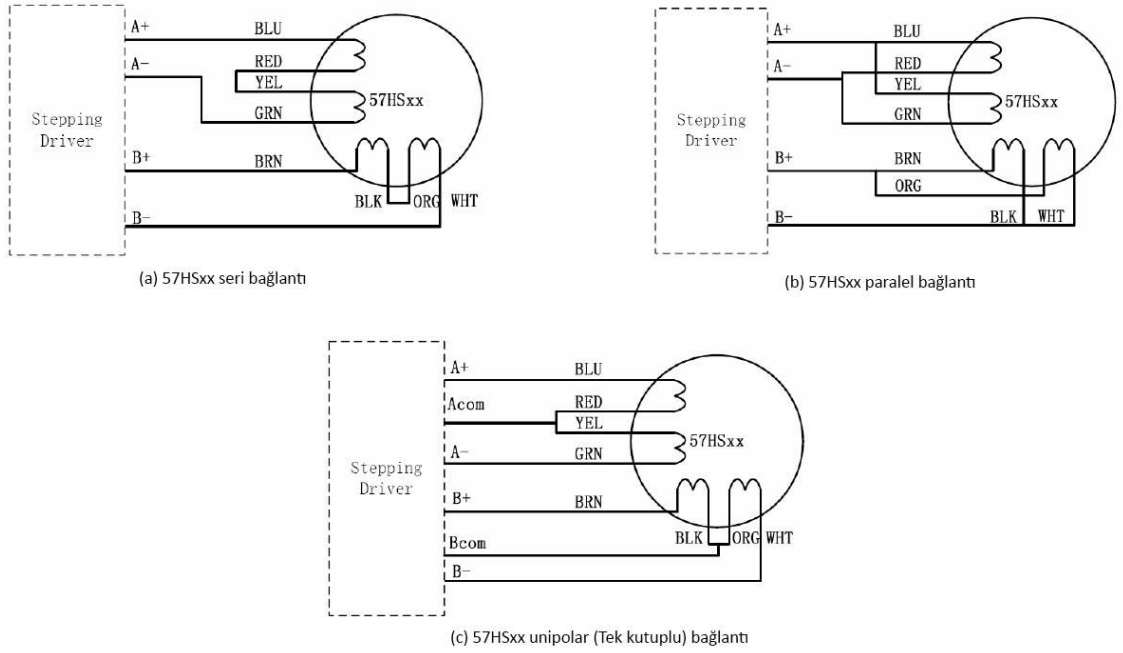
tabloda adım motor sürücüsü üzerinden yapılabilen frekans ayarlamaları görülmektedir. Sürücü üzerinde yer alan butonları aşağıdaki tablo göre ayarlayarak adım motorun dönme hızı artırılıp azaltılabilmektedir.

Tablo 3.3. 57HS22 Mikrostep (Frekans) Ayarları

Adım/Devir	SW5	SW6	SW7	SW8
Default	on	on	on	on
800	off	on	on	on
1600	on	off	on	on
3200	off	off	on	on
6400	on	on	off	on
12800	off	on	off	on
25600	on	off	off	on
51200	off	off	off	on
1000	on	on	on	off
2000	off	on	on	off
4000	on	off	on	off
5000	off	off	on	off
8000	on	on	off	off

Adım/Devir	SW5	SW6	SW7	SW8
10000	off	on	off	off
20000	on	off	off	off
40000	off	off	off	off

Sürücü hakkında verilen bu bilgilerden sonra adım motor ile bağlantı şekillerine göz atmak yararlı olacaktır. Aşağıda görüldüğü gibi mevcut adım motor ve sürücü ile 3 ayrı bağlantı yapılabilmektedir.



Şekil 3.5. Adım Motor ve Sürücü Bağlantı Çeşitleri

Çalışmada Z ekseninde yazıcı uç olarak kullanılan ikinci tür adım motor 28BYJ-48'dir. Yine kendisine ait sürücü ile sürülebilen bu adım motor birinci tür adım motora göre biraz farklıdır. Bu motora hareket verebilmek için 4 ayrı çıkış için sıralı değerler kullanmak gerekecektir. BZK.SAU.FPGA mikro bilgisayar mimarisinden

Technical drawing of the SXH-001T-P0.6 connector, showing side and top views with dimensions.

Side View Dimensions:

- Top flange width: 10 ± 0.5
- Top flange thickness: 6 ± 0.2
- Top flange hole diameter: $\phi 9$
- Top flange hole position: 5 ± 0.1 (from center), 3 ± 0.1 (from edge)
- Top flange hole diameter: $\phi 5 \pm 0.1$
- Top flange hole position: 19 (from center), 15 (from edge)
- Top flange hole diameter: $\phi 28$
- Top flange hole position: $14.6^{+0.2}_0$
- Top flange hole diameter: $2 \cdot \phi 4.2 \pm 0.15$
- Top flange hole position: $2 \cdot R3.5$
- Top flange hole diameter: 35 ± 0.2
- Top flange hole position: 8 (from center), 7 (from edge)
- Top flange hole diameter: 17 (from center), 230 ± 10 (from edge)
- Top flange hole diameter: 250 ± 10

Top View Dimensions:

- Top flange width: 10 ± 0.5
- Top flange thickness: 6 ± 0.2
- Top flange hole diameter: $\phi 9$
- Top flange hole position: 5 ± 0.1 (from center), 3 ± 0.1 (from edge)
- Top flange hole diameter: $\phi 5 \pm 0.1$
- Top flange hole position: 19 (from center), 15 (from edge)
- Top flange hole diameter: $\phi 28$
- Top flange hole position: $14.6^{+0.2}_0$
- Top flange hole diameter: $2 \cdot \phi 4.2 \pm 0.15$
- Top flange hole position: $2 \cdot R3.5$
- Top flange hole diameter: 35 ± 0.2
- Top flange hole position: 8 (from center), 7 (from edge)
- Top flange hole diameter: 17 (from center), 230 ± 10 (from edge)
- Top flange hole diameter: 250 ± 10

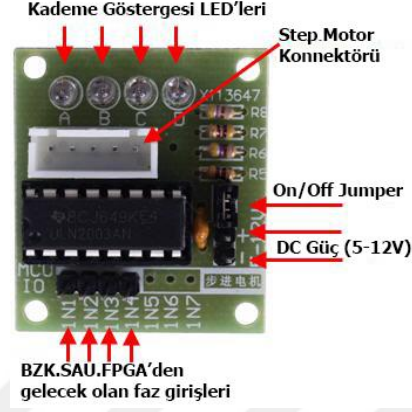
Labels:

- AWG#26 UL 1061X5
- PVC
- JST XHP-5(8)
- SXH-001T-P0.6

Bu tarz adım motorları sürebilmek için farklı yöntemler kullanılmaktadır. Yarım adım ve tam adım teknikleri bunlar arasında yer almaktadır. Bu yöntemler motorun harcadığı gücün artıp azalmasına ya da adım açılarının değiştirilmesine olanak sağlayabilmektedir. Temel olarak 28BYJ-48 adım motorunun çalışma yöntemi aşağıdaki tablodaki gibidir.

Adım	Faz 1	Faz 2	Faz 3	Faz 4
1	1	0	0	0
2	0	1	0	0
3	0	0	1	0
4	0	0	0	1

28BYJ-48 model adım motoru sürmek için gereken sürücü devrenin resimleri aşağıda gösterilmektedir. Resimde belirtildiği üzere çalışmamızda 28BYJ-48 için 12V gerilim kullanılmıştır.



Şekil 3.7. 28BYJ-48 Adım Motor İçin Sürücü Devre

4. BZK.SAU MİKROBİLGİSAYAR MİMARİSİ

Eğitimsel amaçlarla 2009 yılında yüksek lisans tezi [12] olarak hazırlanan BZK.SAU mikrobilgisayar sistemi 2012 yılında doktora tezi [13] olarak tasarım simülasyon ortamından yeniden yapılandırılabilir donanım olan FPGA geliştirme ortamına taşınmış durumdadır. Bu taşıma işlemi sonrasında kullanıcının sisteme katılması amacıyla mikro bilgisayar mimarisinin modüler bir yapıya bürünmesi sağlanmıştır. Ortaya konan bu özgün donanım üzerine sıfırdan bir işletim sisteminin oluşturulması konusunda çalışmalar yapılmış durumdadır. BZK.SAU.FPGA'ya ait tasarımsal özellikler aşağıdaki tabloda verilmiştir.

Tablo 4.1. BZK.SAU.FPGA Tasarım Özellikleri [13]

ÖZELLİK	AÇIKLAMA
Sistem Adı	BZK.SAU.FPGA
Sistemin Yapıldığı Donanım	Altera DE2 ve CycloneIII FPGA Kartları
Giriş Birimi	PS/2 Klavye
Çıkış Birimi	VGA Monitor (640X480)
Ekran Alanı	40 Sütun & 24 Satır (320X384)
Sistem Tanımlama Dili	Şematik (Donanımsal)
İşlem Mimarisi	Von-Neumann (SISD Mimarisi)
İşlemci Tipi	16 bit
Adres Yolu	16 bit

ÖZELLİK	AÇIKLAMA
Veri Yolu	16 bit
Sistem Kaydedicileri	10 Adet (Giriş ve Çıkış Kaydedicileri 8 bit, Diğerleri 16 bit Genişliğinde)
Ana Bellek	64KB - 16 bit
İkincil Bellek	Flash Bellek (4MB) – 8 bit
Bellek Kelime Yerleşim Düzeni	Big - Endian
Komut Mimarisi	CISC
Komut Yapısı	16 bit (15 – 12. Bitler Adresleme Modu, 11 – 0. Bitler Opcode Alanı)
Komut Seti	Fonksiyonel, Kontrol, Transfer, Giriş –
Komut Seti	Çıkış ve Yığın Komutları (59 Komut)
Komut İşleme Yöntemi	None Pipeline
Adresleme Mod Çeşidi	6 (İvedi, Direkt, Dolaylı, İndeks, Göreceli ve Doğal)
Kontrol Birim Yapısı	Donanımsal
ALU Birimi	16 bit (Sadece Tamsayılar)
Sayı Sistemi	2'ye Tümleme

ÖZELLİK	AÇIKLAMA
Dosya Sistemi	FAT
Assembly Dili	BZK.SAU Assembly Programlama Dili
İşletim Sistemi	Tek Kullanıcı – Tek Görev

Tasarlanan bilgisayar mimarisinde kullanılmak üzere 640X480 piksel çözünürlüğe sahip VGA özelliğe sahip bir ekran temin edilmiştir. Bu ekran yalnızca metin ve tek renk (kırmızı) modunda çalışan bir donanıma sahiptir. Ekranda yer alan her bir karakter 8X16 piksel ile temsil edilmiştir. Bellek boyutundaki yetersizlikten dolayı ekran alanının 320X384 piksel boyutlarındaki bölümü kullanılmıştır. Bahsi geçen alan ABC80 [25], Apple I ve Apple II [26] gibi sistemlerde kullanılmış olan 40 sütun ve 24 satırdan oluşan alana denk gelmektedir. Yani monitör ekran alanında 896 karakter görüntülenebilmektedir.

FPGA geliştirme kitleri üzerinde tasarlanan sistem temel olarak iki ana bölümden oluşur. Sistem, donanımsal ve yazılımsal sistem tanımlama dilleri yardımıyla tasarlanmıştır. Bu tasarımda hedef eğitimsel amaçlı olduğundan ortaya konan sistem detayları konuyla ilgili öğrenciler tarafından incelenebilir. Bundan dolayı literatürde bulunan eğitimsel amaçlı bilgisayar mimarisi tasarımlarında [27] kullanılan donanımsal tanımlama dili, şematik tasarım burada ifade edilen mimarinin temel sistem tanımlama dili olmasını sağlamıştır.

Literatürde eğitimsel amaçlarla tasarlanan işlemcilerin adres ve veri yolu genişliği 16 bit olarak tanımlanmıştır. [28, 29] Aynı zamanda işlemci adres ve veri yolu tasarımlarının genişliği 16 bitin üzerinde olduğunda yapı karmaşıklaşacağından ve bundan dolayı öğrenim olanağı zorlaşacağından eğitimsel açıdan uygun olmayacağı ifade edilebilir.

Projeyle birlikte tasarlanan bilgisayar mimarisinin adres ve veri yolu genişliği gerek literatürde ortaya konulan tasarımlar düşünüldüğünde gerekse de eğitim açısından değerlendirildiğinde adres ve veri yolu tasarımının öğrencilerin en uygun sürede kavramasını sağlayacak biçimde 16-bit genişliğinde olması sağlanmıştır. Sistemde kullanılan kaydedicilerin genişliği 16-bit olduğu için sistem veri yolunun 8-bit olacak şekilde tasarlanması halinde verilerin yol üzerindeki aktarım işlemi için geçen sürenin uzamasına sebebiyet verecektir. Adres yolu 16-bit olarak tasarlandığı için bu yolun adresleyebileceği en fazla bellek alanı olan 64 KB ana bellek olarak oluşturulmuştur.

Bir bilgisayar mimarisinin sahip olduğu komut kümesine göre tam olup olmadığı ortaya çıkar. [30] Bir komut kümesi, aritmetik ve mantıksal işlemleri yapan, bellek ve kaydediciler üzerinde veri akışı sağlayan, işlemciyi kontrol edip, giriş – çıkış birimleri ile alışveriş yapılmasını sağlayan komutlara sahipse bahsedilen bilgisayar mimarisi tam özellikli olarak ifade edilebilir. Buradan yola çıkılarak bu çalışmada kullanılan komutlar bir bilgisayarda olması gereken temel komutlardan oluşmasının yanında eğitimsel olarak komutların çalışmasını kavrama açısından öğrenme sürecini geciktirmeyecek bir yapıdadır. Aynı zamanda kullanılan komutların işlemcide geçen mevcut süreçleri birbirlerinden farklı olduğu için bilgisayar mimarisi CISC yapıda oluşturulmuştur. Çalışmada kullanılan mimarideki kaydedici birim sayısı 10 tanedir. Bunlar tam özellikli bir bilgisayar mimarisinde olması gereken 16-bit genişliğinde kaydedicilerden oluşmaktadır. Eğitimsel amaçlarla oluşturulan bilgisayar mimarilerinde yaygın olarak 6 temel adresleme modu kullanılmaktadır. Çalışma için seçilen komut yapısı kullanılan komut ve adresleme modlarına göre ortaya konmuş olup 15 ve 12. bitler arasında adresleme modunu temsil ederler. Aynı şekilde 11 ve 0. bitler arası komutun işlem kodunu temsil eder. Komutların kontrolünde programlama bilgisi gerektirecek mikro program yapısı yerine eğitimsel olarak öğrenme sürecini en uygun seviyeye getirecek olan donanımsal kontrol yapısının kullanılması tercih sebebi olmuştur.

Bilgisayar mimarisinde mevcut olan aritmetik ve mantık birim bu haliyle 16-bit tamsayılar üzerinde işlem yapmaktadır. Negatif sayı gösterimi için literatürde sıkça kullanılan 2'ye tümlleme mantığından yararlanılmıştır.

Çalışmada tasarlanan işletim sistemi projenin temel hedefi olan eğitimsel bakış açısı yönüyle basit seviyede tutulmuştur. Bu nedenle işletim sistemi tek kullanıcı ve tek görev yapısında ortaya konan bir sistemdir.

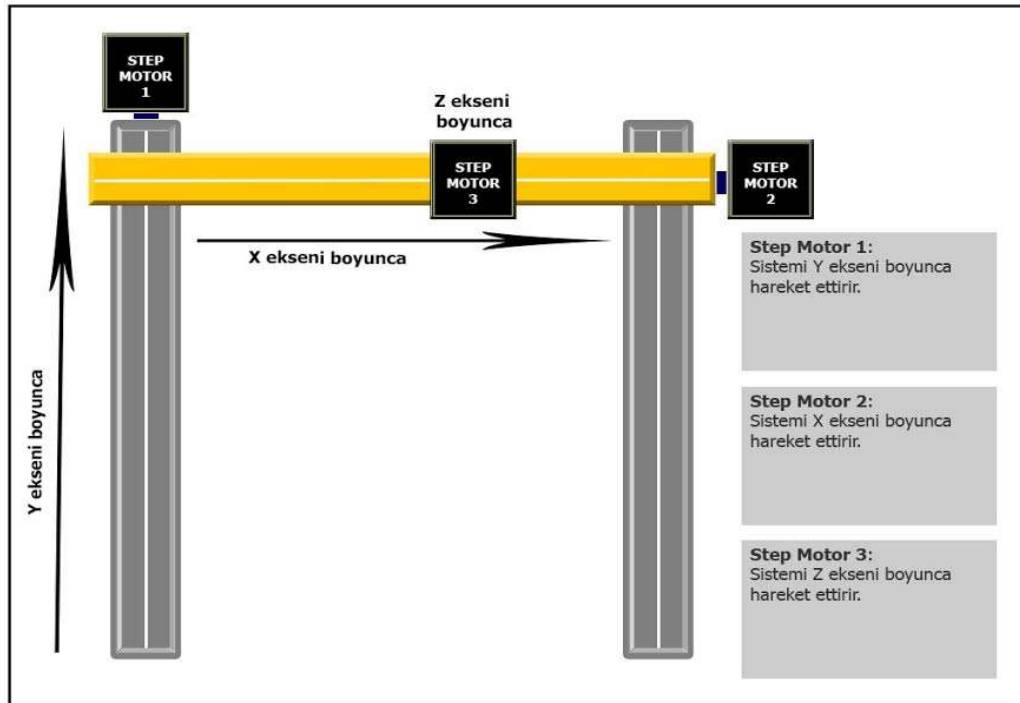


5. SİSTEM ÇALIŞMASI

Bu bölümde BZK.SAU.FPGA mikro bilgisayar mimarisi kullanarak 3 eksenli adım motor kontrolü için gereken tezgah tasarımından ve ortaya konan bu mekanizmanın çalıştırılmasından bahsedilecektir. Öncelikle ifade etmek gerekir ki ortaya konan sistem eğitimsel amaçlarla geliştirildiği için özellikle tezgah üretiminde sistemin çalışmasını inceleyecek olan araştırmacı ve öğrencilerin daha net bilgiler almasını sağlayacak şekilde temel bir çalışma yapılmıştır. Öncelikle tezgah tasarımı ve ölçüleri konusunda bilgilendirme yapmak faydalı olacaktır.

5.1. Çizici Tezgah Tasarımı

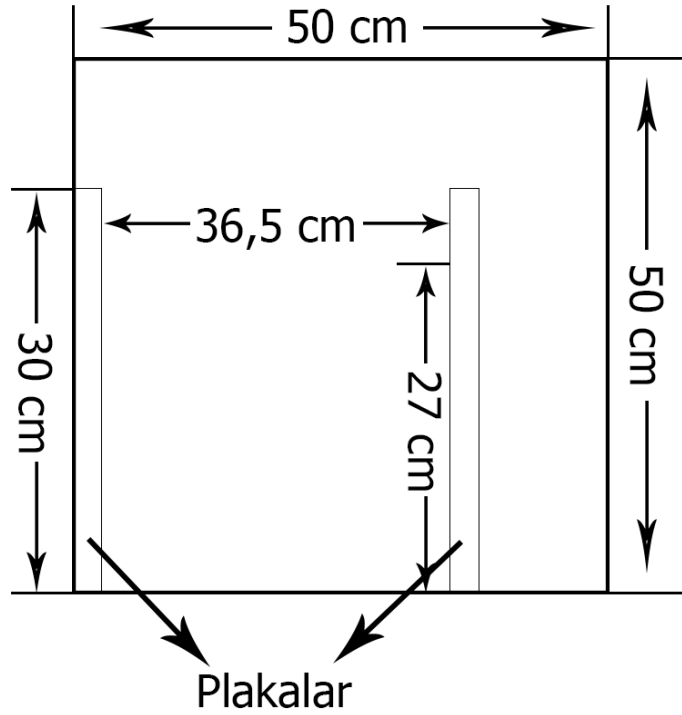
BZK.SAU.FPGA mikro bilgisayar mimarisini kullanarak 3 eksenli adım motor kontrolü için ihtiyaç duyulan tezgah tasarımı ve üretimi belli ölçülere göre tamamlanmıştır. Aşağıdaki şekilde kullanılacak olan tezgahın genel tasarımını özetlemektedir.



Şekil 5.1. Çizici Tezgah Tasarımı

Şekilde görüldüğü üzere tezgah üzerinde 3 adet adım motor kullanılmıştır. Sistem X, Y ve Z ekseninde hareket edebilecek şekilde ayarlanmıştır. 1 numaralı adım motor Y eksenini boyunca hareket sağlarken, 2 numaralı adım motor X eksenini boyunca hareket etmektedir. 3 numaralı adım motor ise Z ekseninde hareketi sağlayacak olup yazıcı uç görevi üstlenmektedir.

Tezgahın genel görünümüne göz attıktan sonra ölçüler konusunda bilgi vermek yerinde olacaktır. Mekanik sistemin yerleştiği taban ölçüleri 50 X 50 cm alana ve 2 cm kalınlığa sahip ahşap suntadan oluşmaktadır. Tezgah tasarımı ile ilgili olarak detaylı bilgi aşağıdaki şekilde mevcuttur.



Şekil 5.2. Çizici Tezgah Ölçüleri

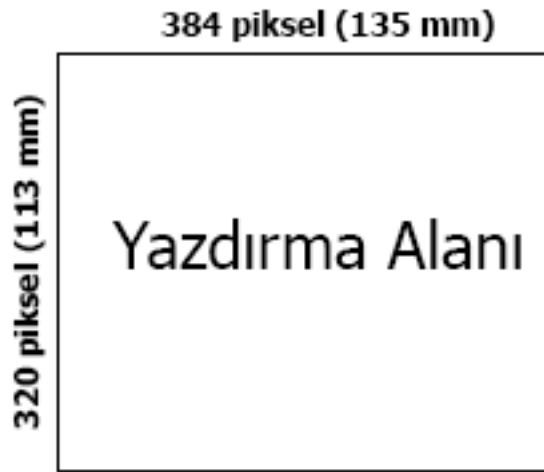
Şekilden görüleceği üzere tezgah üzerinde 30 cm uzunluğunda plakalar bulunmaktadır. Bunlar Y eksenini boyunca hareketi sağlayacak olan milin bağlı olduğu 2 adet ve X eksenini boyunca hareketin sağlandığı milin bağlı olduğu plaka dahil

toplam 3 adet plakadan oluşur. Sistem X eksenini boyunca en fazla 36,5 cm hareket edebilirken, Y eksenini boyunca ise 27 cm hareket edebilmektedir.

5.2. Yazdırma Alanı

Çalışmada yapılacak işlem, basit bir yazdırma işlemi gerçekleştirmek olacaktır. Bu işlemin istenilen biçimde yapılabilmesi için yazdırma yapılacak alanın ve hareketi sağlayacak adım motorların özelliklerine göre bazı hesaplamaların yapılması gerekecektir.

Hesaplama işlemine geçmeden önce BZK.SAU.FPGAOS’de kullanılabilecek ekran boyutu ölçülerini bilmek gerekir. Kullanılabilecek alan ölçüleri 384X320 piksel olarak belirlenmiştir. Piksel olarak verilen bu ölçülerin santimetre olarak yaklaşık değerleri 135X113 mm’dir. Bu bilgiler yazdırma alanının kullanımı için faydalı olacaktır.



Şekil 5.3. Çizici Tezgah Yazdırma Alanı

Çalışmada kullanılan adım motorlardan bizim için önemli olanları X ve Y eksenini için hareketi sağlayacak olanlardır. Z eksenini için kullanılan adım motor ise sadece iki hareketi (Yazma işleminde kullanılacak kalemin yazma pozisyonuna getirilmesi ve yazma işlemi sona erdiğinde yukarı kaldırılması) yapacağı için çok fazla detaya girmeye gerek olmayacaktır. Çünkü Z ekseninde önemli olan kalemin yazdırma alanına temas etmesini sağlayacak şekilde hareketlendirilmesidir. Aynı şekilde

yazdırma işlemi sonlanınca tekrardan yazdırma alanından ayrılacak kadar bir hareket yeterli olacaktır.

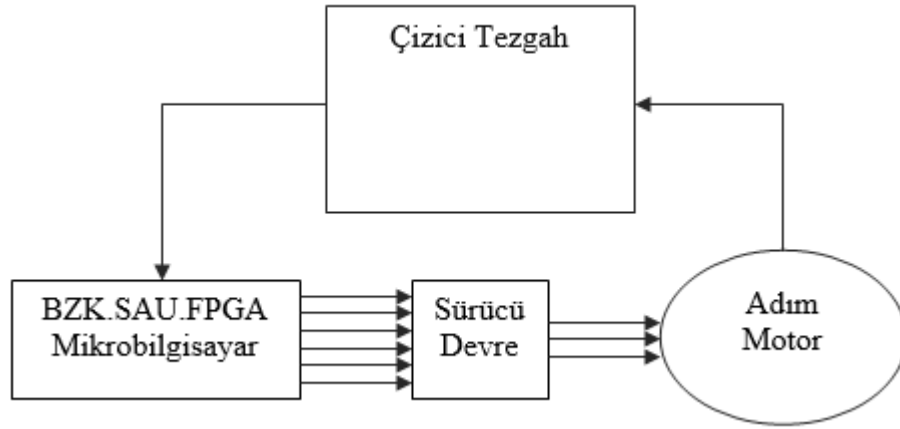
Yazdırma işleminde yazdırma alanında hareketi sağlayacak olan ve X, Y eksenlerinde işlem yapılmasına olanak sağlayan adım motorların 1,8 derecelik adım açısıyla hareket ettiği belirtilmişti. Bu da adım motorların bir tam turda (360°) 200 adım atması anlamına gelmektedir. Yapılan ölçümlere göre 2 tam tur takriben 1 cm (10 mm) olarak belirlenmiştir. Yani sistemin 1 cm (10 mm) hareket edebilmesi için adım motorun 400 adım atması gerekmektedir. Dolayısıyla adım motorlar 40 adım atarak 1 mm'lik hareket sağlamış olur.

Çalışmada yazıcı uç olarak kullanılan kalem 1 mm ölçülerindedir. BZK.SAU.FPGA mikro bilgisayar sistemi için kullanılacak yazdırma alanının Şekilde 4.6.'da görüldüğü üzere 135X113 mm olduğu hesap edilirse adım motorların X ekseninde hareketi için 5400, Y ekseninde hareketi için ise 4520 adım atmaları gerekecektir.

5.3. BZK.SAU.FPGA Mikro Bilgisayar İle Çizici Tezgah Bağlantısı ve Komutlar

5.3.1. BZK.SAU.FPGA Mikro Bilgisayar İle Çizici Tezgah Bağlantısı

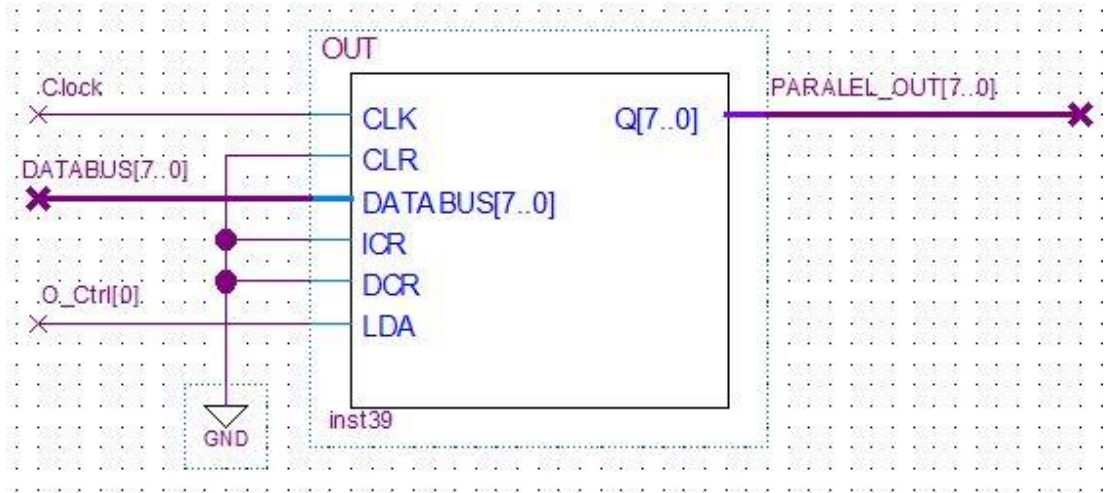
BZK.SAU.FPGA mikrobilgisayar mimarisi ile 3 eksenli adım motor kontrolü kapsamında öncelikle Quartus programında sistemin iletişim yöntemi olan paralel iletişim tanımlamaları yapılmalıdır. Adım motorlara hareketin verilebilmesi için BZK.SAU.FPGA mikrobilgisayar içerisinde yer alan paralel port modülünün tanımlanmış olması ve bu modül ile 8 çıkışlı paralel çıkış pin tanımlamalarının yapılmış olması gerekir. Aşağıda çalışmaya ait blok şema görülmektedir.



Şekil 5.4. Çizici Tezgah Blok Şeması

Bu çalışmada çizici tezgaha hareketi verecek olan adım motorların sürücü devrelerine gerekli sinyallerin gönderilmesi için paralel port modülü kullanılmıştır. BZK.SAU.FPGA mikrobilgisayar sisteminde çevresel birimlere erişim sağlanabilmesi için 8 bitlik iki tane kaydedici (register) bulunmaktadır. Giriş ve çıkış (input & output registers) kaydedicisi olarak tanımlanan bu kaydedicilerden, giriş kaydedicisi çevresel birimlerden veri almak, çıkış kaydedicisi ise çevresel birimlere veri göndermek amacıyla kullanılmaktadır. Mikrobilgisayar içerisinde bu komutlara IN ve OUT komutları ile erişim sağlanır. IN komutunun görevi giriş kaydedicisinde bulunan 8 bitlik veriyi alıp 16 bitlik akümülatörün en düşük anlamlı bitine, OUT komutunun görevi ise yine 8 bitlik veriyi 16 bitlik akümülatörün en düşük anlamlı bitine yazmaktadır. [14]

Bu çalışmada kullanılacak olan arabirim çevresel birimlere gönderilmesi planlanan veriyi OUT komutu ile beraber akümülatörden alarak çıkış kaydedicisi (OUTPUT Register) üzerinden çıkış pinlerine aktarmaktadır. Bahsi geçen arabirim aşağıdaki şekilde görülmektedir.



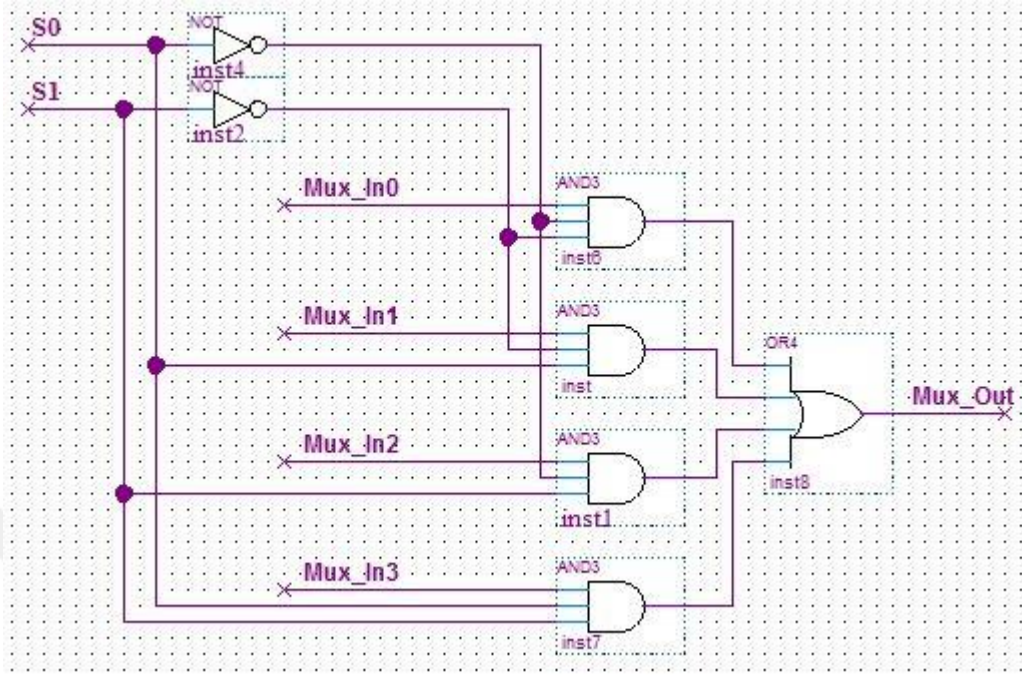
Şekil 5.5. Paralel Port Arabirimi

Tablo 5.1. Paralel Port Arabirimi Pin Tanımları

Clock	INPUT	Clock sinyalini sağlayan giriş
DATABUS[7..0]	INPUT	Databus portundan gelen veri
O_Ctrl[0]	INPUT	Kontrol devresinden gelen veri
GND	INPUT	Topraklama girişi
PARALEL_OUT[7..0]	OUTPUT	Paralel portundan giden veri

Yukarıda bulunan tablodaki DATABUS[7..0] girişleri ile BZK.SAU.FPGA mikro bilgisayardan gelen verilerle sistemin çalışması sağlanır. PARALEL_OUT[7..0] portunu kullanarak da DE2-70 FPGA pinlerine gönderilecek sinyaller ile gerekli işlemler tamamlanmış olacaktır.

Paralel port arabirimi 8 tane 4x1 Mux ve 8 tane 1x4 DeMux'tan oluşur. Arabirimin çalışma prensibinin anlaşılması adına 4x1 Mux ve 1x4 DeMux yapılarını bilmek gerekir. Öncelikle Multiplexer'ın hakkında bilgi vermek faydalı olacaktır. Multiplexer, birden fazla sayısal veri kaynağından bir tanesini seçerek, seçilen kaynağı çıktı olarak bir tek kanal yönlendiren (ileten) sistem olarak tanımlanabilir.



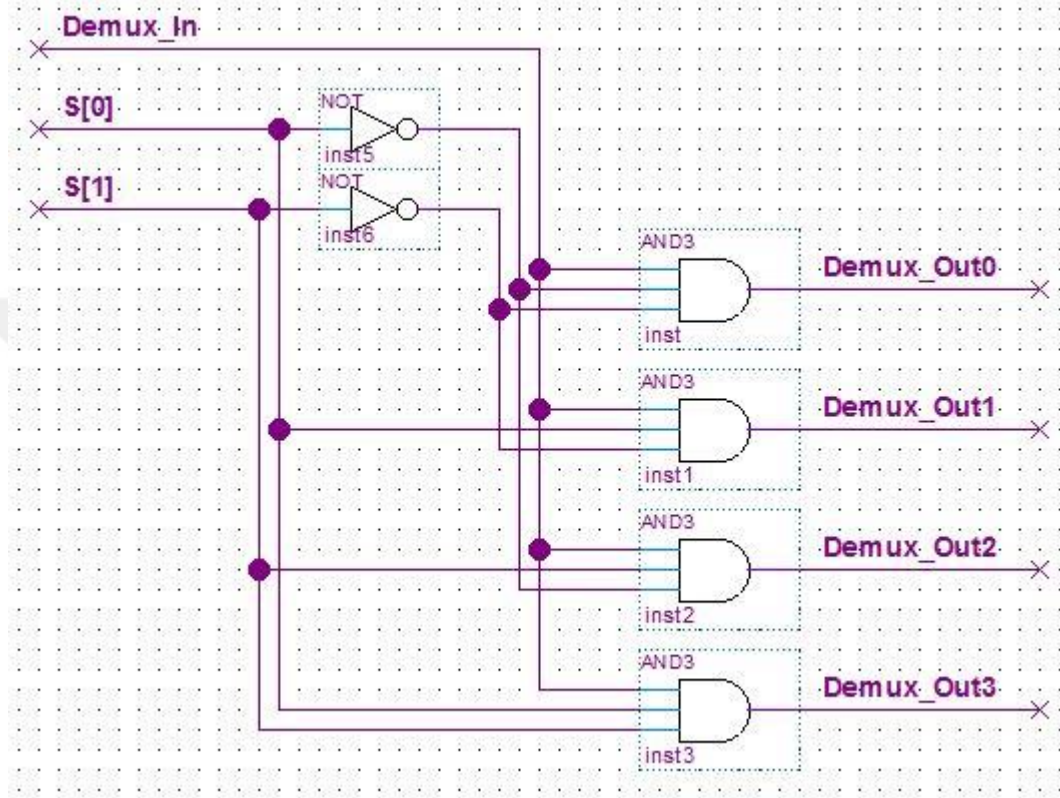
Şekil 5.6. 4x1 Multiplexer

Yukarıdaki şekilde görüldüğü üzere S0 ve S1 seçim uçlarına uygulanan veriye göre giriş kanallarından bir tanesi çıkışa aktarılmaktadır. Aşağıdaki tabloda 4x1 Multiplexer'in doğruluk tablosu görülmektedir.

Tablo 5.2. 4x1 Multiplexer Doğruluk Tablosu

S0	S1	Mux_Out
0	0	Mux_In0
1	0	Mux_In1
0	1	Mux_In2
1	1	Mux_In3

Demultiplexer ise multiplexer'ın çalışma prensibinin tam tersi biçimde çalışmaktadır. Bir tek sayısal veri kaynağını birden fazla çıkış kanalından bir tanesini seçmek suretiyle iletirler. Aşağıda şekilde Demultiplexer'a ait görünüm mevcuttur.



Şekil 5.7. 1x4 DeMultiplexer

Aşağıda bulunan tabloda DeMultiplexer'ın doğruluk tablosu bulunmaktadır.

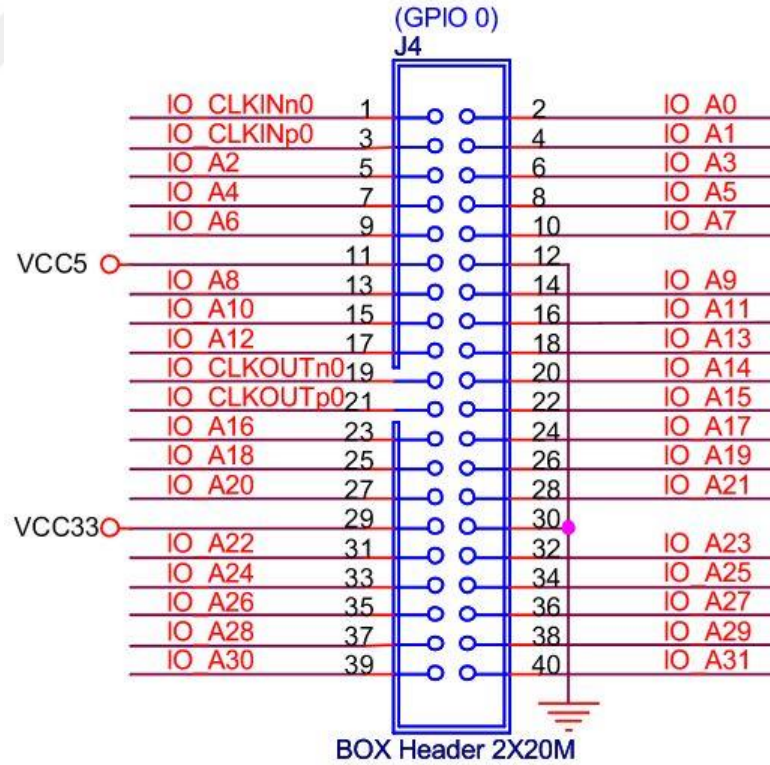
Tablo 5.3. 1x4 DeMultiplexer Doğruluk Tablosu

S0	S1	Demux_Out0	Demux_Out1	Demux_Out2	Demux_Out3
0	0	Demux_In	0	0	0
1	0	0	Demux_In	0	0

S0	S1	Demux_Out0	Demux_Out1	Demux_Out2	Demux_Out3
0	1	0	0	Demux_In	0
1	1	0	0	0	Demux_In

Paralel port arabiriminde Multiplexer'lar okuma yapılacak portun seçilmesini, Demultiplexer'lar ise veri yazılacak portun seçilmesini sağlamaktadırlar.

Paralel port arabiriminden alınacak olan çıkışların DE2-70 FPGA geliştirme kiti üzerinden çizici tezgaha aktarılmasıyla istenilen üç boyutlu hareket elde edilmiş olacaktır. Şekilde 5.6'da DE2-70 Board'una ait GPIO 0 portu görülmektedir.



Şekil 5.8. DE2-70 FPGA Geliştirme Kiti GPIO 0 Portu [33]

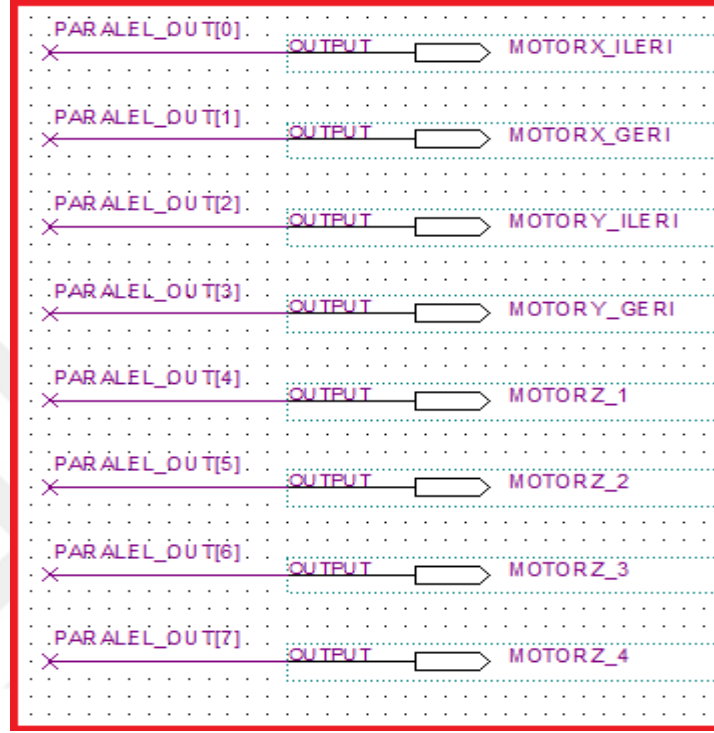
Yukarıdaki GPIO 0 portuna ait pinleri kullanmak suretiyle adım motorlara sinyal gönderilmektedir. Tablo 5.1’de paralel port arabiriminden DE2-70 portunda yer alan pinlere yapılan bağlantılar görülmektedir.

Tablo 5.4. Paralel Port ve GPIO 0 Portu Pin Bağlantıları

Sinyal Adı	GPIO Bağlantısı
DATA[0]	IO_A0
DATA[1]	IO_A1
DATA[2]	IO_A2
DATA[3]	IO_A4
DATA[4]	IO_A9
DATA[5]	IO_A11
DATA[6]	IO_A13
DATA[7]	IO_A14

Şimdiye kadar yapılan açıklamalar neticesinde 8 adet pinin 3 adım motor için de yeterli olacağı görülmektedir. X ve Y eksenlerinde hareketi sağlayacak olan birinci ve ikinci adım motorlara gerekli sinyalin gönderilebilmesi için ikişer adet çıkış yeterli olacaktır. Bu çıkışlardan bir tanesine aralıksız olarak 1 ve 0 şeklinde +5V gönderildiği takdirde adım motor dönmeye başlayacaktır. İkinci çıkış ise adım motoru ters yönde döndürmeye yaramaktadır. Eğer adım motora ileri hareket

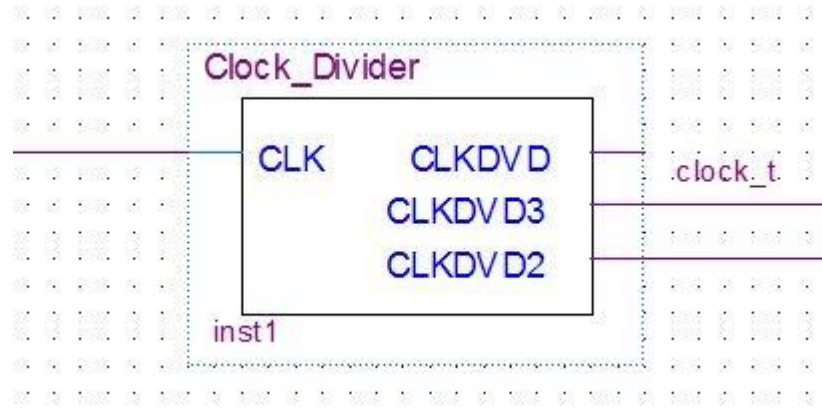
verildiyse ve o esnada ikinci çıkışa da devamlı olarak +5V sinyal gönderilirse adım motor o anki hareketinin tam tersi istikamete hareket etmeye başlayacaktır.



Şekil 5.9. BZK.SAU.FPGA ile Çizici Tezgah Bağlantıları

Üçüncü adım motor için ise 4 adet çıkış gerekecektir. Hatırlanacağı üzere 28BYJ-48 için gereken 4 adet çıkış tasarımın bu aşamasında oluşturulmuştu.

Quartus çalışma projemize, frekans ayarlamasını yapmak üzere BZK.SAU.FPGA mikro bilgisayar mimarisinde bulunan ‘Clock_Divider’ modülü de eklenmiştir. Bu modül sayesinde donanım olarak var olan 50 MHZ frekans azaltılabilmektedir. Böylelikle AND kapıları ve JK flip-floplar ile oluşturulan bu modül ile adım motorlar için gereken çalışma frekansı elde edilmiştir. Aşağıdaki şekilde ‘Clock_Divider’ın tasarım görünümü görülmektedir.



Şekil 5.10. Clock_Divider Tasarım Görünümü

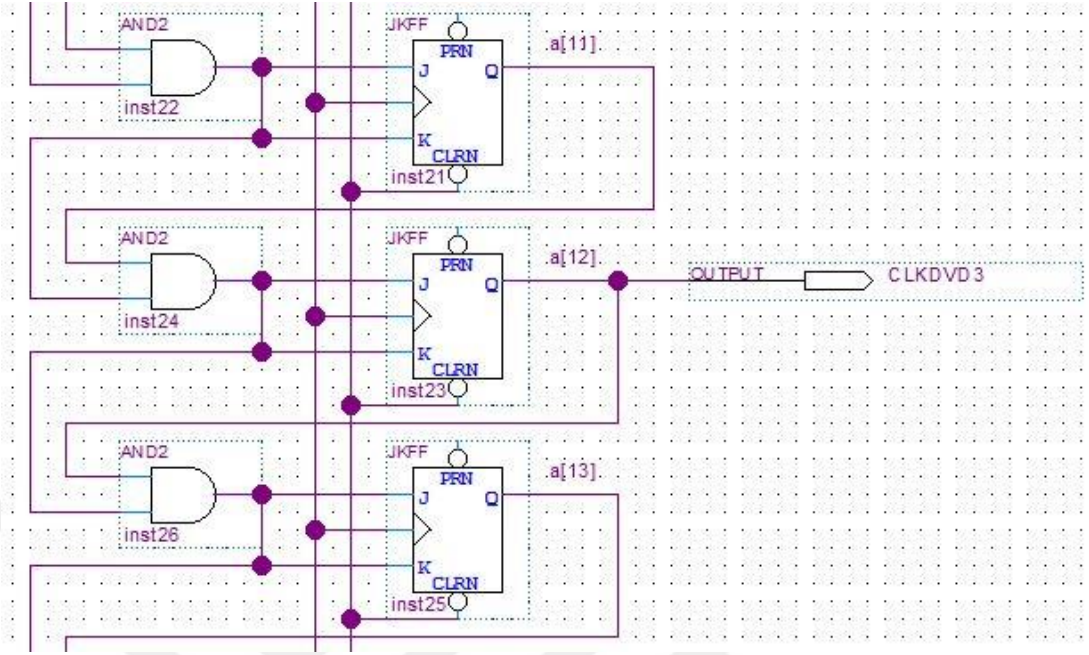
BZK.SAU.FPGA mikro bilgisayar mimarisi ile adım motor kontrolünde ihtiyaç duyulan frekans ayarlaması adım motor sürücülerini aracılığı ile de yapılmıştır. Ancak sürücülerle sağlanan frekans ayarlamasının yanında BZK.SAU.FPGA mikro bilgisayar mimarisi tarafında da düzenleme ihtiyacı duyulmuştur. Sisteme eklenen ve yukarıda tasarımı görülen Clock_Divider ile var olan 50 MHZ her bir adımda yarı değerine düşürülebilmektedir. Hesaplanan değerlere göre her üç adım motor için de optimum çalışma frekansı 6.104 KHZ'dir. Aşağıdaki tabloda frekans bölme işlem adımları görüntülenmektedir.

Tablo 5.5. Frekans Ayar Adımları

İşlem Sırası	Frekans İlk Değer (Kilohertz)	Frekans Sonraki Değer (Kilohertz)
0	50000	25000
1	25000	12500
2	12500	6250
3	6250	3125

İşlem Sırası	Frekans İlk Değer (Kilohertz)	Frekans Sonraki Değer (Kilohertz)
4	3125	1562,5
5	1562,5	781,25
6	781,25	390,625
7	390,625	195,313
8	195,313	97,656
9	97,656	48,828
10	48,828	24,414
11	24,414	12,207
12	12,207	6,104

Clock_Divider ile frekans bölme işlemi için giriş olarak gelen CLK sinyalinin AND kapısı ve JK flip-flop'lar ile o anki frekans değeri yarıya düşürülüp clock_t çıkışından sisteme gönderilmektedir. Aşağıda Clock_Divider'dan bir kesit görüntülenmektedir.



Şekil 5.11. Clock_Divider İç Yapısı

J-K tipi flip-floplar clock palsi ile konum değıştiren bir yapıya sahiptirler. RS tipi flip-floplara benzerler ancak onlara göre belirsizlik durumları bulunmamaktadır.

5.3.2. Komutlar

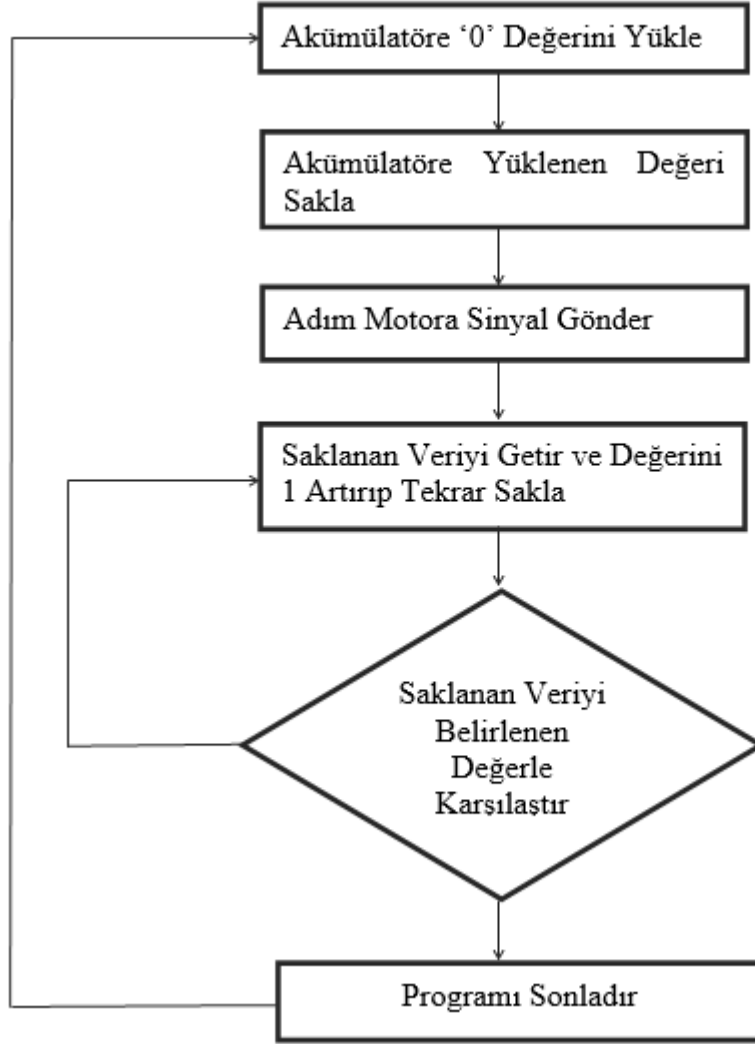
Bu kısımda BZK.SAU.FPGA mikro bilgisayar mimarisinde adım motorları kontrol edebilmek için gereken komutlar açıklanacaktır. Adım motorların kontrolü için ilk olarak motorların önceden belirlenmiş hareketleri yapacağını açıklamak yararlı olacaktır. Program komutlarını açıklamadan önce BZK.SAU.FPGA mikro bilgisayar mimarisinde yer alan 59 adet komuttan çalışmamızda kullanılacak olan 8 adet komut tanıtılacaktır.

1. **OUT:** OUT komutu ile paralel porta veri gönderilmektedir. Sistem tasarımı kısmında aktarıldığı üzere 8 adet OUT çıkışı ile program komutlarını kullanarak paralel port aracılığı ile adım motorlara hareket verilmektedir. Esasen OUT komutu akümülatördeki veriyi çıkış kaydedicisine kaydetmektedir.

2. **STA:** Akümülatördeki veriyi belleğe kaydetmek için kullanılır. Örneğin STA \$0030H komutu, akümülatördeki veriyi 0030 adresine yazmaktadır. Üç farklı adresleme modu (Direkt, dolaylı ve indis) vardır.
3. **LDA:** Bellekte bulunan veriyi akümülatöre yazmak için kullanılır. Örneğin LDA \$0030H komutu ile 0030 adresindeki veri akümülatöre yazılmaktadır. Dört farklı adresleme modu (Derhal, direkt, dolaylı ve indis) vardır.
4. **INCR:** Akümülatördeki veriyi bir artırarak tekrardan akümülatöre kaydetme işlemini yapmaktadır. Doğal adresleme modu vardır.
5. **CMP:** CMP, karşılaştırma için kullanılan komuttur. Akümülatörde yer alan veri bellekteki veri ile karşılaştırılabilir. Örneğin CMP #000AH komutu, akümülatördeki veri ile A değerini karşılaştırmaktadır. Dört farklı adresleme modu (Derhal, direkt, dolaylı ve indis) vardır.
6. **BZR:** CMP komutundan gelen karşılaştırma sonucuna dallanma yapmayı sağlar. Sıfır biti 1 ise hesaplanan etkin adrese dallanma işlemi gerçekleşir. Sıfır bitinin 1 olmadığı durumda ise bir sonraki komut devreye girer ve program akışı istenilen yerden devam eder. Örneğin BZR SM0 komutu, karşılaştırma sonucu değerler eşit ise SM0 etiketine dallanma yapacaktır. Aksi hale program bir alt satıra geçip devam edecektir.
7. **BRA:** BRA, koşulsuz dallanmayı sağlar. İşlem kodunun ardından gelen byte'ta bulunan veriden etkin adres hesaplanır ve bahsi geçen adrese şartsız olarak dallanma gerçekleşir. BRA ORNEK_DALLANMA komutu çalıştığında program ORNEK_DALLANMA isimli etikete dallanacaktır.
8. **HLT:** Programı sonlandırmak için kullanılır

BZK.SAU.FPGA mikro bilgisayar mimarisi ile 3 eksenli adım motor kontrolü çalışması kapsamında şimdiye kadar verilen bilgiler ışığında artık programın çalıştığı komutlar yazılabilir. Şimdiye kadar daha çok donanımsal olarak yapılan çalışmalardan bahsedildiğinden her bir adımın eksiksiz ve sorunsuz bir şekilde

tamamlanması beklenmektedir. Bu aşamadan sonra artık program komutlarının yazılması ve sisteme aktarılması gerekmektedir. Aşağıdaki şekilde çizici tezgahın çalışma sistemi için oluşturulan akış şeması görüntülenmektedir.



Şekil 5.12. Adım Motor Kontrol Akış Şeması

5.4. Sistemin Çalıştırılması

Buraya kadar anlatılanlar sonucunda BZK.SAU.FPGA mikro bilgisayar mimarisi kullanılarak 3 eksenli adım motor kontrolü için gerekli bütün aşamalar tamamlanmış olmaktadır. Durum kısaca özetlenecek olursa, ilk olarak tezgah tasarımı noktasında gereken çalışmalar yapıldı. Sonrasında çalışma için gereken adım motor çeşitleri ve onlara ait sürücüler incelendi. Son olarak BZK.SAU.FPGA mikro bilgisayar

mimarisinde adım motorların çalıştırılabilmesi için gereken tasarımlar ve geliştirmeler ortaya kondu, gereken program yazımı tamamlanarak çalışma sonlandırılmış oldu.

Bütün bu çalışmalar çerçevesinde tezgaha monte edilmiş olan, X ve Y eksenlerinde hareketi sağlayan aynı tür adım motorlara gerekli enerjiyi sağlayacak olan 24 Volt, Z ekseninde hareketi sağlayacak olan adım motora gerekli enerjiyi verecek olan 12 Volt gerilim kaynağı bağlanmak suretiyle gereken enerji sisteme verilecektir.

BZK.SAU.FPGA mimarisinin yükleneceği Altera DE2-70 FPGA geliştirme kartının da bağlanması ile çalışmada istenen işlemler ortaya konulacaktır.

6. ÖRNEK UYGULAMA

Bu tez çalışmasının anlamlandırılması ve verilen bilgilerin kavranması açısından örnek bir uygulama yapma ihtiyacı hissedilmiştir. Bu kapsamda ortaya konacak olan örnek uygulama ile kurulan sistemin çalışabilirliğinin test edilmesi ve şimdiye kadar anlatılan teorik bilginin pratiğe dökülmesi sağlanmış olacaktır. Örneğin uygulanması için donanımsal olarak yukarıda bahsedilen işlemlerin tamamlanmış olduğu varsayılmıştır. Programa ait kodlar Ek'te sunulmaktadır.

Ek'te sunulan komutlar sırasıyla aşağıdaki işlemleri gerçekleştirmektedir.

- 1 numaralı adım motor X ekseninde belli bir mesafede hareket eder
- 2 numaralı adım motor Y ekseninde belli bir mesafede hareket eder
- 3 numaralı adım motor olan ve Z ekseninde hareketin sağlandığı motora hareket komutu gönderilir, böylece yazıcı uç aktifleştirilmiş olur
- 1 numaralı adım motor X ekseninde olacak şekilde bu kez ters istikamette belli bir mesafede hareket eder
- 2 numaralı adım motor Y ekseninde olacak şekilde bu kez ters istikamette belli bir mesafede hareket eder
- 3 numaralı adım motor olan ve Z ekseninde hareketin sağlandığı motora durma komutu gönderilir, böylece yazıcı uç devreden çıkarılmış olur

Şimdiye kadar genel hatları ile anlatılan komut akışının BZK.SAU.FPGA mikro bilgisayar mimarisi içerisinde hangi adımlardan geçtiğini incelemek faydalı olacaktır.

6.1. Program Kodlarının Açıklaması

Bir bilgisayarda programları meydana getiren kodlar ve veriler hafızaya yüklendikten sonra işlemci tarafından satır satır işlenirler ve icra edilirler. Aynı zamanda CPU tüm giriş-çıkış işlemleri için hafızaya erişim sağlamaktadır. Bellekte yer alan bir program bir dizi buyruktan meydana gelmektedir. Bir programın çalıştırılması her buyruk için

belirli bir sürenin sonunda mümkün olmaktadır. Buyruklar bazı alt süreçlerden oluşmaktadır. Bunlar FETCH (buyruğun bellekten alınıp getirilmesi), DECODE (Buyrukta yer alan kodun çözülmesi) ve buyruğun yerine getirilmesi aşamalarıdır. Bu üç sürecin tamamlanmasının ardından sistem tekrar birinci adımdan devam edecektir. Bu durum HALT komutu görülünceye kadar devam eder.

Bir program icra edilmeye başlanınca ilk olarak FETCH evresi gerçekleşir. Öncelikle program sayıcı ilk buyruğun adresi yüklenmektedir. Bu işlemden sonra sıra sayıcı sıfırlanmaktadır. Böylelikle T_0 zaman sinyali elde edilmektedir. Her bir saat vuruşundan sonra sıra sayıcı bir artırılmaktadır. Bu da zaman sinyallerinin $T_0, T_1, T_2 \dots$ şeklinde devam etmesini sağlayacaktır.

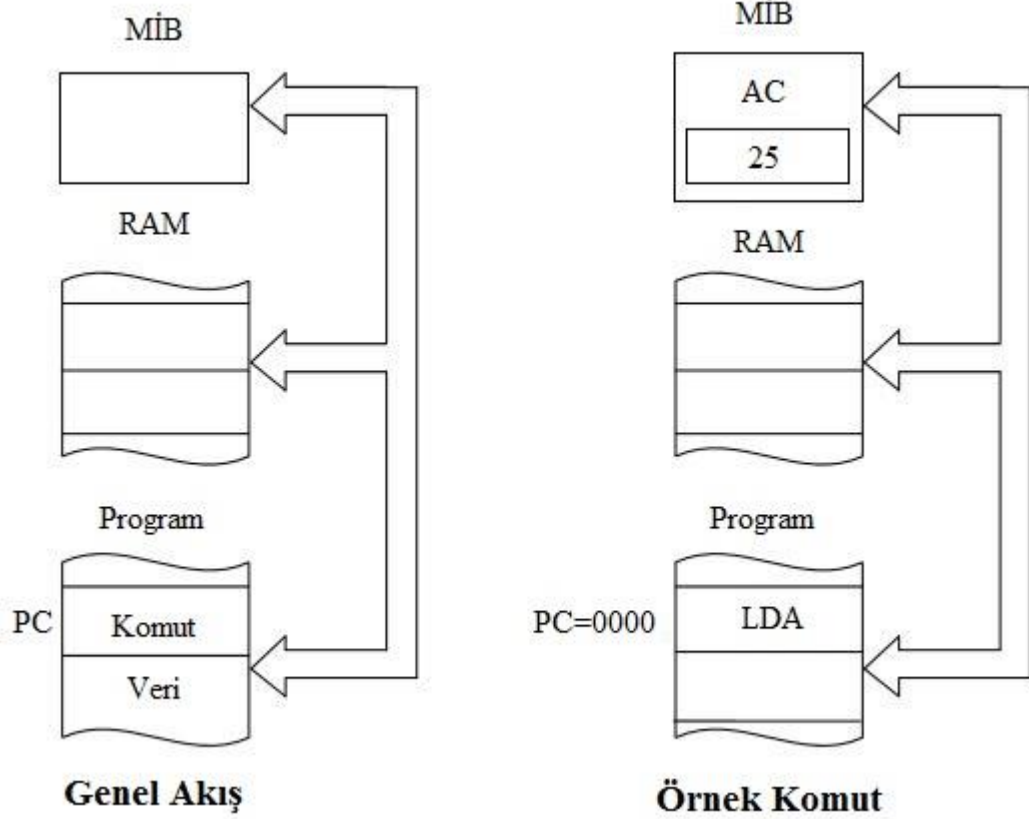
Tablo 6.1. FETCH ve DECODE Evrelerine Ait Mikro İşlemler

T_0	$AR \leftarrow PC$
T_1	$IR \leftarrow M[AR], PC \leftarrow PC+1$
$T_2 \dots \overline{ADRMD0}$	$AR \leftarrow PC, PC \leftarrow PC+1, IDEC00 \dots IDEC31 \leftarrow \text{Kodu Çöz}$ $IR(0-3,7), ADRMD0 \dots ADRMD5 \leftarrow IR(4-6)$

Yukarıdaki tabloda görüldüğü gibi adres öncelikle PC'den AR'ye aktarılır. Bunun nedeni belleğin adres girişlerine sadece AR'nin bağlı olmasından kaynaklanır. Belirtilen bu işlem T_0 zamanında gerçekleşir. Ardından bellekten okunan buyruk IR'ye (Komut kaydedicisi) yerleştirilir. Bu işlem de T_1 zamanın gerçekleşir. Bu aşamada PC bir artırılır. Komut, doğal adresleme modu ADRMD0 ise PC'nin (Program sayıcı) bir sonraki komuta konumlanması gerçekleştirilmiş olur. Bu işlem sonrasında komut gereken kod çözücülerden geçirilir. Böylece adresleme modu ve komut tipi öğrenilmiş olacaktır.

Önceki konularda sistemin çalışması için gereken kodların genel açıklaması yapıldıktan sonra komutların BZK.SAU.FPGA mikro bilgisayar içerisindeki işlem

adımlarına bakacak olursak, ilk olarak LDA #0000h komutu ile akümülatöre yükleme yapılır. Program başlangıcında yükleme yapmak istediğimiz adreste hangi verinin olduğunu bilmediğimiz için öncelikle veri yükleme işlemi yapılır. Ardından bu değer 0030h numaralı adreste saklanmaktadır. 0030h numaralı adrese LDA komutu ile saklanan bu verinin işlem adımlarını biraz daha detaylandıralım. LDA #0000h komutunda adresleme modlarından derhal adresleme modu kullanılmıştır. Derhal adresleme modunda veri komut içerisinde verilir. Bu modda komutlar kaydedicilere başlangıç değerlerinin verilmesi ve sabit değerler yazılması gibi durumlar kullanışlıdır.



Şekil 6.1. LDA Derhal Adresleme Modu

Üstteki şekilde LDA derhal adresleme modunun genel yapısını görmekteyiz. LDA komutu derhal modda komut bellekte 91h işlem kodunu gösterir ve bellekte 3 byte yer kaplamaktadır. Bu modda işlem kodundan sonra gelen 2 byte'lık bölüm, bu komut ile indis kaydedicisine yüklenecek değeri ifade eder. LDA derhal mod

komutunun mikro işlem adımları T3*IDEC17*ADRMD1 olarak ifade edilebilir. Burada T3 sayıcının çıkışı, IDEC17 komut kodu çözücünün çıkışı, ADRMD1 ise adresleme modu kod çözücünün çıkışını gösterir. Böylelikle adres kaydedicisinin bellekte göstermiş olduğu bölümdeki veri indis kaydedicisine transfer edilir ve adres kaydedicisinin değeri bir artırılarak bir sonraki kısmın gösterilmesini sağlar.

LDA ile akümülatöre 0000h verisi yüklendikten sonra STA \$0030h komutu ile akümülatöre atılan veri 0030h adresinde saklanmaktadır. Burada direkt adresleme yöntemi kullanılmaktadır. Yani veri akümülatöre atılmayıp bellek üzerindeki bir adrese yükleme yapılmaktadır.

İlk yüklemeyi yaptıktan sonra programın başlangıcına geçiş yapılmış olacaktır. İlk olarak birinci adım motora sinyal gönderme işlemi yapılacaktır. LDA #0001h komutu ile komutu ile akümülatöre 1 değeri kaydedilir. OUT komutu ile de sinyal Altera DE2-70'in ilgili pinine aktarılır. OUT komutu ile yapılan işlemlerden bahsedecek olursa 80h işlem koduna sahip olan OUT komutu tek byte'lık bir çıkış komutu olarak tanımlanmıştır. OUT, AC'nin düşük anlamlı sekiz bitini alarak OUTR kaydedicisine aktarım yapmaktadır. Bu işlem sonrasında çıkış bayrağını da sıfırlar. Birinci motor için gerekli olan +5V gönderildikten sonra yine LDA ve OUT komutları kullanılarak şimdi de 0000h değeri gönderilir. Ardından 0030h adresindeki verinin (Sayaç) bir artırılması için INCR komutu kullanılır. INCR komutu akümülatördeki veriyi bir artırarak tekrardan akümülatöre kaydeder. Doğal adresleme moduna sahiptir. Artırılan değer tekrardan STA komutu ile 0030h adresinde saklanır. Artık birinci adım motor için gerekli olan 1 ve 0 değerleri gönderilmiş oldu. Ancak adım motorun devamlı ya da istenildiği kadar dönebilmesi için karşılaştırma komutları için döngü oluşturmak gerekmektedir. Bundan dolayı CMP #0050h komutu ile birinci adım motorun Hexadecimal olarak 50 olan değer in ondalık 80 (0050h değerinin ondalık sisteme dönüşümü $5 \cdot 16^1 + 0 \cdot 16^0 = 80$) değerine denk gelmesiyle 80 adım atması sağlanmış oldu. Bir sonraki adımda kullanılan BRA Etiket2 komutu ile şartsız olarak dallanma sağlanır. BRA komutunda işlem kodundan sonra gelen byte'ta bulunan veriden etkin adres hesaplanır, hesaplanan adrese şartsız olarak dallanma gerçekleşir. Sonraki komut BZR Etiket 1 komutudur. Bu komut da

dallanma işlemi yapmaktadır. Ancak bu komut kullanıldığı zaman sıfır biti 1 ise hesaplanan etkin adrese dallanılır. Sıfır biti 1 değilse program bir sonraki komuttan işlemine devam edecektir.

İlk adım motor için yukarıdaki adımlar tamamlandıktan sonra sırasıyla ikinci ve üçüncü adım motorlar için de komut akışı FETCH, DECODE ve buyruğun yerine getirilmesi aşamaları ile sonuca gidilecektir.



SONUÇ VE ÖNERİLER

Günümüzde özellikle araştırmacıların sıklıkla kullandığı FPGA geliştirme kartları sahip oldukları özellikler ile birçok çalışmada temel eleman olarak karşımıza çıkmaktadırlar. Ekonomik açıdan uygun olması, yeniden yapılandırılabilirlikleri, tasarım süreçlerinin uygunluğu ve yine ortaya konan tasarımların gerçek ortamda test edilebilmesi FPGA'ları eğitim alanında yapılan çalışmalarda ve prototip hazırlamada ön plana çıkarmaktadır. Burada ayrıca ifade etmek gereken önemli bir nokta, FPGA'lar yeniden yapılandırılabilir olduklarından birden fazla farklı tasarım herhangi bir ek maliyet gerektirmeden mevcut geliştirme kartı üzerinde sorunsuz bir şekilde denenebilir. Bu da yukarıda ifade edildiği üzere eğitimsel çalışmalarda ve prototip hazırlama esnasında oldukça faydalı bir özellik olarak ön plana çıkmaktadır.

Buraya kadar aktarılanlar göz önüne alındığı takdirde tez çalışmasında belirlenen esas amaç eğitimsel olduğu için bütün tasarım aşamaları temel olarak kolaylıkla incelenebilir, müdahale edilebilir ve geliştirilebilirdir. Bu sayede araştırmacıların çalışmayı anlaşılır bulması ve kendi çalışmalarını için faydalanması önceliklidir.

Çalışmada öncelikle tezgah tasarımı ön plana çıkmıştır. Bu yönde yapılan araştırmalar neticesinde 3 eksenli bir tezgah tasarımı için gerekli çalışmalar ortaya konarak X, Y ve Z eksenlerinde hareketi sağlayabilecek bir tasarım yapılmıştır. Böylelikle özellikle bu çalışma için gerekli olan çizim işleminin gerçekleştirilmesi için X ve Y eksenlerinde yapılan hareketle beraber Z eksenine yerleştirilen bir yazıcı uç vasıtasıyla çizim yaptırılmıştır.

Tezgah üretimi sonrasında bu mekanik sisteme hareket vermeyi sağlamak için kullanılacak olan BZK.SAU.FGPA mikro bilgisayar mimarisinin kontrol tarafında yer alan özelliklerine göz atılmıştır. Tez çalışması için kullanıma hazır bulunan paralel port arabirimi incelenerek bu modülde yapılması gereken eklemeler ve işlemler yapılmıştır. 3 eksenli adım motor hareketi çalışmasında 2 çeşit motor kullanılmıştır ve her iki çeşitte de hazır sürücü devreleri kullanılmaktadır. Adım motorların seçiminde tezgah kontrolünün sorunsuz bir şekilde yapabilmesi amaçlanmıştır. Son olarak BZK.SAU.FGPA mikrobilgisayar mimarisindeki

assembly komut seti kullanılarak yazılan kontrol programı sayesinde 3 eksenli adım motor kontrolü sağlanmıştır.

Bu çalışma ile birlikte açık kaynak kodlu, özgün ve tamamen eğitimsel amaçlarla ortaya konmuş olan BZK.SAU.FPGA mikro bilgisayar mimarisini kullanarak 3 eksenli adım motor kontrolü sağlanmıştır. Bu sayede bu alanda çalışma yapacak araştırmacıların ve kendilerini bu yönde geliştirmek isteyen öğrencilerin bir bilgisayar mimarisine nasıl müdahale edilir ve gerektiğinde hangi çalışmalar yapılır sorusuna cevap bulmaları hedeflenmiştir. Aynı zamanda günlük hayatta kullandığımız bilgisayarların çevresel birimlerle nasıl etkileşim içerisine girdiğini ve haberleştiğini de bu yolla anlayabilmekteyiz.

Bu tezin temel hedefi eğitimsel amaçları içermekle birlikte endüstride kullanılmakta olan adım motorların çalışma yapılarını kavramayı da içermektedir. Adım motorların özellikleri ile hassasiyet içeren birçok çalışmada kullanılmaları bu konuda var olan talebi de artırmaktadır. Böylece bir adım motor nasıl sürülür ve motorun açık kaynak ve özgün bir sistemle sürülmesi için gereken iş akışı ve yöntemlerin nasıl olduğu aktarılmaktadır. Bu duruma katkı sağlayabilecek şekilde adım motor hız, tork ve yön kontrolü gibi uygulamalarla daha farklı çalışmalara imza atılabilecektir.

Literatürde genel olarak endüstriyel adım motor çalışmaları mevcut olup, FPGA kullanılarak ortaya konan yapılara da rastlamaktayız. Ancak mikrobilgisayar mimarisi kullanarak eğitimsel amaçlı adım motor kontrolü hemen hemen yok gibidir. Bundan dolayı özellikle öğrenci ve araştırmacıların bu konuda ihtiyaç duyacakları çalışmalara yön verebilecek bu çalışma ile herkes kendi özgün tasarımlarını ortaya koyabilme farkındalığına sahip olabilecektir. Aynı zamanda BZK.SAU.FPGA mikrobilgisayar mimarisinin gerçek bir donanım üzerine inşa edilen temel seviye bir işletim sistemi olması karşımıza özgün bir yapı çıkarmaktadır. Bu da bize özgün sistemleri kullanarak yine özgün ve kişisel çabalarla ortaya konabilecek çalışmaların pekala mümkün olduğu konusunda cesaret verebilecektir.

KAYNAKLAR

1. Jose Rafael Guzman-Sepulveda, Rene de Jesus Romero-Troncoso (2008), "Digital System Control for Three-Degrees of Freedom Mechanical Arm with FPGA", Electronics, Robotics and Automotive Mechanics Conference 2008, DOI 10.1109/CERMA.2008.74, 2008.
2. Satyam, R.D.Kamble, Dhanashri, V.K. Sharma (2008), "Three-Dimensional Motion Control using Embedded Controller and FPGA Technology", 5th International Conference on Electrical and Computer Engineering ICCE 2008, 20-22 December 2008, Dhaka, Bangladesh.
3. Jiebin Zhu, Gaohua Liao (2010), "Design of multi-axis control system for Stepping Motor", 2010 WASE International Conference on Information Engineering, DOI 10.1109/ICIE.2010.185, 2010.
4. Juan Yu, Hongmei Kang, Yuansheng Wang, Guiying Lu (2013), "A Control System of Three-axis Stepper Motor Based on the FPGA", 2013 International Conference on Mechatronic Sciences, Electric Engineering and Computer (MEC) Dec 20-22, 2013, Shenyang, China.
5. Zoonubiya Ali, R.V Kshirsagar (2010), "Development of a CPLD based novel open loop stepper motor controller for high performance using VHDL", INES 2010 14th International Conference on Intelligent Engineering Systems May 5-7, 2010 Las Palmas of Gran Canaria, Spain.
6. Dajun Feng, Lijuan Yan, Luping Xu, Woheng Li (2011), "Implement of Digital PID Controller Based on FPGA And The System Co-Simulation", 2011 International Conference on Instrumentation, Measurement, Computer, Communication and Control, China.
7. H. Oztekin, F. Temurtaş and A. Gulbag, "BZK.SAU: Implementing a hardware and software-based Computer Architecture simulator for educational purpose," Int. Conf. Computer Design and Applications (ICCD 10, vol.4, pp.V4-90-V4-97)
8. Oztekin H., Temurtas F. and Gulbag A. (2011), "BZK.SAU.FPGA10.0: Microprocessor Architecture Design on Reconfigurable Hardware as an Educational Tool", 2011 IEEE Symposium on Computers & Informatics, 385-389, Malaysia.
9. Oztekin H., Temurtas F. and Gulbag A. (2011), "BZK.SAU.FPGA10.1: A Modular Approach to FPGA-Based Micro Computer Architecture Design for Educational Purpose", Computer Applications in Engineering Education; Online available: <http://wileyonlinelibrary.com/journal/cae>; DOI:10.1002/cae.20553.

10. H. Oztekin, F. Temurtas and A. Gulbag, "A modular approach to VGA Monitor Controller for BZK.SAU.FPGA10.1 microcomputer architecture design," Int. Proc. Computer Science and Information Technology(ICICA 12), vol. 24, pp. 27-31, February 2012.
11. Juan Yu, Hongmei Kang, Yuansheng Wang, Guiying Lu (2013), "A Control System of Three-axis Stepper Motor Based on the FPGA", 2013 International Conference on Mechatronic Sciences, Electric Engineering and Computer (MEC) Dec 20-22, 2013, Shenyang, China
12. ÖZTEKİN, H., Bilgisayar Mimarisi Simülatörü Tasarımı, Y. Lisans, Sakarya Üniversitesi, Bilgisayar ve Bilişim Mühendisliği, 2009.
13. ÖZTEKİN, H., Eğitim Amaçlı Yapılandırılabilir Modüler Donanım Üzerine Gömülü İşletim Sistemi Tasarımı, Doktora, Sakarya Üniversitesi, Bilgisayar ve Bilişim Mühendisliği, 2012.
14. ÖLMEZ, E., FPGA Tabanlı Mikrobilgisayar Mimarisi Kullanılarak DC Motor Sürücü Tasarımı ve Uygulaması, Y. Lisans, Bozok Üniversitesi,
15. http://web.itu.edu.tr/~orencik/BilgMimYenYakl2007/Mehmet_Aktas/FPGA_Mimarisi_Sunum.pdf (Erişim Tarihi: 25/07/2012)
16. http://web.itu.edu.tr/orencik/BilgMimYenYakl2007/Mehmet_Aktas/FPGA_Mimarisi_Rapor.pdf (cpld) (Erişim Tarihi: 25/07/2012)
17. http://www.academia.edu/5519095/Mant%C4%B1k_Devreler_Logik_B%C3%B6l%C3%BCm_14-programlanabilir_lojik_elemanlar (Erişim Tarihi: 27/07/2012)
18. <http://www.fpganedir.com> (Erişim Tarihi: 27/07/2012)
19. <http://www.elektronikmagazin.com/page.php?id=270> (Erişim Tarihi: 21/11/2012)
20. <https://tr.wikipedia.org/wiki/FPGA> (Erişim Tarihi: 21/11/2012)
21. <http://www.leadshine.com/productdetail.aspx?type=products&category=stepper-products&producttype=2-phase-stepper-motors&series=57HS&model=57HS22> (Erişim Tarihi: 21/11/2012)
22. Altera DE2-70 User Manuel, Version 1.08, 2009 Terasic Technologies, Sf. 4
23. Quartus II Subscription Licence, 2100@194.27.212.50
24. <http://www.altera.com/devices/fpga> (Erişim Tarihi: 21/11/2012)
25. http://en.wikipedia.org/wiki/ABC_80 (Erişim Tarihi: 27/07/2012)

26. en.wikipedia.org/wiki/List_of_home_computers_by_video_hardware (Eriřim Tarihi: 27/07/2017)
27. COLTON, D., EMBREY, G., FIFE, L., MIKOLYSKI, S., PRIGMORE, D., STANLEY, T. D. , Pedagogic Value in Understanding Computer Architecture of Implementing the Marie Computer from Null and Lobur in the Logic Emulation Software, Multimedia Logic. Workshop On Computer Architecture Education (WCAE 2007), pp. 66-71, 2007.
28. TIEJUN, X., FANG, L., 16-bit teaching microprocessor design and application, IEEE International Symposium on IT in Medicine and Education (ITME 2008), pp. 160-163, 2008. Doi: 10.1109/ITME.2008.4743843
29. GHEORGHE, A. S., BURILEANU, C., Savage16 – 16-bit RISC Architecture General Purpose Microprocessor, International Semiconductor Conference (CAS 2010), Vol. 2, pp. 521-524, 2010. Doi: 10.1109/SMICND.2010.5650480
30. MANO, M. M., Bilgisayar Sistemleri Mimarisi, MARřOĐLU, A., 3. Basım, SUÇSUZ., N., Literatür Yayıncılık, pp. 129-159, İstanbul, 2002.
31. http://www.ami.ac.uk/courses/ami4460_fpga/u01 (Eriřim Tarihi: 21/11/2012)
32. http://www.ami.ac.uk/courses/ami4460_fpga/u02/index.asp (Eriřim Tarihi: 21/11/2012)
33. Altera DE2-70 User Manual, Version 1.08, 2009 Terasic Technologies, Sf. 42
34. Elektrik Elektronik Teknolojisi, Step Motor ve Sürölmesi, 523EO0063, pp. 3-19, Ankara, 2011. (Eriřim Tarihi: 21/02/2013)

EK

Sıra	Etiket	Komut	Açıklama
1		LDA #0000h	Akümülatöre '0' değerini yükle ve '0030' numaralı adreste sakla
2		STA \$0030h	
3	Etiket 1	LDA #0001h	1 numaralı motora '1' ve '0' değerlerini gönder
4		OUT	
5		LDA #0000h	
6		OUT	
7		LDA \$0030h	'0030' numaralı adresteki veriyi getir 1 artır, sonucu '0030' adresine yaz ve değeri '0050' ile karşılaştır eşitse 'Etiket 2'ye dallan, eşit değilse 'Etiket 1'e dallan
8		INCR	
9		STA \$0030h	
10		CMP #0050h	
11		BRA Etiket 2	
12		BZR Etiket 1	
13	Etiket 2	LDA #0004h	2 numaralı motora '1' ve '0' değerlerini gönder
14		OUT	
15		LDA #0000h	

Sıra	Etiket	Komut	Açıklama
16		OUT	
17		LDA \$0030h	‘0030’ numaralı adresteki veriyi getir 1 artır, sonucu ‘0030’ adresine yaz ve değeri ‘0050’ ile karşılaştır eşitse ‘Etiket 2’ye dallan, eşit değilse ‘Etiket 1’e dallan
18		INCR	
19		STA \$0030h	
20		CMP #0100h	
21		BRA Etiket 3	
22		BZR Etiket 2	
23	Etiket 3	LDA #0000h	Akümülatöre ‘0’ değerini yükle ve ‘0030’ numaralı adreste sakla
24		STA \$0030h	
25	Etiket 4	LDA #0010h	3 numaralı motora (Yazıcı Uç) sırasıyla ‘1’, ‘2’, ‘4’ ve ‘8’ değerlerini gönder
26		OUT	
27		LDA #0020h	
28		OUT	
29		LDA #0040h	
30		OUT	

Sıra	Etiket	Komut	Açıklama
31		LDA #0080h	
32		OUT	
33		LDA \$0030h	'0030' numaralı adresteki veriyi getir 1 artır, sonucu '0030' adresine yaz ve değeri '0150' ile karşılaştır eşitse 'Etiket 3'e dallan, eşit değilse 'Etiket 4'e dallan
34		INCR	
35		STA \$0030h	
36		CMP #0150h	
37		BRA Etiket 5	
38		BZR Etiket 4	
39	Etiket 5	LDA #0002h	2 numaralı motora '1' ve '0' değerlerini gönder
40		OUT	
41		LDA #0000h	
42		OUT	
43		LDA \$0030h	'0030' numaralı adresteki veriyi getir 1 artır, sonucu '0030' adresine yaz ve değeri '0200' ile karşılaştır eşitse 'Etiket 5'e dallan, eşit değilse 'Etiket 4'e dallan
44		INCR	
45		STA \$0030h	

Sıra	Etiket	Komut	Açıklama
46		CMP #0200h	
47		BRA Etiket 6	
48		BZR Etiket 5	
49	Etiket 6	LDA #0008h	1 numaralı motora '1' ve '0' değerlerini gönder
50		OUT	
51		LDA #0000h	
52		OUT	
53		LDA \$0030h	'0030' numaralı adresteki veriyi getir 1 artır, sonucu '0030' adresine yaz ve değeri '0250' ile karşılaştır eşitse 'Etiket 6'ya dallan, eşit değilse 'Etiket 5'e dallan
54		INCR	
55		STA \$0030h	
56		CMP #0250h	
57		BRA Etiket 7	
58		BZR Etiket 6	
59	Etiket 7	LDA #0080h	3 numaralı motora (Yazıcı Uç) sırasıyla '8', '4', '2' ve '1' değerlerini gönder
60		OUT	

Sıra	Etiket	Komut	Açıklama
61		LDA #0040h	
62		OUT	
63		LDA #0020h	
64		OUT	
65		LDA #0010h	
66		OUT	
67		LDA \$0030h	‘0030’ numaralı adresteki veriyi getir 1 artır, sonucu ‘0030’ adresine yaz ve değeri ‘0300’ ile karşılaştır eşitse ‘Etiket 7’ye dallan, eşit değilse ‘Etiket 6’ya dallan
68		INCR	
69		STA \$0030h	
70		CMP #0300h	
71		BRA Etiket 8	
72		BZR Etiket 7	
73	Etiket 8	hlt.	

ÖZGEÇMİŞ

1986 yılında Yozgat'ın Sorgun ilçesinde doğan Abdussefer Bölükbaşı ilk, orta ve lise öğrenimini sırasıyla Araplı İlkokulu, Mehmet Akif Ersoy Ortaokulu ve Sorgun Yabancı Dil Ağırlıklı Lise'de tamamlamıştır. 2005 yılında kazandığı Kocaeli Üniversitesi Teknik Eğitim Fakültesi Elektronik-Bilgisayar Eğitimi Bölümü'nden 2009 yılında mezun olmuştur.

Mezuniyetinin ardından meslek hayatına Sorgun Ticaret Meslek Lisesinde 'Vekil Öğretmen' olarak başlamıştır. 2012 yılında Bozok Üniversitesinde 'Proje Asistanlığı' yaptıktan sonra aynı yıl Aile ve Sosyal Politikalar Bakanlığı Bilgi İşlem Dairesi Başkanlığına programcı olarak atanan Bölükbaşı evli ve 2 çocuk babasıdır.