

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ



**ÇOK YÜKSEK HIZLI TÜMLEŞİK DEVRE DONANIM
TANIMLAMA DİLİ KULLANILARAK GERÇEK
ZAMANLI MODÜLATÖR-DEMODÜLATÖR TASARIMI**

Mehmet SÖNMEZ

Doktora Tezi
Elektrik-Elektronik Mühendisliği Anabilim Dalı
Danışman: Yrd. Doç. Dr. Ayhan AKBAL

ELAZIĞ-2016

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

ÇOK YÜKSEK HIZLI TÜMLEŞİK DEVRE DONANIM TANIMLAMA DİLİ
KULLANILARAK GERÇEK ZAMANLI MODÜLATÖR-DEMODÜLATÖR TASARIMI

DOKTORA TEZİ
Mehmet SÖNMEZ
(112113201)

Tezin Enstitüye Verildiği Tarih : 30.03.2016

Tezin Savunulduğu Tarih : 02.05.2016

Tez Danışmanı : Yrd. Doç. Dr. Ayhan AKBAL (F.Ü.)

Diğer Jüri Üyeleri : Prof. Dr. Saadettin AKSOY (S.Ü.)

Prof. Dr. Hasan Hüseyin BALIK (Y.T.Ü.)

Prof. Dr. İbrahim TÜRKOĞLU (F.Ü.)

Yrd. Doç. Dr. Turgay KAYA (F.Ü.)

MAYIS-2016

ÖNSÖZ

Bu tez çalışması, Fırat Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalı Doktora Programı'nda hazırlanmıştır.

Haberleşme sistemleri, uzun bir süredir rağbet gören önemli araştırma konuları arasındadır ve günümüzde de konunun gelişimi hızla devam etmektedir. Böyle önemli bir konuda birlikte çalıştığım tez danışmanım Sayın Yrd. Doç. Dr. Ayhan AKBAL'a teşekkür ederim.

Üzerimde en büyük emek sahibi olan Anneme ve Babama ve tez çalışmam süresince çoğunlukla ihmal ettiğim Eşim ve Oğluma teşekkürü bir borç bilirim.

Görüş, öneri ve bilgilerinden faydalandığım Hocalarım Sayın Doç. Dr. Arif GÜLTEN'e, Sayın Yrd. Doç. Dr. Vedat Çelik'e ve Sayın Yrd. Doç. Dr. M. Temel ÖZDEMİR'e, arkadaşlarım Muhammet Fatih AYDOĞDU'ya, Arş. Gör. Musab COŞKUN'a ve Arş. Gör. Mehmet Cem ÇATALBAŞ'a teşekkür ederim.

Deneysel çalışmalarımı gerçekleştirdiğim odanın tahsis edilmesinde yardımcı olan Sayın Yrd. Doç. Dr. Sencer ÜNAL'a, Bölüm Başkanlığı'na ve Sayın Yrd. Doç. Dr. Fikret ATA'ya teşekkür ederim.

Mehmet SÖNMEZ
Elazığ-2016

İÇİNDEKİLER

	Sayfa No
ÖNSÖZ	II
İÇİNDEKİLER	III
ÖZET	V
SUMMARY	VI
ŞEKİLLER LİSTESİ	VII
TABLolar LİSTESİ	XI
KISALTMALAR LİSTESİ.....	XII
1. GİRİŞ	1
1.1. Konuyla İlgili Literatürde Yapılmış Çalışmalar	2
1.2. Tezin Amacı	5
1.3. Tezin Yapısı	6
2. SAYISAL MODÜLASYON TEKNİKLERİ	7
2.1. ASK (Genlik Kaydırmalı Anahtarlama)	8
2.2. FSK (Frekans Kaydırmalı Anahtarlama)	13
2.3. PSK (Faz Kaydırmalı Anahtarlama)	18
2.4. QPSK (Dördün Faz Kaydırmalı Anahtarlama)	22
2.5. MSK Modülasyon Tekniği.....	27
3. SAYISAL MODÜLASYON TEKNİKLERİNİN FPGA UYGULAMASI ..	34
3.1. Giriş.....	34
3.2. FPGA Tabanlı Sayısal İkili Modülatörler	34
3.3. FPGA Tabanlı BASK Modülatör Tasarımı	40
3.4. FPGA Tabanlı BPSK Modülatör Tasarımı	43
3.5. FPGA Tabanlı BFSK Modülatör Tasarımı	45
3.6. FPGA Tabanlı QPSK Modülatör Tasarımı	47
3.7. FPGA Tabanlı MSK Modülatör Tasarımı	50
3.8. FPGA Tabanlı Sayısal Demodülatör Mimarileri	51
3.8.1. Giriş.....	51
3.9. FPGA Tabanlı BASK ve BPSK Demodülatör Şemaları	51
3.10. FPGA Tabanlı BFSK ve QPSK Demodülatör Şemaları	54
4. GELİŞTİRİLEN YENİ MODÜLATÖR ALGORİTMALARI	58
4.1. Önerilen BPSK Modülatör Mimarisi	58
4.2. Önerilen QPSK Modülatör Mimarisi	63
4.3. Önerilen MSK Modülatör Mimarisi-I (Ö-MSK-1 ve Ö-MSK-1-S)	71
4.4. Önerilen MSK Modülatör Mimarisi-II (Ö-MSK-2).....	75
4.5. Önerilen MSK Modülatör Mimarisi-III (Y-D MSK).....	79
4.5.1 Önerilen MSK Modülatör Mimarisi-III için Ön Hesaplama Tekniğinin Uygulanması (ÖH-Y-D MSK).....	93
5. MODÜLATÖR MİMARİLERİNİN FPGA ÜZERİNDE GERÇEKLEŞTİRİLMESİ	96
5.1. Giriş.....	96
5.2. Kullanılan FPGA Kartı	96
5.3. BASK Tekniği için Ölçüm Sonuçları	97
5.4. BPSK Tekniği için Ölçüm Sonuçları	98
5.5. BFSK Tekniği için Ölçüm Sonuçları	99

5.6.	QPSK Tekniđi iin lim Sonuları.....	100
5.7.	Analog Sayısal Dnřim Sreci.....	101
5.8.	Analog Bir Sinyalin İletimi iin Gerekli Ařamalar	103
5.9.	Gerek Zamanlı Deđiřen Bir Analog Sinyalin İletiminin Gerekleřtirilmesi ..	105
6.	GELİřTİRİLEN YENİ MODLASYON TEKNİKLERİ İİN DENEYSEL SONULAR.....	107
6.1.	Giriř.....	107
6.2.	nerilen BPSK Modlatr iin Osiloskop ıktıları	107
6.3.	nerilen QPSK Modlatr iin Osiloskop ıktıları.....	109
6.4.	nerilen MSK Modlatr Mimarisi-I iin Osiloskop ıktıları	114
6.5.	nerilen MSK Modlatr Mimarisi-II iin Osiloskop ıktıları.....	117
6.6.	nerilen MSK Modlatr Mimarisi-III iin Osiloskop ıktıları.....	120
7.	SONULAR VE NERİLER	123
	KAYNAKLAR	128
	EKLER	135
	ZGEMİř	138

ÖZET

Bu tez çalışmasında Altera DE-0 Nano Board kullanılarak gerçek zamanlı modülatör-demodülatör tasarımları gerçekleştirilmiş olup BPSK (Binary Phase Shift Keying: İkili Faz Kaydırmalı Anahtarlama), QPSK (Quadrature Phase Shift Keying: Dördün Faz Kaydırmalı Anahtarlama) ve MSK (Minimum Shift Keying: Minimum Kaydırmalı Anahtarlama) modülasyon teknikleri için geliştirilmiş yeni mimariler sunulmuştur. Geliştirilen BPSK ve QPSK modülatör mimarileri, MUX tabanlı mimarilere göre %87.5 oranında daha düşük ram bit kullanmakta olup kullandığı TLE (Total Logic Element: Toplam Lojik Eleman) ve kaydedici sayısı daha azdır. Bu iyileştirme, geliştirilen BPSK ve QPSK mimarilerinde taşıyıcı sinyalin üretimi için yeni bir tekniğin önerilmesiyle sağlanmıştır. Tez çalışmasında MSK modülasyon tekniği için de üç farklı yeni modülatör mimarisi tasarlanmıştır. Önerilen MSK mimarilerinin ilkinde MUX tabanlı mimariler kullanılarak I ve Q kanalı sinyalleri üretilmiştir. Bu mimariye yer değiştirme tekniği uygulanarak kaynak kullanımı düşürülmüştür. İkinci mimari ise I kanalı ve Q kanalı sinyallerinin simetriklik özelliği kullanılarak tasarlanmış olup birinci mimariye göre ram bit kullanımı yaklaşık olarak %75 oranında düşürülmüştür. Son mimari ise MSK modülasyonu için tamamen yeni bir mimari olup Y-D (R-F) MSK olarak adlandırılmıştır. Y-D MSK mimarisi, iki yeni denklemin türetilmesiyle tasarlanmıştır. Ayrıca Y-D MSK mimarisinin ram bit kullanımını düşürmek için ön hesaplama (ÖH) tekniği kullanılmıştır. Geliştirilen bütün mimariler FPGA kartı üzerinde gerçek zamanlı çalıştırılarak modülasyonlu sinyallerin değişimi osiloskoptan izlenmiştir.

Anahtar Kelimeler: FPGA, Y-D bit, modülatör-demodülatör tasarımı, ram bit kullanımı

SUMMARY

Design of Real Time Modulator and Demodulator using Very High Speed Integrated Circuit Hardware Description Language

In this thesis, real-time modulator-demodulators are designed by using Altera DE-0 Nano Board and, improved novel architectures are introduced for BPSK (Binary Phase Shift Keying), QPSK (Quadrature Phase Shift Keying), and MSK (Minimum Shift Keying) modulation techniques. Compared with MUX based structures, improved BPSK and QPSK modulator architectures save ram bit usage by up to 87.5% and use fewer TLE (Total Logic Element) and Registers. This achievement is provided suggesting a new technique to generate carrier signal of improved BPSK and QPSK architectures. Furthermore, three novel modulator architectures are designed for MSK modulation technique in the thesis. In first, I and Q channel signals are generated by using MUX based architectures. In addition to, the resource utilization of the architecture is reduced by performing substitution technique. The second is designed by using symmetrical feature of the I and Q channel signals and it reduces ram bit usage by approximately 75%. The last architecture is completely a novel structure and is referred to as R-F MSK. R-F MSK is designed deriving two novel equations. Additionally, pre-computation technique is used to reduce ram bit usage of R-F MSK. Improved all architectures are run as real-time on FPGA board and modulated signals are showed on oscilloscope.

Keywords: FPGA, R-F bit, design of modulator-demodulator, ram bit usage

ŞEKİLLER LİSTESİ

Sayfa No

Şekil 2.1.	İkili modülasyon teknikleri için genel	7
Şekil 2.2.	İkili modülasyon teknikleri için ortak demodülatör yapısı	8
Şekil 2.3.	İkili genlik modülasyonlu sinyal.....	9
Şekil 2.4.	BASK modülatör şeması.....	10
Şekil 2.5.	OOK tekniği ile BASK modülasyonlu sinyal	10
Şekil 2.6.	OOK teknikli ve geleneksel BASK işaretleri	11
Şekil 2.7.	BASK frekans spektrumu	12
Şekil 2.8.	BASK demodülatör.....	12
Şekil 2.9.	BASK demodülatör bloklarının çıkış sinyalleri.....	13
Şekil 2.10.	BFSK modülatör şeması	14
Şekil 2.11.	BFSK sinyal uzayı	14
Şekil 2.12.	İkili frekans kaydırmalı anahtarlama sinyal	15
Şekil 2.13.	BFSK frekans spektrumu	16
Şekil 2.14.	BFSK bant genişliği	16
Şekil 2.15.	BFSK demodülatör şeması	17
Şekil 2.16.	BFSK demodülatörün blok çıkışları	18
Şekil 2.17.	BPSK modülatör şeması	19
Şekil 2.18.	BPSK modülatörü için benzetim sonuçları.....	20
Şekil 2.19.	BPSK sinyal uzayı	20
Şekil 2.20.	BPSK tekniğinin frekans spektrumu.....	21
Şekil 2.21.	BPSK demodülatör şeması	21
Şekil 2.22.	BPSK demodülatör şemasında kullanılan blokların çıkışı.....	22
Şekil 2.23.	QPSK modülatörü blok şeması.....	23
Şekil 2.24.	QPSK sinyal uzayı	24
Şekil 2.25.	QPSK modülatörü için benzetim sonuçları.....	25
Şekil 2.26.	QPSK demodülatörün blok diyagramı	26
Şekil 2.27.	QPSK demodülatörü için benzetim sonuçları.....	27
Şekil 2.28.	MSK (MSK tip-I) modülatör şeması	30
Şekil 2.29.	MSK (MSK tip-I) sinyalinin veri bitlerine göre değişimi	31
Şekil 2.30.	MSK (MSK tip-I) sinyalinin faz ağacı.....	32
Şekil 2.31.	MSK tip-II sinyalinin veri bitlerine göre değişimi	33
Şekil 3.1.	FPGA tabanlı BASK, BPSK, BFSK modülatör blok diyagramı	35
Şekil 3.2.	Taşıyıcı sinyalin üretimi	36
Şekil 3.3.	mif dosyası	36
Şekil 3.4.	Bilgi sinyali-bit dizisi ayırıcı ilişkisi.....	37
Şekil 3.5.	Bit dizisi ayırıcı algoritması	38
Şekil 3.6.	Modülatörler için kontrol bloğu	39
Şekil 3.7.	Bit dizisi ayırıcı bloğu.....	39
Şekil 3.8.	MUX bloğu	40
Şekil 3.9.	FPGA tabanlı BASK modülatörün blok diyagramı (OOK Tekniği)	40
Şekil 3.10.	BASK modülatörü için sinyal üretici	41
Şekil 3.11.	FPGA tabanlı BASK modülatör	41
Şekil 3.12.	FPGA tabanlı BASK benzetim sonucu.....	42

Şekil 3.13. BASK modülatörünü oluşturan sinyallerin zamana göre değişimi.....	42
Şekil 3.14. FPGA tabanlı BPSK modülatör blok diyagramı.....	43
Şekil 3.15. BPSK taşıyıcı sinyal üretimi.....	44
Şekil 3.16. FPGA tabanlı BPSK modülatör.....	44
Şekil 3.17. FPGA tabanlı BPSK benzetim sonucu.....	45
Şekil 3.18. BPSK modülatör sinyallerinin zamana göre değişimi.....	45
Şekil 3.19. FPGA tabanlı BFSK modülatör blok diyagramı.....	46
Şekil 3.20. BFSK modülatörü için benzetim sonuçları.....	46
Şekil 3.21. BFSK modülasyonlu sinyalin sayısal örneklerinin zamana göre değişimi..	47
Şekil 3.22. FPGA tabanlı QPSK modülatör blok diyagramı.....	48
Şekil 3.23. FPGA tabanlı QPSK modülatör.....	49
Şekil 3.24. FPGA tabanlı QPSK modülatör için benzetim sonuçları.....	49
Şekil 3.25. Geleneksel MSK yapısı.....	50
Şekil 3.26. FPGA tabanlı MSK modülatör için benzetim sonuçları.....	51
Şekil 3.27. BPSK ve BASK teknikleri için demodülatör mimarisi.....	52
Şekil 3.28. BASK demodülatör mimarisi için benzetim sonuçları.....	53
Şekil 3.29. BPSK demodülatör mimarisi için benzetim sonuçları.....	54
Şekil 3.30. BFSK ve QPSK teknikleri için demodülatör mimarisi.....	55
Şekil 3.31. BFSK demodülatör mimarisi için benzetim sonuçları.....	56
Şekil 3.32. QPSK demodülatör mimarisi için benzetim sonuçları.....	57
Şekil 4.1. Kontrol biti ile taşıyıcı sinyalin değişimi.....	59
Şekil 4.2. Önerilen BPSK modülatör şeması.....	61
Şekil 4.3. Önerilen BPSK modülatörün FPGA ortamında tasarımı.....	61
Şekil 4.4. Önerilen BPSK modülatörün benzetim sonuçları.....	62
Şekil 4.5. ROM bloğuna kaydedilen sinyal.....	63
Şekil 4.6. Sembol durumuna göre QPSK sinyalin değişimi.....	64
Şekil 4.7. zi-1, zi-2, zq-1 ve zq-2 bitlerinin dört durum için değişimi.....	65
Şekil 4.8. Önerilen QPSK modülatör şeması.....	67
Şekil 4.9. Önerilen QPSK modülatör şemasının FPGA ortamındaki tasarımı.....	68
Şekil 4.10. Önerilen QPSK modülatör şemasının FPGA ortamındaki tasarımı.....	69
Şekil 4.11. Q kanalı için kullanılan ROM bloğuna kaydedilen sinyal.....	70
Şekil 4.12. I kanalı için kullanılan ROM bloğuna kaydedilen sinyal.....	70
Şekil 4.13. Önerilen MSK modülatör mimarisi-I.....	71
Şekil 4.14. I ve Q düğümü sinyalleri.....	73
Şekil 4.15. Yer değiştirme tekniği.....	73
Şekil 4.16. Yer değiştirme tekniği kullanan MSK mimarisinin FPGA tabanlı tasarımı	74
Şekil 4.17. Yer değiştirme tekniği kullanan MSK mimarisinin modelsim-altera benzetim sonuçları.....	75
Şekil 4.18. I ve Q kanalı için kullanılan sinyaller.....	76
Şekil 4.19. Önerilen MSK modülatör mimarisi-II.....	77
Şekil 4.20. Önerilen MSK modülatör mimarisi-II'nin FPGA tabanlı tasarım.....	78
Şekil 4.21. Önerilen MSK modülatör mimarisi II için benzetim sonuçları.....	78
Şekil 4.22. g(t) darbesi.....	80
Şekil 4.23. Y-D bitli MSK mimarisi.....	80
Şekil 4.24. g(t) ve g(t-T _b) sinyallerinin zamana göre değişimi.....	88
Şekil 4.25. Y-D MSK tekniğinin blok diyagramı.....	91

Şekil 4.26. Y-D MSK tekniğinin FPGA uygulaması	92
Şekil 4.27. Y-D MSK mimarisi için benzetim sonuçları	93
Şekil 4.28. Ön hesaplama tekniği uygulanmış Y-D MSK mimarisi (ÖH-YD-MSK) ...	94
Şekil 4.29. NCO tabanlı MSK mimarisi	94
Şekil 5.1. Altera DE0-Nano Board [106]	97
Şekil 5.2. BASK modülasyon tekniği için osiloskop çıktısı	97
Şekil 5.3. BASK demodülasyonu için osiloskop çıktısı	98
Şekil 5.4. BPSK modülasyonu için osiloskop çıktısı	99
Şekil 5.5. BPSK alıcı-verici sistemde giriş-çıkış bitleri için osiloskop çıktısı.....	99
Şekil 5.6. BFSK sinyalin bilgi bitine göre değişimi.....	99
Şekil 5.7. BFSK alıcı-verici sistemde giriş-çıkış bitleri için osiloskop çıktısı.....	100
Şekil 5.8. QPSK modülasyonlu sinyalin osiloskop çıktısı	100
Şekil 5.9. QPSK alıcı-verici sisteminin I ve I' bitleri	101
Şekil 5.10. QPSK alıcı-verici sisteminin Q ve Q' bitleri.....	101
Şekil 5.11. Analog sayısal dönüştürücüye ait zaman diyagramı [107]	102
Şekil 5.12. ADC Kontrol Bloğu	102
Şekil 5.13. (a)-Zamanda sürekli sinyal (b)-Ayrık zamanlı sinyal	103
Şekil 5.14. (a)-Düşük zaman aralığında ses sinyali. (b)-Yüksek zaman aralığında ses sinyali	104
Şekil 5.15. Ses sinyalinin osiloskop çıktısı	104
Şekil 5.16. 25Mbps hızında veri iletim oranı	105
Şekil 6.1. Önerilen BPSK için kullanılan MUX bloğunun veri girişleri	107
Şekil 6.2. BPSK sinyal ile <i>xor</i> anahtarı çıkışı	108
Şekil 6.3. BPSK sinyali ile <i>d</i> biti.....	108
Şekil 6.4. I kanalı <i>not_operator</i> bloğu çıkışı.....	109
Şekil 6.5. I kanalı MUX bloğunun seçici biti ile MUX bloğu çıkışının değişimi.....	109
Şekil 6.6. Q kanalı <i>not_operator</i> bloğu çıkışı	110
Şekil 6.7. Q kanalı MUX bloğunun seçici biti ile MUX bloğu çıkışının değişimi	110
Şekil 6.8. (a)-QPSK sinyali. (b)-I kanalı biti ve Q kanalı biti sinyalleri.....	111
Şekil 6.9. I kanalı (kırmızı sinyal) ve Q kanalı (mavi sinyal) <i>not_operator</i>	112
Şekil 6.10. Q kanalı MUX bloğu çıkışı (mavi renkli sinyal) ile	112
Şekil 6.11. I kanalı MUX bloğu çıkışı (kırmızı renkli sinyal) ile	113
Şekil 6.12. Q kanalı MUX bloğu çıkışı ile QPSK sinyalin değişimi	113
Şekil 6.13. I kanalı ve Q kanalı bitleri	113
Şekil 6.14. I kanalı ROM bloklarının çıkışları (mavi sinyal MUX bloğunun.....	114
Şekil 6.15. Q kanalı ROM bloklarının çıkışları (mavi sinyal MUX bloğunun 1. girişi kırmızı sinyal 0. girişidir)	115
Şekil 6.16. (a)-I kanalı (kırmızı renkli sinyal) ve Q kanalı (mavi renkli sinyal).....	115
Şekil 6.17. (a)-I kanalı biti ile MSK sinyal. (b) Q kanalı biti ile MSK Sinyal.....	116
Şekil 6.18. Q kanalı MUX bloğunun sıfırıncı (kırmızı renkli)	117
Şekil 6.19. Q kanalı MUX bloğu çıkışı ile MUX bloğunun seçici	117
Şekil 6.20. Mavi renkli sinyal I kanalı MUX bloğu girişleri	118
Şekil 6.21. I kanalı MUX çıkışı ile MUX bloğunun seçici pin girişi.....	118
Şekil 6.22. Kodlanmış I kanal biti ile MSK sinyal	119
Şekil 6.23. Q veri biti (kırmızı) ile kodlanmış Q kanal biti (mavi).....	119
Şekil 6.24. I veri biti (kırmızı) ile kodlanmış I kanal biti (mavi).....	119

Şekil 6.25. Kodlanmış I kanal biti ile Y-D bit değişimi.....	120
Şekil 6.26. Kodlanmış Q kanal biti ile Y-D bit.....	120
Şekil 6.27. Kodlanmış Q kanal biti ile MSK	121
Şekil 6.28. Kodlanmış I kanal biti ile MSK	121
Şekil 6.29. I, Q ve Y-D bitin durumuna göre MUX bloğu çıkışında aktif edilecek sinyaller.....	122



TABLÖLAR LİSTESİ

Tablo 2.1. Her sembol için taşıyıcı sinyalin seçimi	24
Tablo 3.1. ROM bellek gösterimi	36
Tablo 4.1. d biti ve alternans biti için doğruluk tablosu	60
Tablo 4.2. Önerilen QPSK için doğruluk tablosu	67
Tablo 4.3. MSK sinyalinin frekansının ve fazının, bilgi ve R-F bitine göre değişimi ...	91
Tablo 5.1. ADC elemanının giriş-çıkış pinleri	103
Tablo 7.1. Geleneksel ve önerilen mimariler için derleme sonuçları	123
Tablo 7.2. Önerilen MSK mimarileri ile geleneksel MSK mimarisi ve Altera firmasının üretmiş olduğu NCO bloğu için derleme sonuçları.....	125



KISALTMALAR LİSTESİ

ADC	Analog Sayısal Dönüştürücü (Analog to Digital Converter)
AMR	Otomatik Modülasyon Tanımlama (<i>Automatic Modulation Recognition</i>)
ASIC	Uygulamaya Özel Tümleşik Devre (<i>Application Specific Integrated Circuit</i>)
BASK	İkili Genlik Kaydırmalı Anahtarlama (<i>Binary Amplitude Shift Keying</i>)
BFSK	İkili Frekans Kaydırmalı Anahtarlama (<i>Binary Frequency Shift Keying</i>)
BPSK	İkili Faz Kaydırmalı Anahtarlama (<i>Binary Phase Shift Keying</i>)
CMOS	Bütünleyici Metal Oksit Yarı İletken (<i>Complementary Metal Oxide Semiconductor</i>)
CPLD	Karmaşık Programlanabilir Mantık Aygıtları (<i>Complex Programmable Logic Device</i>)
DAC	Sayısal Analog Dönüştürücü (<i>Digital to Analog Converter</i>)
FPGA	Alanda Programlanabilir Kapı Dizileri (<i>Field Programmable Gate Array</i>)
DSP	Sayısal İşaret İşlemcisi (<i>Digital Signal Processor</i>)
DS-SS	Doğrudan Sıralı Yayılı Spektrum (<i>Direct Sequence Spread Spectrum</i>)
FHSS	Frekans Atlamalı Yayılı Spektrum (<i>Frequency Hopping Spread Spectrum</i>)
FFT	Hızlı Fourier Dönüşümü (<i>Fast Fourier Transform</i>)
IFFT	Ters Hızlı Fourier Dönüşümü (<i>Inverse Fast Fourier Transform</i>)
ISM	Endüstriyel Bilimsel Medikal Band (<i>Industrial Scientific Medical</i>)
LFSR	Lineer Geribeslemeli Kaydırmalı Kaydedici (<i>Linear Feedback Shift Register</i>)
LTE	Uzun Süreli Erişim (<i>Long-Term Evolution</i>)
MIMO	Çoklu Giriş Çoklu Çıkış (<i>Multiple Input Multiple Output</i>)
MSK	Minimum Kaydırmalı Anahtarlama (<i>Minimum Shift Keying</i>)
NRZ	Sıfıra Dönmeyen (<i>Non Return to Zero</i>)
NCO	Sayısal Kontrollü Osilatör (<i>Numerical Controlled Oscillator</i>)
OFDM	Dikgen Frekans Bölmeli Çoğullama (<i>Orthogonal Frequency Division Multiplexing</i>)
OQPSK	Ofset-Dördün Faz Kaydırmalı Anahtarlama (<i>Offset Quadrature Phase Shift Keying</i>)
PAPR	Tepe Gücü / Ortalama Güç Oranı (<i>Peak-to-Average Power Ratio</i>)
PIC	Periferik Arayüz Denetleyici (<i>Peripheral Interface Controller</i>)
PLL	Faz Kilitlemeli Çevrim (<i>Phase Locked Loop</i>)
PN	Sözde Rastgele Gürültü (<i>Pseudo-Random Noise</i>)
PR	Sözde Rastgele (<i>Pseudo-Random</i>)
QPSK	Dördün Faz Kaydırmalı Anahtarlama (<i>Quadrature Phase Shift</i>)

SDR	<i>Keying)</i> Yazılım Tabanlı Radyo (<i>Software Defined Radio</i>)
TLE	Toplam Lojik Eleman (<i>Total Logic Element</i>)
TSÜ	Taşıyıcı Sinyal Üretici
VCO	Gerilim Kontrollü Osilatör (<i>Voltage Controlled Oscillator</i>)
VHDL	Çok yüksek hızlı tümleşik devre Donanımı Tanımlama Dili (Very high speed integrated circuit Hardware Description Language)
VLSI	Çok Geniş Ölçekli Tümleşim (<i>Very-Large-Scale Integration</i>)



1. GİRİŞ

Haberleşme sistemlerinin amacı bir noktadaki mevcut bilgiyi başka bir noktaya doğru bir şekilde iletmektir. Günümüzde iletilecek olan bilgi genel olarak iki farklı şekilde iletilmektedir: Kablo yardımıyla gerçekleştirilen iletişim (wireline) ve kablo kullanmadan gerçekleştirilen kablosuz (wireless) iletişimdir. Kablosuz iletişim tekniğinde bilgi sinyalinin iletilmesi için modülasyona ihtiyaç duyulmaktadır [1].

Modern teknolojinin sunmuş olduğu yüksek çözünürlüklü video yayınları ve yüksek hızlardaki internet servisi geniş bantlı alıcı-verici sistemlerinin kullanılmasıyla gerçekleştirilebilir. Saniyede gönderilecek bit sayısının artırılması büyük boyutlardaki dosyaların paylaşımının mümkün olduğunca hızlı gerçekleşmesini de mümkün hale getirmektedir. Kullanılacak modülasyonun türünden, donanım ve kullanılacak olan yazılımın akışına kadar her nokta veri iletim oranını etkilemektedir. Günümüzde gürültüden minimum seviyede etkilenecek veri aktarımını gerçekleştirebilmek için sayısal modülasyon teknikleri ile birlikte kodlama teknikleri geliştirilmiştir [2]. Her bir modülasyon tekniği için bit hata oranı farklılık gösterdiği gibi, farklı bit sayısına sahip sembollerden oluşan aynı modülasyon şekillerinin bile bit hata oranları birbirlerinden farklıdır [3]. Bu modülasyon tekniklerine sayısal denilmesinin önde gelen nedeni analog işaretleri taşıyıcı olarak kullanırken iletilen bilgi sinyallerinin '1' ve '0' olmasıdır [1].

Beşinci nesil (5G), yüksek hızlı gezgin haberleşme sistemleri, çok girişli çok çıkışlı (MIMO) iletişim yapıları gibi günümüz haberleşme sistemleri devamlı olarak değişmekte iken modülasyon tekniği olarak genellikle geleneksel yöntemler seçilmektedir [4]. Yüksek boyutlu veri iletimini destekleyen 5G haberleşme sistemlerinde düşük kaynak kullanımına ve güç tüketimine sahip mimariler önerilmektedir [5, 6]. Bu nedenle bu sistemler için önerilen sayısal modülasyon tekniklerinin kaynak kullanımının ve güç tüketiminin düşürülmesi oldukça önemlidir. Kullanılan her bir haberleşme sistemi yapısı için kanal kodlayıcı-kod çözücü [7], modülatör-demodülatör [8], hızlı fourier dönüşümü (FFT) - ters hızlı fourier dönüşümü (IFFT) ve kanal tahmini gibi işlemleri gerçekleştiren mimarilerin [9] optimum tasarımı için çok geniş ölçekli tümleşim (VLSI) ve alanda programlanabilir kapı dizileri (FPGA) tabanlı birçok tasarım önerilmiştir.

Sayısal bir iletim gerçekleştirebilmek için zamanda sürekli olan bir sinyali dönüştürücüler kullanarak kod sözcükleri ile ifade etmek gerekmektedir [10]. Zamanda

ayrıklaştırılan sayısal verileri de sayısal bir veri iletim tekniği kullanarak iletmek için donanımlara ihtiyaç duyulmaktadır [11-15]. Mikroişlemciler, periferik arayüz denetleyici (PIC), uygulamaya özel tümleşik devre (ASIC), sayısal işaret işlemcisi (DSP), karmaşık programlanabilir lojik cihaz (CPLD) gibi donanımlar sayısal veri işlemek için kullanılabilirlerken birbirlerine göre avantajları ve dezavantajları vardır. Ayrıca modülasyon ve demodülasyon işlemlerini gerçekleştirebilmek için mikrodalga tabanlı devreler tasarlanabilmektedir. Mikrodalga devrelerin genellikle kullanılma sebeplerinin başında sayısal donanımlara göre daha yüksek frekanslarda taşıyıcı sinyali üretebilmesi gelmektedir [16]. Ayrıca sayısal olarak iletilecek olan işaret örneklerine ayrıştırıldığı için, modülasyon için kullanılacak olan sayısal donanım cihazlarının hızları da oldukça büyük önem arz etmektedir. Günümüzde FPGA birçok alanda uygulanmasının yanında sayısal modülasyon tekniklerinin uygulanması için de kullanılan donanımlardandır [17- 24]. Bunun sebebi, gerçek zamanlı olarak çalışan FPGA kitleri, gerçekleştirilen tasarımları oldukça yüksek frekanslarda destekleyebilmektedirler. FPGA tabanlı olarak gerçekleştirilen birçok sayısal alıcı-verici çifti tasarımı vardır. Genellikle tasarlanan modülasyon teknikleri ikili genlik kaydırmalı anahtarlama (BASK), ikili faz kaydırmalı anahtarlama (BPSK), ikili frekans kaydırmalı anahtarlama (BFSK), dördün faz kaydırmalı anahtarlama (QPSK) ve minimum kaydırmalı anahtarlama (MSK) olarak sıralanabilir.

1.1. Konuyla İlgili Literatürde Yapılmış Çalışmalar

Daha önceki sistemlerde olduğu gibi gelecekteki haberleşme sistemlerinde de veri iletiminin sağlanması için modülasyon ve demodülasyon işlemlerine ihtiyaç duyulacaktır [1]. Literatürde sayısal modülasyon tekniklerinin donanımsal olarak uygulanmasına yönelik gerçekleştirilen birçok tasarım mevcuttur [25-34]. Özellikle programlanabilir cihazların yaygın olmadığı dönemlerde mikrodalga devre tabanlı modülatör-demodülatör tasarımları için birçok yapı önerilmiştir [35, 36].

FPGA kullanılarak gerçekleştirilen bazı çalışmalar uyarlanabilir modülatör ve demodülatör tasarımları üzerine olmuştur. Bu çalışmalardan birisinde BPSK, BFSK ve QPSK teknikleri için akıllı demodülatör tasarımı gerçekleştirilmiştir [25]. Yapılan demodülatör tasarımında otomatik modülasyon tanıma (AMR) tekniği kullanılarak verici tarafta kullanılan modülasyon şeması algılanmakta olup gelen sinyalden taşıyıcı işaret elde edilerek bilgi sinyali modülasyonlu sinyalden ayrıştırılmaktadır. Bu uygulama genellikle

askeri uygulamalarda savunma amaçlı olarak kullanılmaktadır. Diğer bir çalışmada yine yazılım tanımlı radyo (SDR) tabanlı demodülatör tasarımı gerçekleştirilmiştir [26]. Yapılan çalışma, PSK modülasyonlu sinyalin sınıfını tanımlamak için tasarlanmıştır. Bu çalışmaların dışında sembol senkronizasyonu ve taşıyıcının geri kazanımı gibi parametrelerin göz önünde bulundurulduğu askeri uygulama amaçlı olarak gerçekleştirilen birçok çalışma da literatürde mevcuttur [37-41].

Telemetri sistemleri biyomedikal haberleşme için oldukça fazla ilgi görmektedir. Bu nedenle telemetri sistemleri için gerçekleştirilen bir çalışmada FPGA tabanlı bir BPSK modülatör tasarımı gerçekleştirilmiştir [27]. BPSK modülatörün FPGA tabanlı olarak gerçekleştirilmesine yönelik yapılan diğer bir çalışmada ¹Spartan 3E kiti kullanılarak tasarım yapılmıştır [28]. Yapılan çalışmada taşıyıcı sinyalin üretimi için 16 örnek kullanılmıştır ve bilgi sinyali lineer geri beslemeli kaydırmalı kaydedici (LFSR) kullanılarak üretilmiştir. Demodülatör tasarımı için kullanılan FPGA tabanlı bir BPSK tekniği uygulamasında da bir Spartan 3E kiti kullanılmıştır [29]. Taşıyıcı üretimi için 16 örnek kullanılarak yapılan çalışmada kaynak kullanımı analiz edilmiştir.

BPSK modülasyon tekniği kullanılarak gerçekleştirilen diğer bir çalışmada 5Mbps hızında veri hızı elde edilmiştir [30]. Çalışmada veri bitlerini üretmek için sözde-rastgele (PR) üreteç kullanılarak taşıyıcı işaret 10 adet sayısal örnekten oluşturulmuştur. FPGA kullanarak birçok eğitim amaçlı modülatör-demodülatör tasarımı gerçekleştirilmiştir [31-33]. Literatürde yapılmış çalışmalarla benzer olarak bu tasarımlarda da veri bitleri sözde-rastgele gürültü (PN) üreteç kullanılarak elde edilmiştir. Bu çalışmalarda MUX tabanlı gerçekleştirilen mimarilerin işlemsel bloklardan arındırıldıkları için tasarımlarının oldukça basit olduğu görülmüştür. Literatürdeki diğer bir çalışmada endüstriyel bilimsel sağlık (ISM) bandında, 863-870 MHz frekans aralığında çalıştırmak için kablosuz bir modülatör tasarımı FSK modülasyonu önerilerek tasarlanmıştır. Yapılan çalışmada 7 MHz'lik bir bant genişliği BFSK modülasyonlu frekans atlamalı yayılı spektrum (FHSS) çoğullaması yapılarak elde edilmiştir [34].

Altera ve Xilinx firmaları tarafından üretilmiş sayısal kontrollü osilatör (NCO) blokları kullanılarak istenilen frekans ve fazda sinyallerin üretimi gerçekleştirilebilmektedir. Ancak NCO blokları oldukça yüksek kaynak kullanılmaktadır. Ancak literatürde kablosuz haberleşme sistemleri için QPSK modülasyon şemasını kullanan MUX tabanlı ve NCO tabanlı birçok mimari FPGA donanımı üzerinde uygulanmıştır [42-46]. NCO bloğu

¹ Xilinx Firması tarafından üretilmiş Spartan 3 ailesine ait FPGA kartıdır.

kullanılarak gerçekleştirilen bir QPSK modülatörü tasarımı için Altera DE2-115 FPGA kartı kullanılmıştır. Yapılan çalışmada yüksek hızlı analogtan sayısal dönüştürücü (ADC) ve sayısalan analoga dönüştürücü (DAC) entegrelerinin kullanıldığı kartlar FPGA donanımı ile birlikte çalıştırılarak tasarımın pratik uygulamalarda kullanılabilirliği gösterilmiştir [42].

Yaygın olarak kullanılan diğer bir modülasyon tekniği de MSK modülasyon tekniği olduğundan MSK modülasyon tekniğinin verimliliğini artırmaya yönelik geçmişten günümüze birçok çalışma gerçekleştirilmiştir [47-54]. Bu çalışmaların önde gelenlerinden birisinde MSK tekniğinin spektrum analizi irdelenmiştir. MSK modülasyon tekniğinin spektrumunu geliştirmek için teorik sınırlamalar, geliştirilen denklemler ile açıklanmıştır [47]. Farklı bir çalışmada MSK modülasyonu ile ofset dördün faz kaydırmalı anahtarlama (OQPSK) modülasyonları arasındaki farklılıklar ortaya konulmuştur. Ayrıca hem MSK hem de OQPSK için bir Markov süreç tanımlaması geliştirilmiştir [48]. MSK modülatörün güç spektrum verimliliğinin geliştirilmesi [49], MSK verici yapısının oldukça farklı bir modelinin oluşturulması [50], uydu haberleşme sistemleri için bir MSK modem tasarımı [51, 52], MSK sinyali oluşturmak için kullanılan darbelerin parametre ayarlamaları [53] ve alıcı tasarımı [54] literatürde ilgilenilen konular arasındadır.

Ayrıca MSK modülasyon şeması geçmişte olduğu gibi günümüzde de birçok alanda kullanılmaktadır. Bu çalışmaların bazılarında MSK tekniği; dikgen frekans bölmeli çoğullama (OFDM), MIMO, optik haberleşme ve 802.15.4 standardı gibi birçok önemli uygulamada yer almıştır [55-61]. Ayrıca günümüzde uzun süreli erişim (LTE) gibi sistemlerde kullanılan OFDM tekniği için FFT gibi yapılar oldukça fazla kaynak kullanımına neden olmaktadır. Bu nedenle OFDM gibi teknikler için FFT yapısının kaynak kullanımını düşüren birçok tasarım önerilmiştir [62, 63]. Yapılan çalışmalarda modülasyon tekniğinin kaynak kullanımının düşürülmesi önerilmemiştir. Ayrıca OFDM sistemlerinde oldukça büyük bir sorun oluşturan tepe gücü/ortalama gücü oranını (PAPR) ve yan bant seviyesini düşürmek için günümüzde kullanılan birçok sistemde MSK mimarisi önerilmektedir [64, 65].

MSK mimarisinin teorik çalışmalarının dışında donanımsal uygulanmasına yönelik de birçok çalışma gerçekleştirilmiştir. Bunlardan birisi Doğrudan Sıralı Yayılı Spektrum (DS-SS) sistemlerine uygulamak için önerilmiştir [66]. Gerçekleştirilen tasarımda çarpım ve toplam blokları geleneksel MSK mimarisinden kaldırılarak Xilinx IP core sinyal üretici kullanılmıştır. Ancak donanımın karmaşıklığı oldukça yüksektir. Çünkü tasarımda faz

kaydedicisi, toplayıcı-fark alıcı devreleri, akümülatör gibi seri bağlı matematiksel bloklar kullanılmıştır. Ayrıca ¹Xilinx IP core birimi de oldukça yüksek veri kullandığı için donanım kullanımını olumsuz bir şekilde etkilemektedir. Navigasyon sistemleri için önerilen diğer bir alıcı-verici tasarımında, alıcı tarafta senkronizasyon algoritmaları kullanılarak sinyal tahmini gerçekleştirilmiştir. Önerilen mimarinin karmaşıklığı oldukça yüksektir [67]. Güç tüketiminin oldukça önemli olduğu medikal alanlar için bir bütünleyici metal oksit yarı iletken (CMOS) tabanlı MSK alıcı-verici yapısı önerilmiştir. MSK yapısının güç tüketimi oldukça düşük olmasına rağmen önerilen mimari oldukça karmaşık bir yapıya sahiptir [68]. NCO yapısı kullanılarak oluşturulan yapılarda, [69]'da olduğu gibi parametre değişimi gerçekleştirmek için karmaşık birimler kullanılmıştır. Bu tasarımlar, seri bağlı bloklar ve kontrol birimleri nedeniyle karmaşık modellere sahiptir [70, 71].

1.2. Tezin Amacı

Yapılan literatür taramasından da görüldüğü gibi son yıllarda modülasyon tekniklerinin donanımsal tasarımı üzerine yapılan çalışmalar gittikçe artmaktadır. Ancak BPSK, QPSK ve MSK modülasyon teknikleri için kaynak kullanım miktarını düşürecek algoritmalara yer verilmemiştir. Bu bağlamda, gerçekleştirilecek olan bu tez çalışmasında,

- Öncelikli olarak zamanda sürekli bir sinyalin iletiminin gerçekleştirilmesi,
 - BPSK ve QPSK modülasyon teknikleri için yeni mimariler önerilerek ram bit kullanım miktarlarının düşürülmesi,
 - MSK modülasyon tekniği için MUX tabanlı mimariler önerilerek geleneksel mimarilere göre kaynak kullanım miktarının düşürülmesi,
 - Önerilen MUX tabanlı MSK mimarisinin ram bit kullanımının düşürülmesi için yeni bir yapının geliştirilmesi,
 - MSK mimarisi için öz yinelemeli faz belirleme denklemi yerine yeni bir denklem önerilerek MSK sinyalinin fazının anlık olarak belirlenmesi ve sonuç olarak Y-D (R-F) MSK mimarisinin tasarlanması,
- amaçlanmıştır.

¹ Xilinx firması tarafından tasarlanmış özel işlemlerde kullanılabilecek blokların (Sayısal filtreler, FFT, Sinyal Üreteçleri gibi) kullanıcılara sunulduğu arayüz.

1.3. Tezin Yapısı

Bu tez çalışması 7 ana bölüm ve 3 ek bölümden oluşmaktadır.

Birinci bölümde haberleşme sistemleri ile ilgili gelişmeler anlatılarak, sayısal modülasyon şemalarının uygulanmasına yönelik literatür özeti verilmiş ve tezin amacı vurgulanmıştır.

İkinci bölümde sayısal modülasyon tekniklerinin teorik açıklamalarına değinilerek matematiksel açıklamaları verilmiştir. Ayrıca modülasyon tekniklerinin ¹MATLAB uygulamaları gerçekleştirilerek benzetim sonuçları incelenmiştir.

Üçüncü bölümde FPGA derleyicisi Quartus programı üzerinde temel blok tasarımlarına yer verilmiş olup geleneksel sayısal modülasyon tekniklerinin FPGA derleyicisindeki uygulamaları açıklanmıştır. Bu bölümde FPGA derleyicisinde oluşturulan modülatör şemaları için demodülatör mimarileri de verilmiş olup, sonuçlar ²Modelsim-Altera benzetim programında incelenmiştir.

Dördüncü bölümde BPSK, QPSK ve MSK modülasyon teknikleri için yeni mimarilerin tasarımına değinilerek, benzetim sonuçları tartışılmıştır.

Beşinci bölümde ve Altıncı bölümde sırasıyla geleneksel ve önerilen modülasyon şemalarının gerçek zamanlı uygulamaları verilmiş olup osiloskop çıktıları incelenerek benzetim sonuçları ile karşılaştırmaları yapılmıştır.

Yedinci bölümde ise elde edilen sonuçlar değerlendirilmiş olup ileride yapılacak çalışmalar verilmiştir.

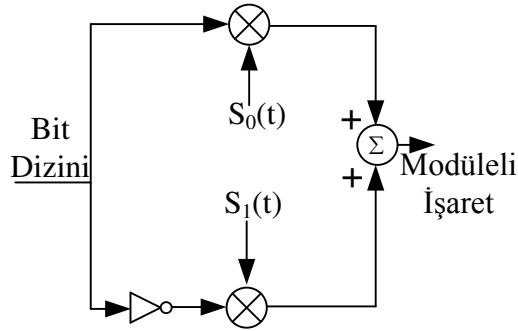
¹ Mühendislik alanında hesaplamalar yapmak için kullanılan bir yazılımdır.

²Altera Firmasının, Quartus programında oluşturulan mimarilerin benzetimlerinin kullanıcı tarafından gerçekleştirilebilmesi için sunmuş olduğu benzetim programıdır.

2. SAYISAL MODÜLASYON TEKNİKLERİ

Modülasyon teknikleri analog ve sayısal modülasyon teknikleri olarak iki şekilde tanımlanır. Analog modülasyon işleminde bilgi işareti, farklı bir forma dönüştürülmeden işaretin sürekli-zaman özelliği kullanılarak taşıyıcı işaretini modüle etmesiyle iletilir. Ancak sayısal modülasyonda iletilecek olan işaret, örneklerine ayrılarak her bir örneğin kodlanması sonucu elde edilen lojik ‘1’ ve ‘0’ bitlerinin taşıyıcı sinyalini değiştirmesiyle iletilir.

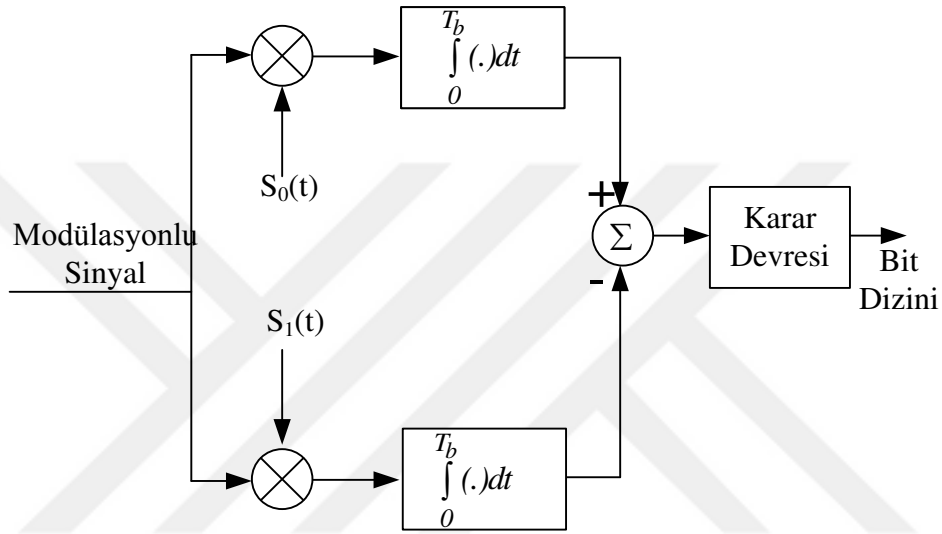
‘1’ ve ‘0’ bitleri iletilirken temel olarak kullanılan üç farklı sayısal veri iletim tekniği vardır. Bu sayısal teknikler sırasıyla; genlik kaydırmalı anahtarlama (ASK), faz kaydırmalı anahtarlama (PSK) ve frekans kaydırmalı anahtarlama (FSK) olarak tanımlanır. Bilgi bitinin durumuna göre taşıyıcının fazı değişiyorsa faz modülasyonu; genliği değişiyorsa genlik modülasyonu; frekansı değişiyorsa frekans modülasyonu gerçekleştiriliyordur [72]. Sayısal BASK, BFSK ve BPSK modülasyon teknikleri için ortak bir modülatör şeması Şekil 2.1’de görülmektedir.



Şekil 2.1. İkili modülasyon teknikleri için genel modülatör yapısı

Şekil 2.1’den de görüldüğü gibi bilgi biti ‘1’ olduğunda iletilecek olan taşıyıcı sinyali $S_0(t)$ olmaktadır ve bilgi biti ‘0’ olduğunda modülasyonlu sinyali $S_1(t)$ işareti oluşturmaktadır. Evirici (inverter) yardımıyla ‘0’ bilgi biti terslenerek ‘1’ bitine dönüştürülür ve iletilecek olan sinyal $S_1(t)$ sinyali olmaktadır. Eğer BASK modülasyonu gerçekleştiriliyorsa $S_0(t)$ ve $S_1(t)$ işaretlerinin faz ve frekansları aynı genlikleri ise farklıdır. BPSK modülasyonu gerçekleştiriliyorsa işaretlerin genlik ve frekansları aynı ancak fazları farklıdır (bit hata oranını en aza indirmek için 180 derece faz farkı bulunur). Ayrıca BFSK

modülasyonu gerçekleştirilirse sinyallerin genlik ve fazları aynı ancak frekansları farklıdır. Şekil 2.2’de ikili veri iletim teknikleri için ortak bir demodülatör yapısı verilmiştir. Alınan modülasyonlu sinyal, verici tarafta kullanılan iki taşıyıcı sinyal (Şekil 2.1’de görülmektedir) ile çarpılarak T_b (bir bit periyodu) süresince integrali alınmaktadır. Alt koldan ve üst koldan gelen sinyallerin farkı karar devresi yardımıyla incelenerek bilgi bitleri elde edilmektedir.



Şekil 2.2. İkili modülasyon teknikleri için ortak demodülatör yapısı

2.1. ASK (Genlik Kaydırmalı Anahtarlama)

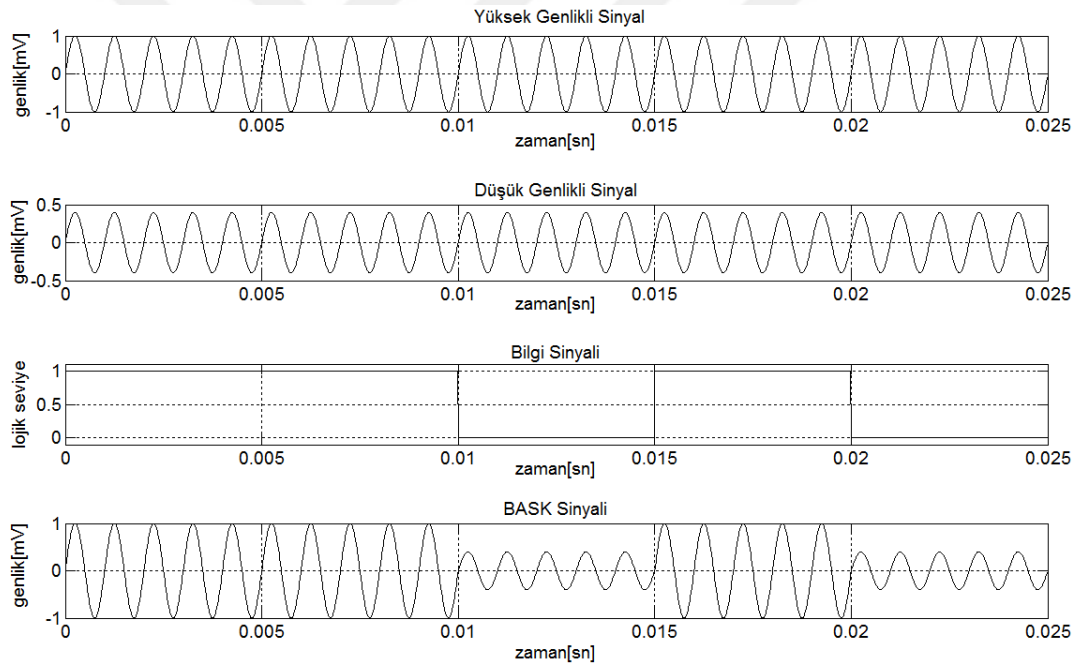
Genlik kaydırmalı anahtarlama tekniği gönderilecek olan bilgi bitinin durumuna göre taşıyıcı işaretinin genliğinin değiştirilmesiyle gerçekleştirilir. Eğer gönderilecek bilgi biti ‘0’ ise taşıyıcı işaretinin genliği A_0 , bilgi biti ‘1’ olduğunda ise taşıyıcı işaretinin genliği A_1 olmaktadır [73]. Genlik kaydırmalı anahtarlama iletim sırasında taşıyıcı işaretinin genliği değiştiği için gürültüden oldukça fazla etkilenen sayısal iletim tekniğidir [74]. Denklem (2.1)’de genlik kaydırmalı anahtarlama modülasyon tekniğinin matematiksel ifadesi görülmektedir.

$$S(t) = \begin{cases} A_0 \sin(2\pi f_c t + \phi_0) & ; \text{İletilecek Sembol 0 ise} \\ A_1 \sin(2\pi f_c t + \phi_0) & ; \text{İletilecek Sembol 1 ise} \end{cases} \quad (2.1)$$

İkili genlik kaydırmalı anahtarlama tekniğinde genellikle A_0 genliği sıfır olarak alınır. Bu şekilde yapılan modülasyon tekniği başla-dur anahtarlama (OOK: On-Off Keying) tekniği olarak da adlandırılır [74]. Başla-dur anahtarlama tekniği kullanılarak oluşturulan matematiksel model Denklem (2.2)'de görülmektedir.

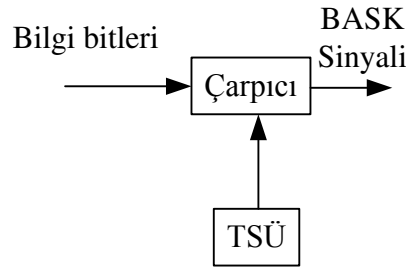
$$S(t) = \begin{cases} A_1 \sin(2\pi f_c t + \varphi_0) & ; \text{İletilecek Sembol } 1 \text{ ise} \\ 0 & ; \text{İletilecek Sembol } 0 \text{ ise} \end{cases} \quad (2.2)$$

Şekil 2.1'de verilen modülatör blok şeması kullanılarak elde edilen benzetim sonuçları Şekil 2.3'te görüldüğü gibidir. Şekilden de görüldüğü gibi '1' bilgi sinyali için ve '0' bilgi sinyali için kullanılan sinyallerin genlikleri farklıdır.



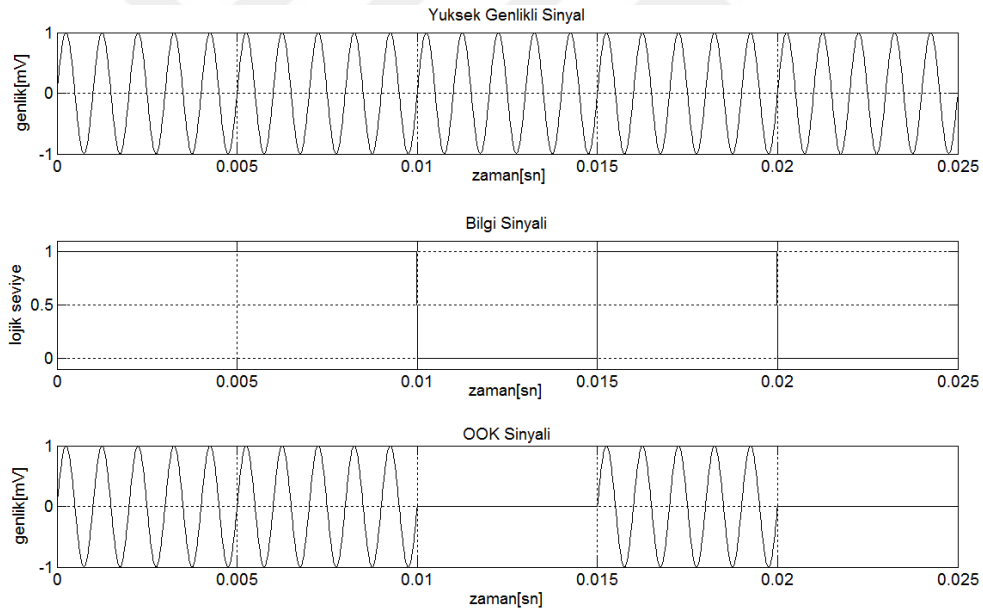
Şekil 2.3. İkili genlik modülasyonlu sinyal

On-off anahtarlama modülasyonu için kullanılan modülatör şeması da Şekil 2.3'te görüldüğü gibidir. Şekilde kullanılan taşıyıcı sinyal üretici (TSÜ) bloğu taşıyıcı sinyali üretmek için kullanılmıştır. Şekil 2.3'te verilen blok diyagram OOK tekniği kullanılarak BASK sinyalini oluşturduğundan bu şema Şekil 2.1'de verilen modülatör bloğundan farklıdır.



Şekil 2.4. BASK modülatör şeması

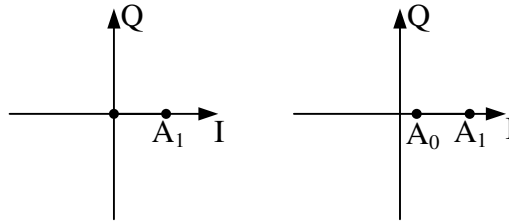
Şekil 2.3'te birinci ve ikinci sinyaller farklı genliklerdeki sinyalleri göstermektedir. Birinci sinyalin tepe genliği şekilden de görüldüğü gibi 1mV'tur. İkinci sinyalin tepe değeri de 0.3mV olarak görülmektedir. '1' bilgi biti gönderileceği zaman gönderilen taşıyıcı sinyalin tepe değeri 1mV iken '0' bilgi biti için 0.3mV'tur. OOK anahtarlama kullanılarak gerçekleştirilen BASK modülasyonlu işaret ise Şekil 2.5'te görülmektedir.



Şekil 2.5. OOK tekniği ile BASK modülasyonlu sinyal

Şekil 2.5 incelenirse, BASK modülasyonlu sinyalin Şekil 2.4'te verilen blok diyagramı sağladığı görülmektedir. '0' bilgi biti için herhangi bir sinyal çıkışa aktarılmazken '1' bilgi biti için çıkışta taşıyıcı sinyal görülmektedir. On-off tekniği ile oluşturulan genlik modülasyonu (Şekil 2.5'te verilen sinyal) ile geleneksel mimari kullanılarak gerçekleştirilen genlik modülasyonu (Şekil 2.3'te verilen sinyal) arasındaki en önemli farklardan birisi, OOK tekniği ile sinyalin oluşturulmasında daha az güç harcanmasıdır.

Düşük güç tüketimi nedeniyle OOK tekniği optik haberleşme sistemlerinde yaygın olarak kullanılmaktadır. Şekil 2.6'da ise OOK tekniği kullanılarak gerçekleştirilen BASK modülasyonlu sinyal ile geleneksel BASK modülasyonlu sinyalin işaret uzayı görüntüsü görülmektedir. Şekilde I ve Q sırasıyla reel ve imajiner eksenlerini ifade etmektedir.

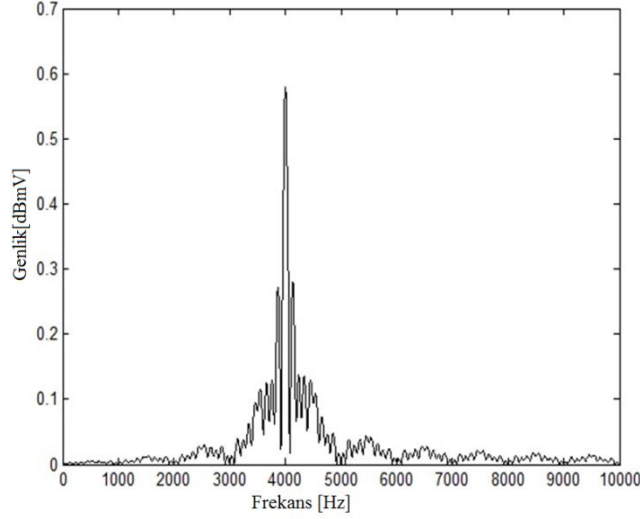


Şekil 2.6. OOK teknikli ve geleneksel BASK işaretleri için sinyal uzayı

BASK modülasyonlu işaretin bant genişliği veri iletim oranının iki katıdır. Çünkü zamandaki çarpma işlemi frekansta konvolüsyona denk geldiği için tabanbant bir bilgi sinyali ile taşıyıcı sinyal zamanda çarpıldığında taşıyıcı sinyal bilgi sinyalini frekans ekseninde kendi frekansı kadar kaydırır [75]. Sonuçta f_c taşıyıcı frekansını ve T_b bir bitin iletimi için geçen süreyi temsil etmesi halinde bant genişliği $(f_c + 1/T_b) - (f_c - 1/T_b)$ olmaktadır. Denklem (2.3), BASK modülasyonlu işaretin bant genişliğini vermektedir [74].

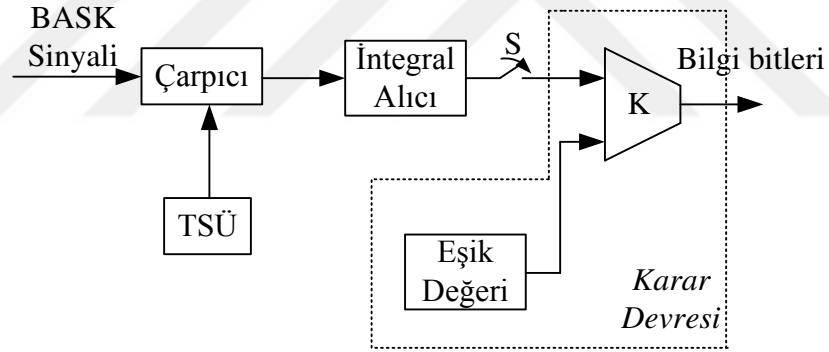
$$B_{BASK} = \frac{2}{T_b} \quad (2.3)$$

Şekil 2.7'de BASK modülasyonlu işaretin hem bant genişliği hem de frekans düzlemindeki görüntüsü görülmektedir. Şekilde elde edilen sonuçlar 4 KHz frekansındaki bir taşıyıcı sinyal ve periyodu 1ms olan bilgi sinyali kullanılarak elde edilmiştir. Görüldüğü gibi modülasyonlu işaretin bant genişliği 2 KHz civarında olmaktadır. Yani bant genişliği, veri iletim oranının 2 katı kadardır.



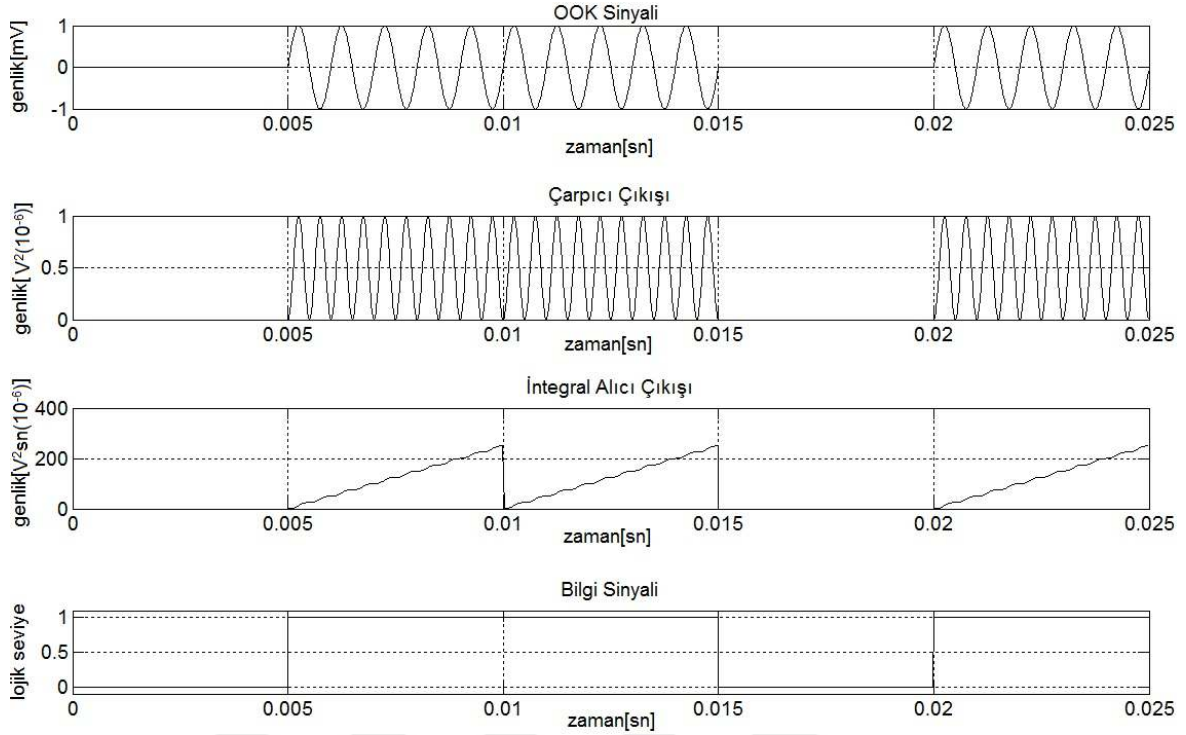
Şekil 2.7. BASK frekans spektrumu

OOK tekniği kullanılarak oluşturulmuş BASK sayısal modülasyonu için demodülatör yapısı Şekil 2.8’de görüldüğü gibidir.



Şekil 2.8. BASK demodülatör

Şekil 2.8’de görüldüğü gibi taşıyıcı ile çarpılan işaretin bit iletim süresi boyunca integrali alınmaktadır. Kullanılan integrator alçak geçiren filtre gibi davranmakta olup çarpıcı çıkışındaki sinyalin bit iletim süresi boyunca alınan integral sonucu, bir eşik değeri ile karşılaştırılarak bilgi bitinin durumunun tahmin edilmesi gerekmektedir. Bit iletim süresi ise şekilde görülen "S" anahtarının açılıp kapanma periyodu ile sağlanmaktadır. Yani "S" anahtarı her bit periyodu süresince kapanarak integral sonucu ile eşik değerinin karşılaştırılması sağlanır. Bu modelde "S" anahtarı yerine karşılaştırıcıyı aktif edebilecek bir giriş pini de kullanılabilirdi. Şekil 2.8’de verilen her bir bloğun çıkışı için üretilen işaretler Şekil 2.9’da görülmektedir.



Şekil 2.9. BASK demodülatör bloklarının çıkış sinyalleri

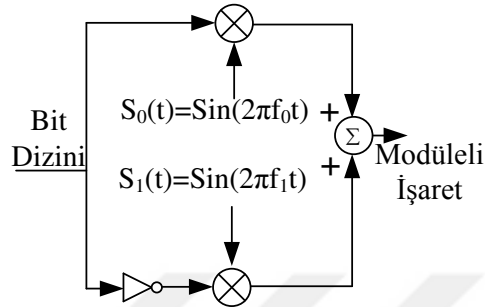
Şekil 2.9'dan da görüldüğü gibi taşıyıcı sinyali ile BASK modülasyonlu sinyal çarpıldığında çarpım bloğunun çıkışında, '1' bilgi biti için 0-1 mV aralığında değişen bir sinüs sinyali ve '0' bilgi biti için de 0 V değerinde bir işaret görülmektedir. Gürültü ihmal edildiği için '1' bilgi sinyalinin iletiminde çarpıcı çıkışında görülen işaret (5ms-15ms aralığında) sinüs sinyalinin karesidir. Ayrıca anahtarlama her T_b süresince yapılmaktadır ve integratör (toplayıcı) çıkışının da her T_b süresince yeniden sayma yaptığı görülmektedir.

2.2. FSK (Frekans Kaydırmalı Anahtarlama)

Sayısal frekans kaydırmalı anahtarlama modülasyon tekniği iletilecek olan sembolün durumuna göre taşıyıcının frekansını değiştirerek gerçekleştirilir. İkili frekans kaydırmalı anahtarlama için iletilecek olan bilgi biti '1' ise taşıyıcı işaretin frekansı f_1 , '0' ise taşıyıcı işaretin frekansı f_2 olmaktadır. Bilgi bitinin durumuna göre taşıyıcı işaretinin genliğinde veya fazında herhangi bir değişiklik olmamaktadır. BFSK sayısal modülasyon tekniği, Denklem (2.4)'te verildiği gibi tanımlanabilir.

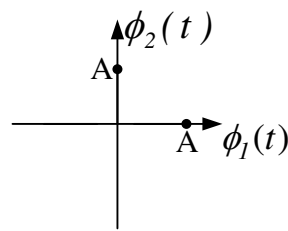
$$S(t) = \begin{cases} A_0 \sin(2\pi f_0 t + \varphi_0) & ; \text{İletilecek Sembol } 0 \text{ ise} \\ A_0 \sin(2\pi f_1 t + \varphi_0) & ; \text{İletilecek Sembol } 1 \text{ ise} \end{cases} \quad (2.4)$$

Denklem (2.4)'te de görüldüğü gibi taşıyıcı sinyallerin faz ve genlikleri sırasıyla ϕ_0 ve A_0 olmak üzere frekansları f_0 ve f_1 'dir. İletilecek olan sembolün durumu sinyalin fazını veya genliğini değiştirmemektedir. BFSK sayısal modülasyon tekniğinin blok şeması Şekil 2.10'da görüldüğü gibidir.



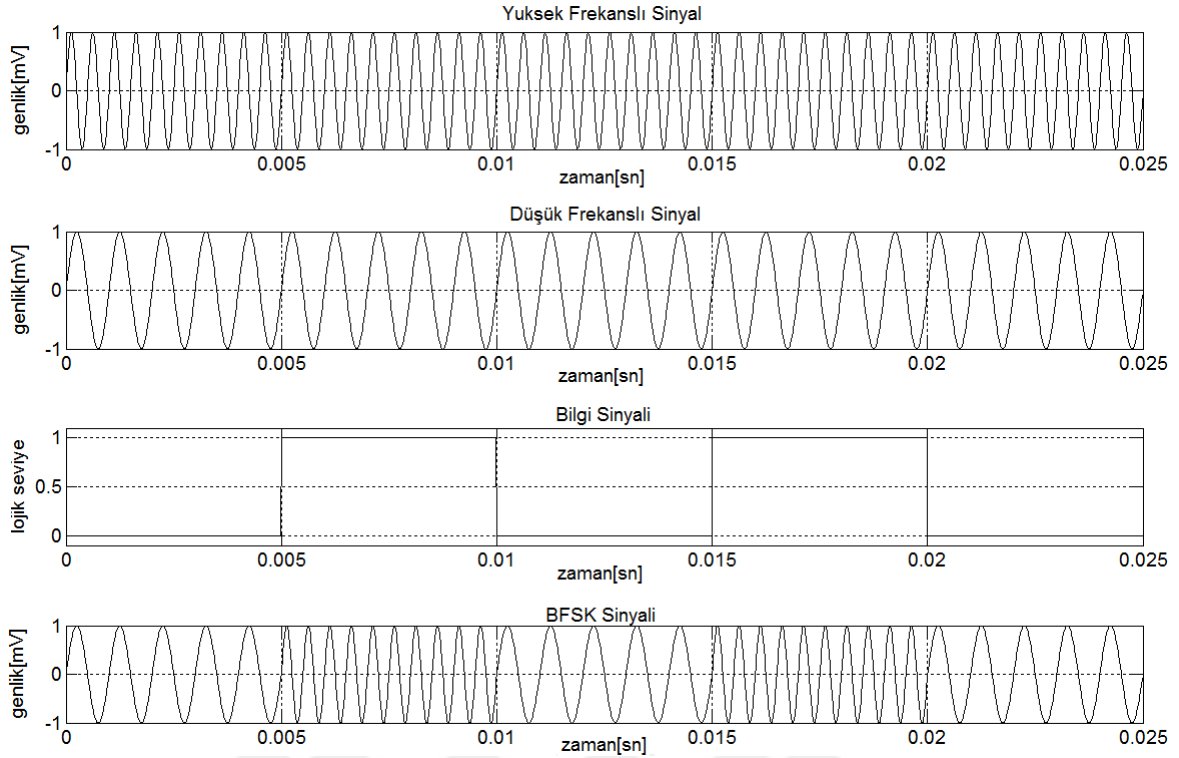
Şekil 2.10.BFSK modülatör şeması

Şekil 2.10'daki blok şemadan da görüldüğü gibi iletilecek olan sembol '1' olduğunda üst koldaki taşıyıcı (frekansı f_0 olan sinyal) iletiliyorken iletilecek olan sembol '0' olduğunda sembolün durumu evirici yardımıyla '1' yapılarak alt koldaki taşıyıcının iletilmesi sağlanmaktadır. Şekil 2.11'de $\phi_1(t) = \sqrt{(2/T)} \sin(2\pi f_1 t)$ ve $\phi_2(t) = \sqrt{(2/T)} \sin(2\pi f_2 t)$ olmak üzere BFSK modülasyon tekniğinin sinyal uzayı diyagramı görülmektedir.



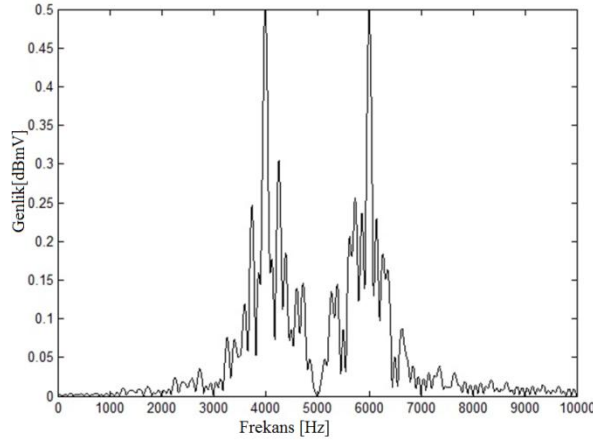
Şekil 2.11. BFSK sinyal uzayı

Şekil 2.10'da verilen blok şema kullanılarak matlab programında elde edilen benzetim sonuçları ise Şekil 2.12'de verilmiştir.



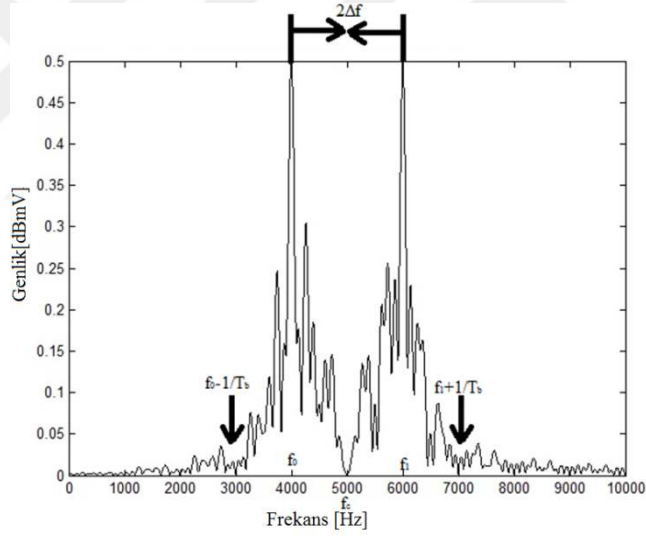
Şekil 2.12. İkili frekans kaydırmalı anahtarlama sinyali

Şekil 2.11'den de görüldüğü gibi iletilecek olan bilgi biti '1' olduğunda yüksek frekanslı sinyal iletiliyorken '0' bilgi biti gönderildiğinde düşük frekanslı sinyal iletilmektedir. İkili frekans kaydırmalı anahtarlama tekniğinin bant genişliği kullanılan taşıyıcı frekanslarının durumuna göre farklılık göstermektedir. Taşıyıcı frekansları arasındaki fark arttığında iletim için gerekli bant genişliği artmakta azaldığında ise iletim için gerekli bant genişliği azalmaktadır. Gerçekleştirilen haberleşme sisteminin yapısına göre optimum taşıyıcı frekans değerlerinin ayarlanması gerekmektedir. Şekil 2.13'te BFSK modülasyonlu işaretin frekans düzlemindeki değişimi görülmektedir. Şekilden de görüldüğü gibi MATLAB'da taşıyıcı frekansları sırasıyla 4 KHz ve 6 KHz alınarak benzetim gerçekleştirilmiştir.



Şekil 2.13. BFSK frekans spektrumu

Şekil 2.13'te görüldüğü gibi işaretin bant genişliği 4 KHz'dir. Δf frekans sapması ve f_c merkez taşıyıcı frekansı olmak üzere Şekil 2.14'te bant genişliği görülmektedir.



Şekil 2.14. BFSK bant genişliği

Şekil 2.14'te görüldüğü gibi BFSK modülasyonlu işaretin bant genişliği Denklem (2.5)'te ifade edildiği gibidir [74].

$$B = (f_1 - f_0) + \left(\frac{2}{T_b}\right) \quad (2.5)$$

f_c merkez taşıyıcı frekansı olmak üzere, frekans sapması ve taşıyıcı frekansları arasındaki ilişki Denklem (2.6)'da tanımlanmaktadır.

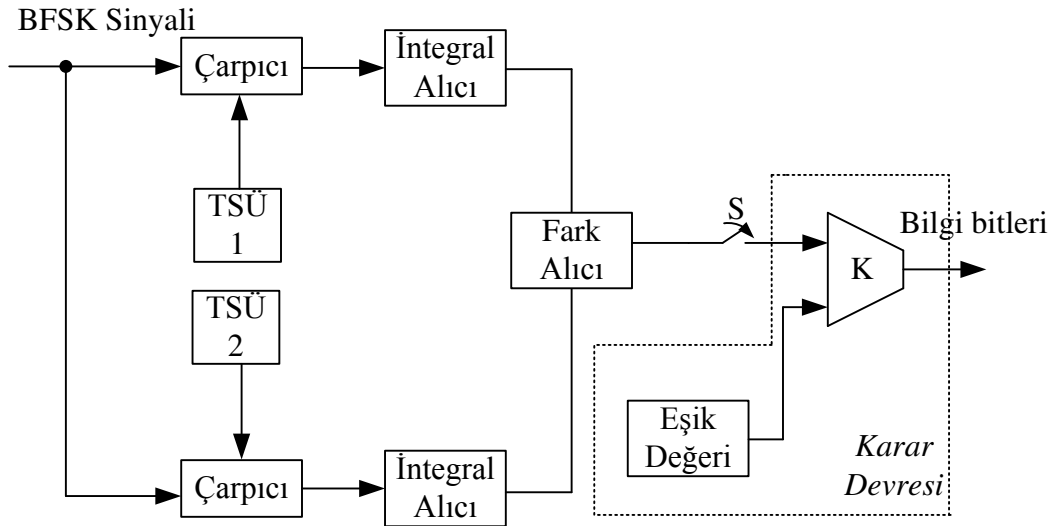
$$f_c = \frac{f_0 + f_1}{2}$$

$$\Delta f = f_c - f_0 = f_1 - f_c \quad (2.6)$$

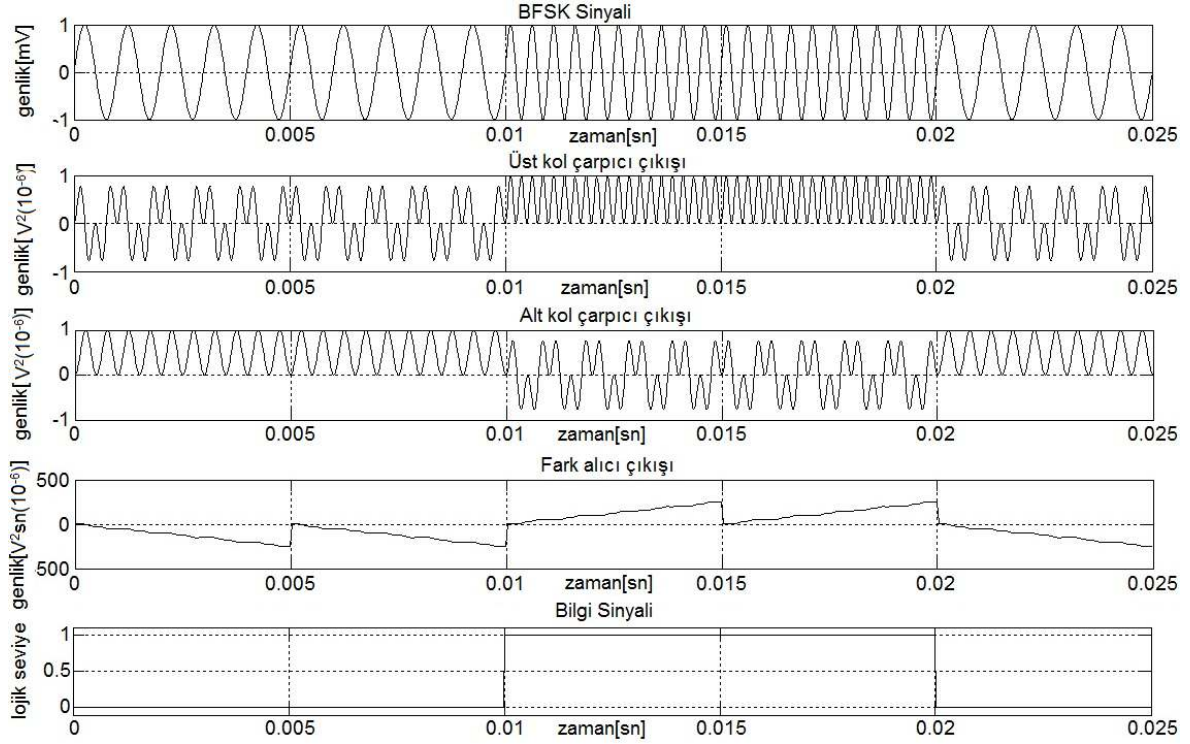
Bant genişliği yeniden tanımlanacak olursa Denklem (2.7) elde edilir.

$$B = 2\left(\Delta f + \frac{1}{T_b}\right) \quad (2.7)$$

BFSK demodülasyon işlemi, BFSK modülasyon işlemini gerçekleştirmek için kullanılan iki farklı taşıyıcı frekansın kullanılmasıyla gerçekleştirilir. BFSK modülasyonlu işaret iki farklı koldan demodülatöre uygulanarak iki farklı taşıyıcı ile farklı bir şekilde çarpım devresine gönderilir ve bir bit iletim süresince her bir koldaki işaretin integrali alınarak integral çıkışlarının farkı alınır. Fark sonucunda sonuç negatif olduğunda karar eşiğinde iletilen bitin '0', pozitif olduğunda '1' olduğu algılanmaktadır. Şekil 2.15'te BFSK demodülatör yapısı görülmektedir.



Şekil 2.15. BFSK demodülatör şeması



Şekil 2.16. BFSK demodülatörün blok çıkışları

Şekil 2.16’da 1. sinyal BFSK modülasyonlu işareti temsil etmekteyken 2. ve 3. sinyaller çarpıcı çıkışını göstermektedir. 4. sinyal ve 5. sinyal, sırasıyla fark alıcı çıkışını ve bilgi sinyalini göstermektedir.

2.3. PSK (Faz Kaydırmalı Anahtarlama)

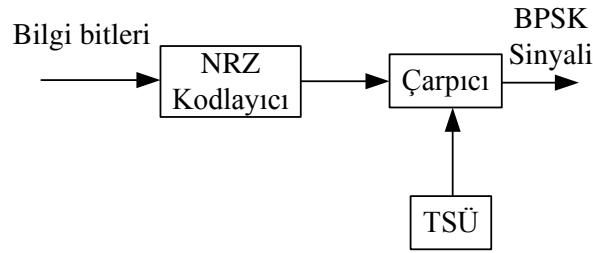
Frekans ve genlik kaydırmalı anahtarlama göre faz kaydırmalı anahtarlama düşük bit hata oranı nedeniyle daha fazla tercih edilmektedir [76]. Ayrıca frekans kaydırmalı anahtarlama göre donanımsal olarak gerçekleştirilmesi daha kolaydır. Çünkü farklı frekanslarda iki sinyal kullanmak yerine BPSK modülasyon tekniğinde tek bir sinyalin birbirlerine göre 180 derece faz farkıyla oluşturulmuş biçiminin kullanılması yeterlidir. Düşük bit hata oranına sahip olmasının nedeni, demodülasyonda integratör çıkışında ‘1’ ve ‘0’ bilgi sinyallerini temsil eden sinyaller için bir bit süresince alınan değerler arasındaki farkın en fazla BPSK modülasyonunda olmasından dolayıdır. İkili (Binary) faz kaydırmalı anahtarlama modülasyon tekniği için oluşturulan matematiksel gösterim Denklem (2.8)’de ifade edilmektedir.

$$S(t) = \begin{cases} A_0 \sin(2\pi f_0 t + \varphi_0) & ; \text{İletilecek Sembol } 0 \text{ ise} \\ A_0 \sin(2\pi f_0 t + \varphi_1) & ; \text{İletilecek Sembol } 1 \text{ ise} \end{cases} \quad (2.8)$$

Denklem (2.8)'de görüldüğü gibi iki sinyalin genlikleri ve frekansları aynı olmalarına rağmen fazları farklıdır. '0' bilgi sinyali için φ_0 fazındaki sinyal iletiliyorken, '1' bilgi sinyali için φ_1 fazındaki taşıyıcı işareti gönderilmektedir [77]. 180 derece faz farkına sahip iki sinyal ile faz kaydırmalı anahtarlama modülasyon tekniğinin gerçekleştirilmesi bit hata oranını düşürerek alıcı tarafta karmaşık olmayan bir devre tasarımını mümkün hale getirmektedir. Aralarında 180 derece faz farkı olan iki sinyalin PSK modülasyonu için matematiksel tanımlanması Eşitlik (2.9)'da olduğu gibidir [75].

$$S(t) = \begin{cases} A_0 \sin(2\pi f_0 t) & ; \text{İletilecek Sembol } 0 \text{ ise} \\ -A_0 \sin(2\pi f_0 t) & ; \text{İletilecek Sembol } 1 \text{ ise} \end{cases} \quad (2.9)$$

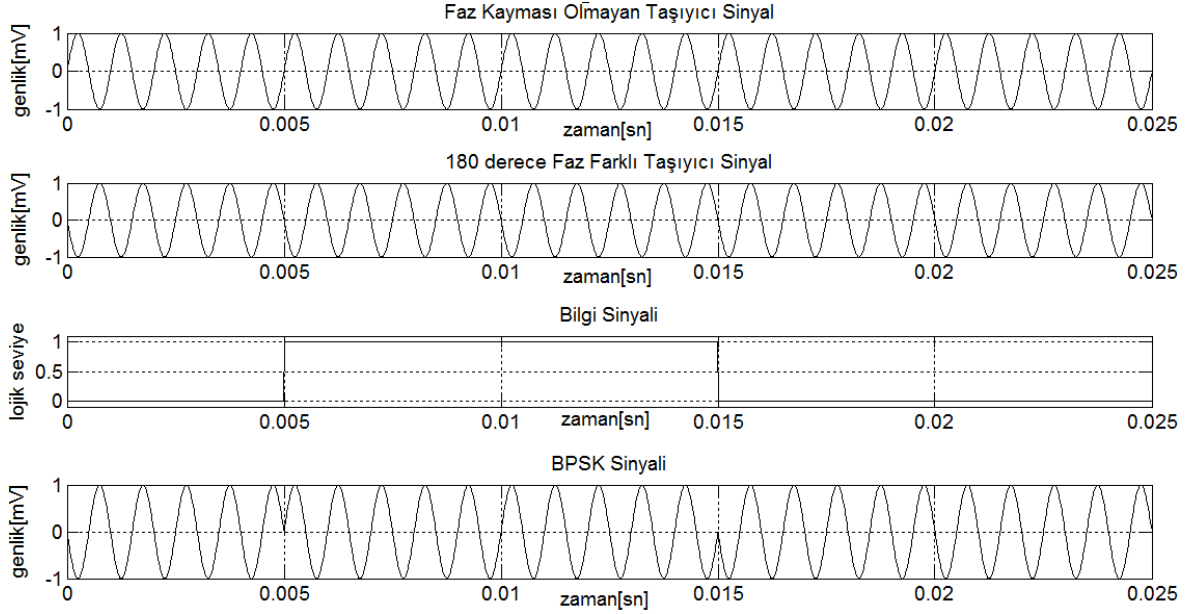
Denklem (2.9)'da görüldüğü '0' bilgi biti gönderildiği zaman kullanılan taşıyıcının genliği $-A_0$ iken; '1' bilgi sinyali gönderiliyorken taşıyıcı genliği A_0 olmaktadır. Şekil 2.17'de PSK modülatörün blok diyagramı görülmektedir.



Şekil 2.17. BPSK modülatör şeması

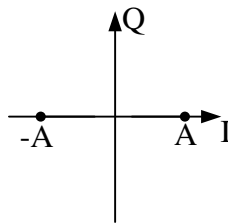
Şekil 2.17'deki blok şemada görüldüğü gibi ikili veri dizini (1-0 bilgi biti) öncelikle sıfıra dönmeyen (NRZ) seviye kodlayıcı kullanılarak '1' bilgi sinyalinin 1; '0' bilgi sinyalinin ise -1 ile ifade edilmesini sağlamaktadır. Böylece OOK teknikli BASK modülasyondan farklı olarak çarpım devresi çıkışının '0' bilgi biti için 0 olması engellenmiştir. NRZ kodlayıcı sayesinde çarpıcı çıkışında '0' bilgi biti için taşıyıcının 180 derece geciktirilmiş hali elde edilecektir. Sonuç olarak Denklem (2.9)'da verilen matematiksel ifadenin de gerçekleştirilmesinin oldukça kolay olduğu görülmektedir. Şekil

2.18’de BPSK modülasyonlu işaretin, bilgi sinyalinin ve taşıyıcı sinyallerin zamana göre değişimleri görülmektedir.



Şekil 2.18. BPSK modülatörü için benzetim sonuçları

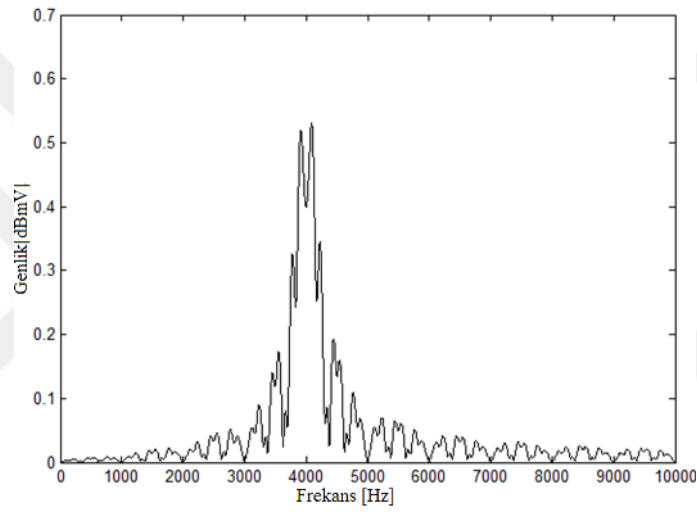
Şekil 2.18’den görüldüğü gibi taşıyıcı olarak sinüs sinyali kullanılmıştır. Bit geçiş anlarında bilgi bitinin durumu değişiyorsa BPSK sinyalin de fazı 180 derece değişmektedir. İkili faz kaydırmalı anahtarlama modülasyon tekniği için sinyal uzayı diyagramı Şekil 2.19’da görüldüğü gibidir [78].



Şekil 2.19. BPSK sinyal uzayı

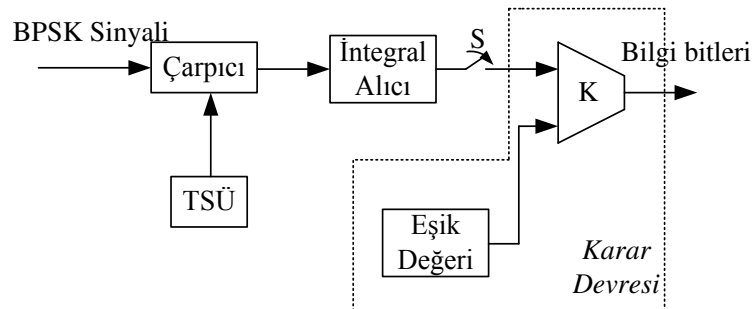
Şekil 2.19’da I ve Q sırasıyla imajiner ve reel eksenleri göstermektedir. Şekilden de görüldüğü gibi A ve -A genliğindeki taşıyıcı işaretler faz kaydırmalı anahtarlama tekniğinde kullanılmaktadır. BFSK ve BASK modülasyon teknikleri de göz önünde bulundurulduğu takdirde iki taşıyıcı sinyalin genlik seviyeleri arasındaki farkın en yüksek

olduğu sayısal modülasyon şemasının, BPSK modülasyon tekniği olduğu görülmektedir. Bu yüzden gürültüden en az etkilenen ikili modülasyon tekniği BPSK modülasyon tekniğidir. BPSK modülasyon tekniği de BASK modülasyon tekniği gibi $2/T_b$ kadarlık bant kullanmaktadır [78]. BPSK modülasyonlu bir sinyalin frekans düzlemindeki görüntüsü Şekil 2.20’de olduğu gibidir. Şekil 2.7 ile Şekil 2.20 incelenirse iki şeklin de bant genişliği açısından benzer olduğu görülecektir. Şekilde taşıyıcı frekansı 4 KHz ve veri iletim oranı 1 Kbps olarak ayarlanmıştır. Bu şekilde BPSK modülasyonlu işaretin iletimi için gerekli bant genişliği 2 KHz olmaktadır.



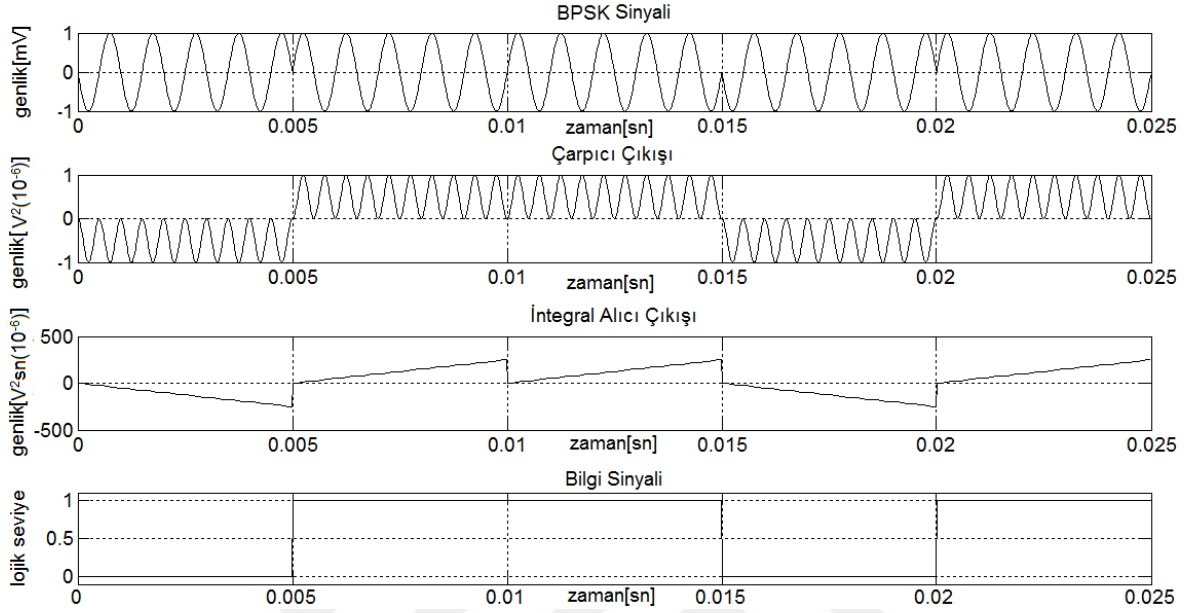
Şekil 2.20. BPSK tekniğinin frekans spektrumu

BASK demodülasyonu için kullanılan blok diyagram BPSK modülasyonu için de kullanılabilir. Alınan modülasyonlu işaret Şekil 2.21’de görüldüğü gibi taşıyıcı işaret ile çarpılarak bir bit iletimi için gerekli süre boyunca toplanarak karar devresinde işlem görmektedir. Karar devresi çıkışında eşik değeri ile integratör çıkışındaki değer karşılaştırılarak bilgi bitleri oluşturulmaktadır.



Şekil 2.21. BPSK demodülatör şeması

Şekil 2.21’de görülen blok diyagramın her bir katı için elde edilen benzetim sonucu Şekil 2.22’de görüldüğü gibidir.



Şekil 2.22. BPSK demodülatör şemasında kullanılan blokların çıkışı

Şekil 2.22’de 1. ve 4. sinyaller sırasıyla BPSK modülasyonlu sinyali ve bilgi sinyalini göstermektedir. Ayrıca 2. ve 3. sinyaller ise çarpıcı çıkışını ve T_b bit süresi boyunca integral alıcı çıkışını göstermektedir.

2.4. QPSK (Dördün Faz Kaydırmalı Anahtarlama)

İkili modülasyon teknikleri ile üretilen sinyaller sadece bir bitin değişimine göre durum değiştirmektedirler. Ancak bant genişliği verimliliğini artırmak için bir bit periyodunun katları süresince belirli sayıdaki bitlerden oluşan bir sembolün gönderilmesini sağlayan modülasyon teknikleri de mevcuttur. QPSK modülasyon tekniği de bu modülasyon tekniklerinden birisidir. QPSK modülasyon tekniğinde bir sembol iki farklı bitten oluşmakta olup sembolün iletilmesi için geçen süre bir bit periyodunun iki katı kadardır. Böylece bit periyodu artırılırken sinyalin bant genişliği de düşürülmüş olur. QPSK modülasyonlu sinyali üretebilmek için Denklem (2.10) kullanılmaktadır [79].

$$QPSK(t) = A \cos(2\pi f_c t + \theta_i) \quad i = 1, 2, 3, 4 \quad (2.10)$$

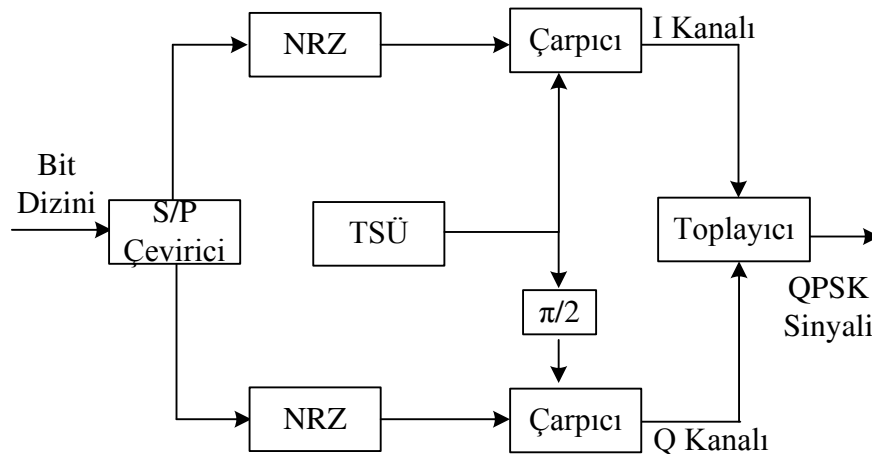
$$\theta_i = \frac{(2i-1)\pi}{4} \quad (2.11)$$

Denklem (2.10) ve Denklem (2.11)'den görüldüğü gibi QPSK sinyali fazları farklı olan dört farklı sinyalden oluşmaktadır. Bu sinyallerin frekans ve genlikleri aynı olup fazları farklıdır. Denklem (2.11)'den her bir sinyal arasındaki faz farkının 90 derece olduğu görülmektedir. Sonuç olarak θ_i değerleri sırasıyla, 45, 135, 225 ve 315 derece değerlerindedir. Denklem (2.10) kullanılarak QPSK için daha açık bir ifade Denklem (2.12)'de verilmiştir.

$$QPSK(t) = A \cos(\theta_i) \cos(2\pi f_c t) - A \sin(\theta_i) \sin(2\pi f_c t) \quad (2.12)$$

$$QPSK(t) = \frac{A}{\sqrt{2}} I(t) \cos(2\pi f_c t) - \frac{A}{\sqrt{2}} Q(t) \sin(2\pi f_c t) \quad (2.13)$$

Denklem (2.12) ve (2.13)'te verilen ifadeler kullanılarak elde edilen QPSK modülatör diyagramı Şekil 2.23'te görüldüğü gibidir.



Şekil 2.23. QPSK modülatörü blok şeması

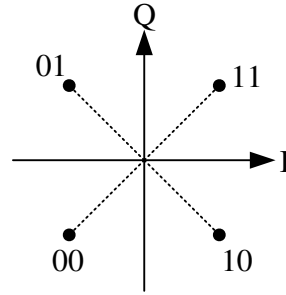
Şekil 2.23'te görülen blok şemada S/P (Seriden Paralele) çevirici, gelen bitlerin I ve Q kanallarına ayrı ayrı uygulanması için kullanılmıştır. Şekilde çarpıcı bloğu çıkışının '0' bilgi biti girişleri için 0 olmasını engellemek amacıyla NRZ bloğu kullanılmıştır. Üst kol (I

kanalı) ve alt kol (Q) kanalı sinyalleri taşıyıcı sinyaller ile çarpıldıktan sonra toplanarak QPSK modülasyonlu sinyalin oluşumu gerçekleştirilir. Tablo 2.1’de QPSK modülasyonlu sinyalin faz değişimine göre Denklem (2.12)’nin alacağı ifade verilmiştir.

Tablo-2.1. Her sembol için taşıyıcı sinyalin seçimi

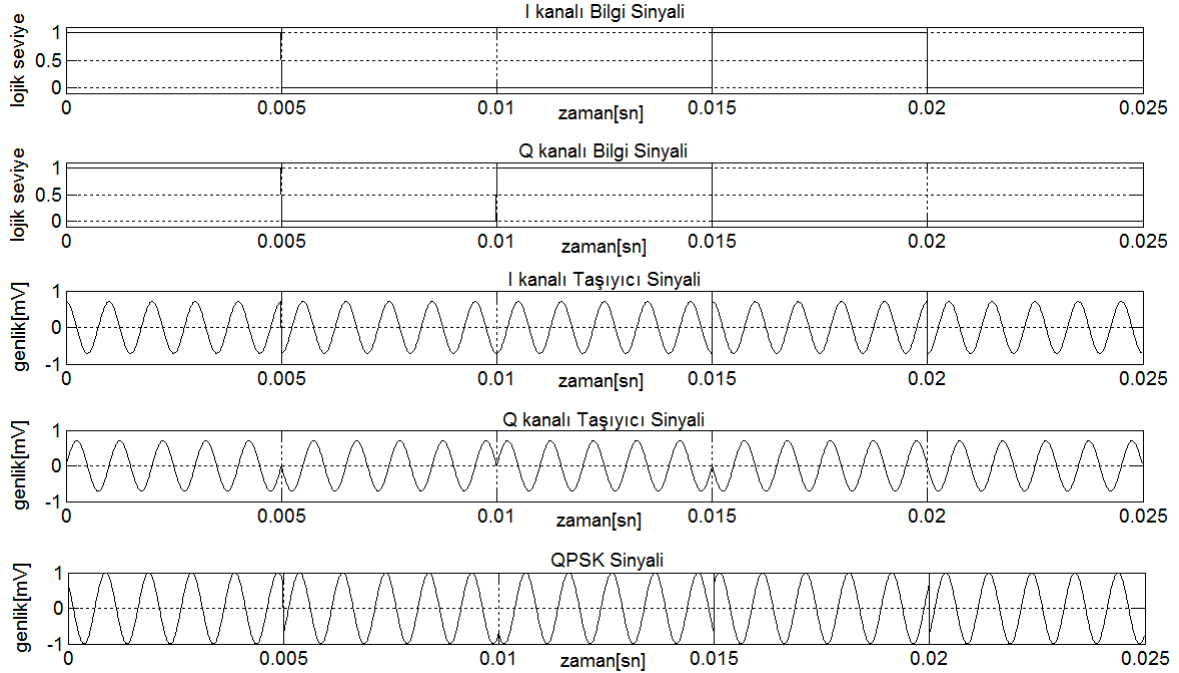
Sembol Tipi	QPSK Sinyal
10	$0.707 * A_c * (\cos(w_c t) + \sin(w_c t))$
00	$-0.707 * A_c * (\cos(w_c t) - \sin(w_c t))$
01	$-0.707 * A_c * (\cos(w_c t) + \sin(w_c t))$
11	$0.707 * A_c * (\cos(w_c t) - \sin(w_c t))$

Tablo 2.1’den faydalanılarak oluşturulan QPSK sinyal uzayı Şekil 2.24’te verilmiştir. Şekilden görüldüğü gibi birbirlerine göre bir bitlik fark bulunan sembollerin arasında 90 derece fark bulunmaktadır. Ayrıca 10-01 ve 00-11 gibi semboller arasında iki bitlik değişim varsa QPSK sinyalin tam bu noktalarındaki geçişlerinde 180 derecelik faz farkı oluşmaktadır.



Şekil 2.24. QPSK sinyal uzayı

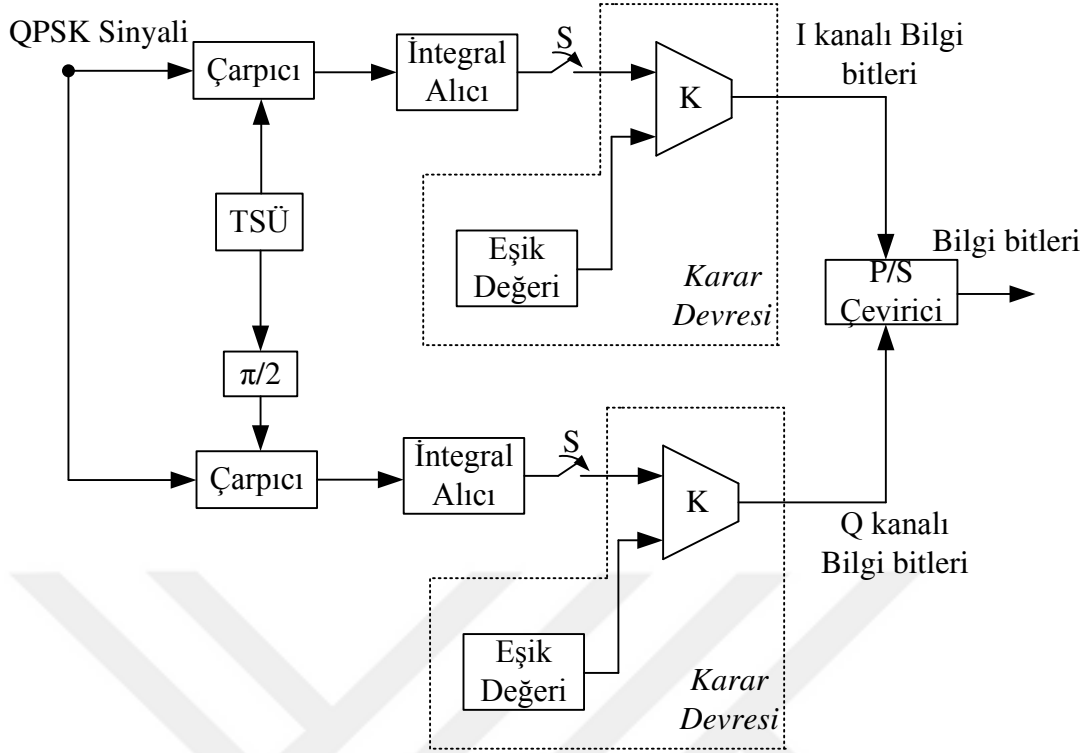
Şekil 2.24’ten görüldüğü gibi 45 derecelik faz farkı 11 sembolü ile ifade edilirken 225 derecelik faz farkı 00 bilgi sembolü ile temsil edilmektedir. Ayrıca 10-01 sembollerinin de bu durum benzerlik göstererek aralarında 180 derece faz farkı bulunan QPSK sinyallerini temsil etmektedirler.



Şekil 2.25. QPSK modülatörü için benzetim sonuçları

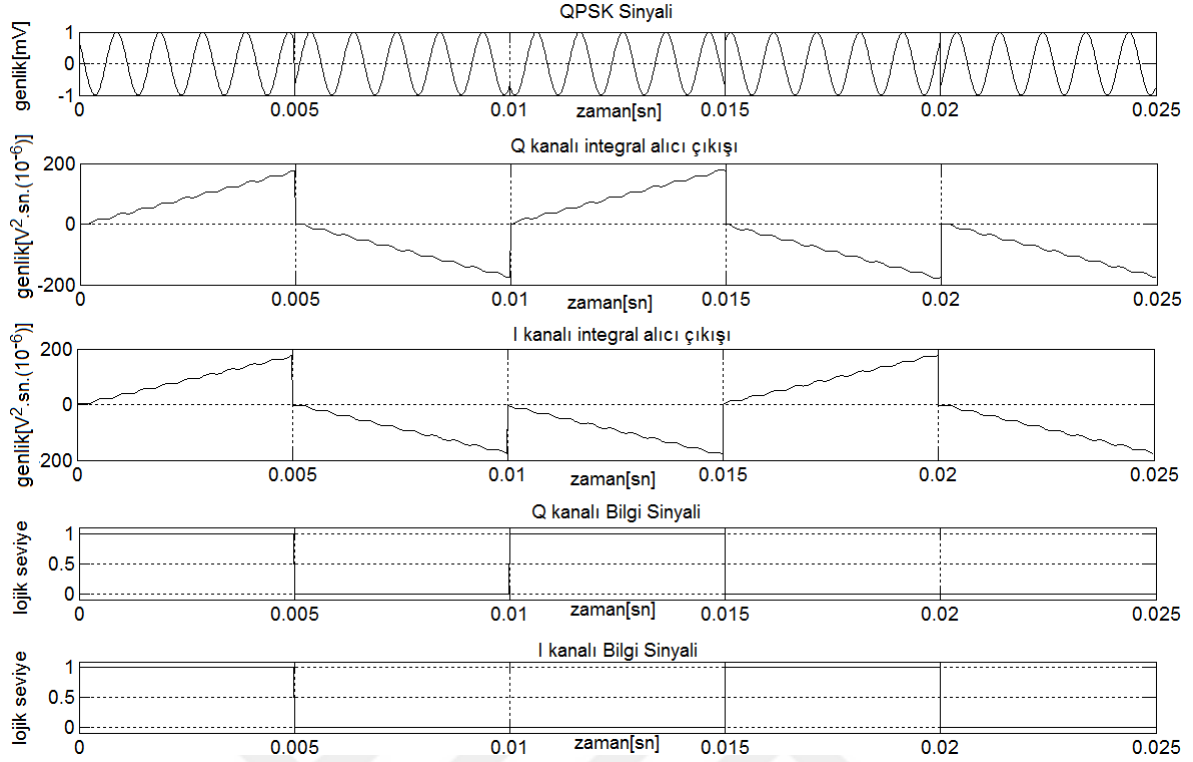
Şekil 2.25'te görülen benzetim sonucu QPSK modülatöründe kullanılan blokların giriş-çıkış sinyallerini göstermektedir. Şekilde birinci ve ikinci sinyaller sırasıyla I ve Q kanalı bilgi bitlerini göstermektedir. I ve Q kanalı bilgi bitleri kullanılarak üçüncü ve dördüncü sinyaller çarpıcı çıkışında elde edilmiş ve son sinyal de QPSK sinyalini göstermektedir.

Modülasyonlu sinyalden bilgi bitlerini yeniden elde etmek için BPSK demodülatör mimarisinin paralel olarak çalıştırılması QPSK demodülatör yapısı için yeterlidir. Şekil 2.26'da verilen QPSK demodülatör yapısı ile modülasyonlu sinyalden I kanalı ve Q kanalı bilgi bitleri yeniden elde edilebilir.



Şekil 2.26. QPSK demodülatörün blok diyagramı

Şekilde görülen demodülatör şemasına giren QPSK modülasyonlu sinyal modülatör tarafında olduğu gibi taşıyıcı sinyaller ile çarpılmıştır. Çarpım sonucunun bir bit periyodu süresince toplanmasından sonra toplam sonucu anahtar yardımıyla karşılaştırmacı devresine uygulanarak eşik değeri ile karşılaştırılır. Toplam sonucu eşik değerinden büyükse karşılaştırmacı çıkışında '1' bilgi sinyali, küçükse '0' bilgi sinyali elde edilir. Bir paralelden seriye (P/S) dönüştürücü yardımıyla bitler seri bir şekilde demodülatör bloğu çıkışından elde edilir. Şekil 2.27'de görülen sinyaller QPSK demodülatör bloklarının çıkışlarından elde edilen sinyallerdir. Şekilden de görüldüğü gibi integral alıcı çıkışları negatif ve pozitif y-eksenleri boyunca artmakta olup bir bit periyodu süresi sonunda aldığı değer sıfır ile karşılaştırılmıştır. Sonuç sıfırdan büyükse karşılaştırmacı çıkışında '1', küçükse '0' bilgi bitine karar verilmiştir.



Şekil 2.27. QPSK demodülatörü için benzetim sonuçları

2.5. MSK Modülasyon Tekniği

Minimum Kaydırmalı Anahtarlama modülasyon tekniği; BPSK, QPSK ve OQPSK modülasyon tekniklerinde olan faz süreksizliğini önlemek için geliştirilmiştir. Ayrıca bu sayısal modülasyon tekniğinin spektrum verimliliği de diğer tekniklere göre oldukça yüksektir [80]. Bu yüzden uydu haberleşme sistemlerinde yaygın olarak kullanılmaktadır. MSK modülasyon şemasında bir önceki sinyalle bir sonraki sinyal arasında 90 derecelik bir faz farkı vardır [81]. 1960'lı yıllarda yapılan çalışmayla MSK tekniği fikri ortaya atılmıştır [82]. Daha sonraki yıllarda yerli uydu sistemlerinde [83, 84], hava araçlarında [85] ve su altı haberleşme sistemlerinde önerilmiştir [86].

M-CPFSK (Continuous Phase Frequency Shift Keying: Sürekli Fazlı Frekans Kaydırmalı Anahtarlama); modülasyon indeksi $h=1/2$, $1/4$ ve $1/8$ olan sırasıyla 2-CPFSK, 4-CPFSK ve 8-CPFSK modülasyon şemalarını içeren çok seviyeli bir iletim şemasıdır. MSK modülasyon tekniği de CPFSK modülasyon tekniğinin özel bir şeklidir. CPFSK modülasyon tekniğinde modülasyon indeksi $h=1/2$ olarak alınırsa MSK modülasyon tekniği gerçekleştirilmiş olur [87]. Ayrıca MSK sinyalinin üretimi için literatürde iki tip modülatör şeması önerilmiştir. Bu modülatör tipleri MSK tip-I (Şekil 2.28) ve MSK tip-II

olarak nitelendirilirler. MSK tip-I modülasyon şeması geleneksel olarak kullanılan tekniktir. MSK tip-II ise darbe biçimlendirme sinyallerinin yarım periyodunun bilgi bitleri ile çarpılmasıyla oluşturulan bir şemadır. Ancak MSK type-II şeması ile oluşturulan modülasyonlu sinyal geleneksel demodülatör şeması ile demodüle edilememektedir. Çünkü I ve Q kanalı için kullanılan darbe biçimlendirmeleri sadece pozitif alternansa sahiptir. Ancak MSK tip-I için darbe biçimlendirmelerinin hem pozitif hem de negatif alternansları mevcuttur. Demodülatör tarafında bu durumun dikkate alınması gerekir. MSK tip-I ve MSK tip-II iletim teknikleri için bir bütünlük oluşturması için bu bölümde hem MSK tip-I hem de MSK tip-II şemalarının özelliklerini içeren yeni MSK iletim şeması önerilmiştir. Bu hibrit çalışmanın sonucunda elde edilen MSK sinyalinin geleneksel MSK modülasyonlu sinyal ile benzer olduğu görülmüştür.

CPFSK tekniği kullanılarak üretilen MSK sinyali için kullanılan genel ifade Denklem (2.14)'te görüldüğü gibidir [48].

$$MSK(t) = I_k(t) \cos\left(\frac{\pi t}{2T}\right) \cos(2\pi f_c t) + Q_k(t) \sin\left(\frac{\pi t}{2T}\right) \sin(2\pi f_c t) \quad (2.14)$$

Denklem (2.15), Denklem (2.14) kullanılarak türetilmiştir. Şöyleki, Denklem (2.14)'te I kanal bitlerinin ve Q kanal bitlerinin ± 1 olabileceği durumunun göz önünde bulundurulması ve trigonometrik fonksiyonlardan faydalanılması sonucunda,

$$\begin{aligned} MSK(t) &= \pm \cos\left(\frac{\pi t}{2T}\right) \cos(2\pi f_c t) \pm \sin\left(\frac{\pi t}{2T}\right) \sin(2\pi f_c t) \\ MSK(t) &= \pm \cos\left(2\pi f_c t + u_k \frac{\pi}{2T}\right) \\ MSK(t) &= \cos\left(2\pi \left(f_c + u_k \frac{1}{4T}\right) t + \varphi_k\right) \\ MSK(t) &= \cos(2\pi f_c t + u_k \frac{\pi t}{2T} + \varphi_k), \quad kT \leq t \leq (k+1)T \end{aligned} \quad (2.15)$$

Denklem (2.15)'te T bit periyodu, f_c taşıyıcı veya merkez frekans, φ_k ise faz sabiti olarak tanımlanmaktadır. Denklemde işlem yapılan veri aralığını belirlemek için k değişkeni kullanılmıştır [49]. Denklem (2.15), dikkatli bir şekilde incelenirse φ_k faz sabiti kosinüs trigonometrik fonksiyonu ile çarpım konumunda olan $\pm$ işaretinden dolayı gelmiştir.

Fonksiyon, $-$ ile çarpılırsa faz sabiti π değerini alıyorken $+$ ile çarpılması durumunda 0 değerini almaktadır. Denklem (2.15)'te belirtilen MSK sinyalinin parçalı doğrusal faz fonksiyonu ve faz sabiti sırasıyla Denklem (2.16) ve (2.17)'de açıklanmaktadır.

$$\theta(t) = \varphi_k + \left(\frac{\pi u_k}{2T} \right) t \quad (2.16)$$

$$\varphi_k = \varphi_{k-1} + (u_{k-1} - u_k) \frac{\pi k}{2} \quad (2.17)$$

Denklem (2.17)'de φ_k faz sabitinin değeri $\text{mod}(2\pi)$ 'ye göre 0 veya $\pm\pi$ olarak değişmektedir [89]. $\theta(t)$ ise MSK sinyalinin t anındaki fazını ifade etmektedir. Denklem (2.16) ve Denklem (2.17)'den görüldüğü gibi MSK sinyalinin t anındaki fazı bir önceki faz değerlerine bağlıdır. Sonuç olarak, Denklem (2.18)'de zamana bağlı faz fonksiyonunun genel ifadesi görülmektedir [90].

$$\theta(t) = \frac{\pi}{2} \sum_{n=-\infty}^{k-1} u_n + \frac{\pi}{2} u_k \frac{t - kT}{T} \quad kT \leq t \leq (k+1)T \quad (2.18)$$

Denklem (2.18)'den de görüldüğü gibi bir önceki MSK sinyallerinin faz değerleri toplanarak t anındaki sinyalin fazı bulunabilmektedir. Denklem (2.15)'te u_k ise ± 1 olarak ifade edilmekte olup I ve Q kanalı bitlerinin XOR sonucudur. Eğer I kanalı ve Q kanalı bitleri aynı işaretli ise -1 değerini, ters işaretli bilgi bitleri için ise +1 değerini almaktadır [88]. Yani u_k değeri Denklem (2.19)'da görüldüğü gibi ifade edilebilmektedir.

$$u_k = -I_k \cdot Q_k \quad (2.19)$$

Denklem (2.15) ve (2.19)'dan yola çıkarak MSK sinyalinin frekans analizi yapılırsa,

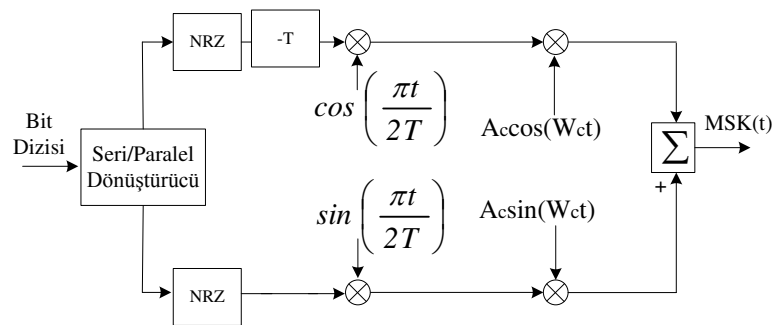
$$\begin{aligned} f_+ &= f_c + \frac{1}{4T} & u_k &= 1 \quad \text{ise} \\ f_- &= f_c - \frac{1}{4T} & u_k &= -1 \quad \text{ise} \end{aligned} \quad (2.20)$$

denklemini elde edilir. Denklem (2.19)'da açıklandığı gibi u_k , I ve Q kanalı bitlerinin işaretlerinin aynı olması durumunda -1 ve farklı olması durumunda da +1 değerini

almaktadır. Bu durum Denklem (2.15) ve Denklem (2.20)'den açıkça görülmektedir. I ve Q kanalı bitlerinin aynı olması ve farklı olması anlarında MSK sinyalinin frekansı farklılık gösterecektir [88].

MSK tip-II şemasında ise I ve Q bitlerinin aynı olması durumunda ve $kT \leq t \leq (k+1)T$ zaman aralığı için k değerinin tek veya çift olmasına göre sinyalin frekansı değişmektedir. Yani I ve Q bitleri aynı olsa bile MSK sinyalinin frekansının aynı olması k değerinin tek veya çift olmasına da bağlıdır. Bu da ikinci bir şartın sağlanmasını gerektirmektedir. Bizim önerdiğimiz hibrit çalışmada I kanalı ve Q kanalı bitlerinin çift bitlerinin terslenmesiyle (*not* işleminden geçirilmesiyle) MSK tip-II şemasında değişiklik yapılmıştır. Bu işlem sonucunda modülatörün çıkışından MSK tip-I sinyali elde edilmiş olur. Bizim önerdiğimiz algorithmada kodlanmış olan verilerin durumu göz önünde bulundurularak işlem yapılmıştır.

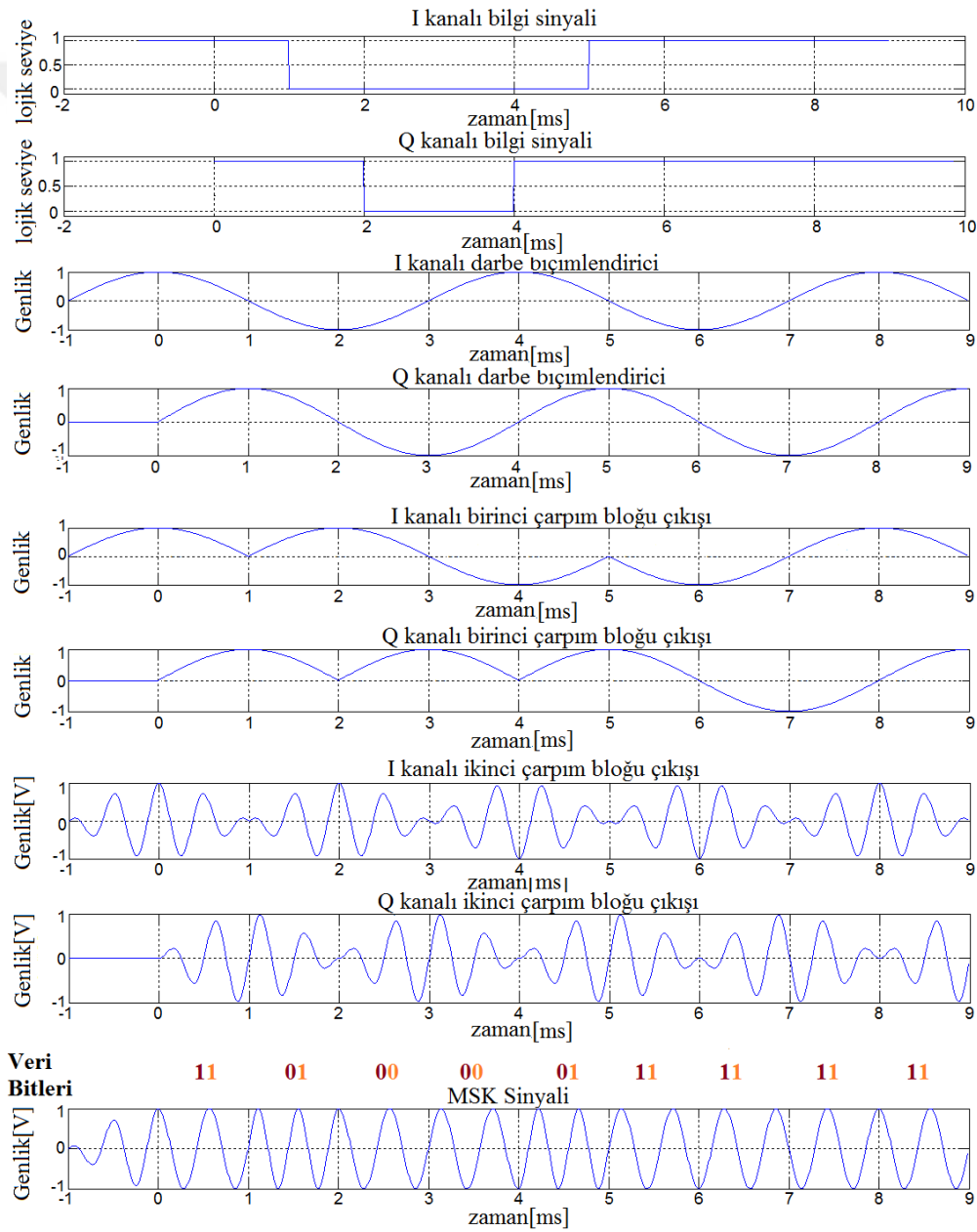
Bu tez çalışmasında kullanılan MSK modülatör mimarisi sonucunda elde edilen sinyalin giriş bitlerine göre değişimi, aynı bilgi bitleri için Denklem (2.15)'te verilen değişkenlerin kullanılmasıyla oluşturulan blok diyagramın çıkışından alınan sinyalin değişimi ile tamamen aynıdır. I kanalı bitleri kosinüs darbe biçimlendirmesi ile çarpıldıktan sonra kosinüs taşıyıcısı ile çarpılıyorken, Q kanalı bitleri ise sinüs darbe biçimlendirmesi ve ardından da sinüs taşıyıcısı ile çarpılmaktadır. Çarpım sonuçları bir toplayıcıya uygulanarak toplayıcı çıkışında MSK sinyali elde edilmektedir. Modülatör mimarisinin ayrıntıları Bölüm 5'te sunulmuştur.



Şekil 2.28. MSK (MSK tip-I) modülatör şeması

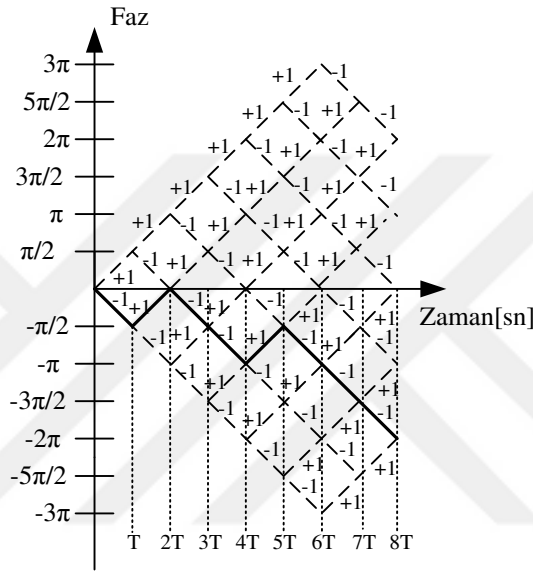
Şekil 2.28'de verilen blok diyagramda sinyal üreteçleri dikkate alınmadığında, iki çarpım bloğu ve bir toplam bloğu kullanılarak MSK sinyali oluşturulabilmektedir. '0' ve '1' sembollerinden oluşan bilgi bitleri modülatör girişindeki bir çevirici yardımıyla I ve Q

kanalına uygulanır. Girişteki NRZ sayesinde ‘1’ bilgi bitinin durumu değişmezken ‘0’ bilgi biti -1 ile ifade edilir. Bunun nedeni kullanılan çarpım bloklarının çıkışında oluşacak sinyalin sıfır olmasını engellemektir. Kosinüs ve sinüs darbe biçimlendirme sinyalleri ile bilgi bitleri çarpım devresine uygulandıktan sonra elde edilen sinyal ile taşıyıcı sinyal ikinci çarpım devresine uygulanmaktadır. Eş zamanlı olarak gelen sinyaller toplanarak çıkışta MSK modülasyonlu sinyal üretilmektedir. Şekil 2.28’de verilen MSK modülatör şeması kullanılarak elde edilen sinyallerin zamana göre değişimleri Şekil 2.29’da verilmiştir.



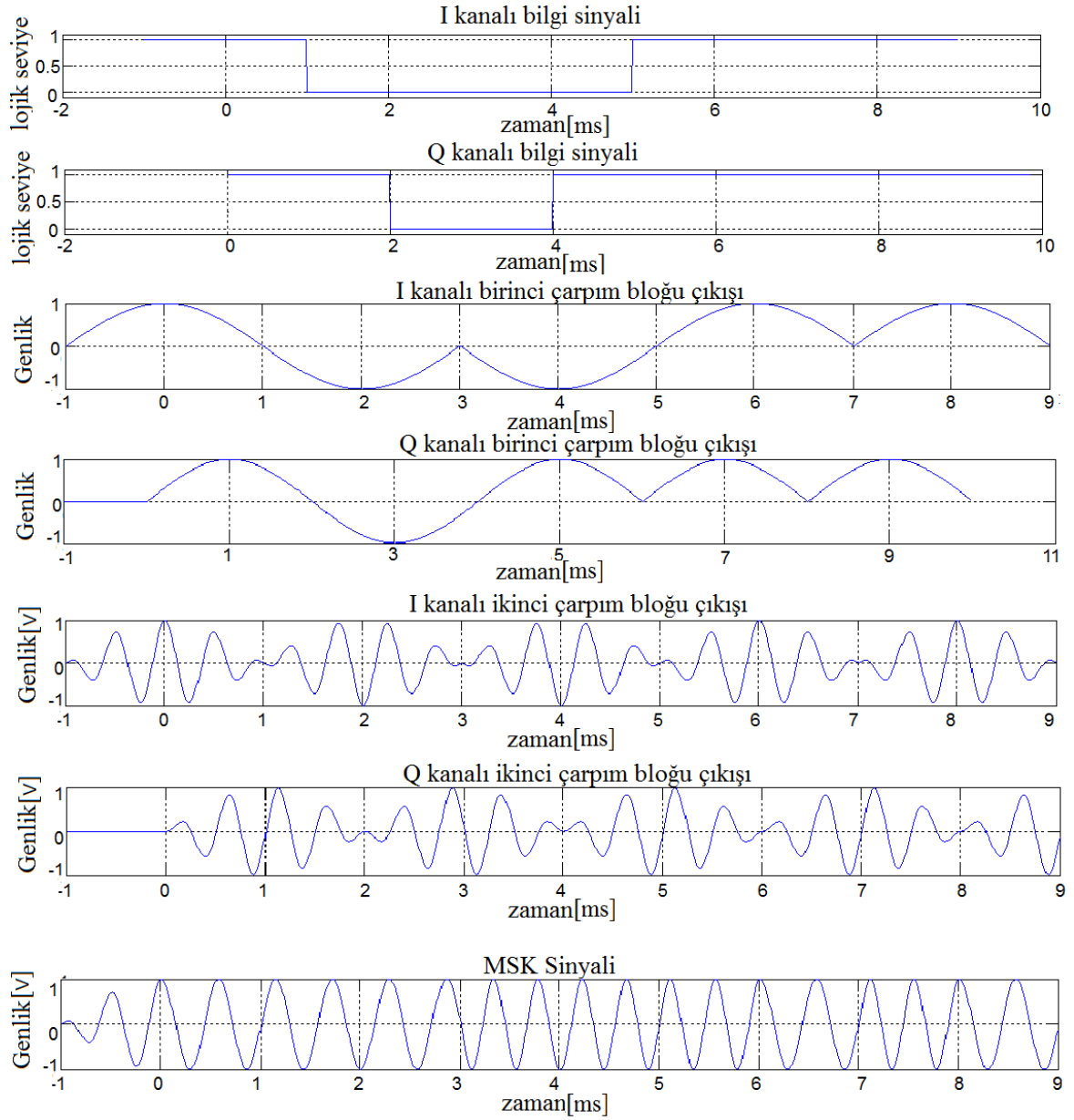
Şekil 2.29. MSK (MSK tip-I) sinyalinin veri bitlerine göre değişimi

Şekil 2.29’da kırmızı renkli ve turuncu renkli veri bitleri sırasıyla I kanalı ve Q kanalı bitlerini göstermektedir. Şekil dikkatli bir biçimde incelenirse I kanalı ve Q kanalı bitlerinin aynı olduğu zaman dilimlerinde MSK sinyalinin frekansı f_- olarak görülmekteyken farklı olduğu zaman dilimlerinde ise f_+ olarak görülmektedir. Bu durum ayrıca Denklem (2.20)’de açıklanmıştır. MSK faz ağacı kullanılarak Şekil 2.29’da görülen sinyalin faz değişimi Şekil 2.30’da görülmektedir.



Şekil 2.30. MSK (MSK tip-I) sinyalinin faz ağacı

Şekil 2.30’dan görüldüğü gibi u_k değerinin +1 ve -1 değerlerinde faz sabiti $+90^\circ$ ve -90° olarak değişmiştir. MSK tip-2 sinyalinin üretimi için de darbe biçimlendirici sinyallerinin sadece pozitif alternansları kullanılmaktadır. Bu durum ve MSK tip-2 sinyalinin zamana göre değişimi Şekil 2.31’de verilmiştir. Şekilden görüldüğü gibi geleneksel MSK mimarisinden farklı olarak darbe biçimlendirici sinyallerinin sadece pozitif alternansları kullanılmaktadır ve şekilde görülen MSK tip-II sinyalinin değişimi incelendiğinde I kanalı ve Q kanalı bitlerinin eşit olduğu zaman aralıklarında frekansın bazen f_- bazen de f_+ olduğu görülmektedir [91]. Bu durum geleneksel MSK demodülatör mimarisinde algılanan bitlerin hatalı olarak elde edilmesine neden olduğundan önerilen bu yöntem geleneksel demodülatör yapısı ile kullanılamamaktadır. Kullanılacak olan demodülatör mimarisinde darbe şekillendiricilerin sadece pozitif alternans sinyallerinin kullanılması gerekmektedir.



řekil 2.31. MSK tip-II sinyalinin veri bitlerine gre deęiřimi

3. SAYISAL MODÜLASYON TEKNİKLERİNİN FPGA UYGULAMASI

3.1. Giriş

FPGA yüksek saat frekanslarına sahip olduklarından, yüksek hızlarda veri işlenmesi gereken alanlarda oldukça fazla tercih edilmektedir. Sayısal haberleşme sistemleri de bu alanlardan birisidir. Haberleşme sistemlerinde gönderilen veya alınan verinin hızlı bir modülatör ile işlenmesi veya demodülatör ile algılanması kullanılan alıcı-verici sisteminin önemini artırmaktadır. Çünkü veri iletim oranının değişimi belirli bir süre içerisinde gönderilecek olan bit sayısını değiştirdiğinden sistemin çözünürlüğünü etkilemektedir.

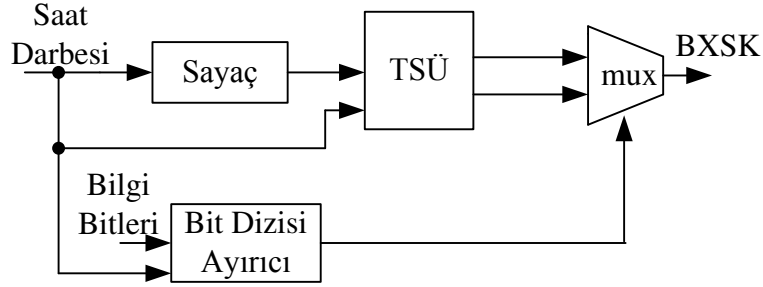
Yapılan çalışmalarda bir diğer önemli olan konu da FPGA'nın çalışma frekansından farklı olarak, kart üzerine uygulanacak modülatör ve demodülatörün maksimum çalışma frekansıdır. Çünkü FPGA kartının üretebileceği frekans ne kadar yüksek olursa olsun tasarımın hızı en uzun yolun çalışma süresiyle sınırlandırılacaktır. Bu süre kullanılarak sistemin çalışabileceği en üst frekans belirlenmektedir. Bu frekansa genellikle sistemin maksimum çalışma frekansı denir.

Maksimum çalışma frekansı sistemin hızını belirlerken bazen hızın önemli olmadığı veya donanım kullanımının önemsendiği durumlar olmaktadır. Mesela sistem hızı belirli bir değerden yukarıya ne kadar çekilirse çekilsin kanalın taşıyabileceği maksimum veri miktarı sınırlı olmaktadır. Bu gibi durumlarda donanımsal olarak da verimliliğin sağlanması çalışılan başlıca konulardandır [92-94]. Bu tez çalışmasında geleneksel QPSK ve BPSK modülatör mimarilerinden farklı olarak ram bit kullanımı açısından verimli çalışan donanımsal mimarilere sahip QPSK ve BPSK modülatör şemaları oluşturulmuştur. Oluşturulan modülatör şemaları kullanılan ram bit sayısını düşürmektedir.

3.2. FPGA Tabanlı Sayısal İkili Modülatörler

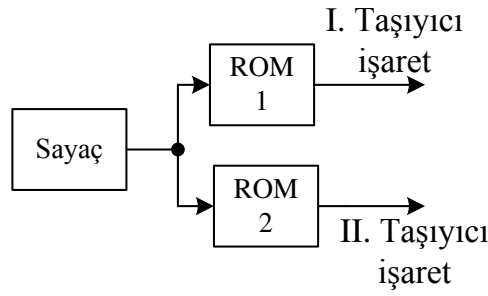
Bu çalışmada gerçekleştirilen FPGA tabanlı uygulamalarda kullanılacak yaygın bloklar; sayaç bloğu, ROM'lar ve MUX bloğu olarak tanımlanabilir. Bu bloklardan ROM, sayıcı ve MUX kullanıcı tarafından tasarlanabildiği gibi Altera firmasının üretmiş olduğu Quartus programından hazır olarak da temin edilebilir. Ayrıca senkronizasyonun sağlanması açısından bit dizisi ayırıcı bloğu içerisine eklenen kodlar ile bit disizi ayırıcı

bloğu kontrol bloğu olarak da çalıştırılabilmektedir. FPGA tabanlı olarak gerçekleştirilen ikili sayısal modülasyon teknikleri için ortak bir blok diyagram Şekil 3.1’de görüldüğü gibidir.



Şekil 3.1. FPGA tabanlı BASK, BPSK, BFSK modülatör blok diyagramı

Şekil 3.1’de sayaç, TSÜ (taşıyıcı sinyal üretici) bloğunun adres değerini artırarak ilgili adresteki örneğin çıkışa aktarılmasını sağlamaktadır. MUX bloğunu çalıştırmak için bu blok diyagramda saat darbesi kullanılmamıştır. Ayrıca şekilde görünen modülatör yapısında taşıyıcı sinyal, faz kilitlemeli çevrim (PLL) tekniği kullanılarak da üretilmektedir. ROM tabanlı tekniğe göre PLL tekniği gerçekleştirilecek olan işlemin hızını daha da artırmaktadır. Çünkü PLL tekniğinde taşıyıcı sinyal kare dalgadır ve ROM tekniğinde olduğu gibi taşıyıcının üretiminde sayısal örnekler kullanılmamaktadır. Ancak kare dalga kullanılarak gerçekleştirilen bir sistemde PLL yapısından dolayı yüksek frekanslarda problemler oluşmaktadır. Yüksek frekanslarda modülasyonu kolaylaştıran aşama kare dalganın gittikçe sinüse benzemesidir. Dezavantaj ise farklı frekanstaki ve fazdaki sinyallerin genlik değerlerinin farklı olmasıdır. Yüksek frekanslarda OOK anahtarlaması yapılarak gerçekleştirilen modülasyon tekniği (BASK) en verimli çalışabilecek tekniklerden birisi olabilir. Şekil 3.1’de görülen taşıyıcı sinyal üretici Şekil 3.2’de görüldüğü gibi ifade edilebilir.



Şekil 3.2. Taşıyıcı sinyalin üretimi

Şekil 3.2’de ROM içerisine taşıyıcı sinyalin örnekleri kaydedilmiştir. Sayaç kullanılarak ROM’un ilgili adresindeki örnek çıkışa verilir ve taşıyıcı sinyal sayısal olarak üretilmiş olur. Quartus programında kullanılan ROM yapısı Şekil 3.3’te görülmektedir. ROM kullanabilmek için *.mif* uzantılı bir dosya açılması gerekmektedir. Bu dosya içerisine kullanılan taşıyıcının sayısal örnekleri kaydedilir. Kaydedilen veriler kullanılan sayaç ile adres kontrolü yapılarak ROM bloğu çıkışına aktarılmaktadır. Bir ROM bloğuna ait bellek gösterimi ise Tablo 3.1’de görüldüğü gibidir.

Tablo 3.1 ROM bellek gösterimi

Adres-1	Örnek-1
Adres-2	Örnek-2
.	.
.	.
.	.
Adres-(n-2)	Örnek-(n-2)
Adres-(n-1)	Örnek-(n-1)
Adres-n	Örnek-n

ROM seçimi yaparken çağrılan ve veri kaydedilmemiş *.mif* uzantılı dosyanın içeriği Şekil 3.3’te görüldüğü gibidir.

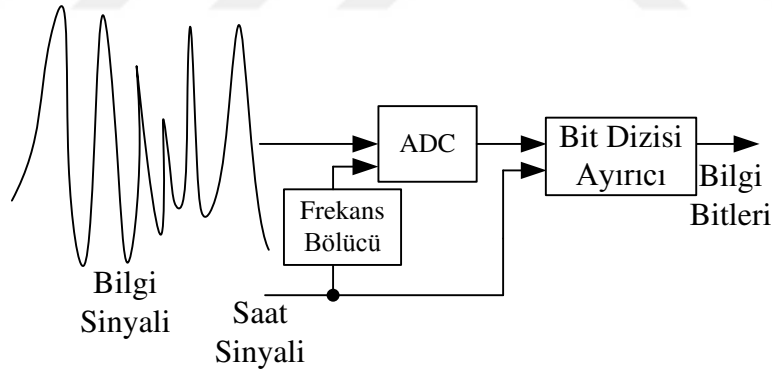
Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
8	00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000000
16	00000000	00000000	00000000	00000000				

Şekil 3.3. mif dosyası

Şekil 3.3'te görüldüğü gibi .mif dosyası 20 adresten oluşmakta ve her bir adres içeriği 8 bitlik sayılardan oluşmaktadır. Dosya içerisine herhangi bir veri kaydedilmediğinden dolayı bütün adres satırları 00000000 olarak görülmektedir. Sadece VHDL veya verilog kod kullanılarak .mif dosyası kullanılmadan gerçekleştirilen ROM mimarileri de bulunmaktadır.

Herhangi bir sayaç ve ROM kullanmadan, yine Quartus programı içerisinde hazır sinyal üretici blokları (NCO) bulunmaktadır. Bu blok kullanılarak da taşıyıcı sinyallerinin üretimi gerçekleştirilebilir. Frekans kaydırmalı anahtarlama tekniği ile veri iletimi gerçekleştirildiğinde NCO bloğunun faz artış değerinin her bit değişiminde kontrol edilmesi gerekmektedir. Ancak NCO bloklarının kaynak kullanım miktarları oldukça yüksek olduğundan bu yöntem fazla tercih edilmemektedir.

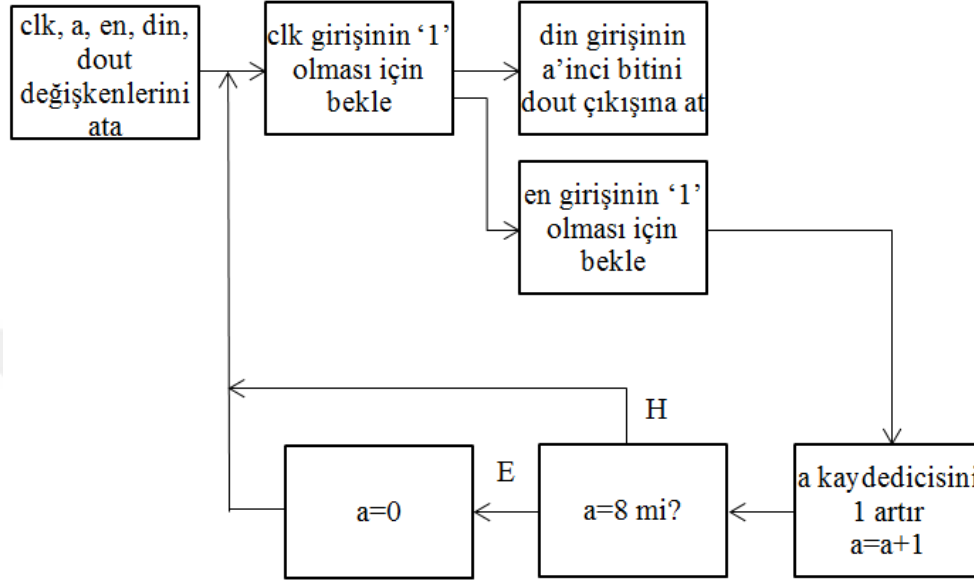
Bit dizisi ayırıcı bloğu gelen bilgi sinyalinin kodlanmış örnekleri için kullanılmaktadır. Bilgi sinyali sayısal olarak dönüştürüldükten sonra bit dizisi ayırıcıya uygulanmıştır. Örneğin Şekil 3.4'te bu durum ifade edilmektedir.



Şekil 3.4. Bilgi sinyali-bit dizisi ayırıcı ilişkisi

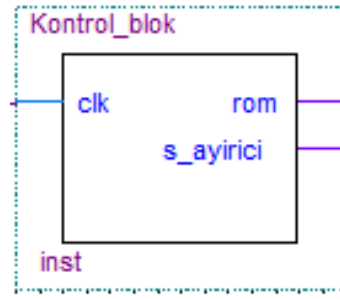
Şekil 3.4'ten de görüldüğü gibi bilgi sinyali zamanla genliği değişen bir işarettir. Bilgi sinyali bir analog-sayısal dönüştürücü (ADC) yardımıyla örneklendikten sonra kodlanarak bit dizisi ayırıcı girişine uygulanmaktadır. Ayrıca saat sinyali de bit dizisi ayırıcı girişine uygulanarak iletilecek olan bit bu blok yardımıyla ADC çıkışındaki sayısal veriden ayrıştırılmaktadır. Kullanılan ADC nin yapısına göre, iletilecek olan her kodlanmış örneğin bit sayısı değişmektedir. Ayrıca ADC'nin kullanılabilmesi için belirli frekans aralığında saat darbesi uygulanması gerektiğinden frekans bölücü yardımıyla gelen saat sinyalinin

frekansı düşürülmektedir. Ayrıca bit sayısının bit dizisi ayırıcı tarafından da bilinmesi gereklidir. Bir bit dizisi ayırıcı için kullanılan algoritma Şekil 3.5'te olduğu gibi yazılabilir. Şekilde kullanılan bit dizisi ayırıcı, çıkışı 8 bit olan ADC için tasarlanmıştır.



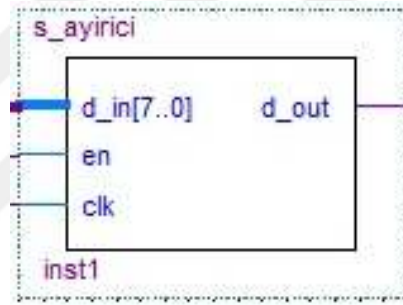
Şekil 3.5. Bit dizisi ayırıcı algoritması

Şekil 3.5'te *clk* ve *en* sırasıyla saat ve yetkilendirme sinyalleridir. Ayrıca *din*, *dout* ve *a* değişkenleri ise sırasıyla 8 bitlik giriş pini, 1 bitlik çıkış ve kaydedici olarak tanımlanmaktadır. Kaydedici değeri ADC çıkışındaki sayısal verinin bit sayısına göre ayarlanmaktadır. Ayrıca her saat sinyali geldiğinde, yetkilendirme sinyali kontrol edilmeksizin *din(a)* biti çıkışa (*dout* pinine) aktarılmaktadır. Eğer senkronizasyonun sağlanmasında problem varsa yetkilendirme sinyali tasarımlarda kullanılmaktadır. Yetkilendirme girişinin lojik '1' olması demek kontrol bloğu tarafından sembol ayırıcının aktif edilmiş olması demektir. Bu gerçekleştiğinde *a* kaydedicisi 1 değer artırılır ve belirli bir sınır değer ile karşılaştırılır. FPGA üzerinde gerçekleştirilen bloklardan kontrol bloğu Şekil 3.6'da görüldüğü gibidir. Kontrol bloğu ve bit dizisi ayırıcı bloğu ikili sayısal modülasyon teknikleri için aynıdır.



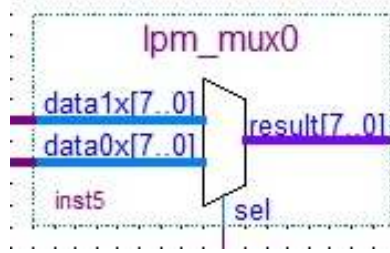
Şekil 3.6. Modulatörler için kontrol bloğu

Şekil 3.6'dan da görüldüğü gibi *kontrol_blok* bir girişli ve iki çıkışlıdır. Bloğun *ROM* ve *s_ayirici* çıkışları sinyal üreticini ve bit ayırıcıyı aktif etmek için kullanılmaktadır ve *clk* girişi ise saat sinyali girişi içindir.



Şekil 3.7. Bit dizisi ayırıcı bloğu

Şekil 3.7'de verilen bit dizisi ayırıcı bloğunun üç girişi ve bir çıkışı bulunmaktadır. ADC çıkışı *d_in* pinine bağlanmaktadır. Diğer girişler ise *en* ve *clk* olup bunlar da kontrol bloğunun ürettiği yetkilendirme sinyalinin ve saat sinyalinin girişleridir. Bit dizisi ayırıcı (*s_ayirici*) bloğunun çıkışı *d_out* ise MUX bloğunun seçici pin girişine bağlanarak gelen sembolün durumuna göre MUX bloğunun ilgili girişini çıkışa aktarmak için kullanılmaktadır. Ancak Şekil 3.7'de verilen örnek *d_out* çıkışının bir bit olması nedeniyle ikili sayısal modülasyon teknikleri için geçerlidir. Anahtarlama görevini gören MUX bloğunun Quartus programı kullanılarak oluşturulmuş biçimi Şekil 3.8'de görüldüğü gibidir.

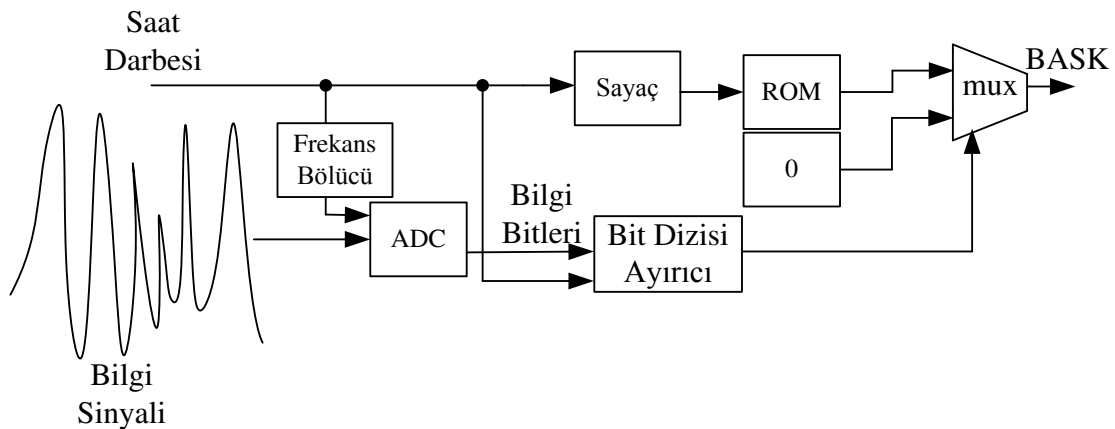


Şekil 3.8. MUX bloğu

Şekilden görüldüğü gibi bir taşıyıcıyı oluşturan her bir kodlanmış örnek 8 bitten oluşmaktadır. Giriş pinlerinden *sel* girişi seçici pin görevini görmektedir. Bu giriş pinine gelen bilgi biti '1' ise *data1x* girişi aktif ediliyorken, '0' bilgi bitinde *data0x* girişi aktif edilmektedir. Sonuç itibarıyla üretilecek olan modülatör *result[7..0]* çıkışından sayısal olarak üretilmektedir. Zamana göre değişim incelenecek olduğunda bu çıkış 8 bitlik bir sayısal-analog dönüştürücü (DAC) çıkışına bağlanarak, DAC çıkış sinyali analiz edilebilir.

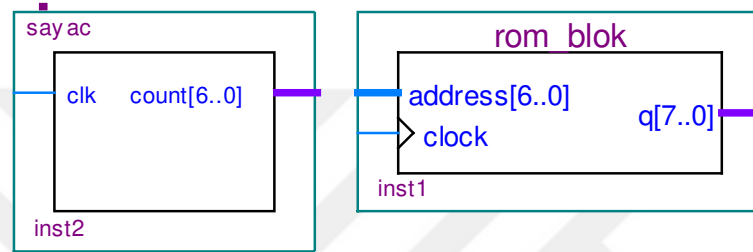
3.3. FPGA Tabanlı BASK Modülatör Tasarımı

FPGA tabanlı olarak gerçekleştirilen ikili genlik kaydırmalı anahtarlama, OOK tekniği kullanılarak gerçekleştirilmiştir. Çünkü bu şekilde gerçekleştirilen BASK, iki genlikli taşıyıcı kullanılarak gerçekleştirilen modülatörlere göre daha az güç harcayarak büyük avantaj sağlamaktadır. MUX anahtarı yardımıyla T_b veri iletim süresi boyunca taşıyıcı sinyali anahtarlanarak ikili genlik kaydırmalı sinyal üretilebilir. Şekil 3.9, OOK tekniği kullanılarak gerçekleştirilen ikili genlik kaydırmalı anahtarlama modülasyonunun blok diyagramını göstermektedir.



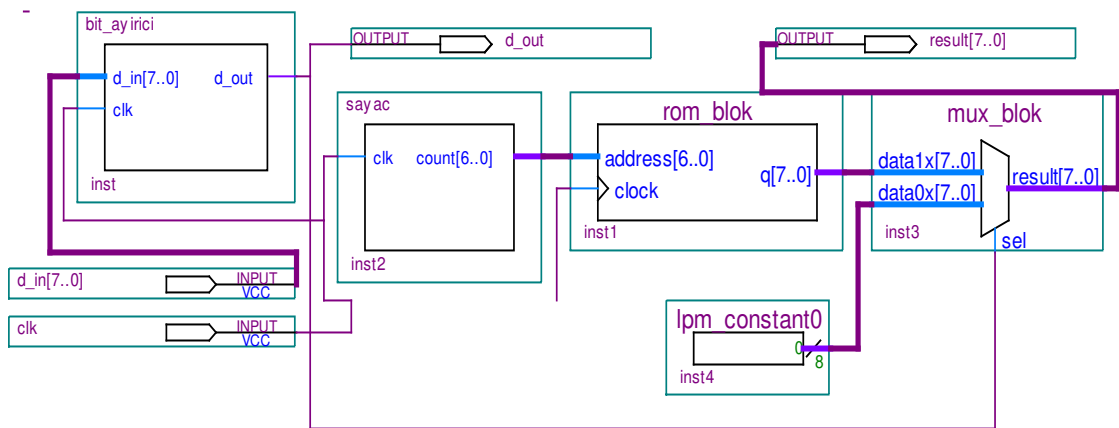
Şekil 3.9. FPGA tabanlı BASK modülatörün blok diyagramı (OOK Tekniği)

Şekil 3.9’da bilgi sinyali ayrıklaştırılarak bit dizisi ayırıcı girişine uygulanır ve bit dizisi ayırıcı çıkışı MUX bloğunun seçici pin girişine uygulanarak BASK sinyalinin oluşumunu sağlamaktadır. İletilecek veri biti ‘1’ ise MUX çıkışında ROM bloğundaki sinyal aktif ediliyorken, ‘0’ bilgi biti için MUX bloğu çıkışında herhangi bir sinyal görülmez. Bu şekilde gerçekleştirilen modülatör şeması OOK tekniği kullanılarak gerçekleştirilmiştir.



Şekil 3.10. BASK modülatörü için sinyal üretici

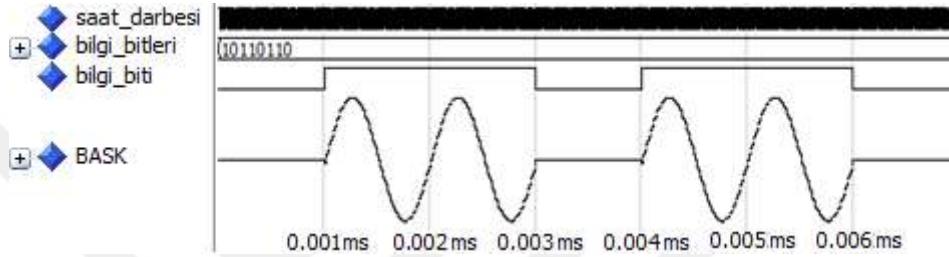
Şekil 3.10’da görüldüğü gibi BASK modülasyonu için kullanılacak olan taşıyıcı sinyalin üretiminde, OOK tekniği için tek taşıyıcı üretilmektedir. Bu çalışmada gerçekleştirilen BASK modülasyonu da OOK tekniği kullanılarak gerçekleştirileceğinden tek taşıyıcı sinyal üretici yeterlidir.



Şekil 3.11. FPGA tabanlı BASK modülatör

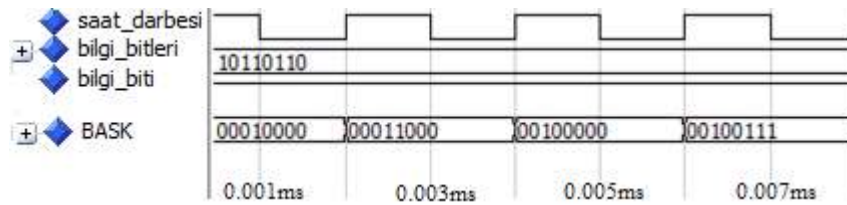
Şekil 3.11’de MUX bloğunun *data0x* girişine sabit bir sayı olarak 0 girilmektedir. Diğer girişine ise Şekil 3.10’da verilen sinyal üreticinin çıkışı uygulanmıştır. Modülatör yapısı

bir bütün olarak incelendiğinde oldukça basit bir modölatör bloğu tasarlandığı görölmektedir. Ayrıca Quartus programında tasarlanan mimari yapılarının benzetim sonuçları modelsim-altera programı kullanılarak incelenecektir. Ayrıca tasarımlar için Cyclone IV ailesinden EP4CE22F17C6 cihazı seçilmiştir. Cyclone IV ailesi için Quartus programı giriş ve çıkış pinleri için benzetim sonuçlarını desteklemediğinden modelsim-altera programı kullanılarak benzetim sonuçları incelenmiştir [95]. Benzetim sonuçları inceleneceği için *bilgi_bitleri* girişine 8 bitlik bir sayı atanacaktır.



Şekil 3.12. FPGA tabanlı BASK benzetim sonucu

Şekil 3.12’de görüldüğü gibi bit dizisi ayırıcının çıkışı olan *bilgi_biti*, *bilgi_bitleri* girişinin bitlerini ayrıştırarak ilgili bit için taşıyıcının aktif edilmesi gerçekleştirilmektedir. Şekilden de görüldüğü gibi her bir bitin iletimi için bir periyotluk taşıyıcı sinyal kullanılmaktadır. BASK çıkış pini ise BASK modülasyonlu işareti göstermekte olup, işaretin sayısal olarak gösterimi Şekil 3.13’te görölmektedir.



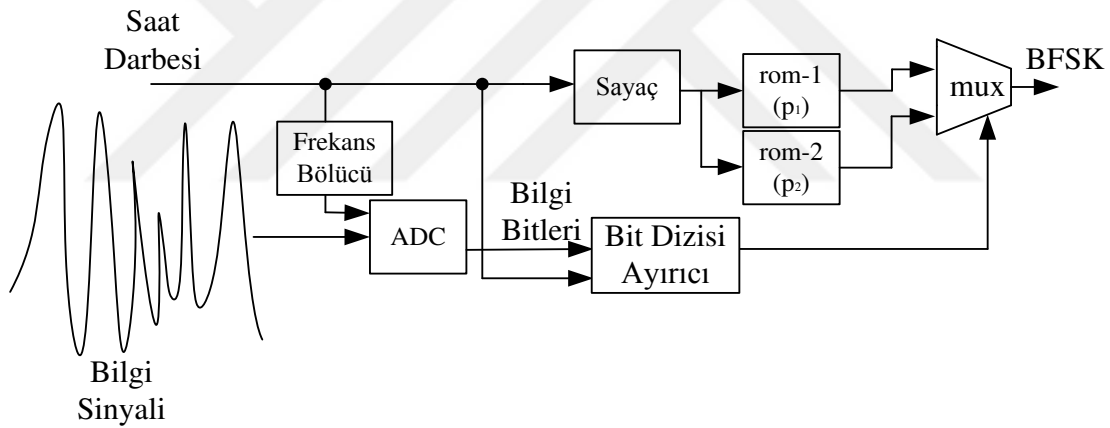
Şekil 3.13. BASK modölatörünü oluşturan sinyallerin zamana göre değişimi

Taşıyıcı üretimi için kullanılan ROM ve sayaç blokları her saat sinyali geldiğinde çalışmaktadır. Benzetim sonuçlarından da görüldüğü gibi bloklar arasındaki senkronizasyon sağlanmıştır. Bu şekilde gerçekleştirilen modölatör tasarımında her bir örneğin bir saat sinyali süresince iletildiği görölmektedir. Eğer taşıyıcı sinyalin üretimi için yetkilendirme sinyali kullanılsaydı her bir örnek iki saat sinyali süresince gönderilecekti ve

veri iletim oranı %50 oranında azalacaktı. Çünkü aynı saat darbesi süresince paralel çalışma sağlanmayacaktı.

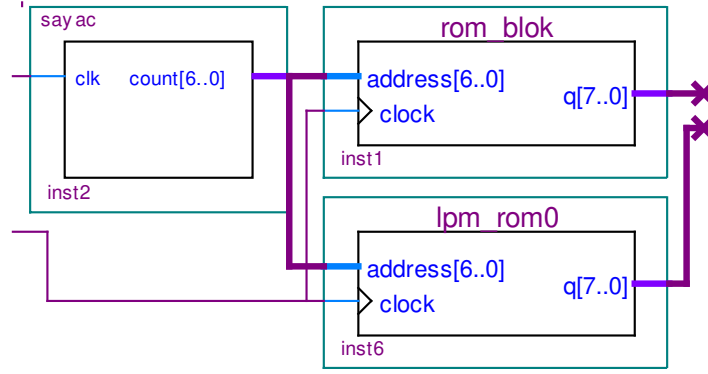
3.4. FPGA Tabanlı BPSK Modölatör Tasarımı

FPGA tabanlı olarak gerçekleştirilen BPSK modölatör için iki ayrı taşıyıcı sinyalin üretilmesi gerekmektedir. Bu iki sinyal arasında 180 derecelik faz farkının olması gerekmektedir. Geleneksel BPSK demodölatör yapısı kullanılmak istenirse verici tarafta '1' bilgi sinyali için kullanılan taşıyıcının alıcı tarafta çarpım devresine uygulanması gerekmektedir. Bu modölatör şemasının BASK modölatör şemasından tek farkı ikinci bir taşıyıcıya ihtiyaç duyulmasıdır. Temel bir FPGA tabanlı BPSK modölatör Şekil 3.14'te görüldüğü gibidir.



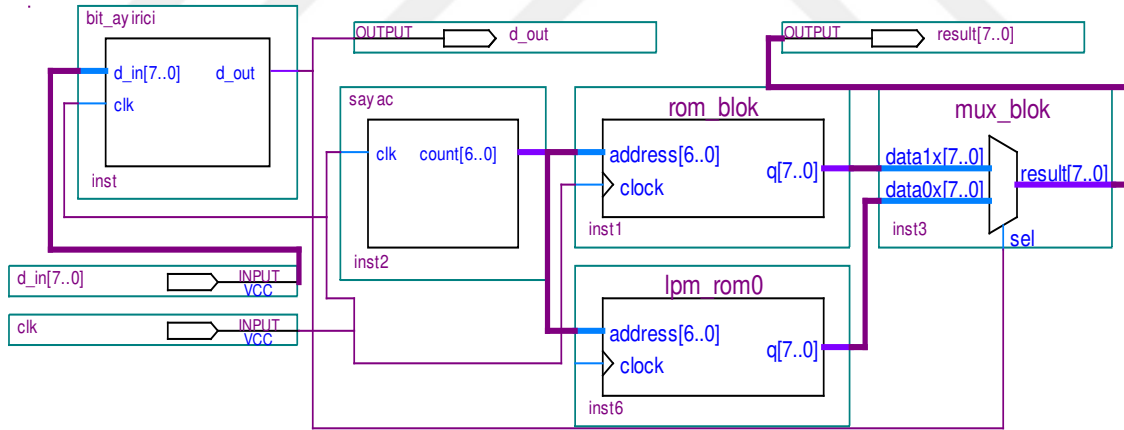
Şekil 3.14. FPGA tabanlı BPSK modölatör blok diyagramı

Şekil 3.14'ten de görüldüğü gibi taşıyıcı sinyalin kendisi ile 180 derece fazı kaydırılmış şekli MUX girişine uygulanmaktadır. Gerçekteki uygulamada 180 derece faz kaydırılmış taşıyıcı sinyal örnekleri ROM içerisinde kaydedilmiş durumdadır. İletilecek olan bilgi biti '1' ise örnekleri *ROM-1* içerisine kaydedilen taşıyıcı sinyal iletiliyorken, bilgi biti '0' olduğunda iletilcek olan sinyal *ROM-2* içerisine kaydedilmiş örneklerdir. BPSK modülasyonu için kullanılan taşıyıcı üretimi Şekil 3.15'te görüldüğü gibidir.



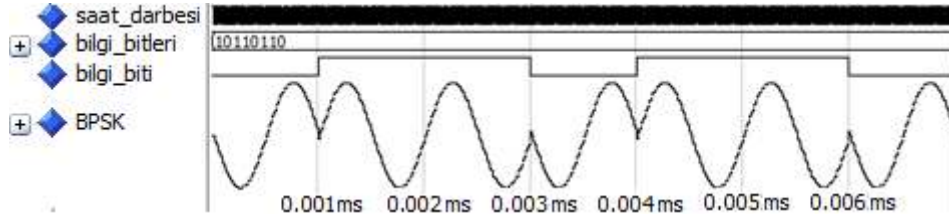
Şekil 3.15. BPSK taşıyıcı sinyal üretimi

Şekil 3.15'te *rom_blok*'ta fazı sıfır olan bir sinüs işaretinin örnekleri mevcutken, *lpm_rom0* bloğu içerisinde 180 derecelik faz kaymasına uğramış sinüs işaretinin örnekleri kaydedilmiştir. Şekilde iki ayrı ROM kullanmak yerine 0 derece faza sahip sinyali -1 ile çarpılarak 180 derece faz farkına sahip sinyal üretilebilir. Ancak ROM bloğu çıkışı ile çarpıcı bloğu çıkışının senkronize olabilmesi için ROM bloğu çıkışına kaydedici bağlanması gerekir. Şekil 3.16, FPGA tabanlı BPSK modülatörü göstermektedir.



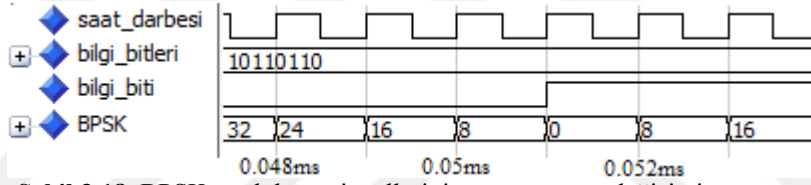
Şekil 3.16. FPGA tabanlı BPSK modülatör

Şekil 3.16'da görülen BPSK modülatörün BASK modülatörden farkı, iki taşıyıcının üretiminin gerçekleştirilmesidir. Anahtarlama görevi gören MUX bloğunun çıkışı (*result* pini), BPSK modülasyonlu sinyali 8 bitlik sayısal verilerle ifade etmektedir. Bilgi sinyalinin durumuna göre '1' bilgi sinyali için *rom_blok* çıkışındaki sayısal veriler MUX çıkışında aktif edilirken, '0' bilgi biti için *lpm_rom0* çıkışındaki sayısal veriler MUX çıkışında görülmektedir.



Şekil 3.17. FPGA tabanlı BPSK benzetim sonucu

Şekil 3.17’de FPGA tabanlı BPSK modülatörün benzetim sonucu görülmektedir. Şekilden de görüldüğü gibi ‘1’ bilgi sembolü için fazı sıfır olan bir sinüs sinyali iletiliyorken, ‘0’ bilgi sembolü için de 180 derece fazı kaydırılmış bir sinüs sinyali iletilmektedir. Bu durum Şekil 3.18’de tam faz geçişlerindeki sayısal örnek değerlerindeki değişimin gösterimi ile detaylandırılmıştır.



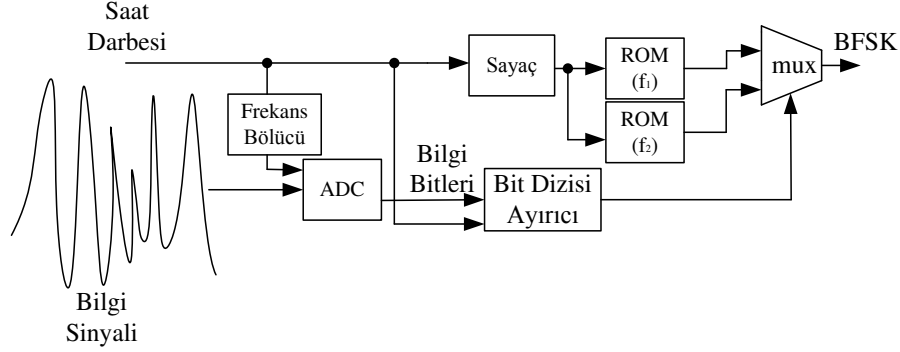
Şekil 3.18. BPSK modülatör sinyallerinin zamana göre değişimi

Şekil 3.18’de BPSK modülatörün zamana göre sayısal örneklerinin değişimi görülmektedir. Şekilden de görüldüğü gibi 0-1 bit değişiminin gerçekleştiği zaman anında sinyal pozitif alternanstan negatif alternansa geçiyorken ‘1’ bilgi bitinin gelmesi nedeniyle fazı kaydırılmamış sinüs işaretinin iletimi gerçekleştirilmiştir. Bu nedenle 0-1 bilgi biti değişiminde 180 derecelik faz geçişi sağlanmış olmaktadır.

3.5. FPGA Tabanlı BFSK Modülatör Tasarımı

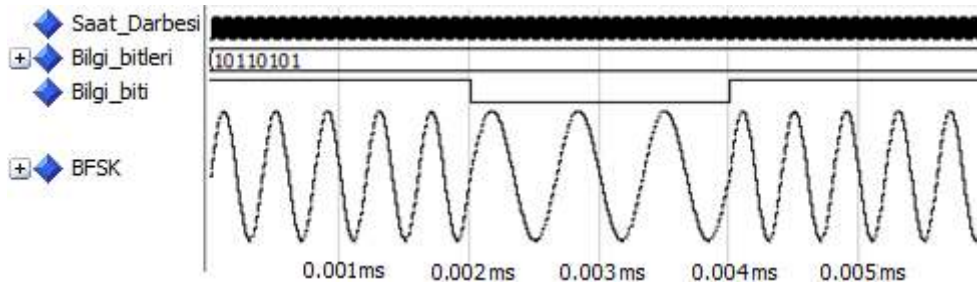
BPSK modülatöründe olduğu gibi BFSK modülatöründe de taşıyıcı sinyallerin üretiminde iki ayrı ROM bloğu kullanmak gerekmektedir. ROM bloklarından birisi yüksek frekanslı taşıyıcı sinyal örneklerini saklıyorken, diğeri de düşük frekanslı taşıyıcı sinyalin örneklerini taşımaktadır. Gerçekleştirilen tasarımda ‘1’ bilgi sinyali için yüksek frekanslı taşıyıcı sinyal iletiliyor ve ‘0’ bilgi sinyali için de düşük frekanslı taşıyıcı sinyal iletiliyor. FPGA tabanlı BFSK modülatörün blok diyagramı Şekil 3.18’de görüldüğü gibidir.

Şekilden de görüldüğü gibi MUX bloğu gelen veri bitinin durumuna göre f_1 veya f_2 frekansındaki taşıyıcı işaretleri çıkışına aktarmaktadır.



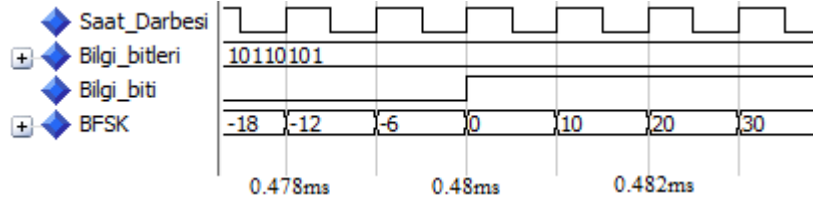
Şekil 3.19. FPGA tabanlı BFSK modülör blok diyagramı

Taşıyıcı sinyallerin üretimi için Şekil 3.15'te BPSK sinyal üretici için verilen bloklar aynı şekilde kullanılmıştır. Tek fark ROM blokları içerisine kaydedilen sinyallerin frekanslarıdır. BFSK modülasyonu için ROM içerisine 400 adet örnek kaydedilmiştir. Taşıyıcı frekans örnekleri ROM içerisine kaydedildikten sonra çalışma frekansı taşıyıcı sinyallerin frekansını belirlemektedir. Bir bit iletimi için 200 örnekli bir taşıyıcı sinyal kullanıldığında ve taşıyıcı sinyal 50 örnekte kendisini tekrar ettiğinde, bir bit iletimi için 4 periyotluk sinyal kullanılmış olur. Saat frekansı 50 MHz (periyot 20 ns) olarak seçildiğinde taşıyıcı frekansı 1 MHz olur. Ancak saat frekansı 100 MHz olarak seçilirse taşıyıcı frekansı 2 MHz olmaktadır. Maksimum çalışma frekansının kullanıcıya bağımlılığı sınırlıdır. Çünkü FPGA donanımının tasarladığımız mimariyi çalıştırabilmesi için belirlediği bir frekans değeri vardır. FPGA tarafından belirlenen maksimum çalışma frekansının üzerindeki bir frekans değerinde tasarım çalıştırılırsa sistemin veri işleme senkronizasyonunda bozulmalar oluşmaktadır. BFSK modülasyonu için benzetim sonuçları Şekil 3.20'de görülmektedir.



Şekil 3.20. BFSK modülörü için benzetim sonuçları

Şekil 3.21’de BFSK modülatörün sayısal örneklerinin zamana göre değişimi görülmektedir. Şekilde sadece bit değişiminin geçişi sırasında sayısal verilerin değişimi görülmektedir. Negatif bir değerden pozitif bir değere geçilmesi faz farkı olmadığını gösterebilmektedir.

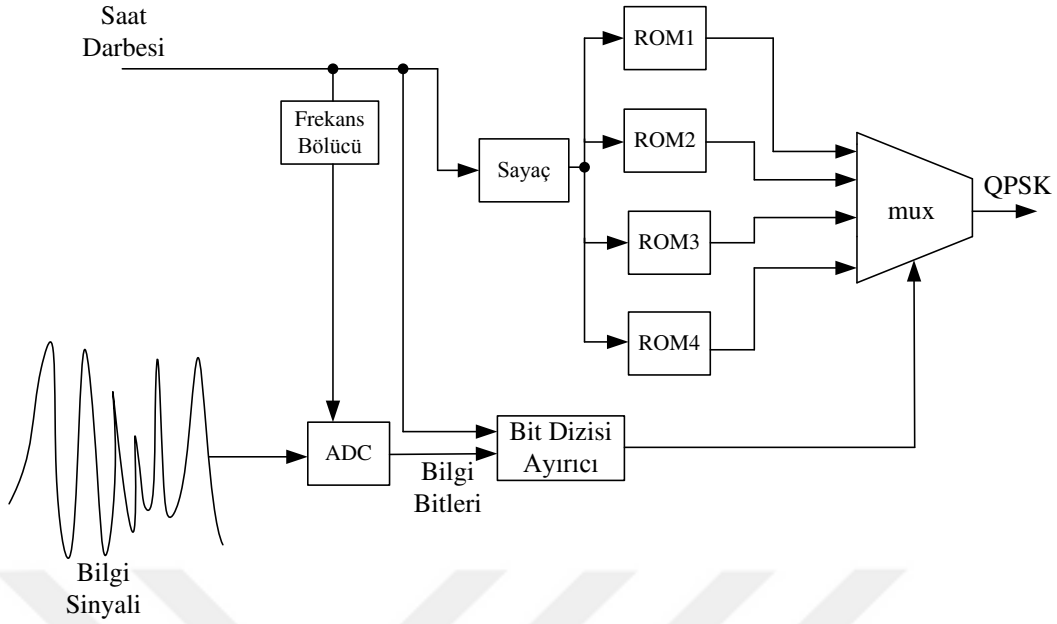


Şekil 3.21. BFSK modülasyonlu sinyalin sayısal örneklerinin zamana göre değişimi

Şekil 3.21’de desimal -6 sayısı ‘0’ biti gönderildiğinde iletilen taşıyıcının son örneği olmakla birlikte desimal 0 sayısı da ‘1’ bilgi bitini göndermek için kullanılan taşıyıcının ilk örneğidir.

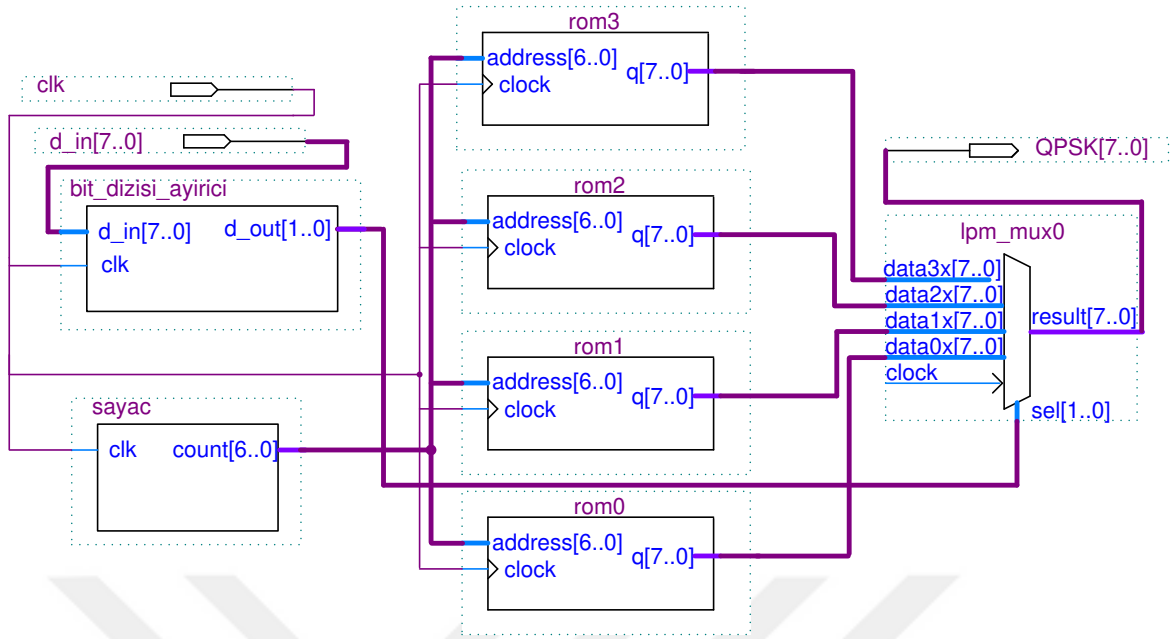
3.6. FPGA Tabanlı QPSK Modülatör Tasarımı

Bu bölümde incelenen modülatör şemalarında her sembol bir bitten oluşmaktadır. Bant genişliği verimliliğini artırmak amacıyla sembolü oluşturan bit sayısını artırarak bir bit periyodu süresinin katlarında iletim yapılmaktadır. QPSK modülasyonunu da gerçekleştirebilmek için bir sembolün iki bit ile ifade edilmesi gerekir. Ancak bu bitlerin işlenmesi bir bit periyodunun iki katı süresince gerçekleşir. Sonuç olarak iki bitin iletimi için geçen süre bir sembolün iletimi için geçen süreye eşit olur. Bir sembol de iki bitten oluştuğu için veri iletim oranı değişmezken bant genişliği artmış olur. Şekil 3.22’de FPGA tabanlı QPSK modülatörün blok diyagramı verilmiştir.



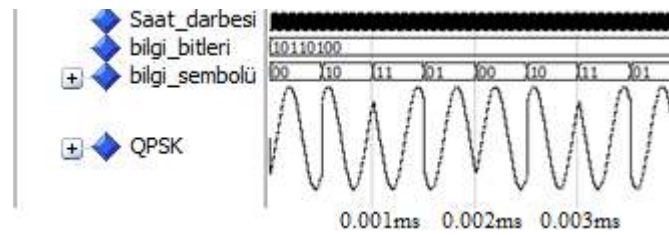
Şekil 3.22. FPGA tabanlı QPSK modülatör blok diyagramı

Şekil 3.22’den de görüldüğü gibi QPSK modülasyonu için dört adet ROM belleğe ihtiyaç duyulmaktadır. Çünkü bu modülasyon tekniğinde dört farklı durum bulunmaktadır. Bunlar sembollerin değerine göre; 00-01-10-11 olarak sıralanabilir. Sembol değeri 00 olursa QPSK modülasyonlu sinyal bir önceki bölümde açıklandığı gibi $7\pi/4$ ’lük bir faza sahip olur. Ayrıca diğer semboller için de sırasıyla $5\pi/4$, $3\pi/4$ ve $\pi/4$ faz değerlerine sahip olmalıdır. Bu dört durum için de iletilmesi gereken sinyaller Şekil 3.22’de görülen ROM bloklarına kaydedilmiştir. *Bit_dizisi_ayırıcı* bloğunun çıkışındaki sembolün durumuna göre MUX bloğu girişindeki verilerden birisini aktif eder ve QPSK sinyali oluşur. İkili modülasyon şemalarında olduğu gibi bu modülasyon şemasına da MUX tabanlı mimari denilmektedir. Geleneksel mimariye göre daha pratik olduğu görülmektedir. Çarpım ve toplam bloklarının yerine sadece bir MUX ile QPSK modülasyonlu sinyal oluşturulmaktadır. BPSK modülatörde olduğu gibi QPSK için de aralarında 180 derece faz farkına sahip olan sinyaller birbirlerine göre simetrik olduklarından bir sinyalin verileri kullanılarak diğer sinyal üretilmektedir. Ancak üretebilmek için kaydedici ve çarpım bloklarına ihtiyaç vardır. MUX tabanlı QPSK modülatör şemasının FPGA ortamında gerçekleştirilmiş tasarımı Şekil 3.23’te görüldüğü gibidir.



Şekil 3.23. FPGA tabanlı QPSK modülör

Şekil 3.23'ten görüldüğü gibi I ve Q kanalı bitleri d_out pini yardımıyla birleştirilmiştir. Yani d_out pini iletilecek sembolü göstermektedir. Bu pin MUX bloğunun seçici pinine bağlanarak bloğun giriş verilerini kontrol etmektedir. Sonuç olarak $result$ çıkışı da QPSK modülasyonlu sinyali vermektedir. Şekil 3.24'te FPGA tabanlı QPSK modülör için benzetim sonuçları verilmiştir.

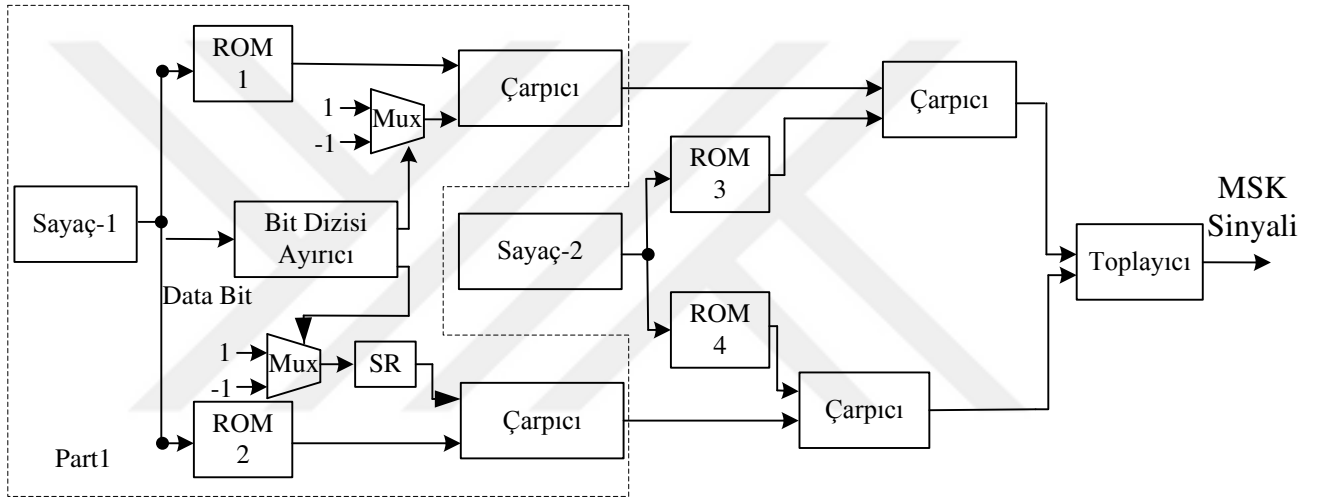


Şekil 3.24. FPGA tabanlı QPSK modülör için benzetim sonuçları

Şekil 3.24'te görüldüğü gibi her bir sembolün değişimi için bir periyotluk taşıyıcı sinyal kullanılmıştır. Bir önceki bölümde verilen matlab çıktıları ile karşılaştırıldığında elde edilen benzetim sonuçlarının doğru olduğu görülmektedir. Bilgi sembollerini oluşturan bitlerden birisinin değişiminde sadece 90 derecelik faz farkı oluşmaktadır. Ancak iki bitin de değiştiği semboller arası geçişlerde 180 derecelik faz farkı bulunmaktadır.

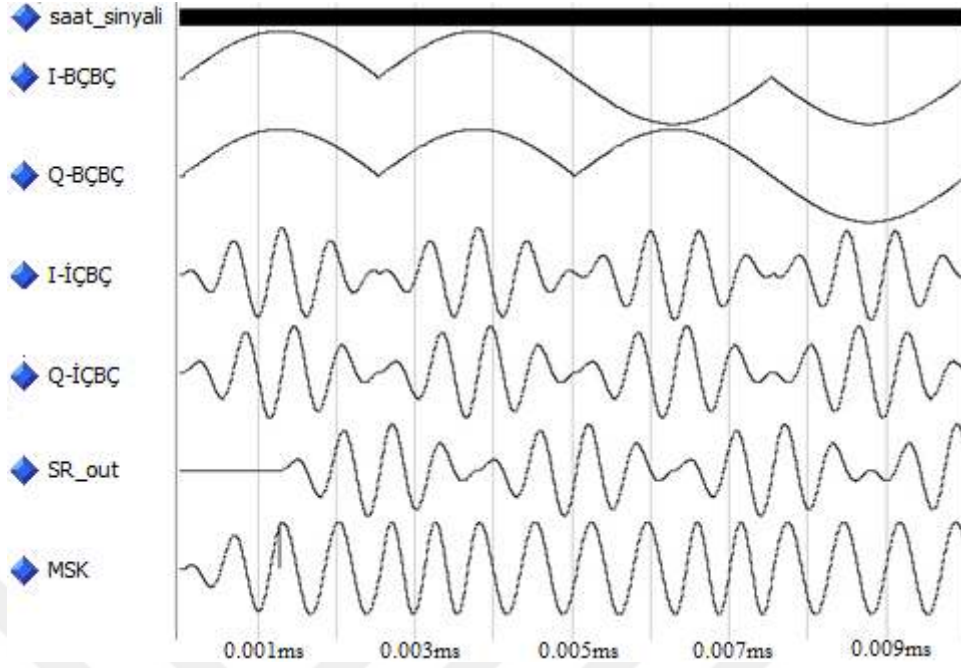
3.7. FPGA Tabanlı MSK Modülör Tasarımı

MSK modülör mimarisinin tasarımı için taşıyıcı sinyallerin ve darbe biçilendirme sinyallerinin üretimi için ROM bloklarına ihtiyaç duyulmaktadır. Ayrıca darbe biçilendirme sinyallerinin ve taşıyıcı sinyallerin bilgi sinyalleri ile çarpılması için iki tane I kanalı ve iki tane de Q kanalı için toplamda dört tane çarpım bloğu kullanılmalıdır. Ayrıca I kanalı ve Q kanalı sinyalleri bir toplama bloğu yardımıyla çıkışta toplanarak MSK sinyalini oluşturmaktadırlar.



Şekil 3.25. Geleneksel MSK yapısı

Şekil 3.25'te kullanılan mimaride SR bloğu kaydırmalı kaydedici olarak çalışmaktadır. I kanalı bitlerini yarım bit periyodu süresince geriye çekmek yerine Q kanalı bitlerinin yarım periyot geciktirilmesi gerçeğe yakın olduğu için blok şema bu şekilde gösterilmiştir. Şekilde kullanılan bit dizisi ayırıcı önceki bölümde değinildiği gibi seriden paralele dönüştürücü olarak görev yapmaktadır. Kullanılan MUX blokları, NRZ bloğu olarak çalıştırılmaktadır. SR bloğu ihmal edildirse, Part-1 olarak belirtilen bölümde I kanalı ve Q kanalı sinyalleri bir BPSK modülör şeması kullanılarak oluşturulmuştur. Şekil 3.26'da FPGA tabanlı oluşturulan geleneksel MSK modülör mimarisi için modelsim altera programı kullanılarak elde edilen benzetim sonuçları verilmiştir. Bu sonuçlar Şekil 2.29'da kullanılan veri bitleri için elde edilmiştir



Şekil 3.26. FPGA tabanlı MSK modülatör için benzetim sonuçları

3.8. FPGA Tabanlı Sayısal Demodülatör Mimarileri

3.8.1. Giriş

Sayısal modülatör yapıları ile modülasyonlu sinyal elde edildikten sonra demodülasyon işlemi ile bilgi sinyali modülasyonlu sinyalden elde edilebilmektedir. Modülasyon işleminde uygulanan yöntemlerin benzeri demodülatör tarafında uygulanmaktadır. Demodülatör mimarilerinde en önemli bloklardan birisi karar bloğudur. Karar bloğu integral alıcı çıkışında kullanılarak, integral alıcı bloğunun çıkışında vermiş olduğu değere göre gelen bilgi bitinin ne olduğuna doğru bir şekilde karar vermek zorundadır. Bu nedenle karar bloğunda bir eşik değerine ihtiyaç vardır. Eşik değeri ile integral alıcı çıkışındaki değer karşılaştırılır. Literatürdeki çalışmalarda olduğu gibi bu tez çalışmasında da karar bloğu, integral alıcı çıkışındaki değer eşik değerinden büyükse gelen bilgi sinyalinin '1', küçükse '0' olduğuna karar vermektedir.

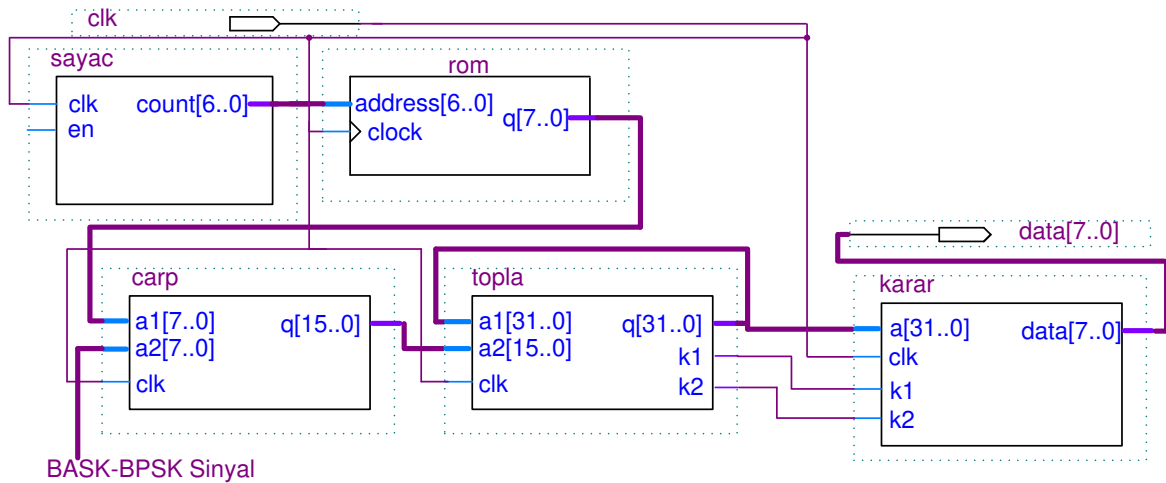
3.9. FPGA Tabanlı BASK ve BPSK Demodülatör Şemaları

FPGA tabanlı BASK demodülatör yapısında, modülatör tarafında kullanılan taşıyıcı sinyal, fazı ve frekansı değiştirilmeden çarpım bloğuna uygulanmak için kullanılır. Çarpım

bloğu çıkışındaki sinyalin bir bit periyodu süresince integrali alınarak integral sonucuna göre karar devresi, bitin durumuna karar verir.

BPSK demodülatör ise BASK demodülatör mimarisi ile aynıdır. Aradaki tek fark karar devresinde kullanılan eşik değeridir. Eşik değeri BPSK modülatör şemasında sıfır olarak alınırken, BASK modülatör şemasında genellikle gürültüsüz ortamdan alınan bir sinyalin integral sonucuna bakılarak hesaplanır. İntegrali alınan sinyalin maksimum genliğinin yarısı eşik değeri olarak seçilir. Çünkü gürültüsüz ortamda '0' bilgi biti için OOK tekniği kullanılarak oluşturulmuş BASK demodülatöründe integral sonucunun sıfır olması gerekirken, '1' bilgi biti için taşıyıcı sinyalin genlik değerine ve modülasyonlu sinyalin genlik değerine bağlı olarak maksimum değerde olacaktır. İki bilgi biti için tam orta nokta yani maksimum genliğin yarısı karar eşiği olarak alınmaktadır.

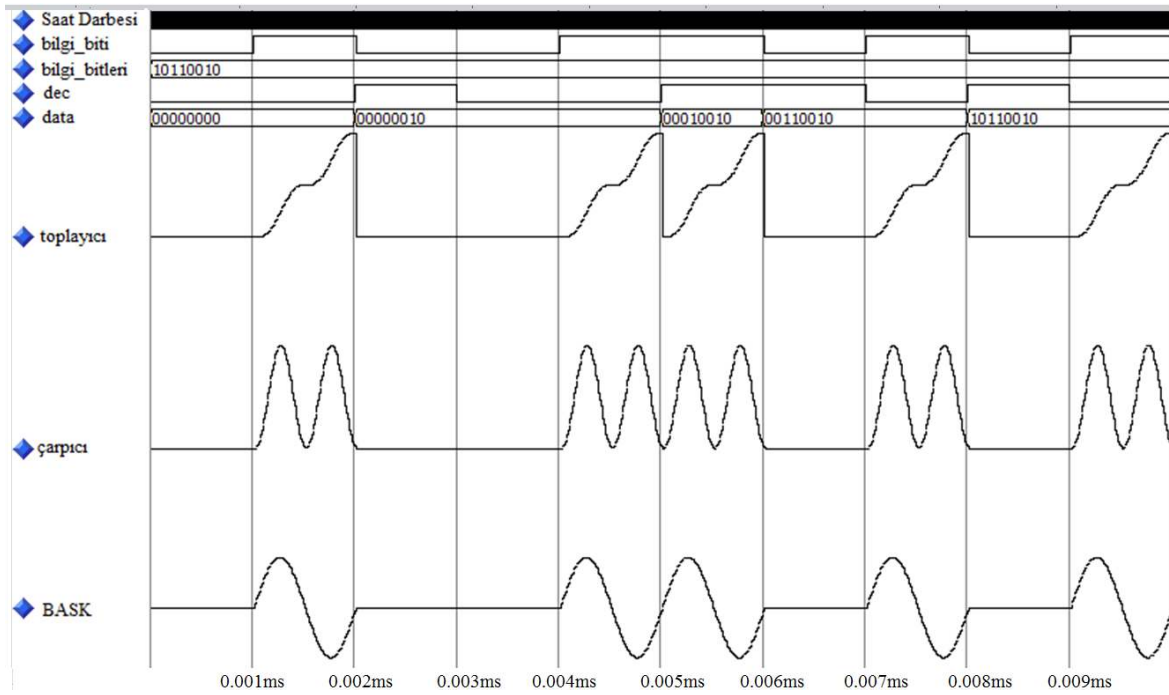
BPSK demodülasyonunda ise '0' bilgi biti ve '1' bilgi biti için gürültüsüz bir ortamda integral çıkışındaki negatif maksimum ve pozitif maksimum değerlerin mutlak değerleri birbirine eşit olduğundan iki değer için tam orta nokta sıfır değeridir. Bu yüzden BPSK demodülasyon şemasında eşik değeri sıfır seçilir. FPGA ortamında oluşturulan BASK ve BPSK teknikleri için ortak demodülatör şeması Şekil 3.27'de verildiği gibidir.



Şekil 3.27. BPSK ve BASK teknikleri için demodülatör mimarisi

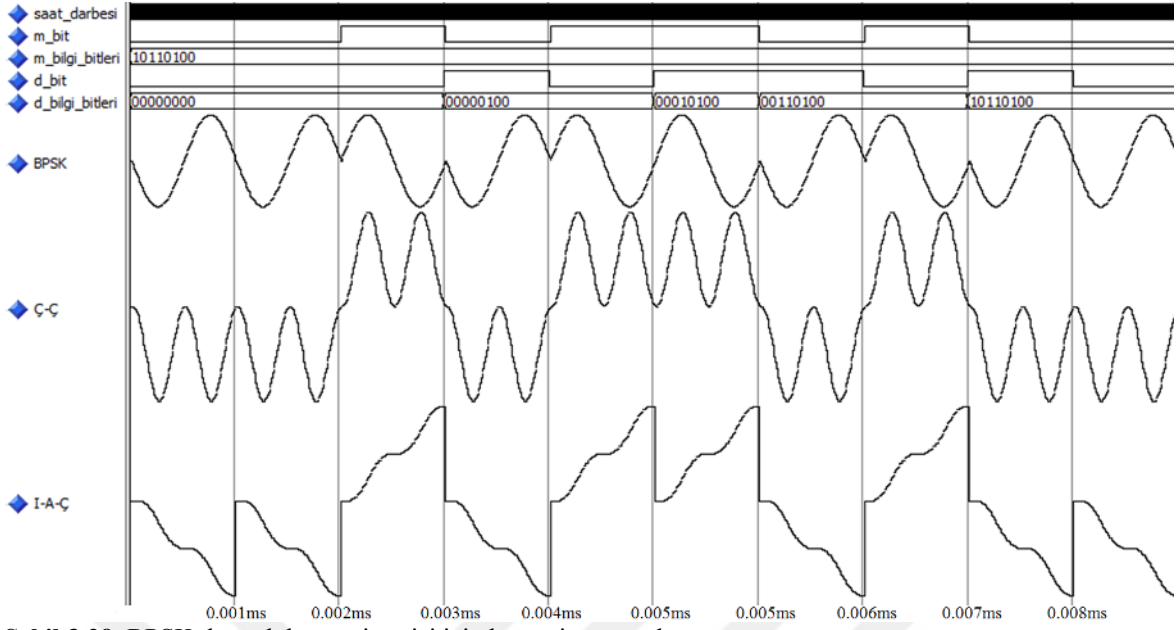
Şekildeki demodülatör mimarisinde görüldüğü gibi ROM taşıyıcı sinyalin örneklerini saklamaktadır. BPSK ve BASK demodülasyonu için pozitif sinüs (yani 180 derece kaydırılmamış) sinyalinin örnekleri bu bloğa kaydedilmiştir. *Carp* bloğu gelen BASK veya BPSK sinyal ile taşıyıcı sinyali çarpar ve *topla* (integral alıcı) bloğuna göndererek toplam sonucu ile gönderilen bitin durumu karar devresinde oluşturulur. *Topla* bloğu çıkışındaki

k1 ve *k2* pinleri karar devresi ile toplama bloğunun senkronizasyonunu sağlamaktadır. Şekilde görülen *data* çıkışı ile 8 bitlik bilgi sinyali elde edilmiş olur. Şekilde görülen diğer bir farklı durum da sayacın çalışması için bir *en* bitinin gerekli olmasıdır. Bu bit alıcı ile verici arasındaki veri senkronizasyonunun sağlanması için kullanılmıştır. Verici taraf veri göndermeye hazır olduğunu bu biti lojik ‘1’ seviyesinde göndererek göstermektedir. BASK ve BPSK demodülatör mimarileri için elde edilen benzetim sonuçları Şekil 3.28 ve Şekil 3.29’te görüldüğü gibidir.



Şekil 3.28. BASK demodülatör mimarisi için benzetim sonuçları

Şekil 3.28’de görüldüğü gibi bilgi bitleri “10110010”, başarılı bir şekilde *data* pini yardımıyla elde edilmiştir. Görüldüğü gibi *toplayıcı* pininde *çarpıcı* bloğun çıkışındaki sinyalin integrali elde edilmiştir. Ayrıca *dec* pini *data* pininin ayrıklaştırılmış bir şeklidir. Şekilde *çarpıcı* blok taşıyıcı sinyal ile BASK sinyalini çarpmaktadır. Bu nedenle BASK demodülasyonunda ‘0’ bilgi biti için *çarpıcı* çıkışı sıfır olmaktadır. Karar devresi çıkışı ise *toplayıcı* bloğunun çıkışındaki sinyalin tepe değeri ile sıfır arasındaki tam orta noktayı eşik değeri olarak seçmektedir.



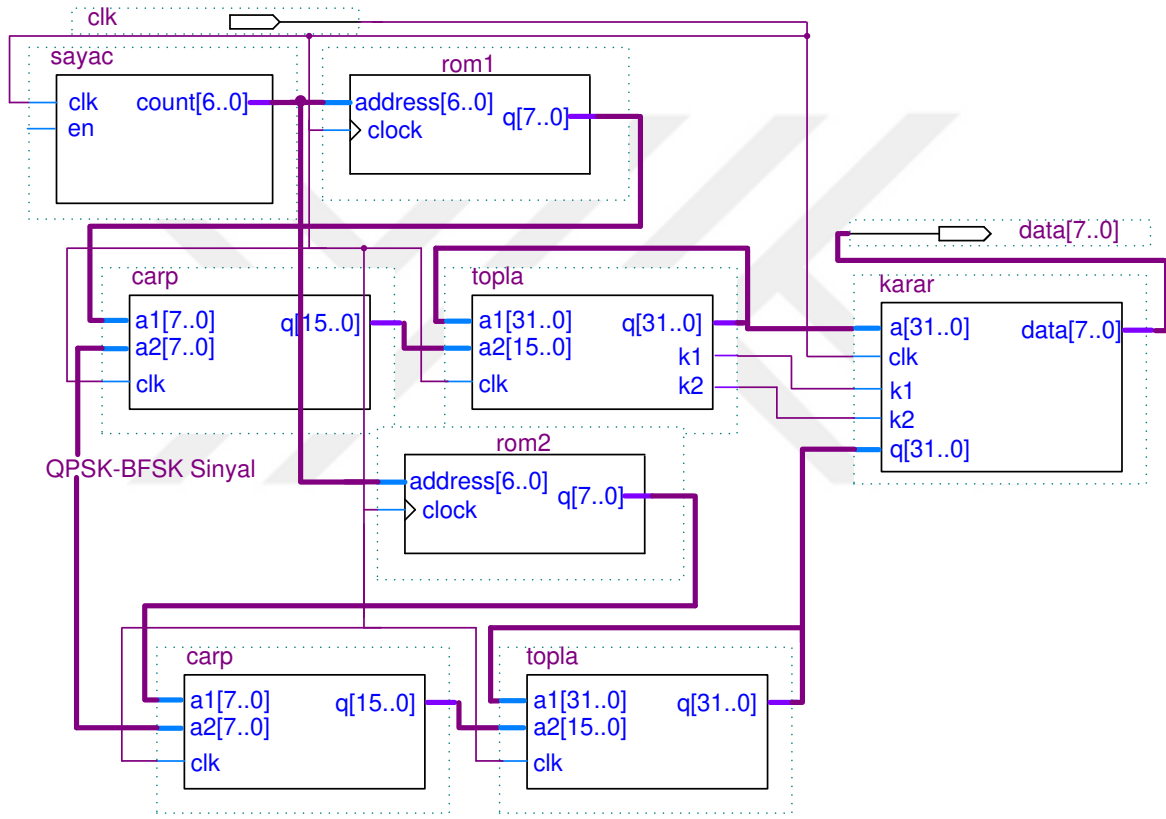
Şekil 3.29. BPSK demodülatör mimarisi için benzetim sonuçları

Şekil 3.29’da BPSK demodülasyonu için kullanılan bloklar için çıkış sinyalleri çizdirilmiştir. Şekilde *m-bit*, *m_bilgi_bitleri*, *d_bit*, *d_bilgi_bitleri*, *Ç-Ç* ve *I-A-Ç* sırasıyla modülatör tarafındaki bilgi bitini, modülatör tarafında bir örneği temsil eden sayısal bilgi bitlerini, demodülatör tarafındaki bilgi bitlerini, verici tarafta sayısal olarak ifade edilen örneğin demodülatör tarafında yeniden elde edilmiş sayısal şeklini, çarpıcı çıkışını ve integral alıcı çıkışını ifade etmektedir. Şekil 3.28 ile Şekil 3.29 arasındaki en önemli farklardan birisi integral alıcı çıkışındaki sinyalin iki tepe noktası arasındaki farkın aynı gerilim değerleri için BPSK modülasyonunda daha fazla olduğudur. Bu özellikten dolayı BPSK modülasyonunun bit hata oranı BASK modülasyonuna oranla daha düşüktür ve BPSK modülasyonunda eşik değeri şekilden de görüldüğü gibi sıfırdır.

3.10. FPGA Tabanlı BFSK ve QPSK Demodülatör Şemaları

FPGA tabanlı olarak gerçekleştirilen diğer bir ikili demodülatör mimarisi de frekans kaydırmalı anahtarlama tekniği için kullanılan alıcı yapısıdır. Diğer ikili demodülatör mimarilerinden farklı olarak alt kol ve üst kol diye iki ayrı koldan çarpım ve toplam blokları devreye sokulmaktadır. Yani bu şema QPSK demodülatör şeması ile bire bir aynıdır. Tek fark karar devresidir. QPSK demodülasyonu için karar eşiğinde I kanalı ve Q kanalı bitleri için iki ayrı karar bölümü oluşturulur. Ancak BFSK tekniği bir bitin iletimi ile gerçekleştirildiğinden sadece bir bit için karar devresinin tasarımı yeterlidir. Diğer bir

fark ise QPSK demodülatör devresinde karar eşiği I ve Q kanalı için sıfır olarak seçilmiştir. Ancak BFSK mimarisinde alt kol integral alıcı çıkışı veya üst kol integral alıcı çıkışı değerleri karşılaştırılarak '1' veya '0' bilgi bitleri elde edilir. Bizim kullandığımız demodülatör devresinde üst kolun integral alıcı çıkış değeri alt kolun integral alıcı çıkış değerinden büyükse alıcı devresi '1' bilgi sinyalinin gönderildiğine karar verir. Tam tersi durumunda ise '0' olarak algılar. Şekil 3.30'da BFSK ve QPSK demodülatör bloklarının ortak yapısı görülmektedir.

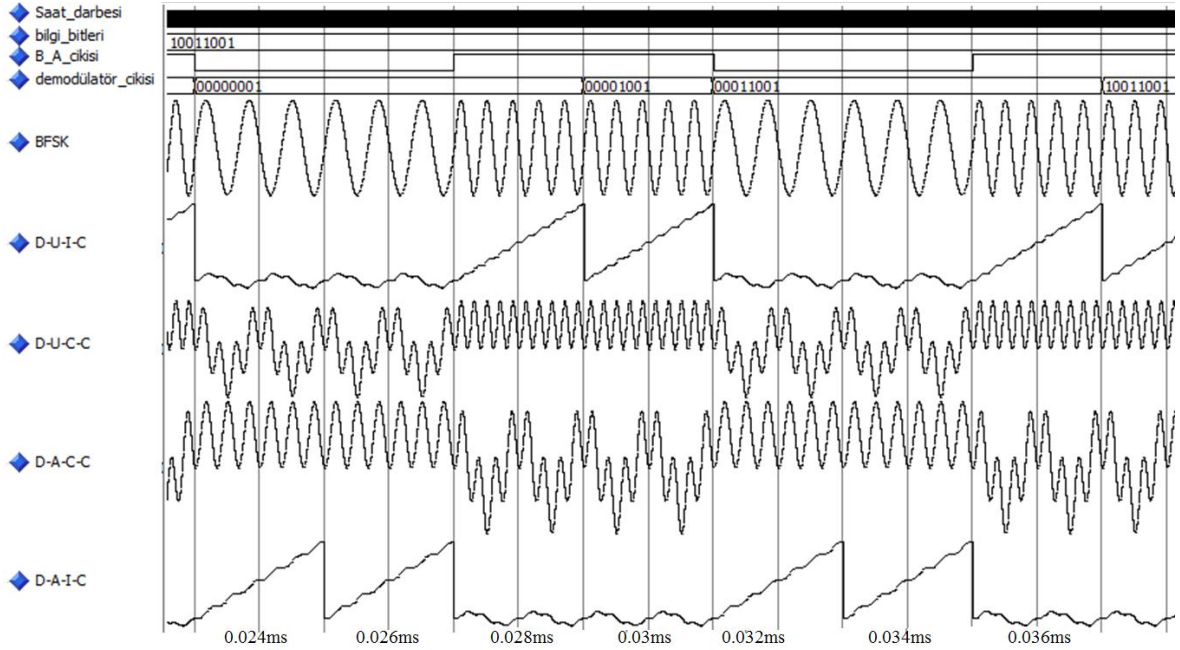


Şekil 3.30. BFSK ve QPSK teknikleri için demodülatör mimarisi

Şekil 3.30'da ROM1 ve ROM2 bloklarına QPSK demodülasyonu için sırasıyla kosinüs ve eksi sinüs sinyalleri kaydedilmiştir. Gelen QPSK modülasyonlu sinyal, I ve Q kanallarından taşıyıcı sinyaller ile çarpıldıktan sonra modülasyonlu sinyalin integrali alınarak integral sonucunda gelen veri bitleri karar devresiyle algılanırlar.

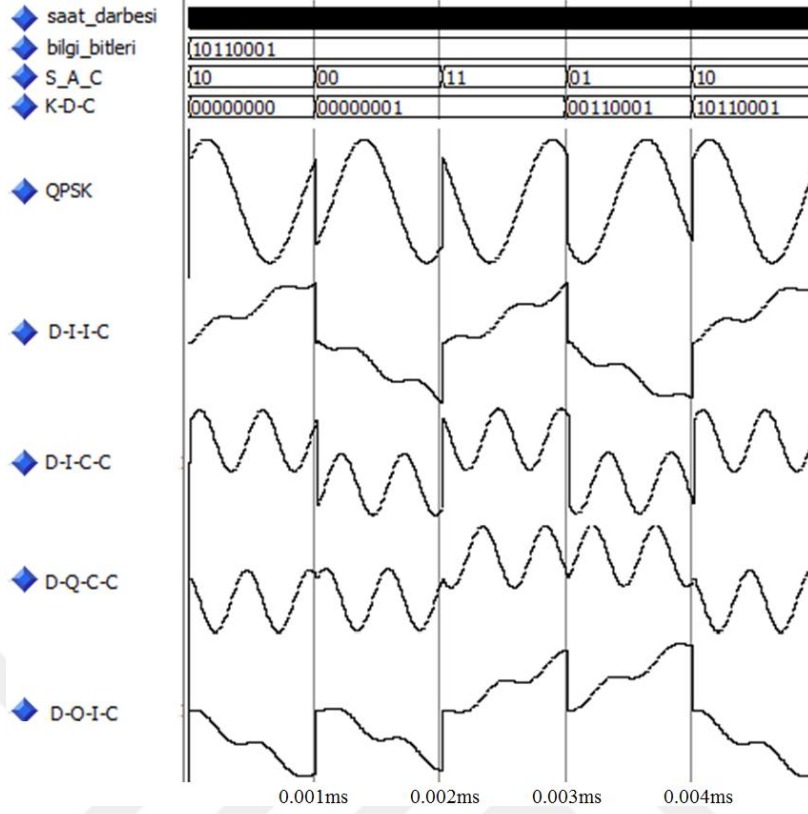
BFSK demodülasyonunda ise bu iki ROM içerisine iki farklı frekans değerine sahip sinyaller kaydedilir. Bu farklı frekanstaki sinyaller gelen BFSK modülasyonlu sinyal ile çarpılır ve integralleri alınır. Karar devresi yardımıyla bir karşılaştırma gerçekleştirilir. Eğer üst koldan gelen integral sonucu alt koldan gelen integral sonucundan daha büyükse

gelen veri biti '1' olarak algılanır. Eğer alt koldan gelen integral sonucu daha büyükse '0' olarak algılanır. Sonuç olarak BFSK demodülasyonu için Şekil 3.31'de benzetim sonuçları verilmektedir.



Şekil 3.31. BFSK demodölör mimarisi için benzetim sonuçları

Şekil 3.31'de *D-U-I-C*, *D-U-C-C*, *D-A-C-C* ve *D-A-I-C* sırasıyla demodölör üst kol integral alıcı çıkışını, demodölör üst kol çarpım bloğu çıkışını, demodölör alt kol çarpım bloğu çıkışını ve demodölör alt kol integral alıcı çıkışını ifade etmektedir. Şekilden de görüldüğü gibi *D-A-I-C* değeri *D-U-I-C* değerinden büyük olduğunda karar devresi bilgi bitini '1' olarak algılamıştır. Ayrıca şekildeki sonuçlar ile bir önceki bölümde verilen matlab sonuçlarının da benzer olduğu görülmektedir. QPSK demodölör mimarisi için elde edilen benzetim sonuçları da Şekil 3.32'de verilmiştir.



Şekil 3.32. QPSK demodülatör mimarisi için benzetim sonuçları

Şekil 3.32’de S_{A_C} , $D-I-C-C$, $D-I-I-C$, $D-Q-I-C$, $D-Q-C-C$ ve $K-D-C$ sinyalleri sinyal ayırıcı çıkışı, demodülatör I kanalı çarpım bloğu çıkışı, demodülatör I kanalı integral alıcı bloğu çıkışı, demodülatör Q kanalı integral alıcı bloğu çıkışı, demodülatör Q kanalı çarpım bloğu çıkışı ve karar devresi çıkışı olarak tanımlanırlar. Şekildeki benzetim sonuçlarından görüldüğü gibi demodülatör mimarisi senkronize bir şekilde çalışarak bilgi bitlerinin yeniden elde edilmesini sağlamıştır.

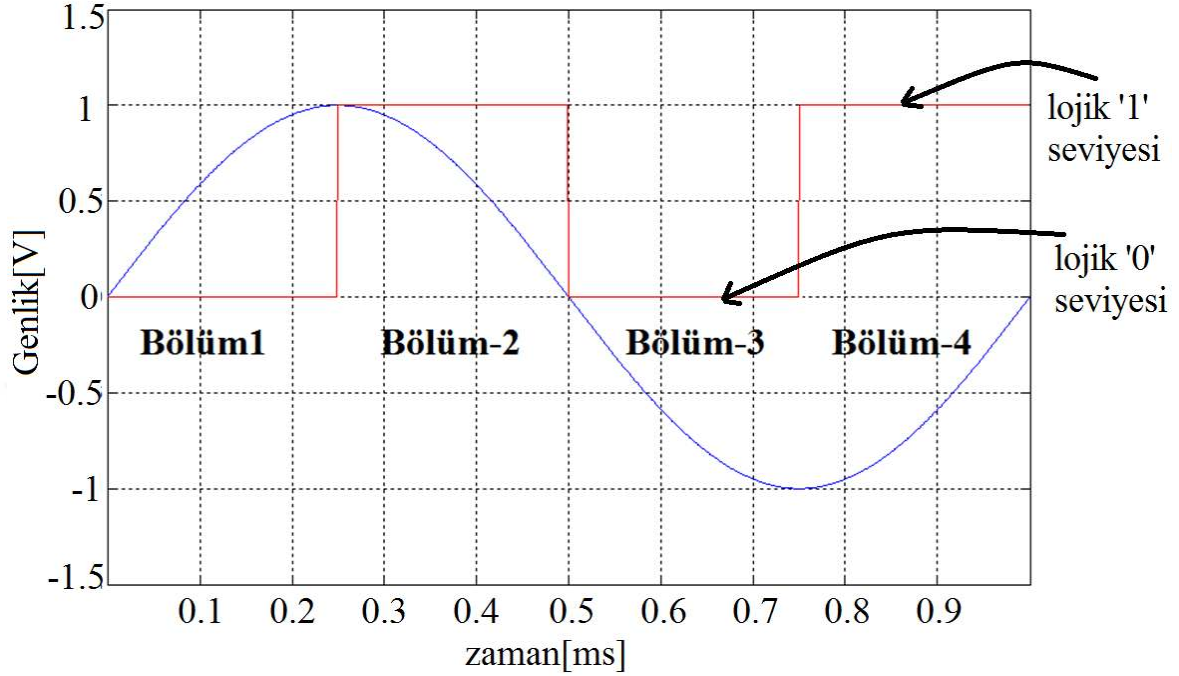
4. GELİŞTİRİLEN YENİ MODÜLATÖR ALGORİTMALARI

Daha önce literatürde yapılan çalışmalarda sayısal modülasyon tekniklerinin kaynak kullanımını iyileştirme yönünde öneriler sunulmamıştır. Bu bölümde önerilecek olan algoritmalar sayısal modülasyon tekniklerinin ram bit kullanım miktarını büyük miktarda düşürmektedir. Günümüz haberleşme sistemlerinde sayısal modülasyonların çoğullama teknikleri ile birlikte kullanılmasıyla aynı anda birden fazla kullanıcıya real-time (gerçek zamanlı) hizmet verilmesi amaçlanmıştır. Bu çoğullama tekniklerinin başında MIMO sistemlerinde de uzun yıllardır tercih edilen OFDM tekniği gelmektedir [96][96-98]. Bir OFDM sisteminin kaynak kullanımını düşürmek için birçok çalışma gerçekleştirilmiştir [99-105]. Bu çalışmalardan bazıları ram bit kullanım miktarını düşürüyorken [99, 100] bazıları da kullanılan toplam lojik eleman sayısını düşürmeye yönelik olmuştur [103, 104]. Bu bölümde önerilen algoritmaların birden fazla modülatör kullanan OFDM gibi karmaşık sistemlere uygulanması durumunda deneysel ve teorik sonuçlardan yola çıkarak ram bit kullanım miktarını düşüreceği açık bir şekilde görülmektedir. Bu bölümde önerilen algoritmalar iletişim tekniklerinde en çok tercih edilen faz kaydırmalı anahtarlama yöntemleri olan ikili faz kaydırmalı anahtarlama ve dördün faz kaydırmalı anahtarlama modülasyon şemalarını içermektedir. Bu yöntem ile ram bit kullanım oranı QPSK ve BPSK için % 87.5 oranında düşürülmüştür.

4.1. Önerilen BPSK Modülatör Mimarisi

Önerilen BPSK modülasyon tekniği şemasında iki ROM bloğu yerine bir ROM bloğu kullanılmaktadır. Ayrıca bir ROM bloğu içerisine taşıyıcı sinyalin sadece çeyrek periyotluk örnek değerleri kaydedilmiştir. Bu yöntem taşıyıcı sinyalin simetrik özelliğinden faydalanılarak geliştirilmiştir. Şekil 4.1’de görülen taşıyıcı sinüs sinyali dört bölüme ayrılmıştır. Bu bölümler sırasıyla farklı bir şekilde tanımlanarak 1-0-1-0 olarak ifade edilmektedir. Algoritma geleneksel BPSK tekniğine göre karmaşık olmasına rağmen uygulanması oldukça basittir. Kullanılacak olan ROM bloğuna bölüm-1’de bulunan örnek değerleri kaydedilerek her bir bölüm bu bölümden üretilmiştir. Bölümlerin sayısal bitler ile

tanımlanması ROM bloğunun adres kontrolünü sağlayan sayacın değerini artırıp azaltması için kullanılmaktadır.



Şekil 4.1. Kontrol biti ile taşıyıcı sinyalin değişimi

Şekil 4.1'de görüldüğü gibi Bölüm-1, '0' biti ile ifade edilmektedir. Bu tanımlama sayacı kontrol eden bitin, sayacı ileri doğru saymasını sağlamaktadır. Ancak Bölüm-2'de sayaç geri doğru sayacaktır çünkü kontrol biti '1' dir. Bu şekilde bütün 360 derecelik periyot tamamlanmış olacaktır. Eğer taşıyıcı sinüs değil de kosinüs sinyali olarak seçilirse sayacın ilk değeri değiştirilerek ve kontrol biti bölüm-1 için '1' yapılarak taşıyıcı sinyal üretilebilmektedir. Bu çalışmadaki amaç dörtte bir periyotluk bir sinyalden bütün taşıyıcı sinyalin üretilmesi ve modülasyonun sağlanmasıdır. Önerilen mimari için Algoritma-4.1'de programın akışı verilmektedir.

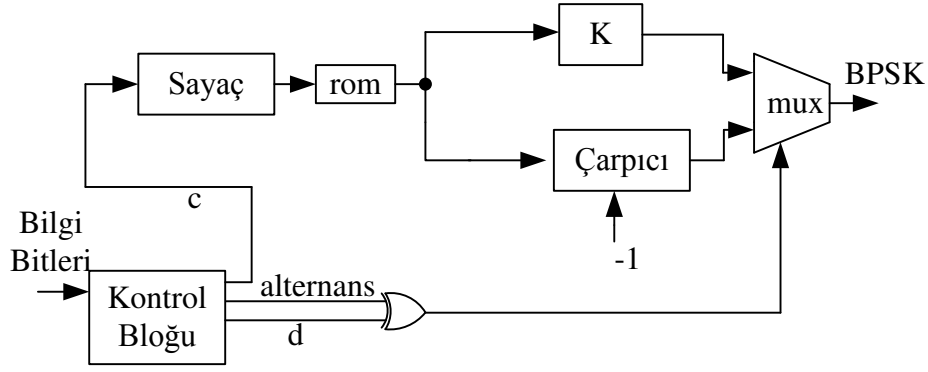
Algoritma-4.1*Giriş: d, i₁, i₂, bölüm, alternans**Değişkenler: c**Çıkış: BPSK**if bölüm='1' then**c:=c+1;**else**c:=c-1;**end if;**if d='1' and alternans='1' then**BPSK<=i₁;**end if;**if d='1' and alternans='0' then**BPSK<=i₂;**end if;**if d='0' and alternans='1' then**BPSK<=i₂;**end if;**if d='0' and alternans='0' then**BPSK<=i₁;**end if;*

Algoritma 4.1'den yola çıkarak *d* biti ve *alternans* biti arasında oluşturulan doğruluk tablosu Tablo 4.1'de verilmektedir.

Tablo 4.1 *d* biti ve *alternans* biti için doğruluk tablosu

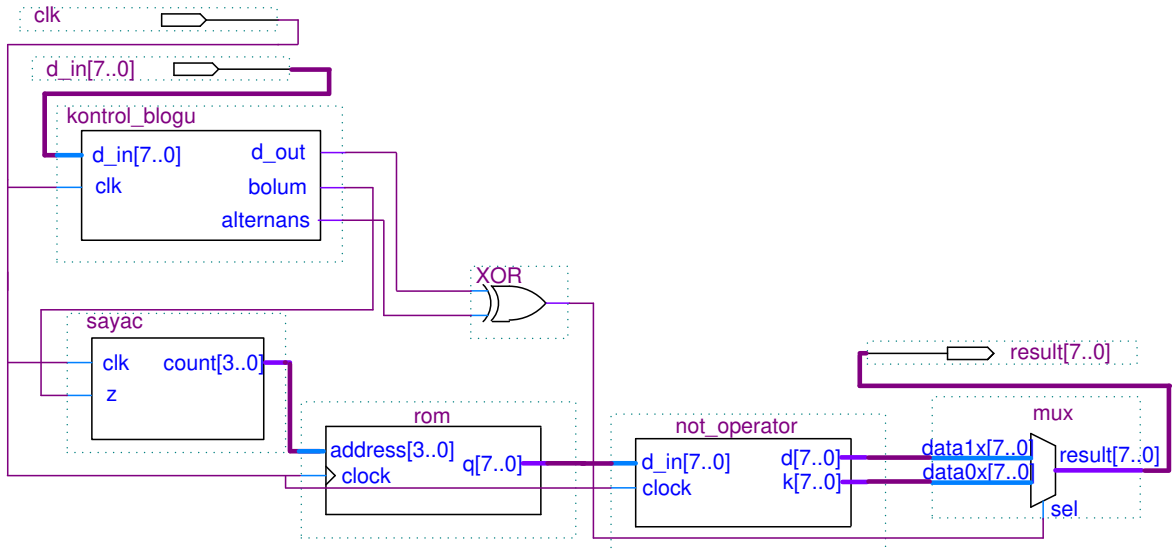
d	Alternans	BPSK
0	0	i ₁
0	1	i ₂
1	0	i ₂
1	1	i ₁

Algoritma 4.1'de bölüm etiketi sayacı kontrol eden bit olarak görev yapmaktadır. Ayrıca *d* bilgi biti ile *alternans* aynıysa BPSK sinyal i₂ sinyali tarafından oluşturuluyorken, iki bit farklıysa BPSK sinyal i₁ sinyali tarafından oluşturulmaktadır. Şekil 4.1'de bölüm-1 ve bölüm-2'de *alternans* biti '0' iken bölüm-3 ve bölüm-4'te bu bitin durumu otomatik olarak '1' olmaktadır. Bu durum Tablo 4.1'de verilen doğruluk tablosunda özetlenmiştir. Tablodan da görüldüğü gibi *d* biti ve *alternans* bitinin birlikte çalışması *xor* kapısı ile sağlanmaktadır. Bu bit ile bilgi biti *xor* işleminden geçirildikten sonra MUX bloğunun girişine uygulanmaktadır. MUX bloğunun bir girişinden negatif diğer girişinden ise pozitif taşıyıcı sinyal uygulanmıştır. Bölüm-1 ve bölüm-2'de pozitif alternans iletileceği için ('1' bilgi biti durumunda) alternans ve bilgi bitinin *xor* işlemi sonucu '1' olduğundan pozitif giriş aktif edilir. Bölüm-3 ve Bölüm-4'te alternans biti '1' olacaktır ve bilgi biti bu bölümlerde de '1' dir. Sonuç olarak *xor* çıkışı '0' olur ve MUX bloğu negatif alternansı aktif eder. Böylece '1' bilgi biti için BPSK sinyal başarılı bir şekilde elde edilmiş olur. Önerilen BPSK modülatör şeması Şekil 4.2'de verilmektedir.



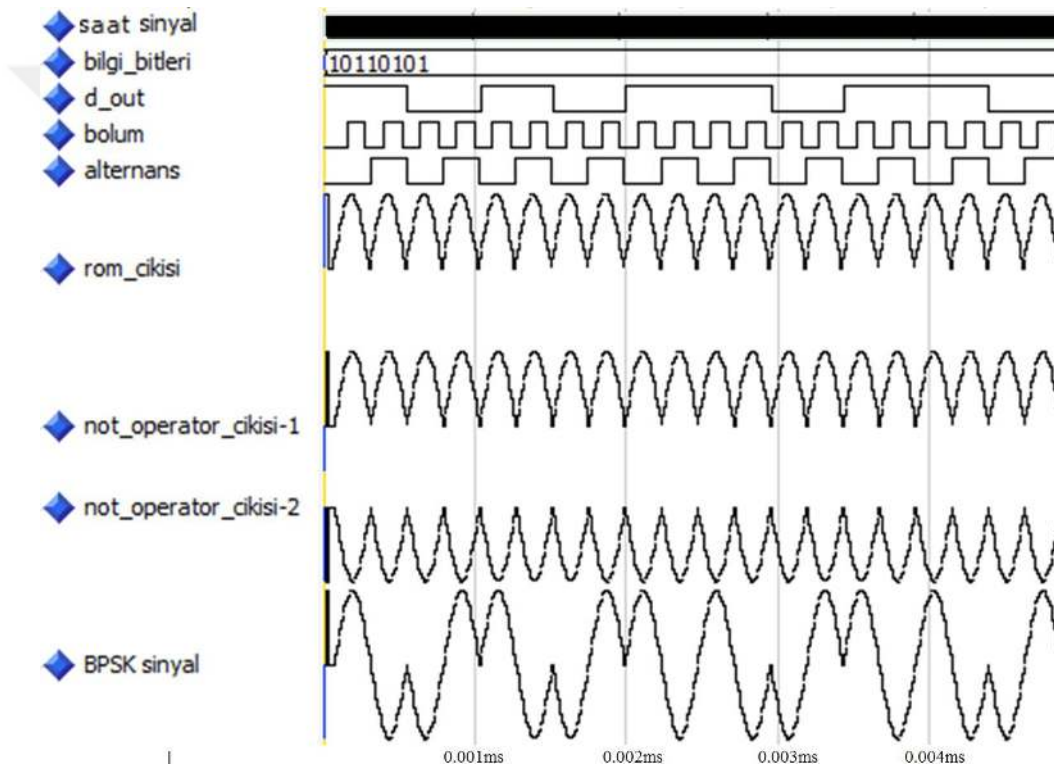
Şekil 4.2. Önerilen BPSK modülör şeması

Şekil 4.2’de görülen K kaydedici bloğu MUX bloğu girişine uygulanan sinyallerin eş zamanlı olarak uygulanması için kullanılmıştır. Çünkü alt koldan gelen sinyal, -1 ile çarpılarak tersi alınırken üst kolun da bir saat darbesi süresince bekletilmesi gerekir ki senkronizasyon sağlanabilsin. Şekilden de görüldüğü gibi mimari literatürde daha önceden önerilmemiş bir yapıdan oluşmaktadır. Daha önceki mimarilerde MUX bloğunun girişine uygulanan sinyaller iki farklı ROM tarafından bir periyotluk sinyalin kaydedilmiş örneklerini içermektedir. Bu yöntemle ram bit kullanımını %87.5 oranında azaltarak birden fazla modülör kullanan bir sistem için bellek verimliliği sağlanmış olmaktadır. Önerilen mimarinin FPGA ortamında elde edilmiş şeması Şekil 4.3’te görüldüğü gibidir.



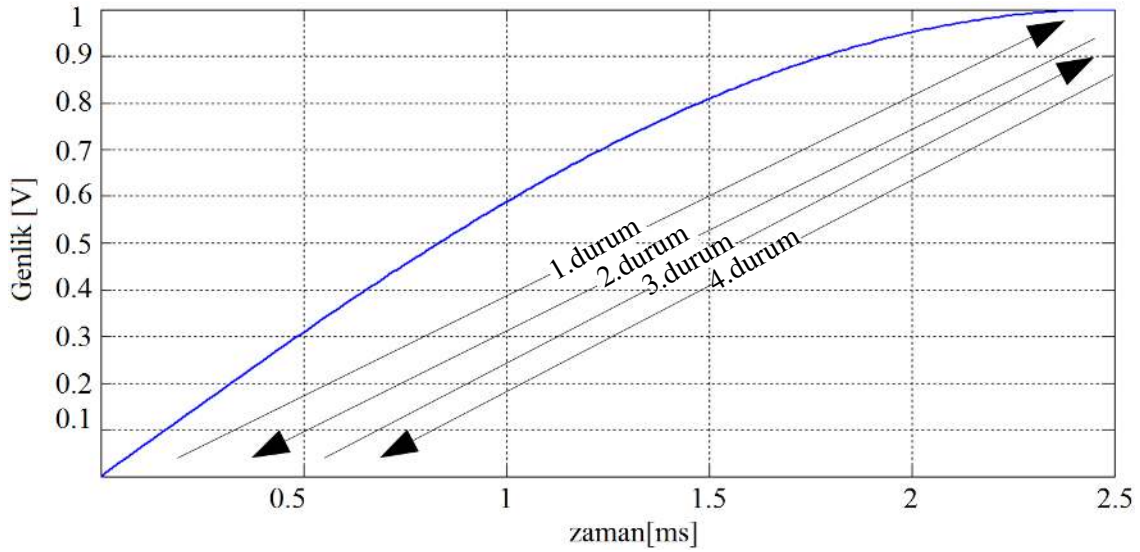
Şekil 4.3. Önerilen BPSK modülörün FPGA ortamında tasarımı

Şekil 4.3'ten de görüldüğü gibi *bilgi* biti ve *alternans* biti bir *xor* işleminden geçirildikten sonra MUX bloğunun seçici pinine uygulanmıştır. Günümüze kadar literatürdeki mevcut olan uygulamalarda ram bit verimliliğini iyileştirmeye yönelik çalışmalar gerçekleştirilmediğinden bilgi biti doğrudan MUX bloğunun seçici pinine uygulanmıştır. Böylece ROM bloğundan sonra gelen *not_operator* bloğu gelen verinin hem negatifini almakta hem de senkronizasyonu sağlamaktadır. Şekil 4.3'te verilen şemanın modelsim-altera programında oluşturulmuş benzetim sonuçları Şekil 4.4'te verilmektedir.



Şekil 4.4. Önerilen BPSK modülatörün benzetim sonuçları

Şekil 4.4'ten de görüldüğü gibi ROM çıkışı sadece pozitif alternanstan oluşmaktadır. Ancak pozitif alternansta her iki çeyrek periyot da çıkışta mevcuttur. Sonuç olarak *bolum* biti '0' olduğunda sayaç ileriye doğru sayarken *bolum* biti '1' olduğunda sayaç geriye doğru saymaktadır. Bu durum Şekil 4.5'te detaylandırılmıştır.

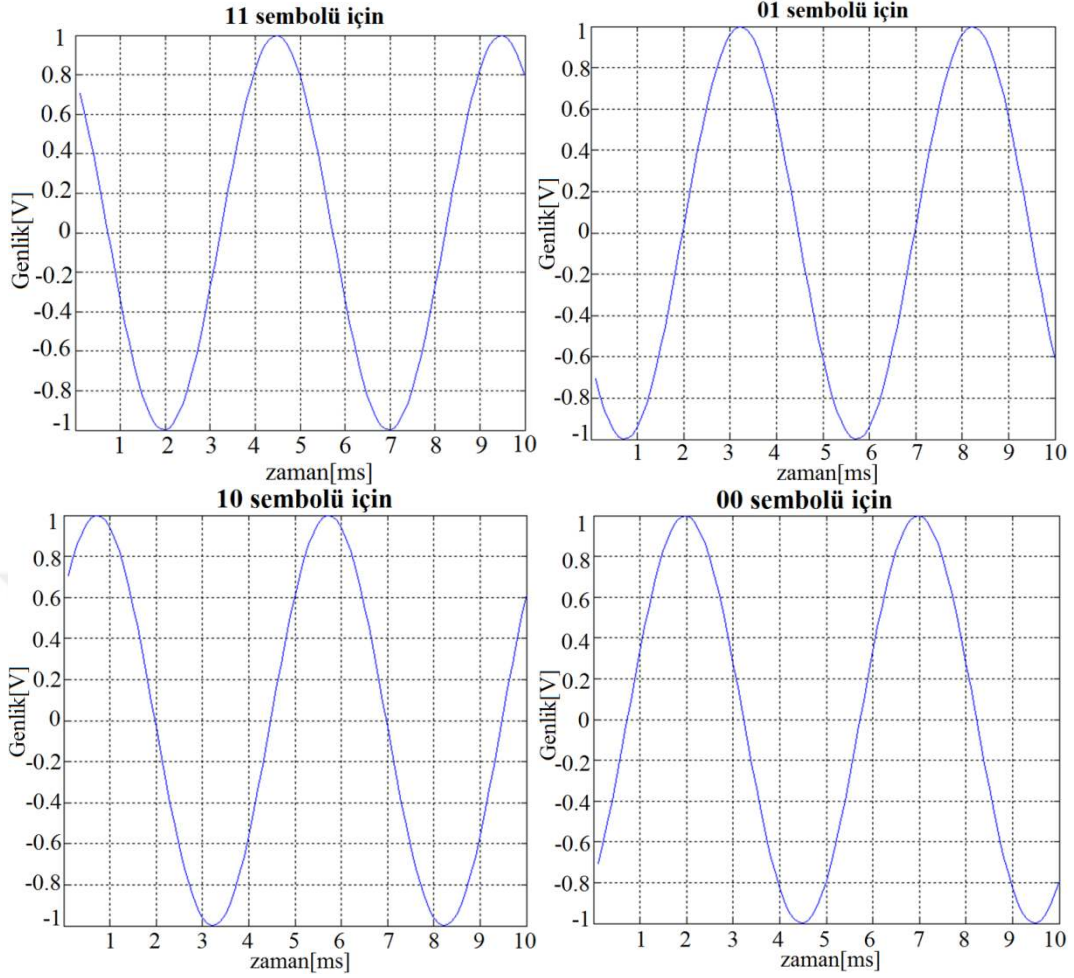


Şekil 4.5. ROM bloğuna kaydedilen sinyal

Şekil 4.5'te görülen sinyal için her bir durum sayacın kontrolünü gerektirmektedir. Şekilde 1.durum için sayaç değeri artırılırken 2.durumda sayaç değeri azaltılmakta ve 3.durum ile 4.durumda da sayaç değeri önce artırılmakta daha sonra azaltılmaktadır. Bu nedenle *xor* bloğuna ihtiyaç 3.durum ve 4.durumda ortaya çıkmaktadır.

4.2. Önerilen QPSK Modülatör Mimarisi

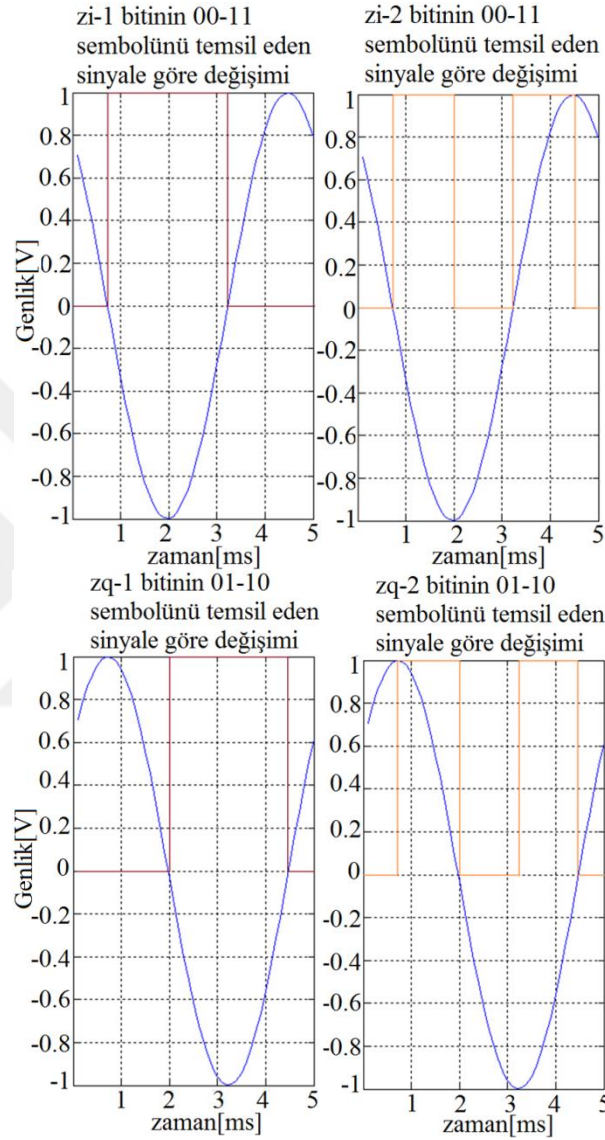
Bölüm 4.2'de BPSK modülasyon tekniği için önerilen yeni mimarinin ram bit kullanımını düşürdüğü görülmüştür. BPSK için önerilen bir uygulamanın benzeri de QPSK tekniği üzerinde uygulanarak ram bit kullanımında başarılı sonuçlar elde edilmiştir. Ancak QPSK modülasyonunda bu uygulama biraz daha karmaşık bir yapı almaktadır. Daha önceden de açıklandığı gibi QPSK modülasyonlu bir sinyal için dört durum mevcuttur.



Şekil 4.6. Sembol durumuna göre QPSK sinyalin değişimi

Sembolleri temsil eden iki bitin ikisinin de değişimi Şekil 4.6’da görüldüğü gibidir. 11-00 sembolleri ile 01-10 sembolleri arasında 180 derecelik faz farkına neden olur. Sadece bir bit değişirse geçiş anlarında 90 derecelik faz farkı oluşacaktır. Önerilen QPSK modülatör şemasında 10-01 sembolleri için ve 00-11 sembolleri için iki ayrı ROM bloğu kullanılmıştır. Sonuç olarak 01-10 ve 11-00 sembollerini temsil etmek için iki ayrı sayaç ve iki ayrı ROM kullanarak QPSK modülasyonlu sinyal üretilebilmektedir. Şekil 4.7’den görüldüğü gibi z_{i-1} ve z_{q-1} bitleri, sinyalin alternans değiştirmesi sırasında değerini değiştiriyorken z_{i-2} ve z_{q-2} bitleri, ROM bloğunun adres kontrolünü sağlayan sayaç değerini ayarlamak için kullanılmaktadır. Şekil 4.7’de z_{i-2} ve z_{q-2} bitleri, başlangıç durumunda ‘0’ bit değerini almalarına rağmen oluşturdukları sinyallerin örneklerinin genlik değerleri z_{i-2} biti için azalırken z_{q-2} biti için artmıştır. Sinyaller birbirlerine göre zıt bir davranış göstermişlerdir. Bunu sağlamak için z_{q-2} biti ile z_{i-2} bitleri ile dolaylı olarak kontrol edilen ROM bloklarına kaydedilen örneklerin sırası değiştirilmiştir. Farklı bir

ifadeyle, I kanalı sinyalinin oluşturan ROM bloğunun sıfırıncı adresine kaydedilmiş veri ile Q kanalı sinyalinin oluşturan ROM bloğunun son adresine kaydedilmiş veriler eşittir. Sonuçta iki sinyal birbirine göre ters bir şekilde oluşturulur.



Şekil 4.7. zi-1, zi-2, zq-1 ve zq-2 bitlerinin dört durum için değişimi

Şekil 4.7’de değişimi verilen mimari ile ilgili oluşturulan bir kod akış şeması Algoritma 4.2’de verilmiştir.

Algoritma-4.2

Giriş: $d, z_{i-1}, z_{i-2}, z_{q-1}, z_{q2}$

Değişkenler: $i, q, c1, c2,$

Çıkış: QPSK

if $z_{i-2} = '0'$ **then**

$c1 := c1 + 1;$

else

$c1 := c1 - 1;$

end if;

if $z_{q-2} = '0'$ **then**

$c2 := c2 + 1;$

else

$c2 := c2 - 1;$

end if;

if $d(i) = '1'$ **and** $d(q) = 1$ **then**

if $z_{i-1} = '1'$ **then**

QPSK $\leftarrow i_{11};$

else

QPSK $\leftarrow i_{00}$

endi if;

end if;

if $d(i) = '1'$ **and** $d(q) = 0$ **then**

if $z_{q-1} = '1'$ **then**

QPSK $\leftarrow i_{01};$

else

QPSK $\leftarrow i_{10}$

endi if;

end if;

if $d(i) = '0'$ **and** $d(q) = '1'$ **then**

if $z_{q-1} = '1'$ **then**

QPSK $\leftarrow i_{10};$

else

QPSK $\leftarrow i_{01}$

endi if;

end if;

if $d(i) = '0'$ **and** $d(q) = '0'$ **then**

if $z_{i-1} = '1'$ **then**

QPSK $\leftarrow i_{00};$

else

QPSK $\leftarrow i_{11}$

endi if;

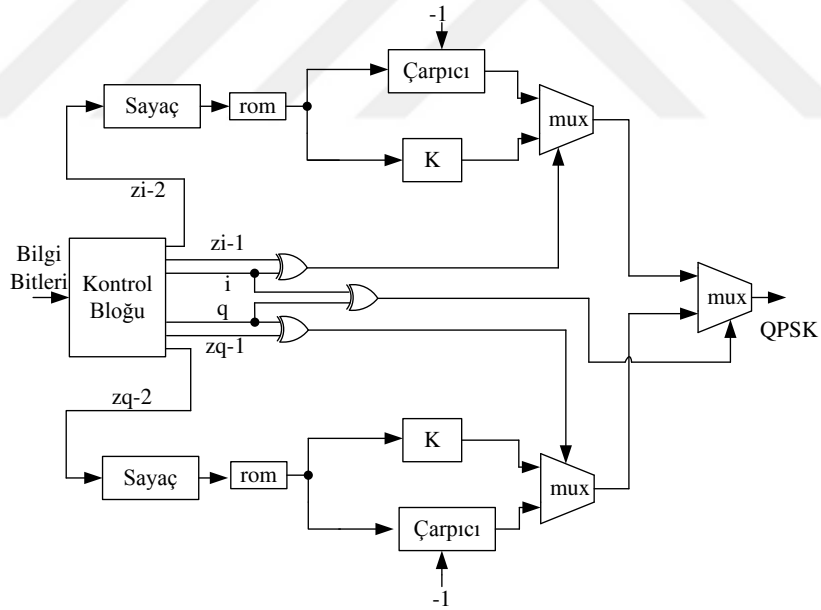
end if;

Algoritma-4.2'den görüldüğü gibi her bir durum iç içe iki if döngüsü oluşturmaktadır. If döngüsü ile birlikte verilen *and* işlemi önerilen algorithmanda *xor* bloğu olarak işlem görecektir. Yani iki bitin aynı veya farklı olma durumu diye tanımlanmıştır. Bu algorithma ait doğruluk tablosu Tablo 4.2'de verilmiştir. Doğruluk tablosundan da görüldüğü gibi i ve q bitlerinin aynı olması durumunda çıkışın z_{i-1} biti ile belirlenmesinden dolayı z_{q-1} önemsiz bit olarak tanımlanmıştır. Ancak i ve q bitlerinin farklı olduğu durumlarda ise z_{i-1} önemsiz bit olarak görülmektedir. Sonuç olarak verilen algorithma ilk denetlenmesi gereken özellik i ve q bitlerinin aynı ve farklı olma durumlarıdır. Daha sonra da i biti ile z_{i-1} bitinin ve q biti ile de z_{q-1} bitlerinin aynı ve farklı olma durumları ele alınmalıdır. Eğer i ve q bitleri aynıysa ve z_{i-1} biti ile de i biti aynıysa çıkış i_{11} olur. Ancak i ve q bitlerinin durumu değiştirilmeden z_{i-1} bitinin durumu değiştirilirse çıkış i_{00} olur. Aynı şekilde eğer i ve q bitlerinin durumu farklıysa ve z_{q-1} biti ile q bitinin durumu aynıysa çıkış i_{10} oluyorken z_{q-1} biti ile q bitinin durumu farklıysa çıkış i_{01} olacaktır. Bu durumda üç adet *xor* kapısı ve art arda bağlı iki adet MUX gereklidir. Birinci MUX kapısı i ile z_{i-1} ve q ile z_{q-1} blokları için sinyalin üretiminde kullanılıyorken

bir sonraki MUX kapısı da i ve q bitlerinin aynı veya farklı olma durumlarında çıkışa vereceği sinyalin hangi sinyal olacağına karar vermek için kullanılır.

Tablo 4.2. Önerilen QPSK için doğruluk tablosu

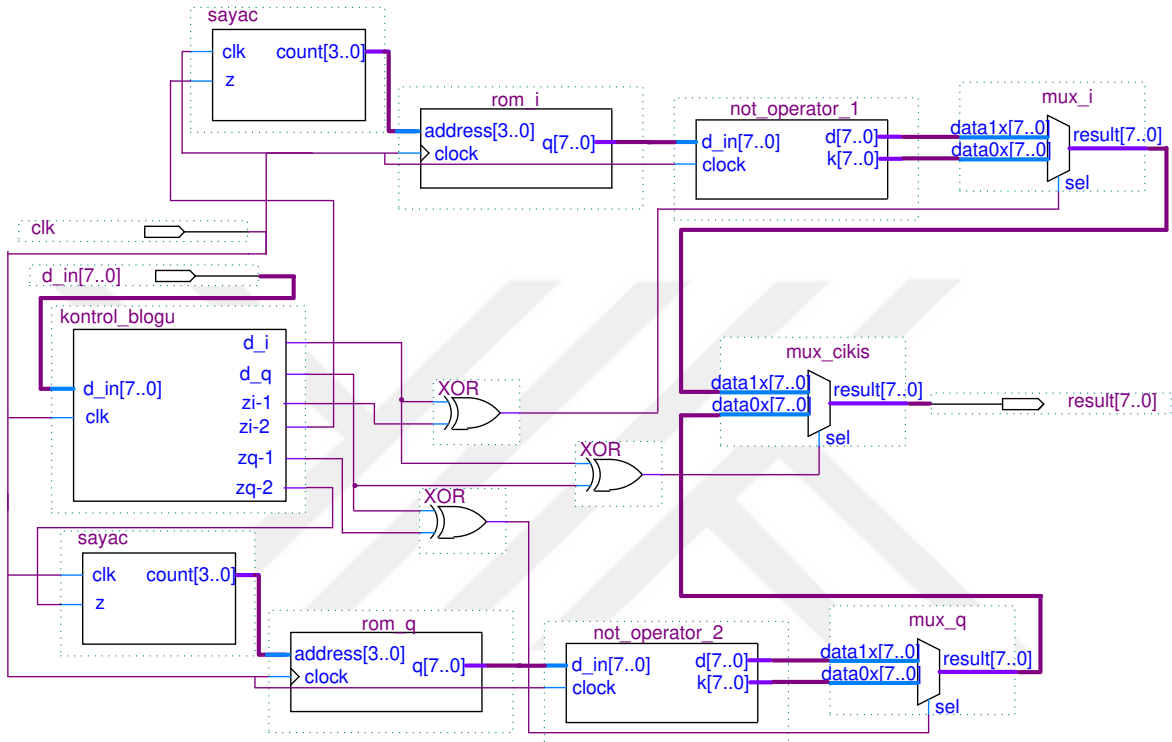
i	q	z_{i-1}	z_{q-1}	QPSK
0	0	0	D.C	i_{11}
0	0	1	D.C	i_{00}
0	1	D.C	0	i_{01}
0	1	D.C	1	i_{10}
1	0	D.C	0	i_{10}
1	0	D.C	1	i_{01}
1	1	0	D.C	i_{00}
1	1	1	D.C	i_{11}



Şekil 4.8. Önerilen QPSK modülör şeması

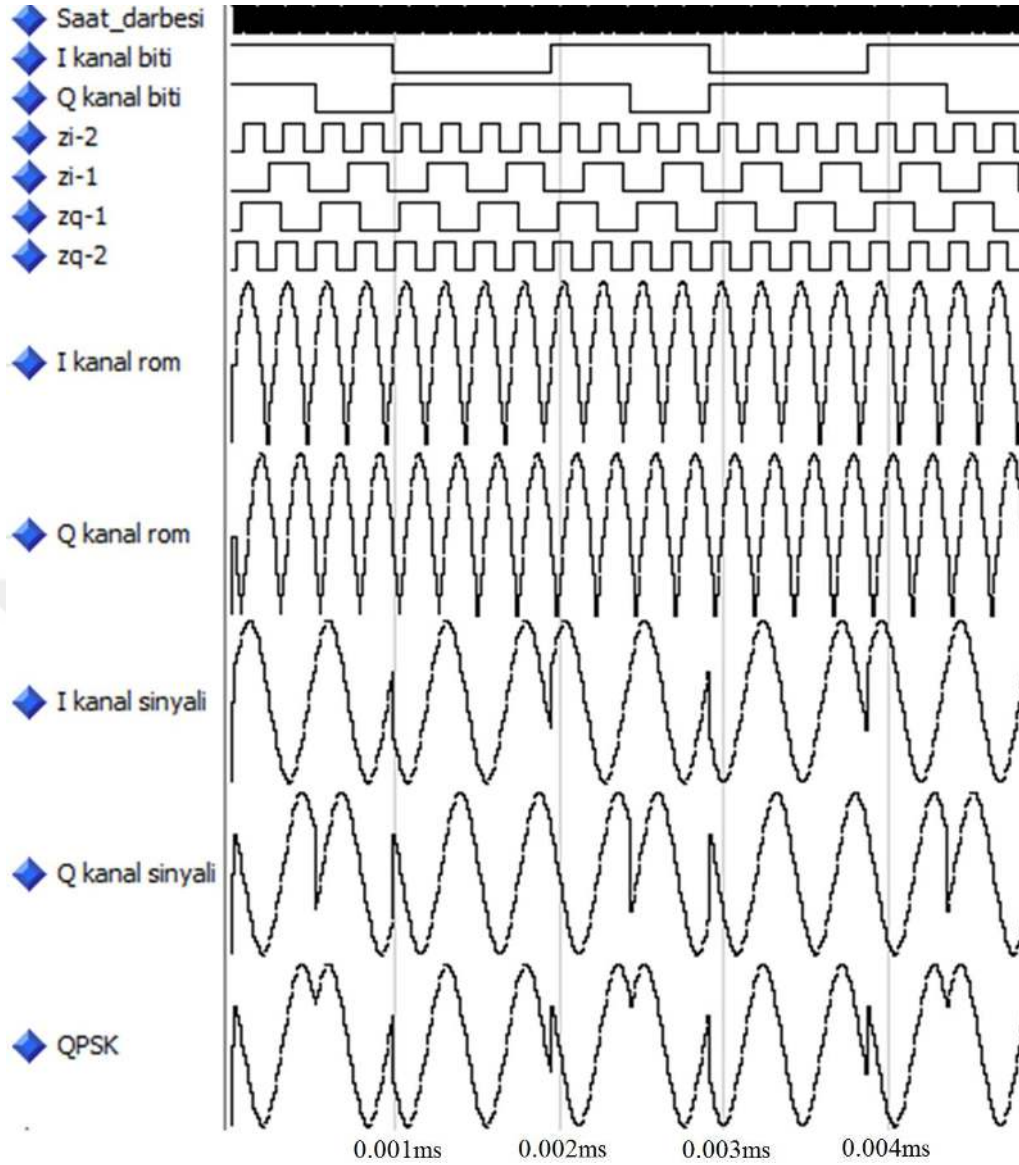
Tablo 4.2’de D.C. (Don’t Care), önemsiz durum olarak tanımlanmaktadır. Tabloda verilen veriler kullanılarak geliştirilen QPSK modülör mimarisi Şekil 4.8’de verilmektedir. Şekil 4.8’de görüldüğü gibi son MUX bloğu I kanalı ve Q kanalı sinyallerinden birisini seçmek için kullanılmıştır. Eğer i ve q bitleri aynıysa alt koldan gelen sinyal (Q kanalı sinyali) QPSK sinyalini oluşturuyorken (00 ve 11 durumu) bu bitlerin farklı olması durumunda da

üst koldan gelen sinyal (I kanalı sinyali) QPSK sinyalini oluşturur (10 ve 01 durumu). Ayrıca her iki kanal için de farklı ROM kullanıldığı görülmektedir. Şekilde $zq-2$ ve $zi-2$ bitleri I kanalı ve Q kanalı sayaçlarının kontrolünü sağlamaktadır. Önerilen yapının FPGA ortamındaki tasarımı Şekil 4.9’da verilmiştir.



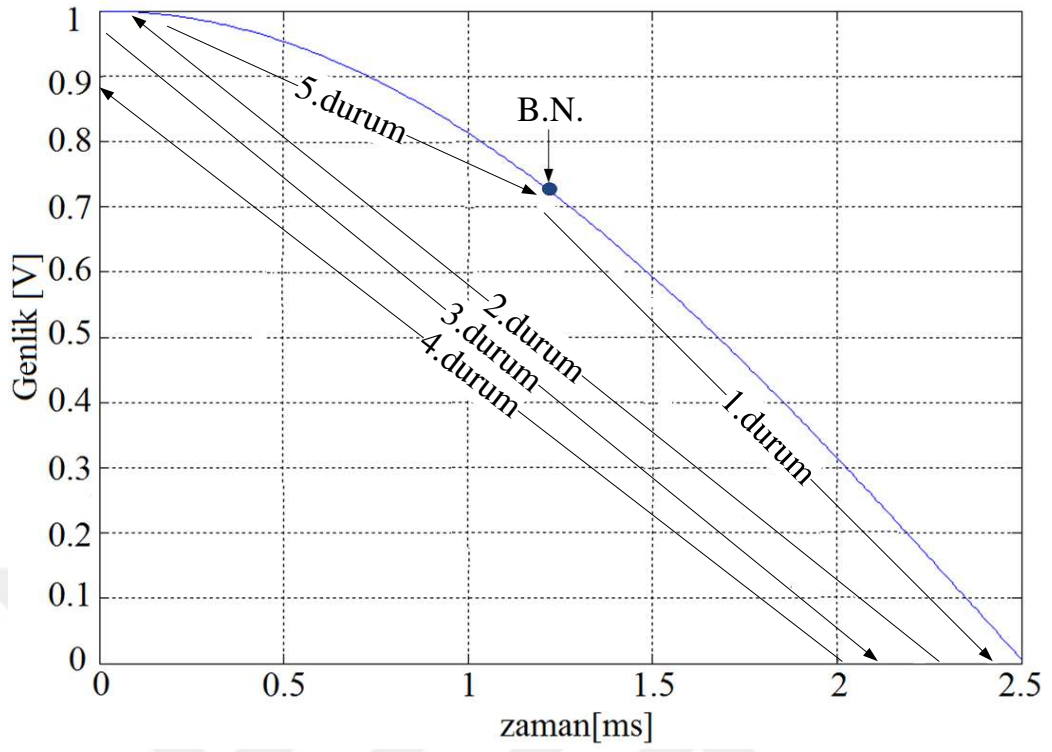
Şekil 4.9. Önerilen QPSK modülör şemasının FPGA ortamındaki tasarımı

Şekil 4.9’da görüldüğü gibi I kanalı ve Q kanalı sinyalleri ayrı ayrı üretilmiştir. Önce sinyallerin üretimi sağlanmış ardından sinyal seçimi yapılmıştır. İlk aşamadaki I kanalı ve Q kanalı MUX blokları hem üretimi sağlamakta olup hem de I kanalı ve Q kanalı bitlerinin durumuna göre I ve Q kanalı sinyallerini oluşturmaktadır. Yani her bir kol birer BPSK modülör gibi davranmaktadır. Şekil 4.9 için elde edilen benzetim sonuçları Şekil 4.10’da verilmiştir.

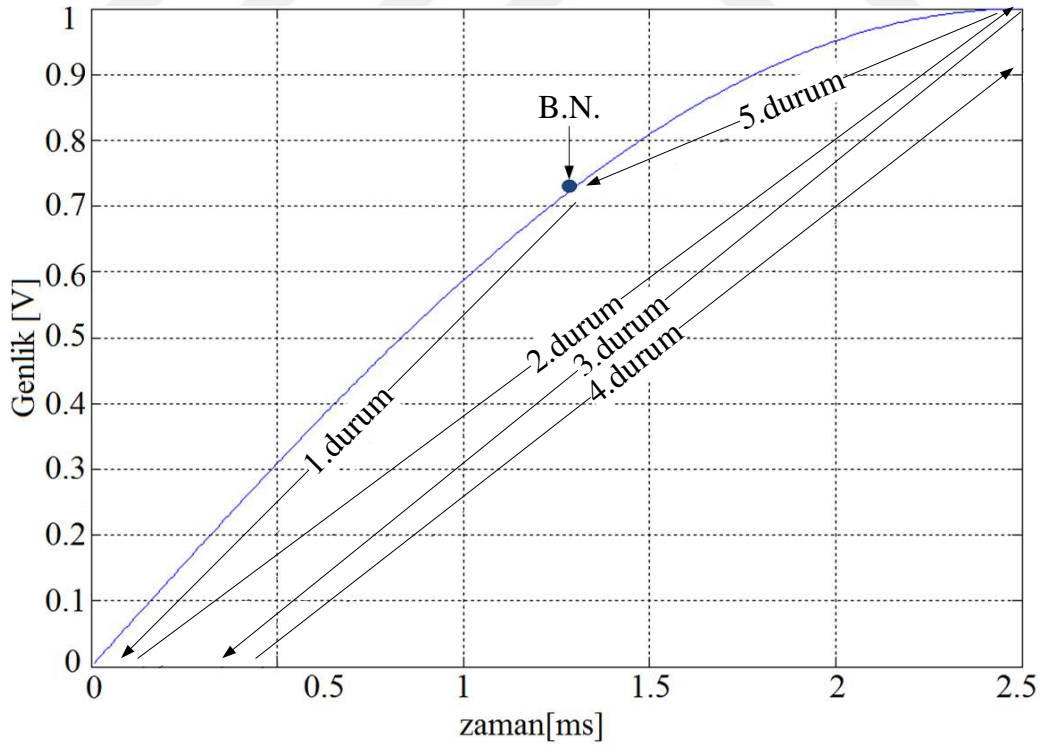


Şekil 4.10. Önerilen QPSK modülatör şemasının FPGA ortamındaki tasarımı

Şekil 4.10’da verilen değişimde *I kanal sinyali* ve *Q kanal sinyali* sırasıyla üst kol ve alt kolda verilen MUX bloklarının çıkışlarıdır. *I kanal ROM* ve *Q kanal ROM* sinyalleri ise *I* kanalı ve *Q* kanalı için kullanılan ROM bloklarının çıkışlarıdır. Bu ROM bloklarının çıkışları paralel olarak hem bir kaydediciden hem de bir tersleyiciden geçirilmektedir. Tersleyici ve kaydedici çıkışları *zi-1* ve *zq-1* bitleri sayesinde belirli bir süre aktif ve pasif edilerek önce *I* kanalı ve *Q* kanalı sinyalleri oluşturulmuştur. Oluşan bu sinyallerden sonra gelen bilgi bitleri *Q* kanalında görünen sinyali veya *I* kanalındaki sinyali aktif ederek daha düşük ram bit kullanımına sahip yeni bir mimarinin oluşturulmasını sağlamıştır. *I* kanalında ve *Q* kanalında kullanılan ROM bloklarına kaydedilen örneklerin zamanda sürekli halleri Şekil 4.11 ve 4.12’de görüldüğü gibidir.



Şekil 4.11. Q kanalı için kullanılan ROM bloğuna kaydedilen sinyal

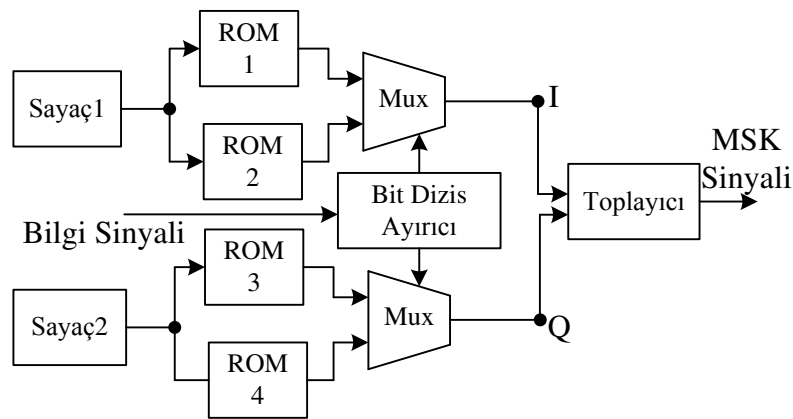


Şekil 4.12. I kanalı için kullanılan ROM bloğuna kaydedilen sinyal

Şekil 4.11 ve Şekil 4.12’ de görülen sinyallerin örnekleri sırasıyla Q ve I kanalı ROM bloklarına kaydedilmiştir. BN (Başlangıç Noktasından)’dan başlayan sinyal bir periyodu tamamlayabilmek için yine başlangıç noktasında bitmiştir. Şekil 4.11 ve Şekil 4.12’den de görüldüğü gibi 5 durum mevcuttur. Bu durumların kontrolü, sayacı kontrol eden z_{i-2} ve z_{q-2} bitleri ile sağlanmaktadır. Örneğin 1. durum için bu bitler lojik ‘0’ seviyesindedir. 2.durumda, 3.durumda, 4.durumda ve 5.durumda sırasıyla 1-0-1-0 lojik seviyelerini almaktadır. Karmaşıklığı azaltmak için I ve Q kanalı içerisine kaydedilen örneklerin sırası değiştirilmiştir. I kanalı için sinüs fonksiyonunun çeyrek periyodu kullanılırken Q kanalı için de kosinüs fonksiyonunun çeyrek periyodu kullanılmıştır.

4.3. Önerilen MSK Modülatör Mimarisi-I (Ö-MSK-1 ve Ö-MSK-1-S)

Bu bölümde literatürde daha önceden önerilmemiş bir yöntem kullanılarak bir MSK mimarisi önerilmiştir. Şekil 2.28’de görülen seri bağlı iki çarpım bloğu kaldırılarak MUX tabanlı bir mimari ile I kanalı ve Q kanalı sinyalleri oluşturulmuştur. I kanalı ve Q kanalı sinyalleri toplayıcı bloğu yardımıyla toplanarak MSK sinyalini oluşturmuşlardır. Bu şekilde gerçekleştirilen mimari hem daha az kaynak kullanmakta hem de işlem karmaşıklığını düşürerek MSK sinyalinin üretimini kolaylaştırmaktadır. Önerilen MSK modülatör mimarisi Şekil 4.13’te görülmektedir.

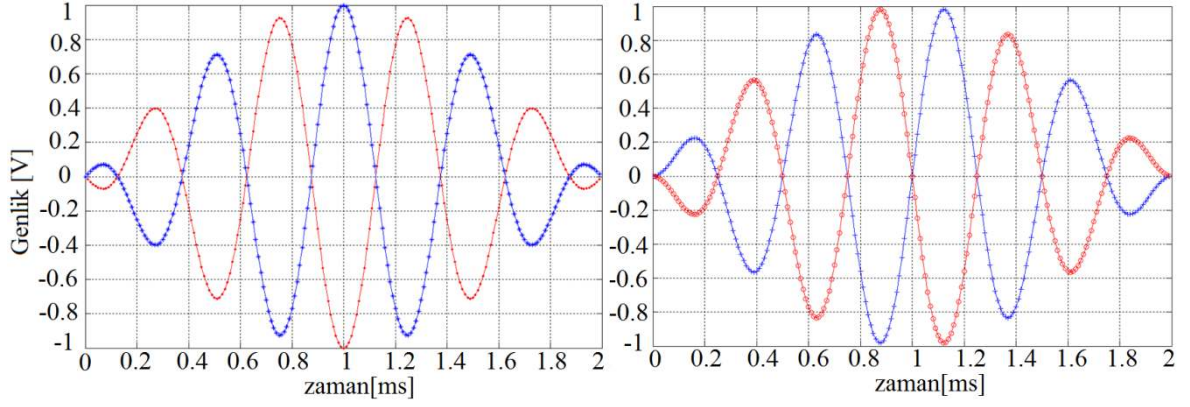


Şekil 4.13. Önerilen MSK modülatör mimarisi-I

Şekil 4.13’te I ve Q kanalları iki ayrı ikili (binary) modülatör olarak düşünülmüştür. Bit dizisi ayırıcıdan MUX bloğunun seçici pinine gelen veriye göre MUX bloklarının girişine uygulanan sinyallerden herhangi birisi aktif edilerek I kanalı ve Q kanalı sinyalleri

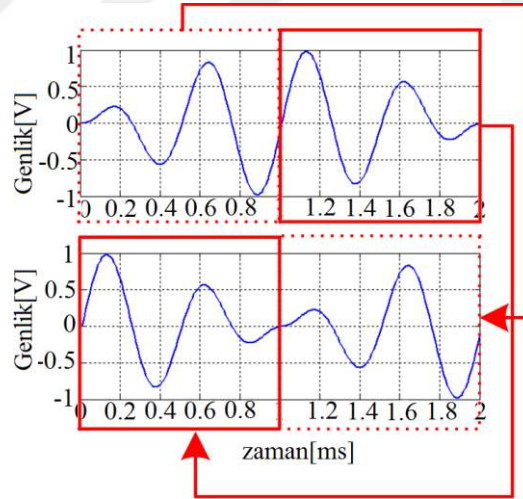
oluşturulmaktadır. I ve Q düğümlerinde oluşacak sinyaller sırasıyla, Şekil 2.29’da görülen *I* ve *Q* kanalı birinci çarpım bloğu çıkış sinyalleridir. ROM-1 bloğuna 0.7µs ve 0.9µs aralığındaki *I* kanalı ikinci çarpım bloğu çıkış (*I-İÇBÇ*) sinyalinin örnekleri (r_1 sinyali) ve ROM-2 bloğuna da 0.3µs ve 0.5µs aralığında değişen *I-İÇBÇ* sinyalinin örnekleri (r_2 sinyali) kaydedilirse +1 ve -1 çarpanları için gerekli olan sinyaller elde edilmiş olur. Ayrıca ROM-3 bloğuna 0µs ve 0.2µs aralığındaki *Q-İÇBÇ* sinyalinin örnekleri (r_3 sinyali) ve ROM-4 bloğuna da 0.6µs ve 0.8µs aralığındaki *Q-İÇBÇ* sinyalinin örnekleri (r_4 sinyali), *Q* kanalı sinyalinin üretilmesi için kaydedilir. Ancak Şekil 4.13’te dikkat edilmesi gereken noktalardan birisi ROM adreslerinin kontrolünün sağlanması için iki farklı sayacın kullanılmış olmasıdır. *I* kanalı ve *Q* kanalı sinyalleri arasında 0.1µs’lik bir zaman farkının sağlanması için pratik olarak gerçekleştirilen donanımlarda *Q* kanalı bir bit periyodunun yarısı süresince bekletilmektedir. Sonuç olarak bekleme, bit dizisi ayırıcı ve sayaç bloklarının senkronize çalışmasıyla gerçekleştirilebilmiştir. Ancak *I* kanalından gelen bilgi sinyali ‘1’ olduğunda MUX çıkışından r_1 sinyalinin alınması gerekirken 0.5µs ve 0.7µs zaman aralığında r_2 sinyali, *I-İÇBÇ* sinyalini oluşturmuştur. Ayrıca bu durum *Q* kanalı için de 0.2µs ve 0.4µs zaman aralığında geçerlidir. *Q* kanalından bu zaman aralığında 0 bilgi sinyali gönderilirken MUX bloğunun alt veri girişindeki (sıfırıncı veri girişi) sinyal iletilecektir. Ancak Şekil 2.29’da görüldüğü gibi üst veri girişindeki (birinci veri girişi) sinyal iletmiştir. Bu özel durum *I* kanalı ve *Q* kanalı bitlerinin çift bitleri iletirken oluşmaktadır. Bu tez kapsamında önerilen yöntemin başarılı olabilmesi ve bu problemin ortadan kaldırılması için çift bitlerin iletildiği zaman aralıklarında bilgi bitlerinin terslenmesi (*not* işleminden geçirilmesi) gerekmektedir.

Ayrıca tez çalışmasında hedeflenen diğer bir amaç da Şekil 4.13’te görülen modülatör yapısındaki sayaç sayısının azaltılması olmuştur. Tez içeriğinde yer değiştirme tekniği olarak nitelendirilen yöntem ile *sayaç-2* bloğu modülatör mimarisi yapısından kaldırılmıştır.

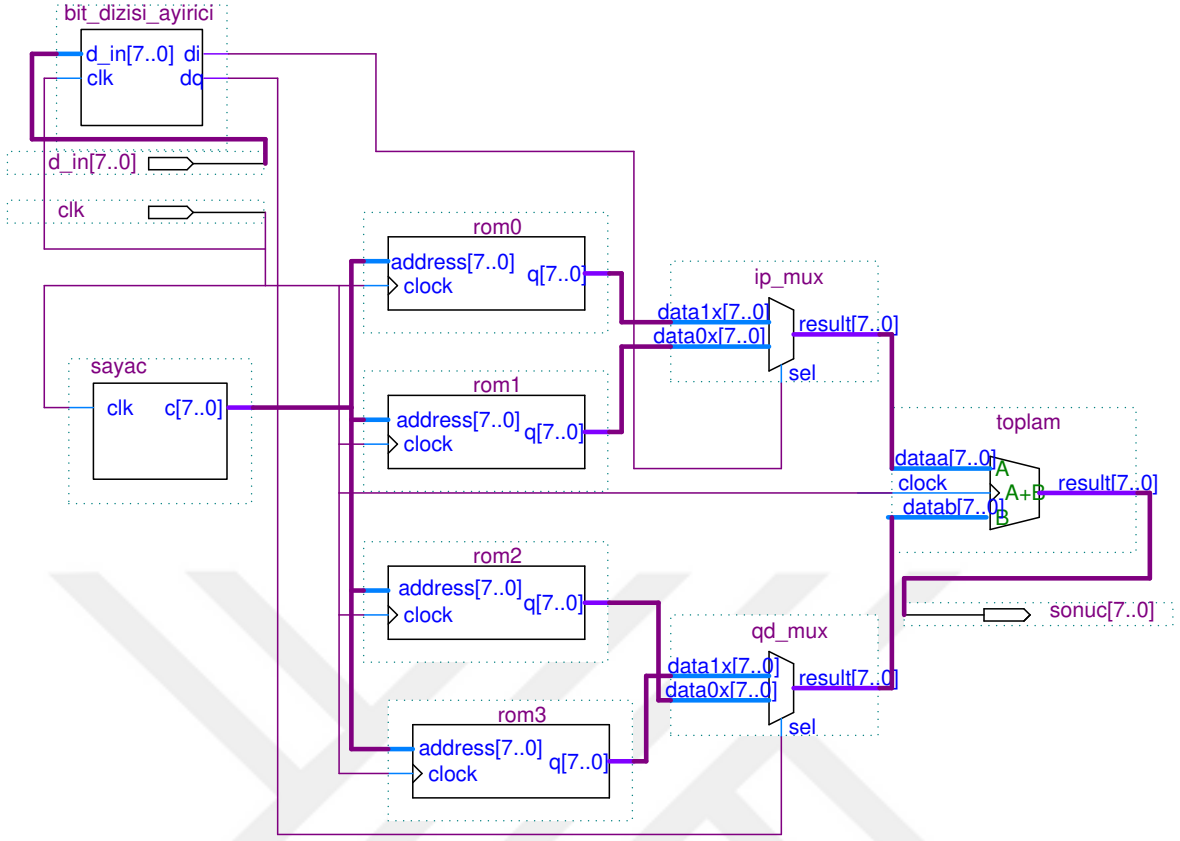


Şekil 4.14. I ve Q düğümü sinyalleri

Şekil 4.13'te görülen I düğümü ve Q düğümü sinyalleri Şekil 4.14'te görüldüğü gibi iki farklı durumdadır. Yani I kanalından ve Q kanalından üretilebilecek sinyaller, Şekil 4.14'te görüldüğü gibi x eksenine göre simetrik olan iki sinyalden oluşmaktadır. Blokların adres kontrolünü sağlayan sayaçlardan birisi kaldırılarak, Q düğümü sinyaline yer değiştirme tekniği uygulanırsa MSK sinyali değişmeden elde edilebilir. Şekil 4.15'te Q kanalı için yer değiştirme tekniği görülmektedir.

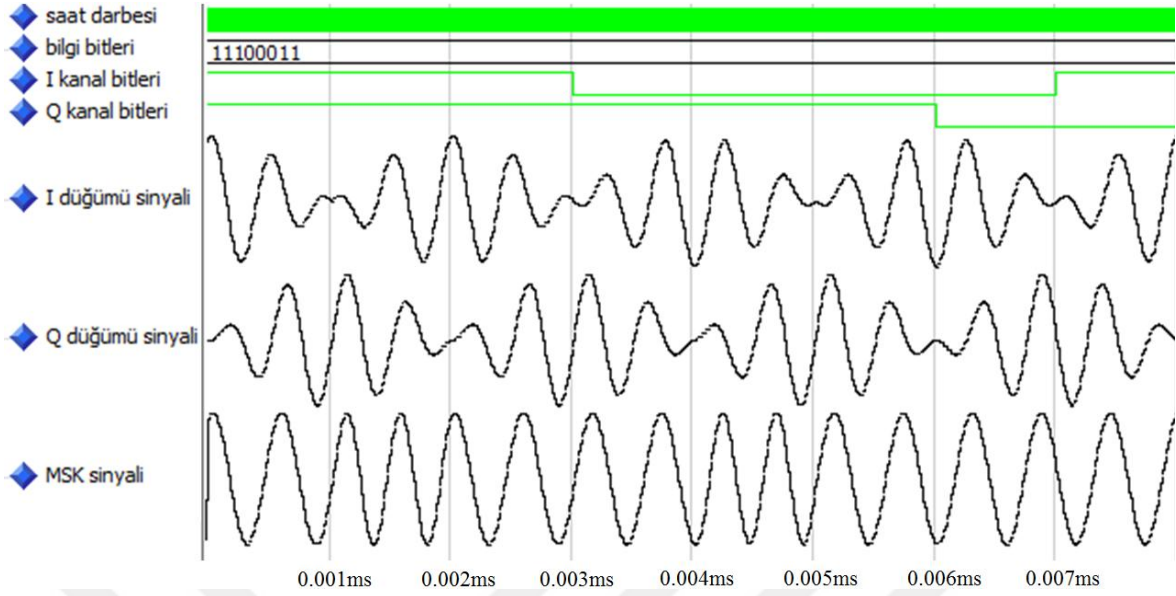


Şekil 4.15. Yer değiştirme tekniği



Şekil 4.16. Yer değiştirme tekniği kullanan MSK mimarisinin FPGA tabanlı tasarımı

Şekil 4.15'te görüldüğü gibi bir ROM içerisinde kullanılan örneklerin ilk yarısı ile ikinci yarısının yeri değiştirilmiştir. Bu nedenle yarım bit periyot süresine gelindiği anda Q kanalı biti devreye girerek Q kanalındaki sinyallerden birisinin aktif olması sayac tarafından sağlanacaktır. Yani yer değiştirme tekniği ile yarım bitlik bekleme işlemi sağlanmış olup kaynak kullanımı da minimize edilmiştir. Şekil 4.16'da yer değiştirme tekniğinin kullanılmasıyla oluşturulan FPGA tabanlı bir MSK mimarisi sunulmuştur. Şekilde görülen ROM0 ve ROM1 blokları I kanalı için, ROM2 ve ROM3 de Q kanalı için kullanılmaktadır. Şekil 4.16'da görüldüğü gibi sadece bir sayac kullanılarak modülasyon işlemi başarılı bir şekilde tamamlanmıştır. Şekil 4.16'da görülen I ve Q çıkışları kodlanmış I ve Q kanalı bitlerini göstermektedir. Yani I kanalının ve Q kanalının çift bitlerinin tersinin alınması sonucunda elde edilen bitleri göstermektedir. Şekil 2.29'da görülen geleneksel MSK modülasyonu sinyalin zamanla değişimi ile karşılaştırmak için sekiz adet giriş biti kullanılmıştır. Yer değiştirme tekniği kullanılarak oluşturulan sinyalin modelsim-altera programı kullanılarak elde edilen benzetim sonuçları Şekil 4.17'de verilmiştir.



Şekil 4.17. Yer değiştirme tekniği kullanan MSK mimarisinin modelsim-altera benzetim sonuçları

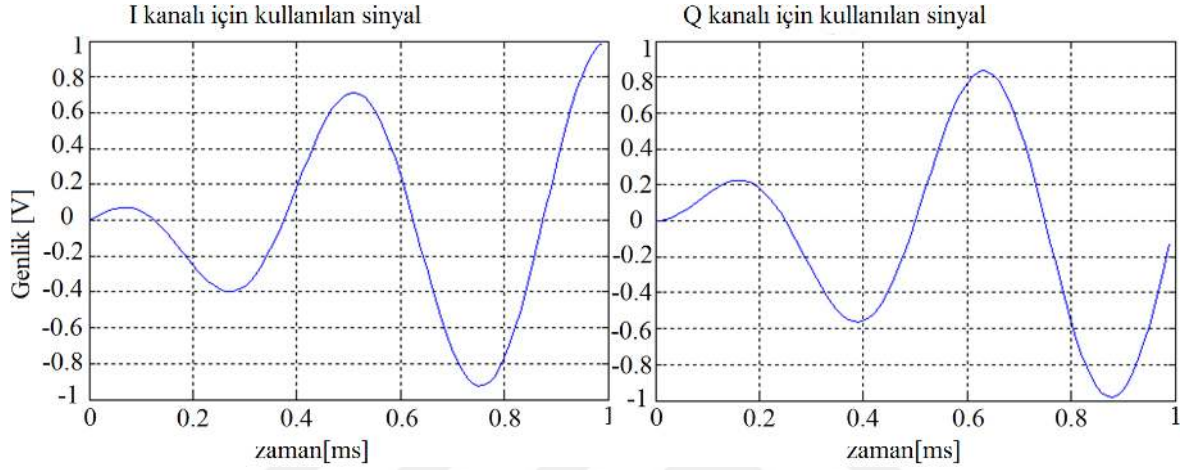
Şekil 4.17’de verilen benzetim sonucunda I kanal bitleri ve Q kanal bitleri çıkışları, I ve Q kanalı bitlerinin ikinci bitlerinin tersinin alınması sonucu oluşmuştur. Şekil 4.13’te açıklanan problemin ortadan kaldırılması için bu işlem uygulanmıştır. Şekil 2.29’da matlab programında elde edilen benzetim sonuçları ile kullanılan teknik karşılaştırıldığında açıkça görülmektedir ki kullanılan teknik başarılı bir sonuç vermektedir. Ayrıca benzetim sonuçlarından dikkat edilmesi gereken diğer bir nokta ise Şekil 2.29’da elde edilen MSK sinyali, I düğümü ve Q düğümü sinyalleri ile Şekil 4.17’de elde edilen sinyallerin benzer olmalarıdır.

4.4. Önerilen MSK Modülatör Mimarisi-II (Ö-MSK-2)

Bu bölümde MSK modülatör mimarisinin ram bit kullanım miktarını düşürmek için farklı bir yöntem önerilmiştir ve yöntemin FPGA üzerinde uygulanması başarılı bir şekilde gerçekleştirilmiştir. Önerilen yöntem I düğümü ve Q düğümü sinyallerinin simetri özelliğinden faydalanılarak geliştirilmiştir. Şekil 4.14 incelenirse I kanalında görülen mavi ve kırmızı renkli sinyaller x-eksenine göre birbirleriyle simetriktir. Ayrıca hem mavi sinyal hem de kırmızı sinyal y-eksenine göre simetriktir. Sonuç olarak sinyallerin simetri özelliği kullanılarak hem birbirlerinin üretimi sağlanmakta hem de yarım periyotluk kısımdan diğer yarım periyotluk kısmın üretimi gerçekleştirilebilmektedir. Q düğümü sinyalleri ise x-ekseni referans alınırsa birbirlerine göre simetriktir. Ancak bu sinyallerin ilk yarım

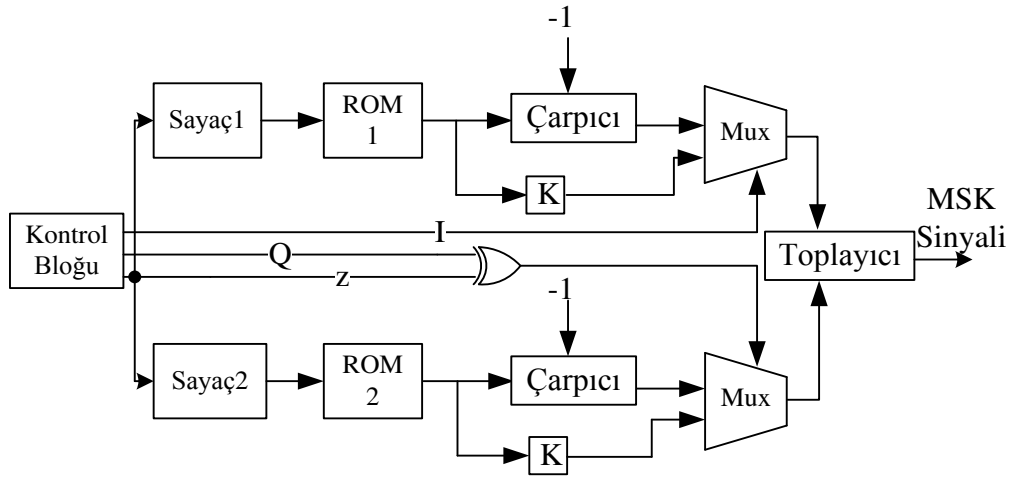
periyotluk kısmıyla ikinci yarım periyotluk kısmı ise orijine göre simetrik. Q kanalı için de aynı tekniğin uygulanması sonucunda önerilen MSK modülasyonu-1'e göre %75 oranında ram bit kullanımı düşürülecektir.

Önerilen MSK modülatör mimarisinde kullanılan ROM bloklarında saklanan örnekler Şekil 4.18'de görüldüğü gibidir.



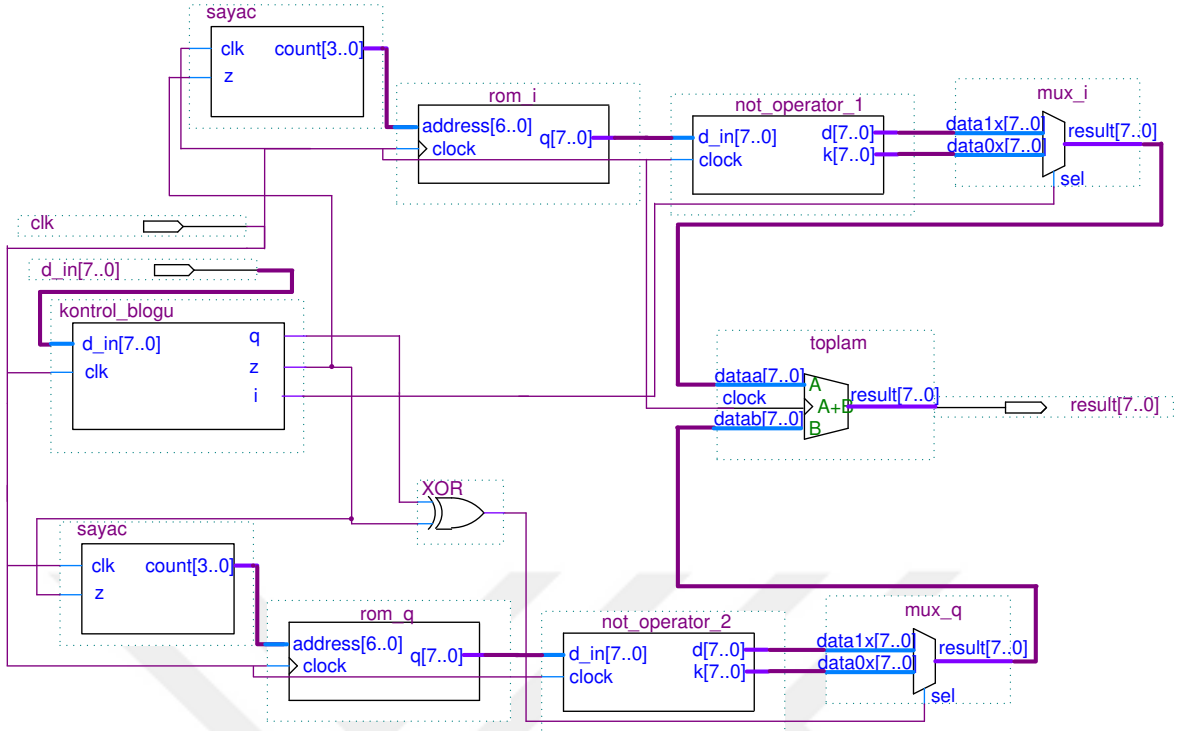
Şekil 4.18. I ve Q kanalı için kullanılan sinyaller

Şekil 4.18'de görülen I kanalı ve Q kanalı sinyalleri kullanılarak negatif alternanstaki ve diğer yarım periyottaki sinyaller üretilebilmektedir. Şekil 4.14 incelenirse ram bit kullanımının %75 oranında azaldığı görülmektedir çünkü Şekil 4.18'de görülen sinyallerin oluşumu için kullanılacak örnek sayısı, mavi ve kırmızı renkteki sinyallerin $\frac{1}{4}$ 'i oranındadır (aynı frekanstaki sinyallerin örnekleme frekanslarının eşit olması şartıyla). MSK modülatör mimarisi-II için önerilen blok diyagram Şekil 4.19'da verilmiştir.

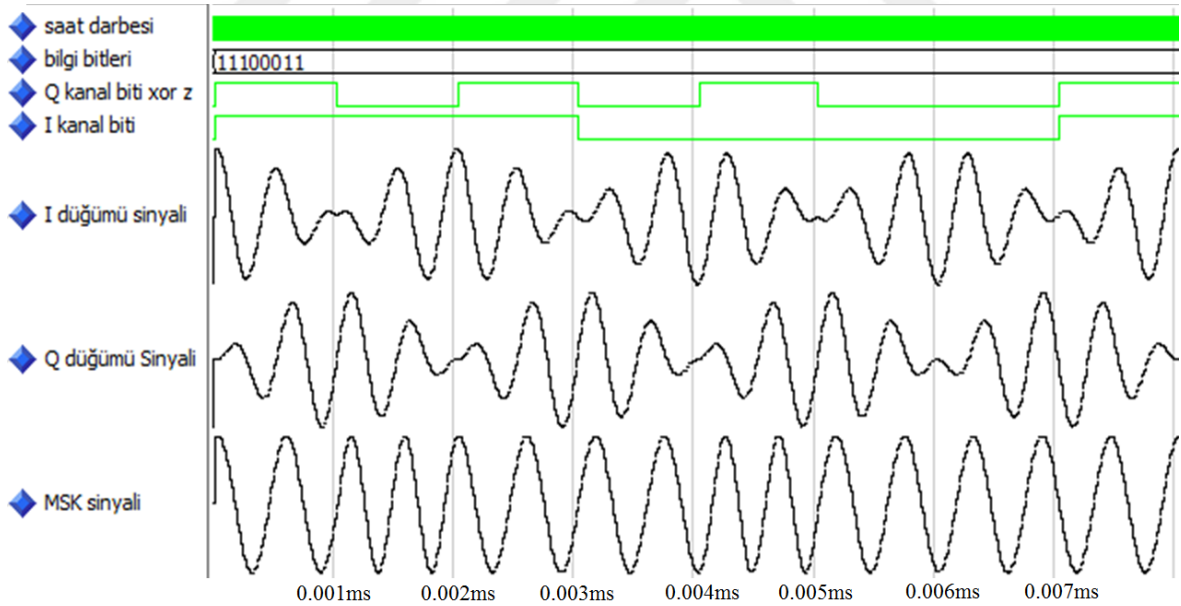


Şekil 4.19. Önerilen MSK modülatör mimarisi-II

Şekil 4.19’da K (kaydedici) bloğu senkronizasyonun sağlanması için kullanılmıştır. Bu blok sayesinde ROM çıkışındaki veri ile *çarpım* bloğu çıkışındaki veri eş zamanlı olarak MUX bloğuna uygulanır. Şekil 4.14’te I kanalı sinyalleri (mavi ve kırmızı sinyal) 0.1µs süresinden sonra işaret değiştirmeden örneklerinin genlik değeri azalarak devam etmektedir. Çünkü bu iki sinyalin de 0µs-0.1µs aralığındaki örnek değerleri ile 0.1µs-0.2µs aralığındaki örnek değerleri y-eksenine göre simetriktir. Böylece sayaç değeri 0.1µs den sonra azaltılırsa ROM içerisinde en büyük değerlikteki adresten en küçük değerlikteki adrese doğru saklanan örnekler çıkışa aktarılacaktır ve MUX bloğunun seçici pinini değiştirmeye gerek yoktur. Ancak Q kanalı için bu durum farklı bir şekilde gerçekleşir. Q kanalındaki sinyaller orijine göre simetrik olduklarından tam 0.1µs anında negatif örnekten pozitif örneğe geçiş vardır. Sonuç olarak hem sayaç değeri azaltılmalı hem de MUX bloğunun seçici pin değeri değiştirilmelidir ki farklı işaretli örnek 0.1µs anından sonra toplayıcı girişine uygulanabilsin. Bu problemi çözebilmek için Şekil 4.19’da z olarak ifade edilen bir bit Q kanalından iletilen bit ile *xor* işleminden geçirilmiştir. Bu sayede Q bit değeri değişmeden MUX bloğunun seçici pinindeki değer değişecektir ve MUX diğer girişindeki sinyali çıkışa aktaracaktır. Şekil 4.20’de MSK modülatör mimarisi-II için FPGA tabanlı tasarım görülmektedir. Şekil 4.21’de ise bu mimariye ilişkin benzetim sonuçları verilmiştir.



Şekil 4.20. Önerilen MSK modülör mimarisi-II'nin FPGA tabanlı tasarım



Şekil 4.21. Önerilen MSK modülör mimarisi II için benzetim sonuçları

Şekil 4.21'de görüldüğü gibi Q kanal biti ve z biti olarak ifade edilen iki bitlik çıkış pininin ilk biti sürekli bir biçimde 0-1-0-1-0 olarak değişmektedir. Bu bit z biti olup diğer bit Q kanalı bilgi bitidir. Benzetim sonuçları incelendiğinde Şekil 2.29 ve Şekil 4.17'de elde edilen sonuçlar ile aynı sonuçlara sahip bir MSK sinyalinin elde edildiği görülmektedir. Ancak bir önceki bölümde değinildiği gibi bu bölümde de kullanılan I ve Q

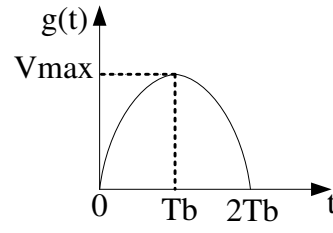
bilgi bitleri kodlanmıştır. Yani MSK tip-II ile hibrit bir çalışma gerçekleştirebilmek için I kanalının ve Q kanalının ikinci bitleri *not* işleminden geçirilmiştir. Sonuç olarak *z* biti ile *xor* işleminden geçirilen bit kodlanmış Q kanal bitidir.

4.5. Önerilen MSK Modülatör Mimarisi-III (Y-D MSK)

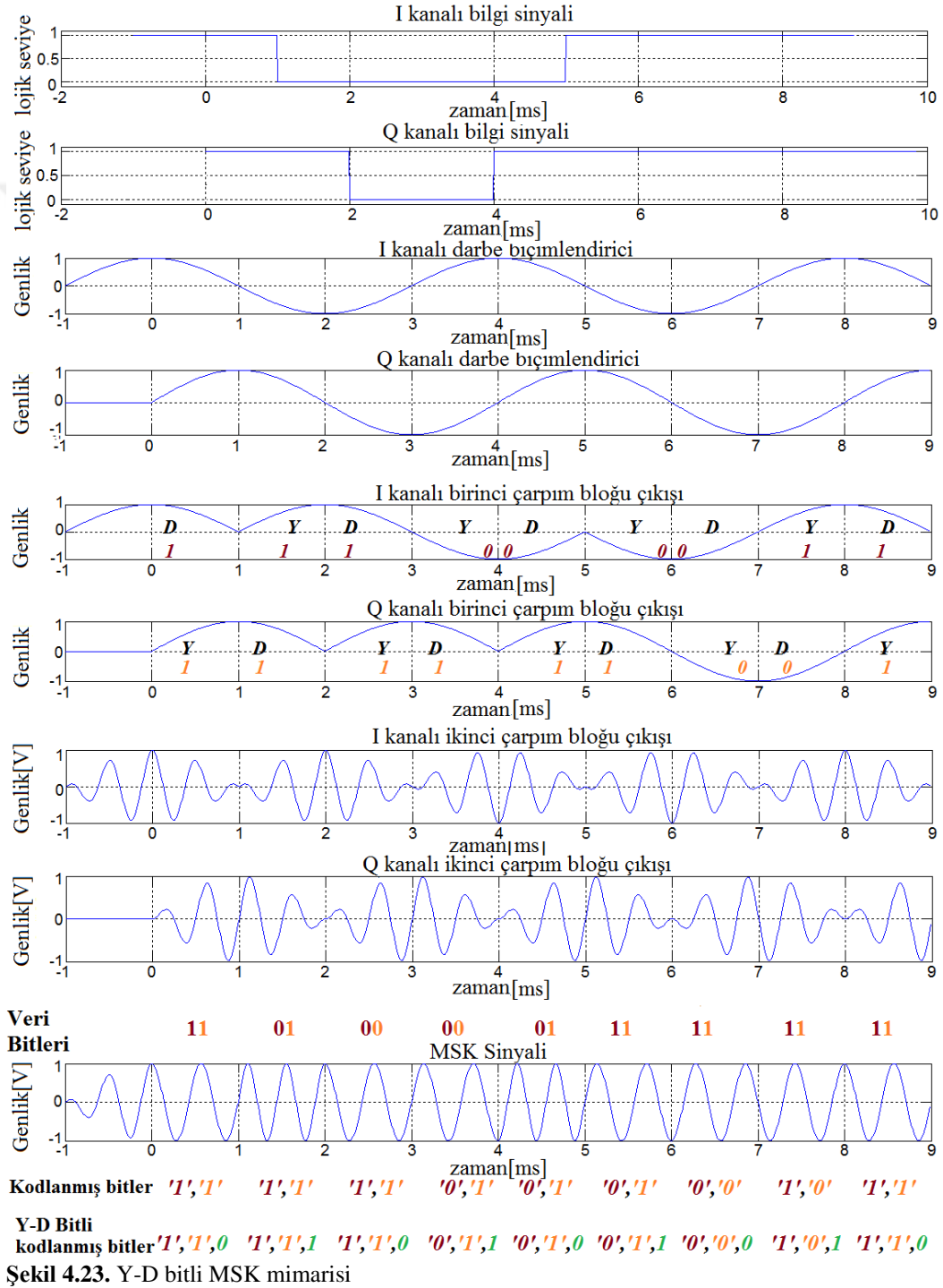
Daha önce önerilen iki MSK mimarisi incelendiğinde mimarinin tasarımı için işlemsel bloklara (çarpıcı veya toplayıcı) olan ihtiyacın devam ettiği görülmektedir. İşlemsel bloklardan tamamen kurtulmak için bu tez çalışmasında önerilen MSK mimarilerinden birisi de R-F MSK veya Y-D MSK mimarisi olmuştur. Bu mimari geleneksel mimariyi o kadar çok minimize etmiştir ki bilgi bitinin MSK sinyalini üretim şekli bir BPSK veya QPSK sinyalini üretim şekli ile tamamen aynıdır. Yani mimari QPSK ve BPSK gibi sadece MUX ve ROM bloklarından oluşmaktadır. R-F mimarisi I ve Q kanalı darbe biçimlendirme sinyallerinin yükselme ve düşme durumuna göre tasarlanmıştır. Yükselme kavramı sinyalin 0'dan başlayarak ± 1 (V_{max})'e doğru değişimidir. Düşme ise bu kavramın tam tersi gibi düşünülerek sinyalin ± 1 'den başlayarak 0'a doğru değişimi olarak tanımlanır. Eğer I kanalının ve Q kanalının çift bitleri *not* işleminden geçirilirse ağırlaştırılmış sinyallerin yerine sinüs fonksiyonunun sadece pozitif alternansının kullanılması geleneksel MSK mimarisinin yeniden oluşturulmasını sağlayacaktır. Şekil 4.22'de görülen $g(t)$ (yarım periyotluk sinüs) için matematiksel denklem aşağıdaki gibidir.

$$g(t) = \begin{cases} \sin \frac{\pi t}{2T_b}, & 0 \leq t \leq 2T_b \\ 0, & t < 0 \text{ ve } 2T_b < t \end{cases} \quad (4.1)$$

Şekil 4.22'deki $g(t)$ darbe yapısı düşünülerek gerçekleştirilen geleneksel MSK mimarisinin zamana göre değişimi Şekil 4.23'te verilmiştir. Bu şekilde R-F MSK mimarisinin temelini oluşturan R-F veya Y-D bit de görülmektedir.



Şekil 4.22. $g(t)$ darbesi



Şekil 4.23'te her biri iki bitten oluşan *Veri Bitleri* dizisinde her bir sembolün birinci biti I kanalı bitini, ikinci biti ise Q kanalı bitini göstermektedir. *Y-D Bitli Kodlanmış Bitler* dizisinde her sembolün birinci ve ikinci bitleri sırasıyla kodlanmış I kanalı bitini ve Q kanalı bitini ifade ediyorken üçüncü biti Y-D bitini göstermektedir. MSK sinyali daha önceden görüldüğü gibi dört farklı faz durumu ve iki farklı frekans durumunu içeren sinyaldir. Sonuçta sinyal sekiz farklı durumdan oluşmaktadır ve iletilen bit sayısı 2'dir. Ancak QPSK ve BPSK mimarilerinde iletilen bit sayısı kadar faz durumu mevcut olduğundan dolayı MUX tabanlı mimarinin uygulanması kolaydır. Bu problemi çözebilmek için de Y-D biti önerilmiştir. Ayrıca uygulamanın gerçekleştirilmesi için de bu algorithmada kodlama işlemi düşünülmeseydi verimli bir sonuç elde edilemeyecekti. Çünkü dikkat edilecek olursa 0.5µs ve 0.9µs zaman aralıklarında dört defa 11 bilgi sinyali gelmesine rağmen dört sinyalin de fazı birbirinden farklıdır. Ayrıca bu zaman aralıklarında önerilen Y-D bitleri de düşünülürse iki defa 110 ve iki defa da 111 bitleri ile ifade edilen sinyaller üretilmiştir. Bu problemi ortadan kaldırmak için kodlama işlemi gerçekleştirilmiştir. Kodlanmış bitler dikkate alındığında 0.5µs ve 0.9µs zaman aralıklarında değişen sinyaller sırasıyla; 011, 000, 101 ve 110 olarak tanımlanabilirler. Ayrıca 03µs-04µs ve 0.5µs-0.6µs zaman aralıklarındaki sinyallerin de birbiriyle aynı faz ve frekansa sahip olması savunulan iddianın doğruluğunu ortaya koymaktadır.

Şekil 4.22 incelendiğinde tam tepe değerinde (T_b anında) sinyalin genliğinin V_{max} , $2T_b$ veya 0 anında genliğin 0 olduğu görülmektedir. $V_{max}=1$ için Şekil 4.22'de verilen sinyal referans olarak alınır,

$$g_n(t) = |(I_n \text{ or } Q_n)| \sin\left(\frac{\pi t}{2T_b}\right) = 1 \quad t = kT_b \quad k \text{ tek ise}$$

$$g_n(t) = |(I_n \text{ or } Q_n)| \sin\left(\frac{\pi t}{2T_b}\right) = 0 \quad t = kT_b \quad k \text{ çift ise} \quad (4.2)$$

denklemi elde edilir. Denklem (4.2)'den de görüldüğü gibi k tek olduğu anda $g(t)$ darbesi tam tepe değerindeyken 1, çift olduğu anda ise 0 olmaktadır. Denklem (4.2)'de verilen I_n ve Q_n değerleri ± 1 olarak ifade edilmektedir. Yani bu sinyaller NRZ bloğunun çıkışında elde edilen değerleri göstermektedirler. Ayrıca bu bitler, NRZ bloğuna uygulanmadan önce *not* işleminden geçirilerek kodlanmış bitleri ifade etmektedirler. MSK sinyali yeniden ifade edilirse,

$$MSK(t) = I_k g(t) \cos(2\pi f_c t) + Q_k g(t - \frac{\pi}{2}) \sin(2\pi f_c t)$$

$$I_k \sin\left(\frac{\pi t}{2T_b}\right) \cos(2\pi f_c t) + Q_k \sin\left(\frac{\pi t}{2T_b} - \frac{\pi}{2}\right) \sin(2\pi f_c t) \quad (4.3)$$

eşitlikleri elde edilir. Denklem (4.3)'te görüldüğü gibi eğer I kanalından iletilen bilgi biti g(t) sinyali ile çarpılırsa Q kanalından iletilen sinyal, g(t) sinyalinin $\pi/2$ kadar geciktirilmiş hali ile çarpılmaktadır. Bu durum, Şekil 2.29'da verilen *I-BÇBÇ* ve *Q-BÇBÇ* sinyallerinin zamana göre değişimi incelenirse görülecektir. Şekil 2.29'da bu iki kanalda kullanılan g(t) sinyalleri arasında $\pi/2$ kadarlık bir faz farkı olduğu gösterilmiştir. Denklem (4.3)'te g(t) veya g(t- $\pi/2$) sinyallerinden birisi 1 olduğu anda diğer sinyal 0 olmaktadır. Denklem (4.4)'te bu durum yazılırsa,

$$\begin{aligned} g(t) &= 1 & t = kT_b \text{ için} \\ g(t - \frac{\pi}{2}) &= 0 & t = kT_b \text{ için} \end{aligned} \quad (4.4)$$

eşitliği elde edilir. Önerilen MSK mimarisi-III'ün I_k , I_{k-1} , Q_k ve Q_{k-1} değerlerine bağlı olduğu görülmektedir. Bu iddiayı ispatlayabilmek için Denklem (4.5) incelenirse,

$$\begin{aligned} MSK(kT_b) &= I_k \sin\left(\frac{\pi t}{2T_b}\right) \cos(2\pi f_c t) + Q_k \sin\left(\frac{\pi t}{2T_b} - \frac{\pi}{2}\right) \sin(2\pi f_c t) \\ &= I_k 1 \cos(2\pi f_c t) \end{aligned} \quad (4.5)$$

k tek sayısı için eşitliği elde edilir. Yani kT_b anında g(t) sinyali tepe değerine ulaştığı için bu sinyal ile çarpılan sinyaller 1 ile çarpılmış olur. Ancak bu durum tam kT_b anındaki örnek çarpımında geçerlidir. Bu sinyalin $\pi/2$ kadar geciktirilmiş hali (Denklem 4.5'te toplama işaretinin sağında kalan ifade) kT_b anında sıfırdan geçeceği için o andaki çarpım değeri sıfıra eşit olacaktır. Ayrıca k tek sayı olduğundan dolayı $(k-1)$ çift sayı olacaktır. Denklem (4.5), $k-1$ çift sayısı için yeniden düzenlenirse,

$$MSK((k-1)T_b) = Q_{k-1} I \sin(2\pi f_c t) \quad (4.6)$$

denklemini elde edilecektir. Denklem (4.5)'te $g(t-\pi/2)$ sinyali 1'den geçtiği anda $g(t)$ sinyali 0'dan geçtiği için toplamının solunda kalan ifade sıfır olmuştur. Denklem (4.5)'in son hali ve Denklem (4.6) incelenirse faz geçiş anında bu iki sinyal arasında 90 derecelik bir faz farkı olduğu görülecektir. Denklemlerden birisinde sinüs çarpanı varken diğerinde kosinüs çarpanı vardır. Bu durum MSK sinyali için faz ağacında elde edilen sonuçları ispatlar niteliktedir. I_k ve Q_k değerlerinin aynı veya farklı değerde olması bu durumu değiştirmemektedir. Çift k değerleri için yeni bir eşitlik yazılırsa,

$$\begin{aligned} MSK(kT_b) &= Q_k \sin(2\pi f_c t) = Q_k \cos(2\pi f_c t - \frac{\pi}{2}) \\ &= \cos(2\pi f_c t - \frac{\pi}{2} + \frac{\pi}{2}(1 - Q_k)) \\ &= \cos(2\pi f_c t - \frac{\pi}{2} + \frac{\pi}{2}(Q_k - 1)) \\ &= \cos(2\pi f_c t - \frac{\pi}{2} + \frac{\pi}{2}(|Q_k - 1|)) \end{aligned} \quad (4.7)$$

Denklemini elde edilir. Denklem (4.7)'de ilk satır sinüs ve kosinüs fonksiyonlarının dönüşümünü vermektedir. Diğer satırlarda Q_k , fonksiyonun içerisine yazılarak faz değişimine etkisi gözlemlenmiştir. Son üç eşitlik ise Q_k değerinin ± 1 değeri için her durumda birbirlerine eşit olduğunu göstermektedir. Bir önceki sinyalin fazını elde edebilmek için k yerine $(k-1)$ yazılırsa ve tek k değerleri için Eşitlik (4.5)'te elde edilen denklemde yerine yazılırsa,

$$\begin{aligned} MSK((k-1)T_b) &= I_{k-1} \cos(2\pi f_c t) \\ &= \cos(2\pi f_c t + \frac{\pi}{2}(1 - I_{k-1})) \\ &= \cos(2\pi f_c t + \frac{\pi}{2}(I_{k-1} - 1)) \end{aligned}$$

$$= \cos(2\pi f_c t + \frac{\pi}{2}(|I - I_{k-1}|)) \quad (4.8)$$

denklemleri elde edilir. Eşitlik (4.8)'de elde edilen sinyal ile Eşitlik (4.7)'de elde edilen sinyal arasında 90 derecelik faz farkının olması gerekmektedir. Çünkü MSK sinyali incelenirse bir önceki sinyal ile bir sonraki sinyal arasında 90 derecelik faz farkının olduğu görülecektir. Bunu sağlamak için,

$$\begin{aligned} \frac{\pi}{2}(|I - I_{k-1}|) + \varphi_i &= -\frac{\pi}{2} + \frac{\pi}{2}(|I - Q_k|) \\ \varphi_i &= -\frac{\pi}{2} + \frac{\pi}{2}(|-I_{k-1} + Q_k|) \text{ veya} \\ \varphi_i &= -\frac{\pi}{2} + \frac{\pi}{2}(|-I_{k-1} - Q_k + 2|) \text{ veya} \\ \varphi_i &= -\frac{\pi}{2} + \frac{\pi}{2}(|I_{k-1} + Q_k - 2|) \text{ veya} \\ \varphi_i &= -\frac{\pi}{2} + \frac{\pi}{2}(|I_{k-1} - Q_k|) \end{aligned} \quad (4.9a)$$

eşitlikleri kullanılabilir. Denklem (4.5) ve Denklem (4.6) arasındaki faz farkı için elde edilen eşitlik, Denklem (4.9b)'de verildiği gibidir.

$$\begin{aligned} \frac{\pi}{2}(|I_k - I|) &= -\frac{\pi}{2} + \frac{\pi}{2}|Q_{k-1} - I| + \varphi_i \\ \varphi_i &= \frac{\pi}{2} + \frac{\pi}{2}|Q_{k-1} - I_k| \text{ veya} \\ \varphi_i &= \frac{\pi}{2} + \frac{\pi}{2}|Q_{k-1} + I_k - 2| \text{ veya} \\ \varphi_i &= \frac{\pi}{2} + \frac{\pi}{2}|-Q_{k-1} - I_k + 2| \text{ veya} \\ \varphi_i &= \frac{\pi}{2} + \frac{\pi}{2}|I_k - Q_{k-1}| \end{aligned} \quad (4.9b)$$

Denklem (4.9a) ve (4.9b)'de φ_i bir önceki sinyal ile bir sonraki sinyal arasındaki faz farkını göstermektedir. Denklemden de görüldüğü gibi iki sinyal arasındaki faz farkı o andaki Q

kanalı biti ve bir önceki I kanalı bitine veya o andaki I kanalı biti ve bir önceki Q kanalı bitine bağlıdır. Bu eşitliklerin sonucunda MSK sinyalinin fazı genel olarak,

$$\varphi_k = \varphi_{k-1} + \varphi_i \quad (4.10)$$

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2}(-1)^{k+1} + \frac{\pi}{2}(|I_k - Q_{k-1}|)(1-y) + \frac{\pi}{2}(|Q_k - I_{k-1}|)(y) \quad (4.11)$$

$$y = 1 - (k) \bmod 2 \quad (4.12)$$

şeklinde ifade edilebilir. Denklem (4.10)'da φ_{k-1} ve φ_k sırasıyla bir önceki sinyalin ve o andaki sinyalin fazlarını göstermektedir. MSK sinyalinin fazının belirlenebilmesi için oluşturulan bir program akışı Algoritma-4.3'te verilmektedir.

Algoritma-4.3: MSK sinyalinin Fazının Belirlenmesi

Girdiler: $k, Q_k, I_k, Q_{k-1}, I_{k-1}$

Değişkenler: y

Çıktı: φ_k

$y = 1 - (k) \bmod 2$

İf $y=1$

İf $Q_k=1$

İf $I_{k-1}=1$

$$\varphi_k = \varphi_{k-1} - \frac{\pi}{2}$$

else

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2}$$

end

else

İf $I_{k-1}=1$

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2}$$

else

$$\varphi_k = \varphi_{k-1} - \frac{\pi}{2}$$

end

end
 İf $I_k=1$
 else

İf $Q_{k-1}=1$

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2}$$

else

$$\varphi_k = \varphi_{k-1} - \frac{\pi}{2}$$

end

else

İf $Q_{k-1}=1$

$$\varphi_k = \varphi_{k-1} - \frac{\pi}{2}$$

else

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2}$$

end

end
end

Denklem (4.11), (4.9a) ve (4.9b)'deki denklemlerden bir y değişkenin kullanılmasıyla türetilmiştir. Denklem (4.12)'den de görüldüğü gibi y değişkeni iletilecek olan bitin tek

veya çift olmasına göre 1 veya 0 değerini almaktadır. Algoritma 4.3; Denklem (4.9a), (4.9b), (4.10), (4.11) ve (4.12) kullanılarak oluşturulmuş bir program akışıdır.

Daha önceden de değinildiği gibi MUX tabanlı bir mimarinin oluşturulabilmesi için üçüncü bir bite gereksinim vardır. Bu tezde türetilen formülden (4.11) ve Algoritma-4.3'ten görüldüğü gibi üçüncü bit y değişkenine bağlı olarak ortaya çıkmıştır. Algoritma-4.3 baz alınarak anlık faz değerini belirlemek için türetilen bir formül Denklem (4.13)'de verilmiştir.

$$\begin{aligned}\varphi_k &= \frac{\pi}{2}(2 + q - I_k)(1 - y) + \frac{\pi}{2}(q + 1 - Q_k)y \\ \varphi_k &= I_k \frac{\pi}{2}(1 - y) + (Q_k - 1) \frac{\pi}{2} y\end{aligned}\quad (4.13)$$

Denklem (4.13)'te $0 \leq q < 1$ için denklem sadeleşmiştir. Tez çalışmasında q değişkeni sıfır olarak alınmıştır. Denklem (4.13)'te verilen ifadenin ispatını gerçekleştirmek için çift k ve tek k değerlerinin verdiği y değeri denklemde yerine yazılabilir. Ayrıca denklemin ispatı için daha önceden doğrulanmış olan Denklem (4.11)'in de kullanılması gerekmektedir.

Durum-1: Tek k değerleri için Algoritma-4.3 ve Denklem (4.12)'den y , 0 değerini alır. Sonuç olarak Denklem (4.13), Denklem (4.14)'teki hale gelir.

$$\varphi_k = I_k \frac{\pi}{2} \quad (4.14)$$

Denklem (4.11)'in son hali ise $y=0$ için Denklem (4.15)'teki gibi olur.

$$\varphi_k = \varphi_{k-1} + \frac{\pi}{2} + \frac{\pi}{2}(|I_k - Q_{k-1}|) \quad (4.15)$$

Denklem (4.14), Denklem (4.15)'te φ_k yerine yazılırsa,

$$I_k \frac{\pi}{2} = \varphi_{k-1} + \frac{\pi}{2} + \frac{\pi}{2}(|I_k - Q_{k-1}|) \quad (4.16)$$

denklemini elde edilir. Denklem (4.16)'da görülen φ_{k-1} daha önceden tanımlandığı gibi bir önceki sinyalin fazını belirlemektedir. Sonuç olarak $(k-1)$ değeri çift olur ve o andaki

sinyalin fazı da k yerine $(k-1)$ yazılarak Denklem (4.13) yardımıyla hesaplanabilir. Bu durumda y değeri 1'dir. Denklem (4.13)'den bir önceki sinyalin faz değeri,

$$\varphi_{k-1} = (Q_{k-1} - 1) \frac{\pi}{2} \quad (4.17)$$

olarak bulunur. Denklem (4.16)'da, Denklem (4.17) yerine yazılırsa,

$$I_k \frac{\pi}{2} = (Q_{k-1} - 1) \frac{\pi}{2} + \frac{\pi}{2} + \frac{\pi}{2} (|I_k - Q_{k-1}|) \quad (4.18)$$

denklemini elde edilir.

Denklem (4.18)'ye göre Denklem (4.11), Denklem (4.13)'teki ifadeyi sağlamıştır. I_k ve Q_{k-1} değerleri $(+1,+1; +1,-1; -1,+1; -1,-1)$ olduğunda, Denklem (4.18)'in sol ve sağ tarafı sırasıyla $\pi/2, \pi/2; \pi/2, \pi/2; -\pi/2, 3\pi/2; -\pi/2, -\pi/2$ değerlerini alacaktır. Tek fark $3\pi/2$ ile $-\pi/2$ arasındadır. Ancak faz çemberi üzerinde iki fazın da yeri aynıdır. Sonuç olarak bir sinyalin fazına $3\pi/2$ eklemek ile sinyalin fazından $\pi/2$ çıkarmak sinyali aynı noktaya taşımak demektir.

Durum2: k değişkeninin çift değerleri için Algoritma-6.1 ve Denklem (4.12)'den y değişkeni 1 değerini alır ve Denklem (4.13), Denklem (4.19)'a eşit olur.

$$\varphi_k = (Q_k - 1) \frac{\pi}{2} \quad (4.19)$$

Denklem (4.11) k çift sayılar için düzenlenirse ve bu son denklemde φ_k yerine Denklem (4.19)'da bulunan sonuç yazılırsa,

$$\varphi_k = \varphi_{k-1} - \frac{\pi}{2} + \frac{\pi}{2} (|Q_k - I_{k-1}|) \quad (4.20)$$

$$(Q_k - 1) \frac{\pi}{2} = \varphi_{k-1} - \frac{\pi}{2} + \frac{\pi}{2} (|Q_k - I_{k-1}|) \quad (4.21)$$

eşitlikleri elde edilmiş olur. Denklem (4.21)'de bulunan φ_{k-1} yerine Denklem (4.13) kullanılarak $(k-1)$ tek sayıları için çözümleme yapılırsa,

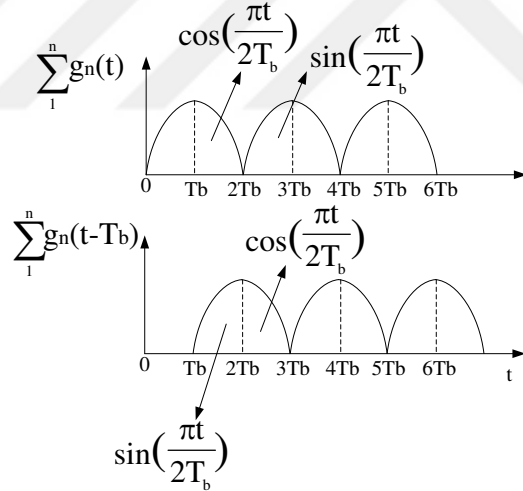
$$\varphi_{k-1} = I_{k-1} \frac{\pi}{2} \quad (4.22)$$

eşitliği oluşur. Denklem (4.22), Denklem (4.21)'de kullanılırsa Denklem (4.23) elde edilir.

$$(Q_k - 1) \frac{\pi}{2} = I_{k-1} \frac{\pi}{2} - \frac{\pi}{2} + \frac{\pi}{2} (|Q_k - I_{k-1}|) \quad (4.23)$$

I_{k-1} ve Q_k değerleri (+1,+1; +1,-1; -1,+1; -1,-1) olsun. Denklem (4.23)'ün sol ve sağ tarafı sırasıyla (0, 0; - π , π ; 0, 0; - π , - π) değerlerini alır. Oluşan tek fark $-\pi$ ve π değerlerini veren I kanalının +1 ve Q kanalının -1 değerleridir. Ancak bu faz değerleri faz çemberinde aynı noktayı işaret ettiklerinden dolayı bu durum problem oluşturmamaktadır.

MSK sinyalinin faz analizi gerçekleştirildikten sonra frekans analizinin gerçekleştirilmesi gerekmektedir. Bu nedenle $g(t)$ sinyalinin iki ayrı periyoda bölünmesinden sonra işlem yapılması gerekmektedir.



Şekil 4.24. $g(t)$ ve $g(t-T_b)$ sinyallerinin zamana göre değişimi

Şekil 4.24'te görüldüğü gibi darbenin sıfır başlangıç noktasından 1'e kadar yükselmesi için geçen süredeki değişim sinüs fonksiyonu ile ifade edilirken, 1'den 0'a ulaşıncaya kadar geçen süredeki değişim de kosinüs olarak ifade edilmektedir. Bu tanımlamalarda sinyallerin başlangıç noktaları dikkate alınmıştır. MSK sinyali yeniden tanımlanırsa,

$$MSK(t) = I_k \left(\sum_1^n g_n(t) \right) \cos(2\pi f_c t) + Q_k \left(\sum_1^n g_n(t - \frac{\pi}{2}) \right) \sin(2\pi f_c t) \quad (4.24)$$

$$= I_k \cos\left(\frac{\pi t}{2T_b}\right) \cos(2\pi f_c t) + Q_k \sin\left(\frac{\pi t}{2T_b}\right) \sin(2\pi f_c t) \quad (4.25)$$

$$= \cos(2\pi f_c t \mp \frac{\pi}{2}) \quad T_b \leq t \leq 2T_b \text{ için ; R - F (D - Y) bit : 0} \quad (4.26)$$

eşitlikleri elde edilir. Şekil 4.20 incelenirse $g(t)$ ve $g(t-T_b)$ sırasıyla I kanalı ve Q kanalı ağırlaştırılmış sinyallerini temsil etmektedir. Yani MSK tip-II tekniğinde de açıklandığı gibi ağırlaştırılmış sinüs veya kosinüs darbelerinin negatif alternansları kaldırılarak bütün periyotlarda pozitif alternanslar kullanılmıştır. Şekil 4.20’de T_b ve $2T_b$ aralığında Y-D bit 0’dır. Tez çalışmasında standart olarak I kanalından çarpıma giren ağırlaştırılmış sinyalin ± 1 ’den 0’a doğru düşme periyodunda Y-D bit 0 olarak kabul edilmiştir. Denklem (4.26)’da bu durum açıklanmıştır. Yani Y-D bitin 1 olduğu durum için elde edilen sonuç Denklem (4.26)’dadır. Bu durum için MSK sinyalinin frekansı,

$$f_- = f_c - \frac{1}{4T_b} \quad I_k \text{ ve } Q_k \text{ aynı ise} \quad (4.27)$$

$$f_+ = f_c + \frac{1}{4T_b} \quad I_k \text{ ve } Q_k \text{ farklı ise} \quad (4.28)$$

Eğer $2T_b$ ile $3T_b$ zaman aralığı düşünülürse bu zaman aralığında I kanalı sinüs fonksiyonu ile ve Q kanalı ise kosinüs fonksiyonu ile çarpılacaktır. Sonuç olarak elde edilecek olan denklemler,

$$MSK(t) = I_k \sin\left(\frac{\pi t}{2T_b}\right) \cos(2\pi f_c t) + Q_k \cos\left(\frac{\pi t}{2T_b}\right) \sin(2\pi f_c t) \quad (4.29)$$

$$= \sin(2\pi f_c t \pm \frac{\pi}{2}) \quad 2T_b \leq t \leq 3T_b \text{ için ; R - F (D - Y) bit : 1} \quad (4.30)$$

şeklindedir. Denklem (4.30) sinüs fonksiyonu ile MSK sinyalini oluştururken Denklem (4.26) ise kosinüs fonksiyonu ile MSK sinyalini oluşturduğu için bu iki fonksiyon art arda

gelen zaman aralıklarını ifade etmektedirler. Bu iki sinyal arasında 90 derece faz farkı olduğu için ve MSK sinyalinin bir önceki faz değeri ile bir sonraki faz değeri arasında 90 derecelik faz farkı olduğu için MSK sinyalini temsil eden bu sinyallerin belirli zaman aralıklarında bu şekilde elde edilmesi yapılan işlemlerin doğruluğunu ispat etmektedir. Denklem (4.30) için MSK sinyalinin frekans değişimi Denklem (4.31) ve (4.32)'de verilmiştir.

$$f_+ = f_c + \frac{1}{4T_b} I_k \text{ ve } Q_k \text{ aynı ise} \quad (4.31)$$

$$f_- = f_c - \frac{1}{4T_b} I_k \text{ ve } Q_k \text{ farklı ise} \quad (4.32)$$

Eşitlik (4.29), (4.30), (4.31) ve (4.32) incelenirse birinci durum (Y-D=0) ve ikinci durum (Y-D=1) birbirlerinin tamamen tersi gibi çalışmaktadırlar. I_k ve Q_k değerlerinin aynı ve farklı olmasına göre frekans değerleri bu dört eşitlikte farklılık göstermektedir. Bu denklemlerden yola çıkarak oluşturulan bir program akışı Algoritma-4.4'te görüldüğü gibidir.

Algoritma-4.4: MSK sinyalinin frekansının belirlenmesi

Girdiler: $k, Q_k, I_k, Q_{k-1}, I_{k-1}$

Değişkenler: y

Çıkış: F

$y = 1 - (k) \bmod 2$

if $y=1$

if $I_k \text{ xor } Q_k = 1$

$F=F_1$

else

$F=F_2$

end

else

if $I_k \text{ xor } Q_k = 1$

$F=F_2$

else

$F=F_1$

end

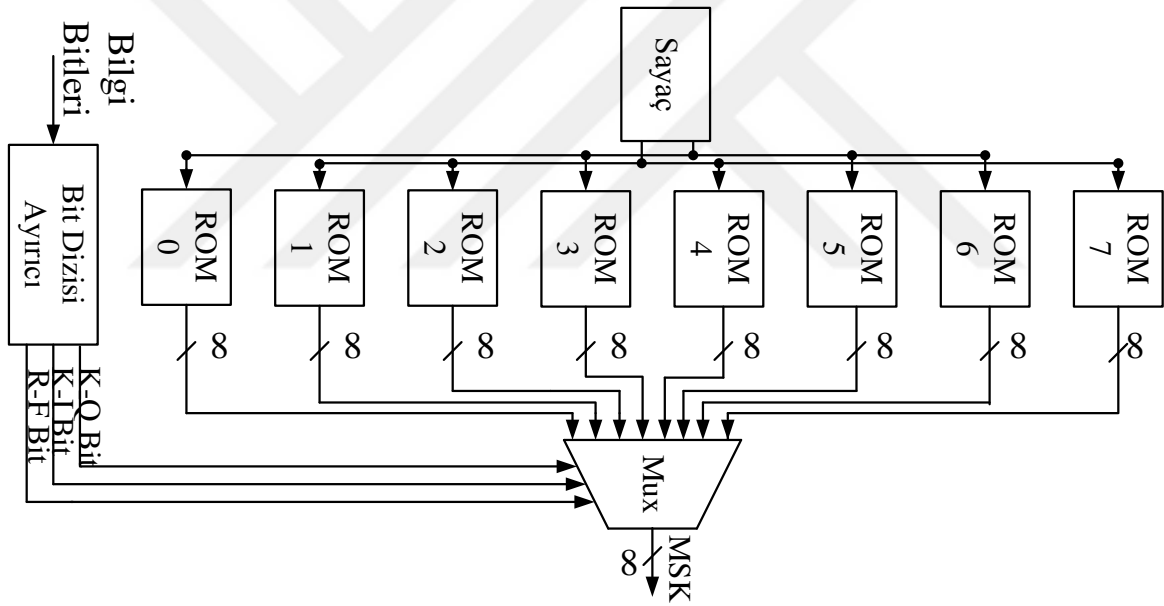
end

Algoritma-4.3'te olduğu gibi Algoritma-4.4'te de frekansın y değişkeni ile değişmesinden dolayı $Y-D$ bitine ihtiyaç olduğu görülmektedir. Yapılan işlemler bir bütün olarak düşünülürse olası bit durumları ile MSK sinyalinin faz ve frekans özellikleri Tablo 4.3'te görülmektedir.

Tablo 4.3 MSK sinyalinin frekansının ve fazının, bilgi ve R-F bitine göre değişimi

R-F Bit	I ve Q bitleri	MSK Sinyalinin Fazı ve Frekansı	R-F Bit	I ve Q bitleri	MSK Sinyalinin Fazı ve Frekansı
0	11	$P_1; F_1$	0	10	$P_1; F_2$
0	01	$P_3; F_2$	1	00	$P_4; F_2$
1	01	$P_2; F_1$	0	00	$P_3; F_1$
1	11	$P_2; F_2$	1	10	$P_4; F_1$

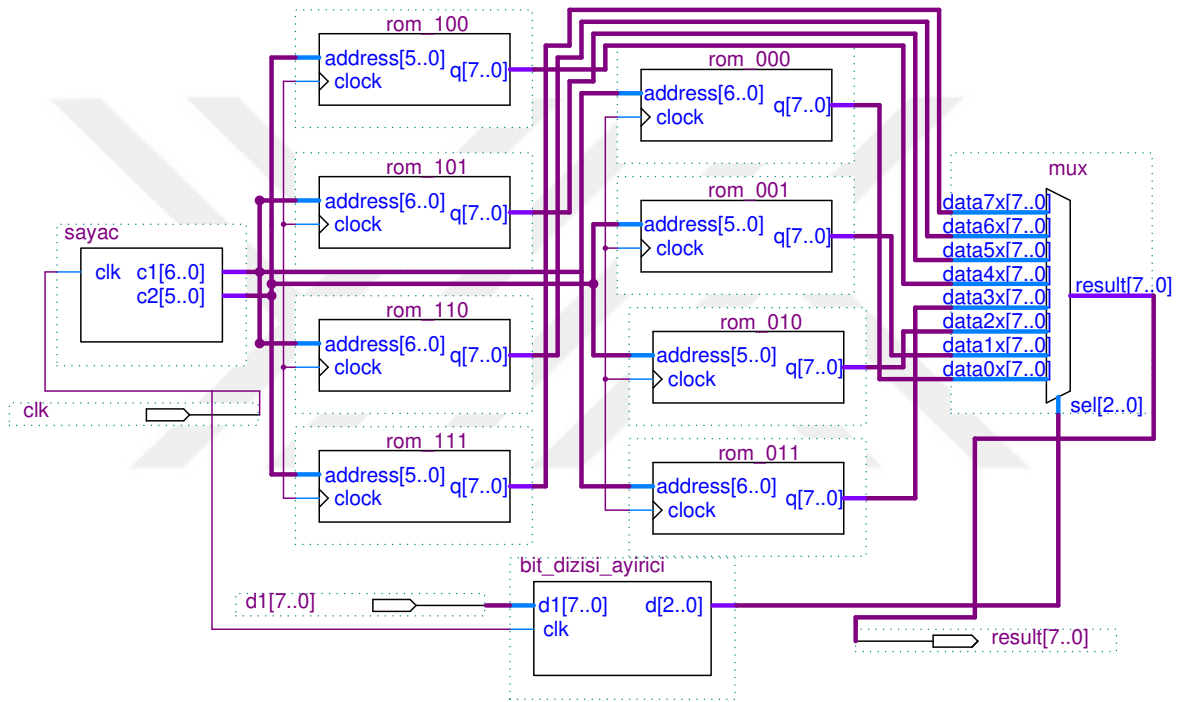
Bu bölümde verilen ve bu tez kapsamında ilk kez türetilen denklemler sonucunda Tablo 4.3'teki sonuçlar elde edilmiştir. Bu sonuçlar açıklanan denklemlerin tamamını kesin bir şekilde tanımlamaktadır. Tablo 4.3 dikkate alınarak oluşturulan Y-D MSK mimarisi Şekil 4.25'te verilmiştir.



Şekil 4.25. Y-D MSK tekniğinin blok diyagramı

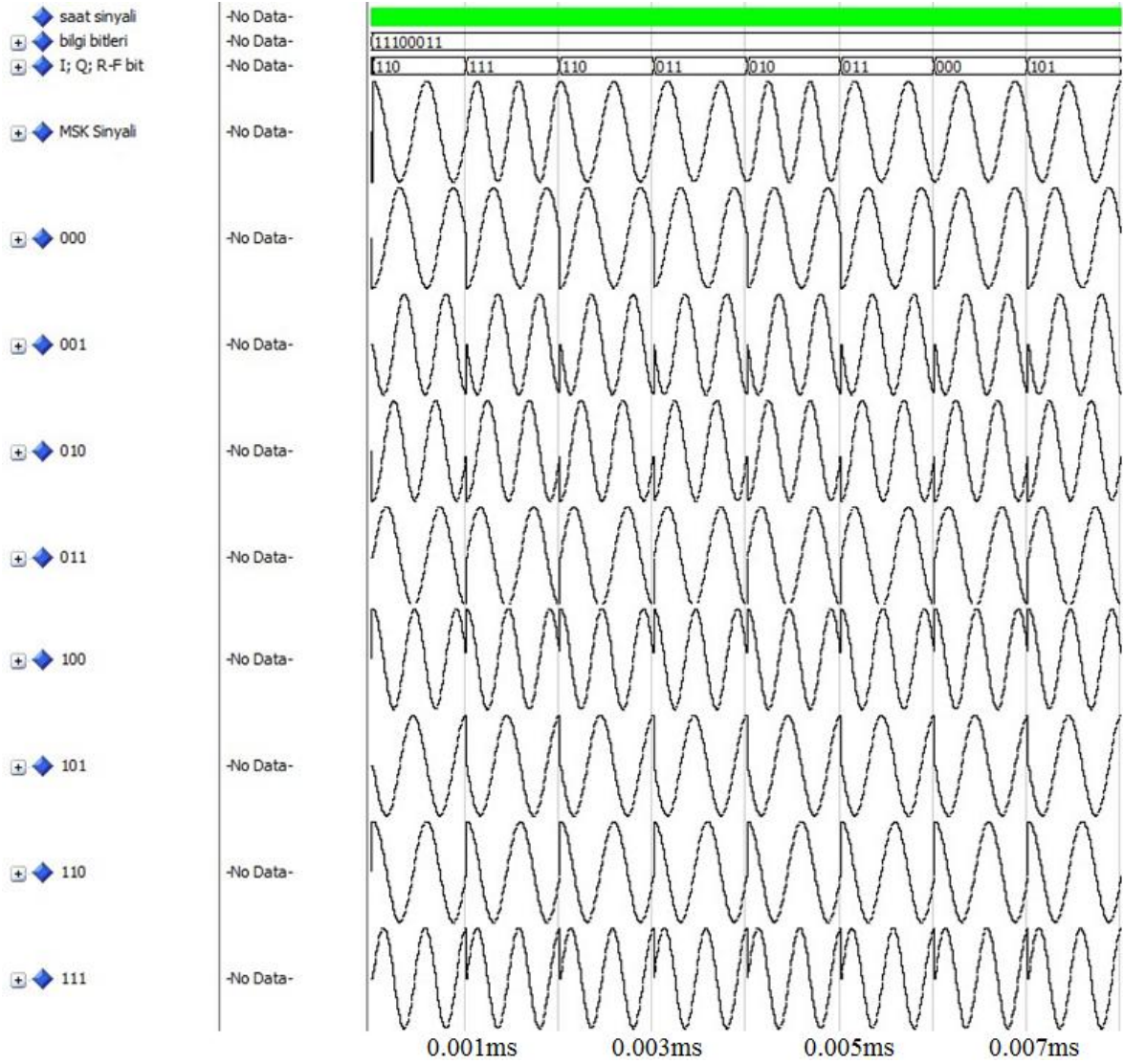
Şekil 4.25'ten görüldüğü gibi MSK mimarisinin yapısı ikili iletim teknikleri ve QPSK modülasyon tekniği ile tamamen benzerdir. Diğer tekniklerde olduğu gibi bu teknik de sadece MUX tabanlı bir algoritma ile çıkış sinyalini oluşturabilmektedir. Ancak tek fark kullanılan MUX bloğunun veri girişi 8 adet olduğundan bit dizisi ayırıcı çıkışından 3 adet seçici pine ihtiyaç duyulmasıdır. Diğer tekniklerde bir sembolü oluşturan bit sayısının m ile ifade edilmesi şartıyla, 2^m sayısı ile modülasyonlu sinyalin durum sayısı birbirine eşit olduğundan düşük karmaşıklığa sahip MUX tabanlı mimarinin kullanılması oldukça

kolaydır. Ancak MSK mimarisinde daha önceden de açıklandığı gibi 2^m sayısı ile MSK sinyalinin durum sayısı birbirine eşit değildir. MSK modülasyonunda $m=2$ olduğundan ve sinyalin 8 farklı durumu olduğundan MUX tabanlı mimariye doğrudan uygulanmasının imkânsız olduğu görülmüştür. Ancak bu tezde önerilen $Y-D$ bit ile m sayısı 3'e çıkarılarak gerekli seçici pin sayısı elde edilmiş olup mimari başarılı bir şekilde FPGA üzerinde uygulanmıştır. MSK mimarisinin FPGA tabanlı olarak tasarımı Şekil 4.26'da görülmektedir.



Şekil 4.26. Y-D MSK tekniğinin FPGA uygulaması

Şekil 4.26'da görüldüğü gibi sekiz ROM kullanılarak sekiz ayrı işaretin üretimi sağlanmıştır. Ayrıca sekiz farklı sinyalin farklı zamanlarda aktif edilebilmesi için de 8 veri girişli bir MUX bloğu kullanılmıştır. Bilgi bitleri ile birlikte Y-D bit de MUX bloğunun seçici pin girişine uygulanarak giriş sinyallerinin kontrollü olarak aktif edilmesi sağlanmıştır. Şekil 4.26'da görülen mimari için elde edilen benzetim sonuçları Şekil 4.27'de verilmektedir.



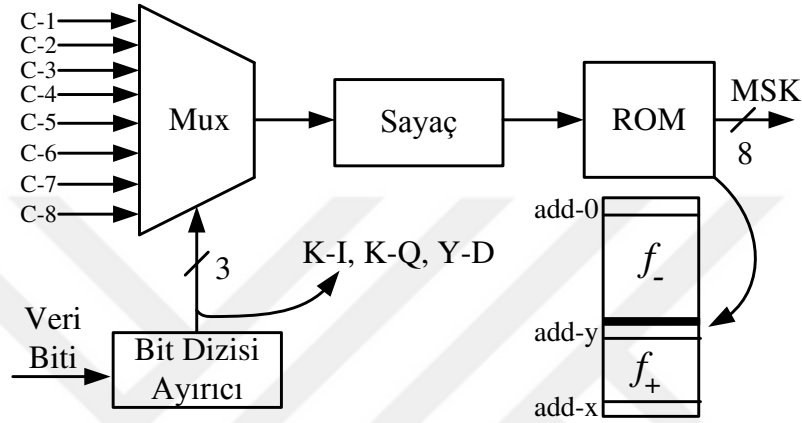
Şekil 4.27. Y-D MSK mimarisi için benzetim sonuçları

Şekil 4.27’de görüldüğü gibi I , Q kanal bitleri ile $Y-D$ bit birlikte kullanılarak alacakları değere göre ilgili sinyalin, MSK modülasyonlu sinyali üretmesini sağlamaktadırlar. Başlangıçta 110 değerini alan I , Q ve $Y-D$ bit doğrudan 110 ile ifade edilen sinyali aktif ederek MSK sinyalinin oluşmasını sağlamıştır.

4.5.1 Önerilen MSK Modülatör Mimarisi-III için Ön Hesaplama Tekniğinin Uygulanması (ÖH-Y-D MSK)

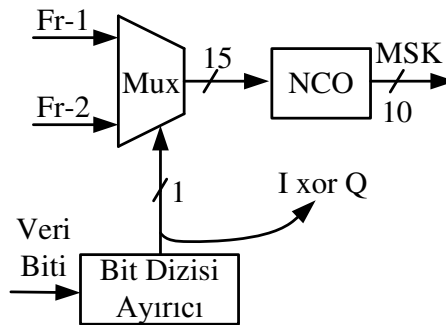
Şekil 4.25’te görüldüğü gibi Y-D MSK mimarisinin uygulanması için 8 adet ROM kullanılmıştır. Önerilen mimarinin ROM sayısının düşürülerek ram bit kullanımını verimliliğinin artırılması oldukça önemlidir. Bu yüzden tez çalışmasında ön hesaplama

tekniki kullanılarak Y-D MSK modülasyon tekniğinin ram bit kullanımı düşürülmüştür. MSK modülasyon tekniğinin iki farklı frekansa sahip sinyalden oluşması nedeniyle bir adet ROM içerisine iki farklı frekansa sahip sinyalin örnekleri kaydedilmiştir. Bu yöntemin kullanılmasıyla bit kullanımı %75 azaltılmıştır. Önerilen yöntem Şekil 4.28’de görüldüğü gibidir.



Şekil 4.28. Ön hesaplama tekniği uygulanmış Y-D MSK mimarisi (ÖH-YD-MSK)

Şekilde C-1..C-8, sabit sayıları gösteriyorken; y ve x parametreleri de MSK sinyalinin bir periyodunda kullanılacak örnek sayısına göre belirlenmektedirler. Önerdiğimiz mimari ile Altera firmasının üretmiş olduğu NCO mimarileri kullanılarak oluşturulan MSK verici yapısını karşılaştırmak için Şekil 4.29’da görülen NCO tabanlı mimari verilmiştir.



Şekil 4.29. NCO tabanlı MSK mimarisi

Şekil 4.29’da Fr-1 ve Fr-2 değerleri NCO bloğunun artış miktarını göstermektedir. Bu değerlere göre NCO bloğu çıkışındaki sinyalin frekansı belirlenmektedir. Ayrıca şekilden görüldüğü gibi MSK sinyali toplamda 10 bitten oluşmaktadır.



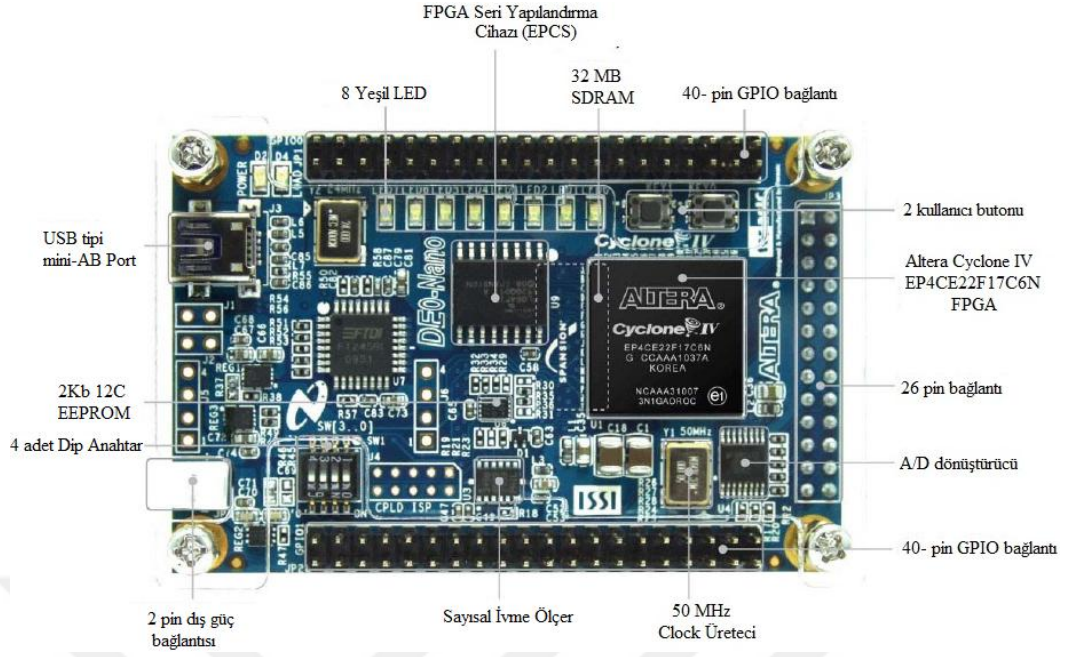
5. MODÜLATÖR MİMARİLERİNİN FPGA ÜZERİNDE GERÇEKLEŞTİRİLMESİ

5.1. Giriş

Bu bölümde derleyici ve benzetim programları yardımıyla yazılımsal olarak gerçekleştirilen BASK, BPSK, BFSK ve QPSK modülasyon şemaları gerçek zamanlı olarak FPGA donanımı üzerine uygulanıp deneysel sonuçlar incelenmiştir. Ayrıca gerçek zamanlı değişen bir sinyal FPGA üzerinde bulunan ADC yardımıyla sayısal ortama aktarılmış ve iletimi gerçekleştirilmiştir. Alınan deneysel sonuçlar ile benzetim sonuçlarının benzer oldukları da görülmüştür.

5.2. Kullanılan FPGA Kartı

Bu çalışmada Altera firması tarafından üretilmiş olan Altera DE0-Nano Board kullanılarak modülatör-demodülatör tasarımı gerçekleştirilmiştir. Altera DE0-Nano Board üzerine Cyclone IV işlemcisi entegre edilmiş olup bu kart modülatör ve demodülatör uygulamalarında etkin bir çalışma göstermektedir. FPGA kiti, 22.320 mantıksal eleman, 32 MB SDRAM, 2 Kb EEPROM ve 64 MB seri yapılandırma bellek cihazını içermektedir. Ayrıca analog sinyalleri doğrudan işleyebilmek için bir tane 8 kanallı 12 bitlik analog-sayısal dönüştürücü içermektedir. Kullanıcı kontrollü programlama amacıyla 8 LED, 2 kullanıcı butonu ve 4 adet anahtar mevcuttur [106]. Şekil 5.1.'de içerdği elektronik elemanlarla birlikte Altera firmasının ürettiği DE0- Nano Board görülmektedir. Ayrıca şekilde görülmeyen ve üretici firma tarafından kartın diğer yüzüne yerleştirilen 32 MB'lık bir SDRAM bulunmaktadır.

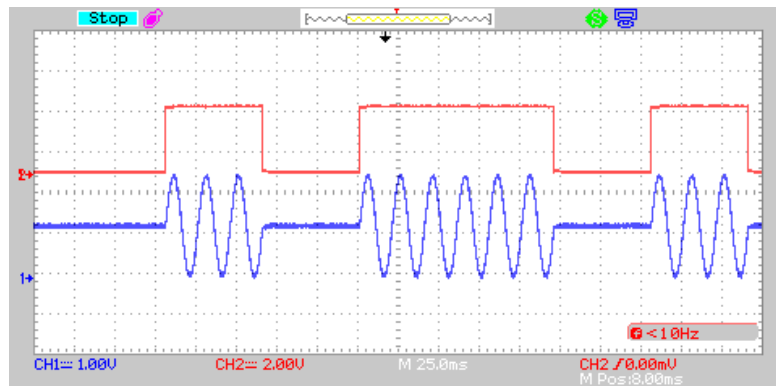


Şekil 5.1. Altera DE0-Nano Board [106]

Kullanılan kartta bulunan ADC, 8 kanallı olup 12 bit çözünürlüğündedir ve kart ile tümleşiktir. Kartın bu özelliği yapılan çalışmalarda esneklik sağladığı için uygulamalarda bu FPGA kartı tercih edilmiştir.

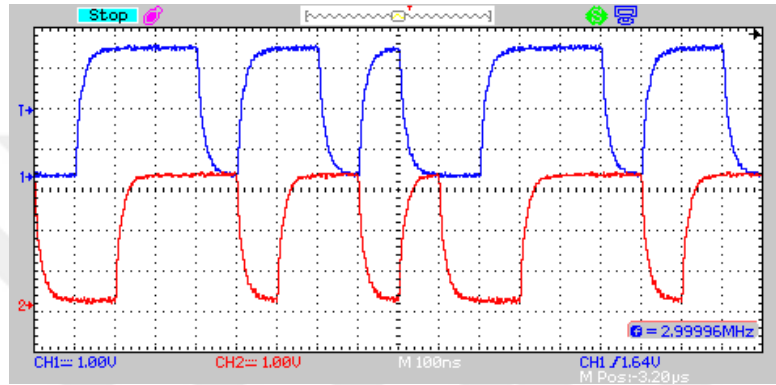
5.3. BASK Tekniği için Ölçüm Sonuçları

Önceki bölümlerde de bahsedildiği gibi bu tez kapsamında BASK modülasyonu OOK tekniği kullanılarak gerçekleştirilmiştir. Bu nedenle BASK modülasyonuna ait deneysel sonuçlar Şekil 5.2’de verildiği gibidir.



Şekil 5.2. BASK modülasyon tekniği için osiloskop çıktısı

Şekil 5.3'te görüldüğü gibi '1' bilgi sinyali için taşıyıcı sinyalin hiçbir özelliği değiştirilmeden iletilirken '0' bilgi biti için herhangi bir sinyal iletilmemektedir. Şekildeki sinyalin frekansının düşük olması DAC'nin dönüşüm hızının düşük olmasından kaynaklanmaktadır. Sonuç olarak modülasyonlu sinyali izlemeden aynı FPGA üzerinde alıcı-verici tasarımı yaparak verici tarafta gönderilen bilgi bitleri ve alıcı tarafta algılanan bilgi bitleri izlenebilmektedir. Şekil 5.3'te de bu durum gösterilmiştir.



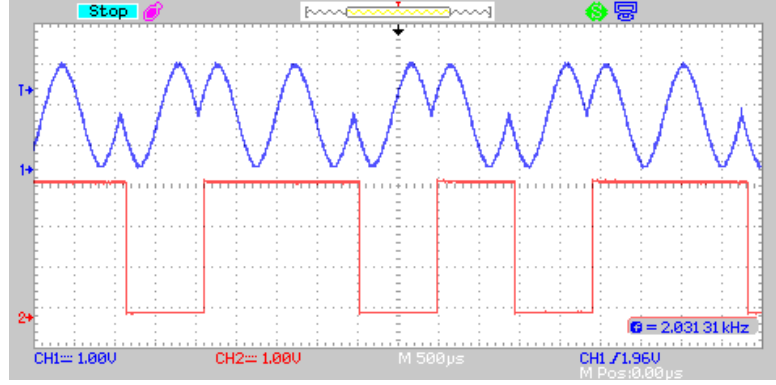
Şekil 5.3. BASK demodülasyonu için osiloskop çıktısı

Şekilde mavi sinyal ve kırmızı sinyal sırasıyla vericinin çıkış ve alıcının giriş bitlerini göstermektedir. Şekilden de görüldüğü gibi mavi sinyal başarılı bir şekilde algılanmıştır.

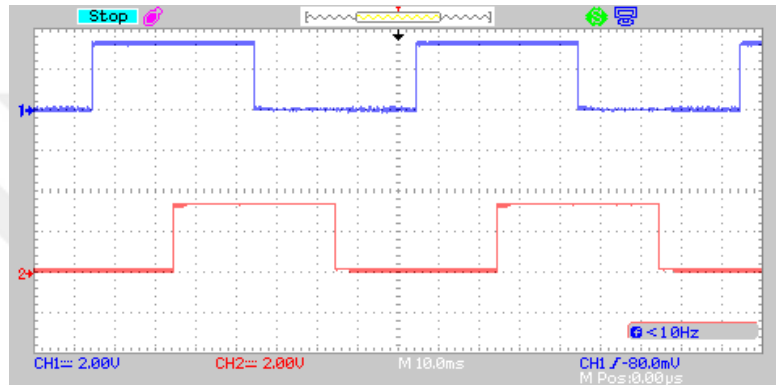
5.4. BPSK Tekniği için Ölçüm Sonuçları

BPSK tekniği için gerçekleştirilen ölçüm sonuçlarında BASK modülasyonundan farklı olarak sıfır bilgi biti için negatif sinüs sinyali iletilmektedir. BPSK modülatörü için elde edilen osiloskop çıktıları Şekil 5.4'te görüldüğü gibidir.

BASK demodülasyonunda olduğu gibi BPSK demodülasyon sürecinde de mavi bilgi bitleri demodülatör çıkışında başarılı bir şekilde elde edilmiş olup kırmızı renkli bitler elde edilmiştir.



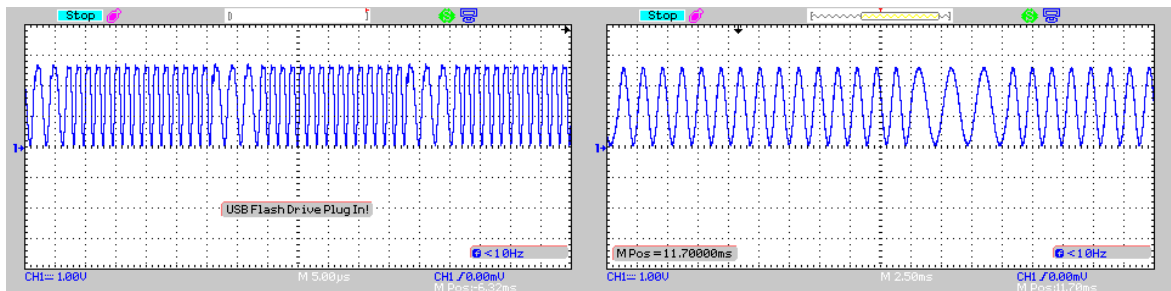
Şekil 5.4. BPSK modülasyonu için osiloskop çıktısı



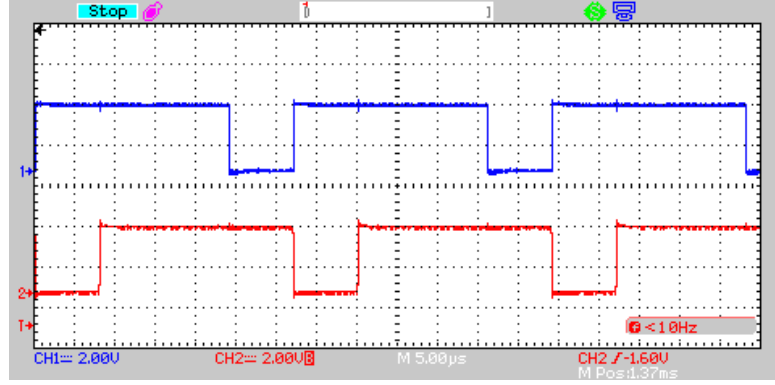
Şekil 5.5. BPSK alıcı-verici sistemde giriş-çıkış bitleri için osiloskop çıktısı

5.5. BFSK Tekniği için Ölçüm Sonuçları

BFSK modülasyon tekniğinde '1' bilgi sinyali için f_1 frekanslı bir sinyal iletiliyorken f_2 frekanslı sinyal '0' bilgi sinyali için iletilmektedir. Sonuç olarak bitler arası geçişlerde frekans değişimi gerçekleşecektir. Şekil 5.6'da BFSK modülasyonlu sinyalin osiloskop çıktısı ve Şekil 5.7'de de bilgi sinyali ile alıcı tarafta algılanan bilgi sinyalinin osiloskop çıktıları verilmiştir.



Şekil 5.6. BFSK sinyalin bilgi bitine göre değişimi

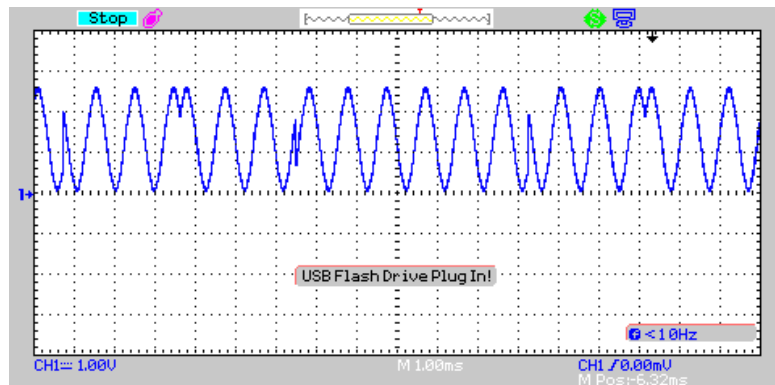


Şekil 5.7. BFSK alıcı-verici sistemde giriş-çıkış bitleri için osiloskop çıktısı

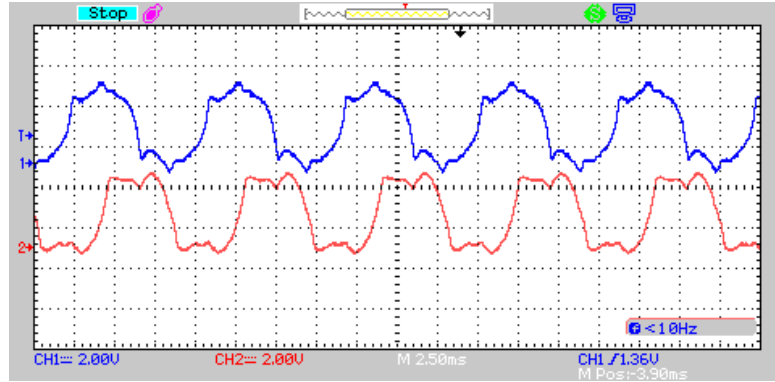
Şekil 5.6’da sol taraftaki yüksek frekanslı BFSK sinyalinde bozulmalar oluşmuştur. Bozulmaların nedeni DAC elemanının dönüşüm oranının düşük olmasındandır. Ayrıca Şekil 5.7’de de görüldüğü gibi bilgi bitleri demodülatör çıkışında başarılı bir şekilde elde edilmiştir.

5.6. QPSK Tekniği için Ölçüm Sonuçları

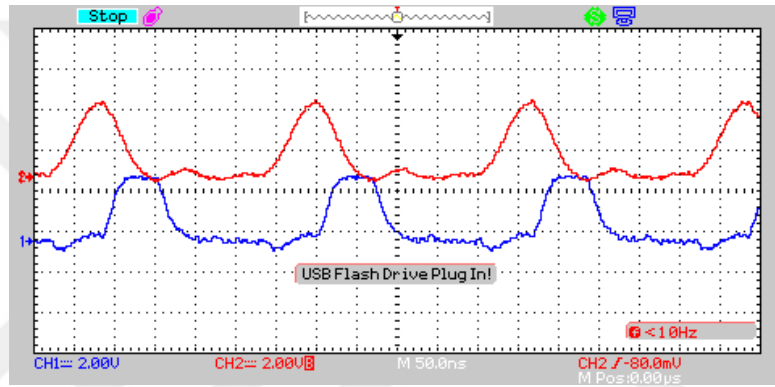
QPSK tekniğinde daha önceden de belirtildiği gibi bir sembol iki bittten oluştuğu için her bir sinyal iki bitlik bir sembolü temsil edecektir. İki bitlik sembollerden oluşan bir modülasyon tekniğinin de dört farklı durumu bulunmaktadır. Yani 01-10-11-00 olması gereken durumlardır. Şekil 5.8’de QPSK modülasyonlu sinyal, Şekil 5.9’da I ve I’ (demodülatör biti), Şekil 5.10’da ise Q ve Q’ bitleri görülmektedir. Şekillerden de görüldüğü gibi benzetim sonuçları ile benzer sonuçlar elde edilmiştir. Yani 10-11-00-01 bilgi sembolleri için elde edilen sinyallerin fazları benzetim sonuçlarında verilen sonuçlar ile aynıdır.



Şekil 5.8. QPSK modülasyonlu sinyalin osiloskop çıktısı



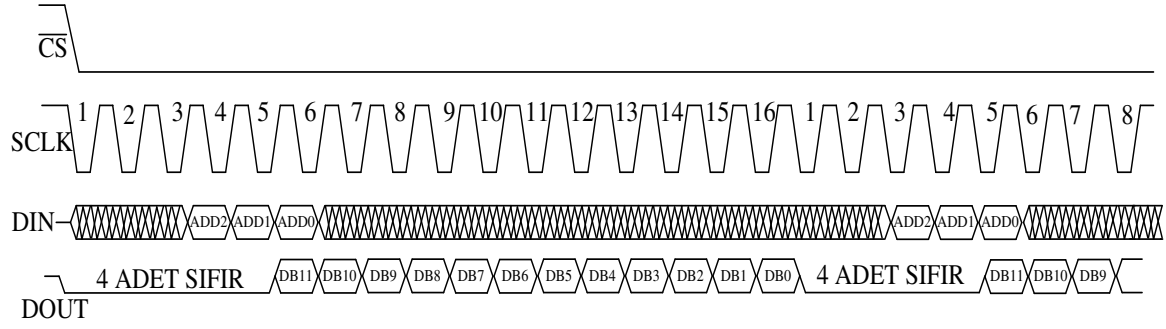
Şekil 5.9. QPSK alıcı-verici sisteminin I ve I' bitleri



Şekil 5.10. QPSK alıcı-verici sisteminin Q ve Q' bitleri

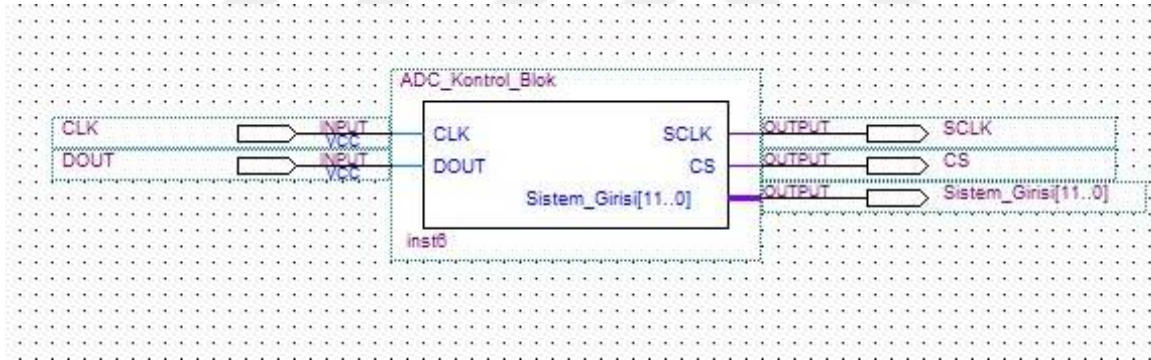
5.7. Analog Sayısal Dönüşüm Süreci

Kart üzerindeki analog sayısal dönüştürücü elemanını kullanabilmek için Quartus programında VHDL veya Verilog dili kullanılarak bir blok tasarımı gerçekleştirmek gerekir. Program içerisinde kullanılacak kanallar seçilirken ADC çıkışının seri olması nedeniyle her bitin çıkışa aktarılmasında bir saat (clock) süresi beklemek gerekmektedir. Kart üzerinde kullanılan analog sayısal dönüştürücü ADC128S022 serisidir ve analog sayısal dönüştürücünün zamana göre çalışması Şekil 5.11’de görülmektedir.



Şekil 5.11. Analog sayısal dönüştürücüye ait zaman diyagramı [107]

VHDL kullanılarak oluşturulan kontrol bloğu Şekil 5.12.'de görülmektedir. Şekilde *CLK*, clock sinyalini göstermektedir. *CS* (Chip Select: Çip Seçme), *SCLK* ve *DOUT* kontrol bloğu üzerinde görülmektedir. Giriş clock sinyali blok içerisinde bir PLL tasarımıyla bölünerek frekansı 2.5 MHz'e kadar düşürülür. Çünkü analog sayısal dönüştürücünün dönüşüm süreci için *SCLK* sinyali 0.8 MHz ile 3.2 MHz frekans değerleri arasında olmalıdır [107]



Şekil 5.12. ADC Kontrol Bloğu

Bu çalışmada analog sayısal dönüştürücünün dönüşüm oranı yaklaşık olarak 156.25 Kbps hızındadır. Analog sayısal dönüştürücünün maksimum bit çözünürlüğü 12 bit olduğundan *sistem_girisi* (sinyali işleyecek olan herhangi bir sistem) 12 bit olmalıdır. ADC elemanının giriş ve çıkışlarının görevleri Tablo 5.1'de görüldüğü gibidir.

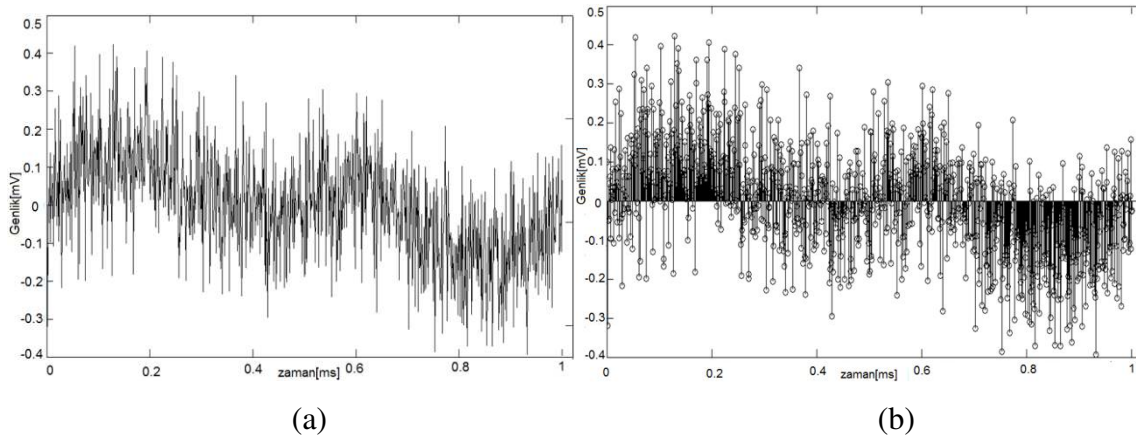
Tablo 5.1. ADC elemanın giriş-çıkış pinleri

SCLK	ADC elemanı için 3.2MHz ile 0.8 MHz frekans aralığında uygulanan saat girişidir.
DOUT	ADC'nin sayısal çıkışıdır.
CS	Bu pin dönüşümün başladığını bildirmektedir.

Ayrıca analog sayısal dönüştürücünün bir bitlik değişimi yaklaşık olarak 6.4 mV'a denk gelmektedir.

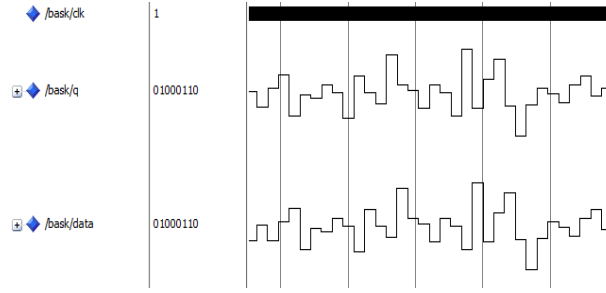
5.8. Analog Bir Sinyalin İletimi için Gerekli Aşamalar

Analog bir sinyal sayısal olarak iletilmeden önce örnek değerleri '1' ve '0' bitleri ile ifade edilmelidir. Bu yüzden sinyalin öncelikli olarak sayısal verilerle ifade edilmesi gerekmektedir. Bu nedenle sinyal zamanda ayrıklaştırılır ve zamanda ayrıklaştırılan sinyal, belirli adım aralıklarında genlik değerine sahip örnekler sahip olur. Bu örnekler dönüşümün son aşamasında kodlanarak '1' ler ve '0' lar ile ifade edilir. Analog bir ses sinyali ve örneklerine ayrıştırılmış ses sinyali Şekil 5.13'te görüldüğü gibidir.

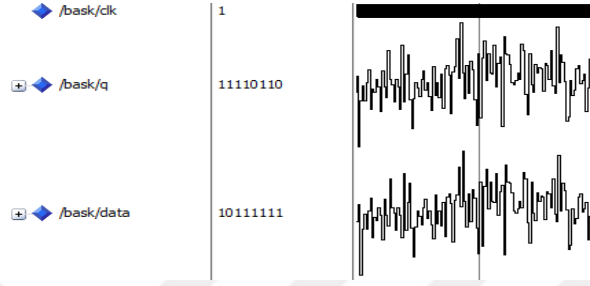


Şekil 5.13. (a)-Zamanda sürekli sinyal (b)-Ayrık zamanlı sinyal.

Şekil 5.13'te görülen örnekler analog sinyalden alınmıştır. Bu sinyal FPGA derleyicisi programında bir modülatör yardımıyla iletilerek demodülatör çıkışından yeniden elde edilmiştir. Gerçekleştirilen benzetim çalışmasında BPSK, BASK, QPSK ve BFSK için bilgi sinyali demodülatör tarafında yeniden elde edilmiştir. ,



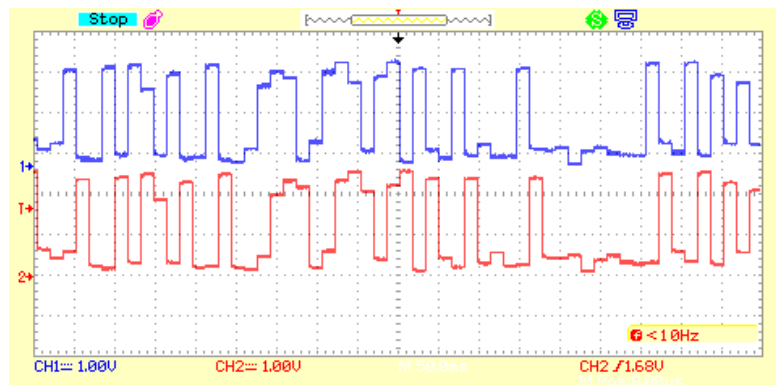
(a)



(b)

Şekil 5.14. (a)-Düşük zaman aralığında ses sinyali. (b)-Yüksek zaman aralığında ses sinyali

Şekil 5.14'te q verici taraftan iletilen sinyal ve $data$ ise alıcı tarafta yeniden oluşturulan sinyaldir. Şekilde iki sinyalin değişimlerinin aynı olduğu görülmektedir. Şekil 5.14.b'de ise iki sinyal, zaman düzlemi üzerinde daha yüksek zaman dilimi için çizdirilmiştir. Bu şekilden de q ve $data$ sinyallerinin değişimlerinin benzer olduğu görülmektedir. Ses sinyali, bu tezde FPGA donanımı üzerinde ROM içerisine kaydedilmiştir. Amaç 8 bitlik sinyal yerine ROM içerisinden çekilen ve zamanla değişen bir sinyalin iletimini sağlamaktır. Bu uygulama FPGA üzerinde gerçek zamanlı uygulanmış olup osiloskop çıktıları Şekil 5.15'te verilmiştir.



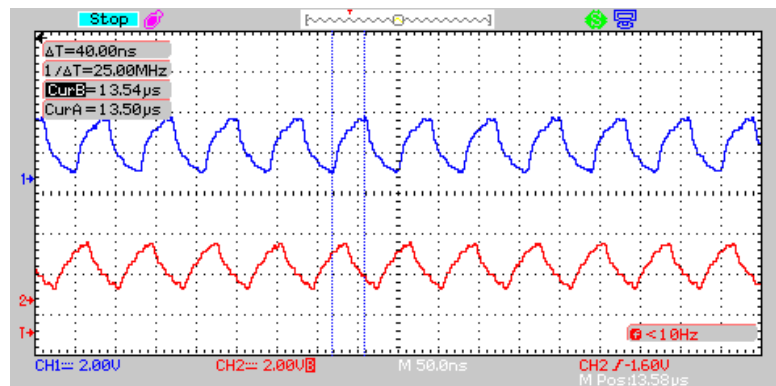
Şekil 5.15. Ses sinyalinin osiloskop çıktısı

Şekil 5.15'te kırmızı ve mavi renkli sinyaller sırasıyla demodülatör çıkışı ve modülatör girişindeki sinyalleri temsil etmektedirler. Aradaki faz farkı da demodülasyon ve iletim sürecinden kaynaklanmaktadır. Bu uygulamada ROM bloğu içerisine kaydedilmiş bir verinin aktarımı gerçekleştirilmiştir. Bu uygulamanın yanında bir de gerçek zamanlı olarak değişen bir sinyalin ADC yardımıyla FPGA ortamına aktarılıp modülasyon ve demodülasyon işlemlerinin ardından yeniden DAC yardımıyla analog bir sinyale dönüştürme aşaması da gerçekleştirilmiştir.

5.9. Gerçek Zamanlı Değişen Bir Analog Sinyalin İletiminin Gerçekleştirilmesi

Bir önceki uygulama gerçek zamanlı olarak bir sinyalin iletimi için yapılacak olan deneysel çalışmanın ön hazırlığı gibidir. Bu uygulamada daha önceden açıklanan modülasyon teknikleri kullanılarak sinüzoidal bir sinyalin FPGA yardımıyla iletimi gerçekleştirilecektir. Uygulamada sinyal doğrudan bir ADC üzerine uygulanarak FPGA ortamına aktarılacak ve modülasyon-demodülasyon işlemlerinin ardından DAC yardımıyla yeniden analog sinyale dönüştürülecektir. Analog sayısal dönüştürücünün dönüştürme hızı yeniden oluşturulacak örneğin şeklini değiştirmektedir. Ayrıca DAC elemanının da dönüşüm hızı bu noktada önemlidir. DAC elemanı dönüşüm yapmak için saat darbesi kullanmazken ADC elemanı dönüşüm için 0.8-3.2 MHz frekans aralığında saat darbesine ihtiyaç duymaktadır. Ayrıca DAC elemanı ve ADC elemanı negatif gerilimler için çalışmamaktadır. Yani ADC girişi 0-3.3V giriş gerilimleri arasında çalışırken DAC ise 0-2.55V çıkış gerilimleri arasında çalışmaktadır.

Gerçekleştirilen çalışmada Şekil 5.16'da görüldüğü gibi 25 Mbps hızında veri iletim oranı elde edilmiştir.



Şekil 5.16. 25Mbps hızında veri iletim oranı

Şekil 5.16'dan görüldüğü gibi gönderilen bitler başarılı bir şekilde algılanmıştır. Görülen şekilde bit iletim oranını iyi bir şekilde gözlemleyebilmek için ardışık 1-0-1 bitleri gönderilmiştir. Bu çalışma ölçüm ağırlıklı sonuçlara yer verdiği için ayrıntıları EKLER bölümünde sunulmuştur.



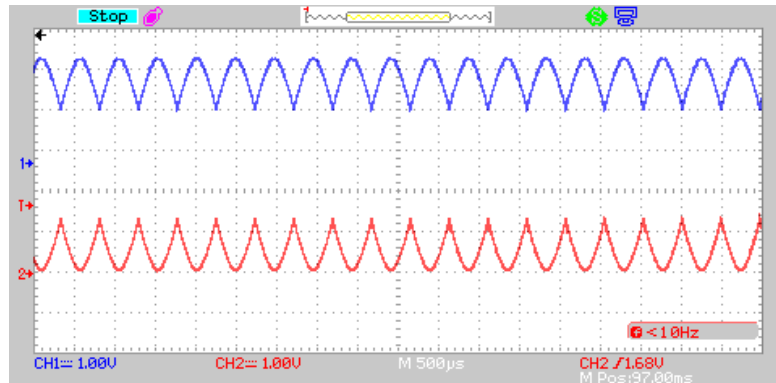
6. GELİŞTİRİLEN YENİ MODÜLASYON TEKNİKLERİ İÇİN DENEYSEL SONUÇLAR

6.1. Giriş

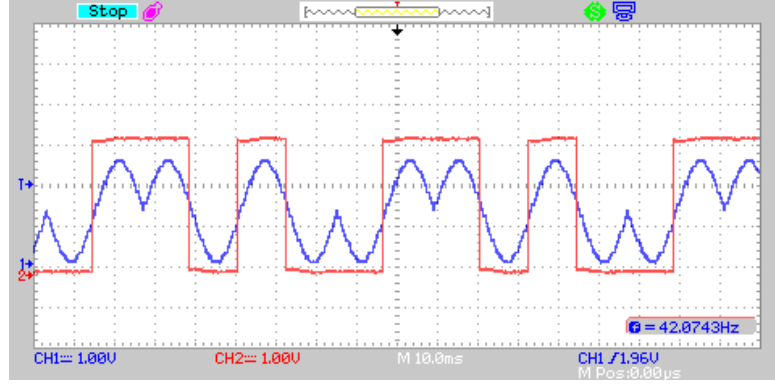
Bir önceki bölümde geleneksel BPSK, BASK, BFSK ve QPSK modülasyon şemaları için elde edilen deneysel sonuçlar verilmiştir. Tez kapsamında önerilen BPSK, QPSK ve MSK modülasyon şemaları için gözlemlenen deneysel sonuçlar bu bölümde irdelenecektir.

6.2. Önerilen BPSK Modülatör için Osiloskop Çıktıları

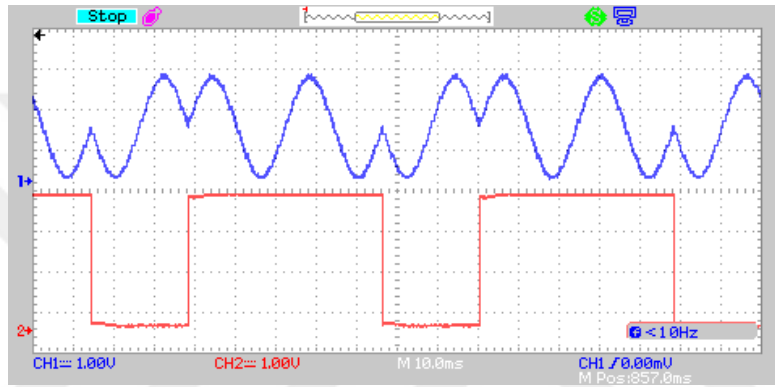
BPSK modülasyonlu sinyal için elde edilen benzetim ve osiloskop sonuçlarına göre '1' bilgi sinyali için pozitif taşıyıcı sinyal, '0' bilgi biti için ise negatif taşıyıcı sinyal iletilmektedir. Önerilen BPSK modülatörün blok şeması incelenirse *alternans* biti ile *d* bilgi biti *xor* işleminden geçirilerek MUX bloğunun seçici pin girişine uygulanmaktadır. Böylece anahtarlama, geleneksel BPSK modülasyonundan farklı olarak önerilen bir *alternans* bitinin ve bilgi bitinin *xor* işlemi sonucuna göre yapılmaktadır. Sonuç olarak BPSK modülasyonlu sinyalin üretimi için kullanılan MUX bloğunun veri girişine uygulanan sinyallerin osiloskop çıktıları, *xor* anahtarı ve *d* biti ile BPSK sinyalin zamana göre değişimleri Şekil 6.1, Şekil 6.2 ve Şekil 6.3'te görüldüğü gibidir.



Şekil 6.1. Önerilen BPSK için kullanılan MUX bloğunun veri girişleri



Şekil 6.2. BPSK sinyali ile *xor* anahtarı çıkışı



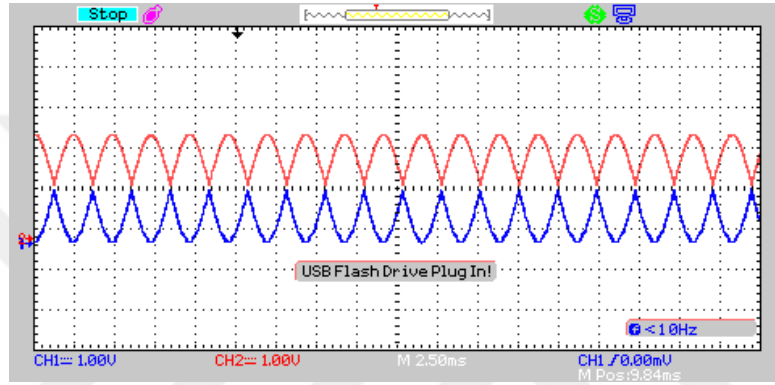
Şekil 6.3. BPSK sinyali ile *d* biti

Şekil 4.4 incelenirse görülecektir ki Şekil 6.1’de verilen sinyal, benzetim sonuçları ile aynıdır. Şekil 6.2’den *alternans* biti ile *d* bitinin *xor* sonucu ‘1’ olduğunda Şekil 6.1’de verilen sinyallerden mavi renkli sinyal MUX bloğu çıkışında aktif edilmiştir. Diğer durumda kırmızı renkli sinyal aktif edilmiştir. Şekil 6.3’te verilen değişimde ise bilgi sinyali ile BPSK modülasyonlu sinyalin değişimi görülmektedir. Şekilden de görüldüğü gibi ‘1’ bilgi sinyali için taşıyıcı sinyal pozitif gerilim değerinden başlarken ‘0’ bilgi biti için de negatif gerilim değerinden başlamaktadır. Bu çalışmada taşıyıcı sinyal olarak sinüs seçilmiştir. Ayrıca Şekil 6.2 ve Şekil 6.3 için verilen kırmızı sinyal bitlerinin birbirlerine göre *xor* işlemleri alınırsa *alternans* biti elde edilecektir.

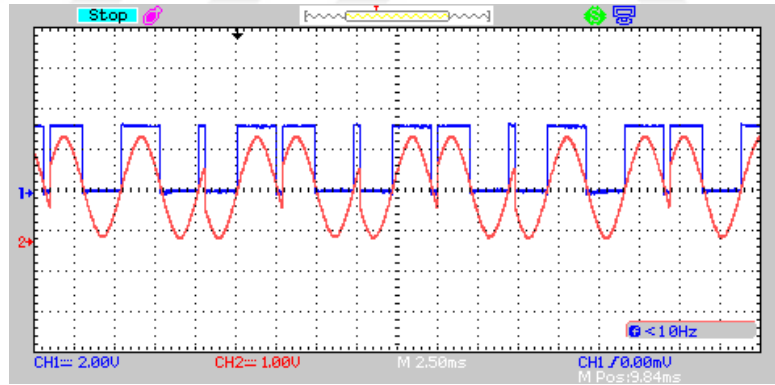
Şekil 6.3 incelenirse bu deneysel çalışmanın sonucunda BPSK modülasyonlu sinyalin başarılı bir şekilde elde edildiği görülmektedir. Ayrıca yapılan çalışmada iki ROM yerine tek ROM kullanılarak taşıyıcı üretimi için gerekli olan bit sayısı %87.5 oranında düşürülmüştür. Ayrıca literatürdeki çalışmalardan farklı olarak MUX bloğu *alternans* biti ve *d* bitinin *xor* işlemi sonucunda elde edilen yeni bir bit ile kontrol edildiğinden önerilen yöntem daha önceki çalışmalarda uygulanmamıştır.

6.3. Önerilen QPSK Modülatör için Osiloskop Çıktıları

Bellek kullanım miktarını düşürmek için önerilen diğer bir yöntem QPSK modülasyonuna uygulanmıştır. Uygulanan yöntem detaylı bir şekilde Bölüm 5'te açıklanmış olup Bölüm 5'te elde edilen benzetim sonuçlarının bu bölümde gözlemlenen deneysel sonuçlar ile karşılaştırılması yapılmıştır. Şekil 6.4 ve Şekil 6.5, I kanalı sinyallerini göstermektedir.



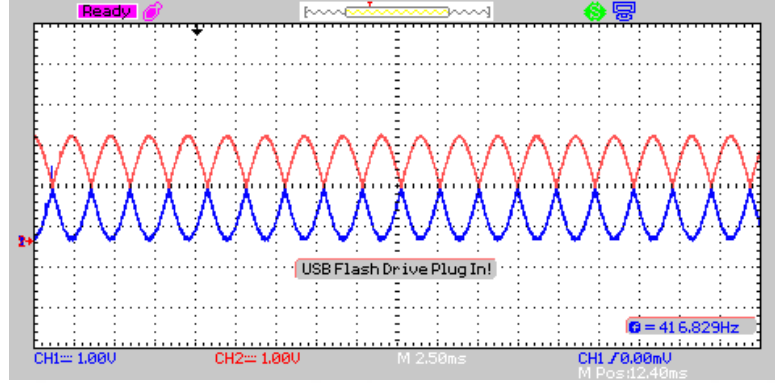
Şekil 6.4. I kanalı *not_operator* bloğu çıkışı



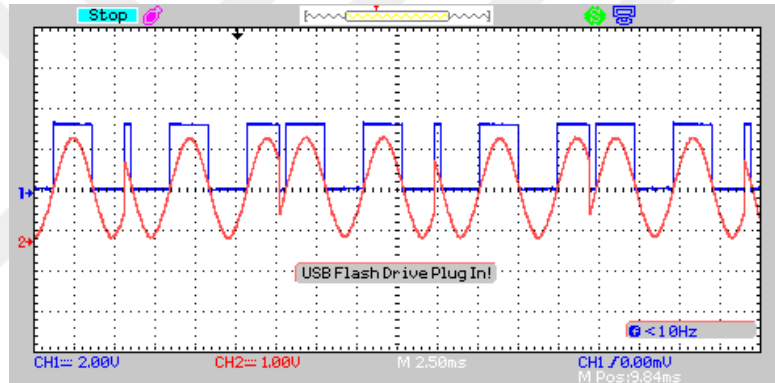
Şekil 6.5. I kanalı MUX bloğunun seçici biti ile MUX bloğu çıkışının değişimi

Şekil 6.4'te görüldüğü gibi öncelikle I kanalı *not_operator* bloğu çıkışından sinyaller üretilmektedir. Bu sinyaller bir önceki bölümde de görüldüğü gibi birbirlerine göre negatif olarak üretilmektedir. Yani sinyallerden birisi sinüsün pozitif alternansını gösteriyorken diğer sinyal negatif alternansını göstermektedir. Bu durum Şekil 6.6'da da benzerdir. Yani QPSK modülasyonlu sinyali üretebilmek için önerilen algorithmada ilk önce bir sinüs sinyalinin pozitif ve negatif alternanslarının üretimi amaçlanmıştır. Şekil 6.4'te görülen mavi veya kırmızı sinyallerin sadece yarım periyotluk örnek değerleri ROM bloğuna

kaydedilmiştir. Yani BPSK modülasyonunda olduğu gibi birbirine göre tam ters işaretli sinyaller üretilmiştir.



Şekil 6.6. Q kanalı *not_operator* bloğu çıkışı



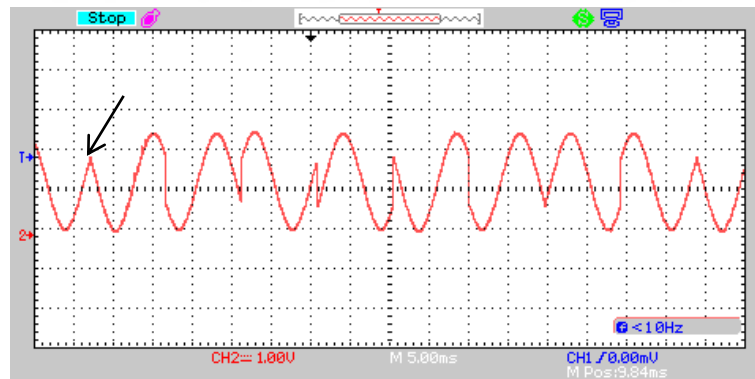
Şekil 6.7. Q kanalı MUX bloğunun seçici biti ile MUX bloğu çıkışının değişimi

Şekil 6.5 ve Şekil 6.7’de ise I kanalı ve Q kanalı için kullanılan MUX bloklarının çıkışları ile MUX bloklarını kontrol eden seçici pin bitlerinin durumları gösterilmektedir. Her iki şekilde de görüldüğü gibi MUX bloklarının seçici pin girişleri lojik seviye olarak ‘1’ olduğunda Şekil 6.4 ve Şekil 6.5’te görülen kırmızı renkli sinyaller iletilmektedir. Diğer bir anlamda pozitif alternanslı sinyal MUX bloğu çıkışında aktif edilmektedir. Seçici pin girişindeki bit lojik ‘0’ seviyesinde olduğunda ise negatif alternanslı sinyaller iletilmektedir. I kanalı ve Q kanalı iki ayrı BPSK modülatör olarak düşünülürse bu noktaya kadar bütün işlemlerin benzer olduğu görülmektedir. Ama gerçekleştirilen QPSK modülatör mimarisinin farklı olan noktası, Şekil 6.5 ve Şekil 6.7’de görülen yarım periyodun yaklaşık olarak 1/5’i kadarlık bir süre boyunca lojik ‘1’ ve lojik ‘0’ bilgi sinyallerinin üretimi ile pozitif ve negatif alternanslı sinyallerin aktif edilmesini sağlamaktır. Bu nokta QPSK modülatörün uygulanması için en büyük senkronizasyon

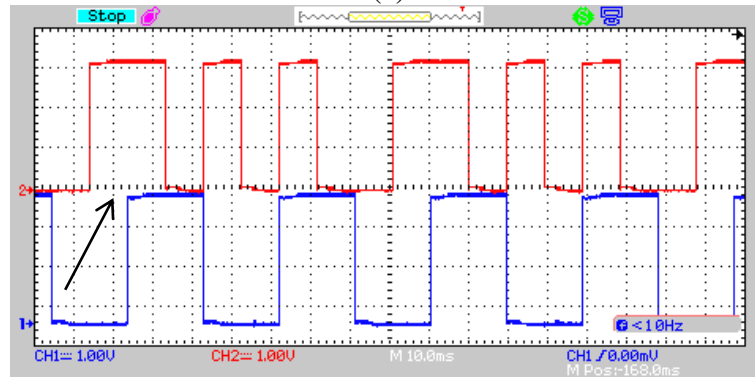
problemini de oluşturmaktadır. Bu nokta tez çalışmasında *küçük periyot sinyali* olarak adlandırılmıştır.

Şekil 6.5 ve Şekil 6.7 incelenirse *küçük periyot sinyali* negatif ve pozitif değerde olabilir. *Küçük periyot sinyallerinin* üretimi için Şekil 6.4 ve Şekil 6.6’da görülen pozitif veya negatif alternanslı sinüs sinyallerinin sadece belirli bir süre aktif edilmesi gerekmektedir. Şekillerden de görüldüğü gibi eğer faz geçişi gerçekleştirilecekse *küçük periyot sinyali*ni aktif eden MUX seçici pini sadece o an için değerini değiştirmekte olup, kendinden önce ve kendinden sonra gelen seçici bitlerden farklı olmaktadır. Her bir periyodun üretimi Şekil 4.11’de detaylı bir şekilde verilmiştir. *Küçük periyot sinyalinin* üretimi ise 5. duruma denk gelmektedir.

Şekil 6.5 ve Şekil 6.7’de verilen mavi renkli sinyaller bilgi bitleri ile z_{i-1} ve z_{q-1} sinyallerinin xor işleminden geçtikten sonra MUX bloğunun seçici pinine uygulanması ile elde edilmektedir. Şekil 4.7’de z_{i-1} ve z_{q-1} bitlerinin değişimi detaylı olarak açıklanmaktadır. Şekil 4.7 incelenirse küçük sinyal periyodunun üretimini sağlayan küçük periyotlu sinyalin gerekliliği görülecektir. Şekil 6.8’de QPSK sinyal ile I ve Q kanalı bitlerinin değişimi verilmektedir.



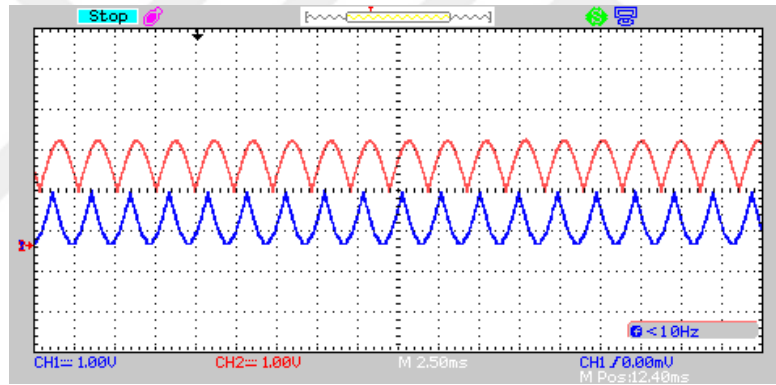
(a)



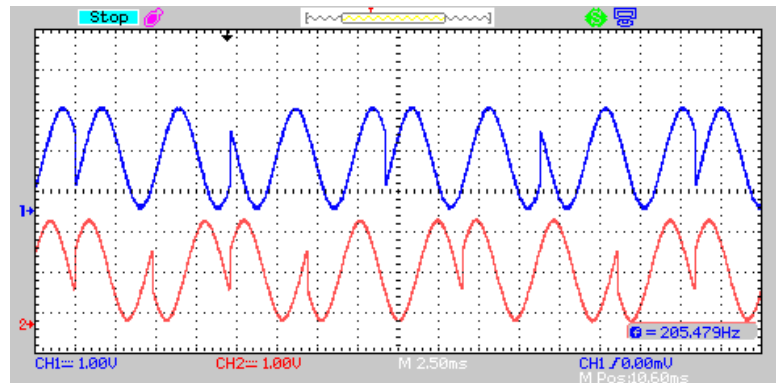
(b)

Şekil 6.8. (a)-QPSK sinyali. (b)-I kanalı biti ve Q kanalı biti sinyalleri

Şekil 6.8’de görüldüğü gibi veri bitlerine göre elde edilen QPSK sinyal matlab programı kullanılarak oluşturulan benzetim sonuçları ile benzerlik göstermektedir. Şekil 6.8’de veri bitlerinin başlangıcı işaretlenmiştir ve ilk bitler “11” olarak görülecektir. QPSK sinyalinin de “11” bilgi sinyalleri için başlangıç noktası işaretlenmiştir. Bütün durumlar (dört durum: 11, 01, 10, 00) için QPSK sinyalin oluşumu gösterilmiştir. Şekil 6.9’da ise I kanalından ve Q kanalından oluşturulan pozitif veya negatif sinüs sinyallerinin birbirlerine göre faz durumları verilmiştir. Şekilden de görüldüğü gibi iki sinyal arasında küçük sinyalin periyodu kadarlık bir gecikme mevcuttur. Bunun nedeni küçük sinyal üretimi I kanalı için pozitif veya negatif sinüs sinyallerinin başlangıç (1’e veya -1’e doğru yükselme anı) anında yapılırken Q kanalı için ise düşüş (0’a doğru) anında yapılmaktadır. Sonuç olarak sinyalin kontrollü bir şekilde üretilebilmesi için kullanılan kontrol bitleri nedeniyle bu faz farkı oluşmuştur.

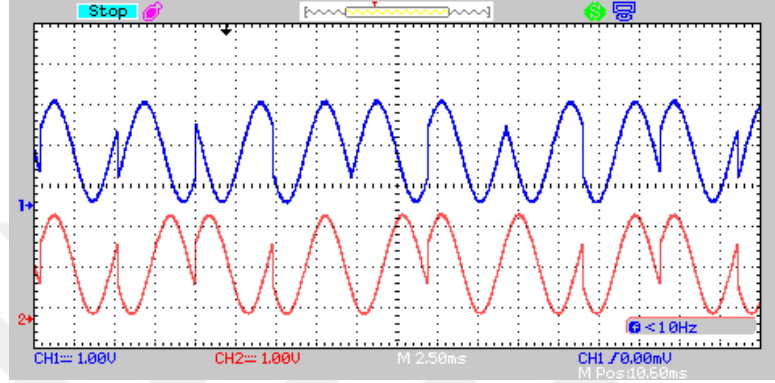


Şekil 6.9. I kanalı (kırmızı sinyal) ve Q kanalı (mavi sinyal) *not_operator* bloklarının çıkışları

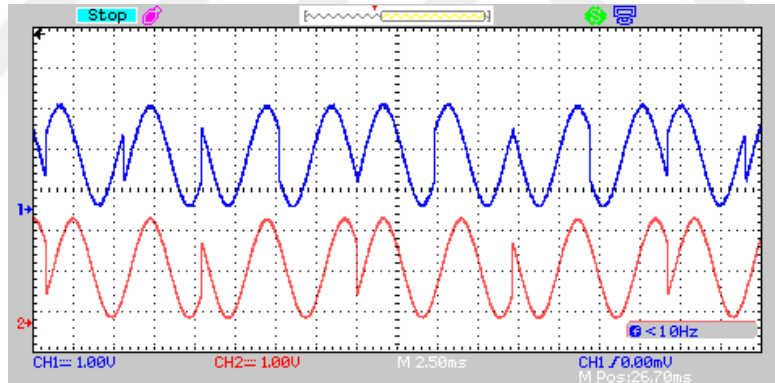


Şekil 6.10. Q kanalı MUX bloğu çıkışı (mavi renkli sinyal) ile QPSK (kırmızı renkli sinyal) sinyalin değişimi

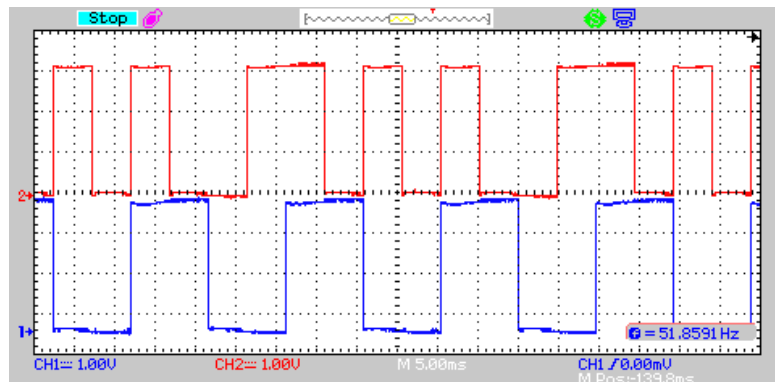
Şekil 6.10’da ise mavi renkli sinyal Q kanalında kullanılan MUX bloğunun çıkışı gösterirken kırmızı renkli sinyal I kanalında kullanılan MUX bloğunun çıkışı göstermektedir. Şekilden de görüldüğü gibi mavi renkli sinyal QPSK modülasyonunda “11” ve “00” bilgi sembollerini temsil ediyorken, kırmızı renkli sinyal “01” ve “10” bilgi sembollerini temsil etmektedir.



Şekil 6.11. I kanalı MUX bloğu çıkışı (kırmızı renkli sinyal) ile QPSK (mavi renkli sinyal) sinyalin değişimi



Şekil 6.12. Q kanalı MUX bloğu çıkışı ile QPSK sinyalin değişimi

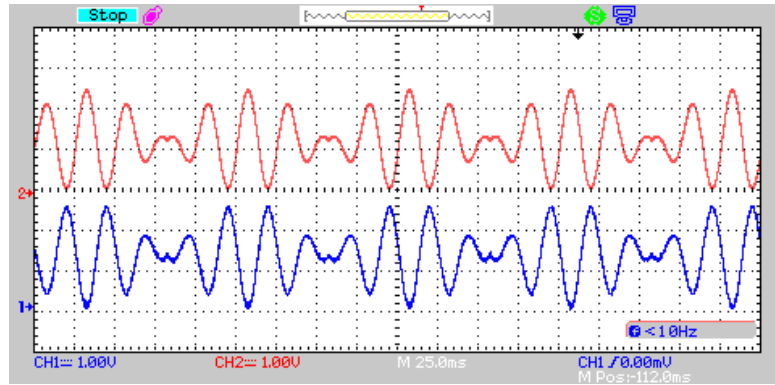


Şekil 6.13. I kanalı ve Q kanalı bitleri

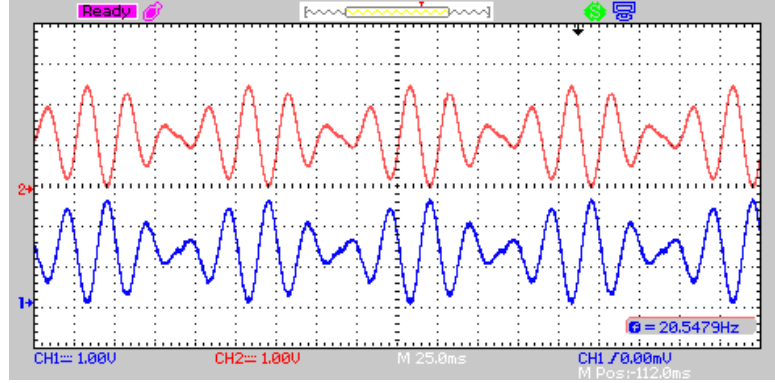
Önerilen QPSK modülatör mimarisi incelenirse I kanalı ve Q kanalı MUX bloklarının çıkışları, sonucu verecek son bir MUX bloğunun girişine uygulanmaktadır. Son aşamadaki MUX bloğunun çıkışı ise bilgi sembolünü oluşturan bitlerin aynı ve farklı olmasına göre I kanalı ve Q kanalı sinyallerinden birisini çıkışa aktaracaktır. Şekil 6.11, Şekil 6.12 ve Şekil 6.13'ten görüldüğü gibi bilgi sembolünü oluşturan bitler farklıysa Şekil 6.11'de görülen kırmızı renkli sinyal, aynıysa Şekil 6.12'de görülen kırmızı renkli sinyal iletilecektir. Ayrıca Şekil 6.13'te verilen bilgi bitleri incelenirse ilk durumda I kanalından iletilen bitin (mavi renkli sinyal) '1', Q kanalından iletilen bitin (kırmızı renkli sinyal) de '0' olduğu görülmektedir. Bitler farklı olduğundan I kanalı sinyali son aşamadaki MUX bloğu çıkışında aktif edilerek QPSK sinyali oluşturulur (Şekil 6.11 ve Şekil 6.12'de görülen mavi renkli sinyaller). Bu bilgi bitlerinden bir sonraki bitler birbiriyle aynı olduğundan dolayı ("00") algoritmanın son katmanındaki MUX bloğu Q kanalından iletilen sinyali aktif etmiştir.

6.4. Önerilen MSK Modülatör Mimarisi-I için Osiloskop Çıktıları

BPSK ve QPSK modülasyon şemalarında gerçekleştirilen verimli ram bit kullanımının yanında üç farklı MSK modülatör mimarisi önerilmiştir. Önerilen ilk teknik ile MSK modülasyonlu sinyalin kaynak kullanım miktarı düşürülmüştür. Önerilen yöntem bir önceki bölümlerde açıklandığı şekliyle FPGA üzerinde donanımsal olarak uygulanarak osiloskop çıktıları elde edilmiştir. Elde edilen sonuçlar ile benzetim sonuçlarının benzer olduğu görülmüştür.

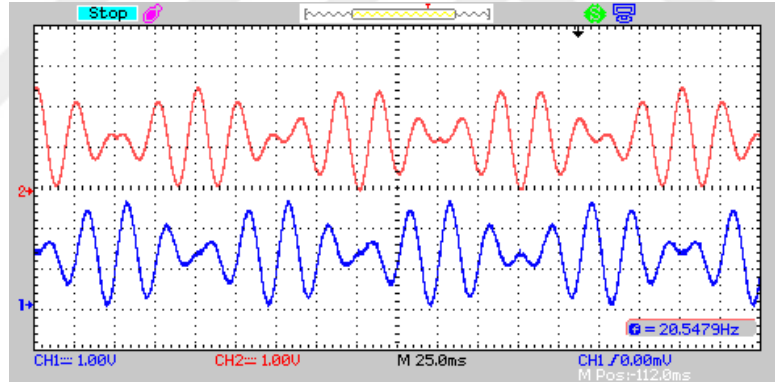


Şekil 6.14. I kanalı ROM bloklarının çıkışları (mavi sinyal MUX bloğunun 0. girişi kırmızı sinyal 1. girişidir)

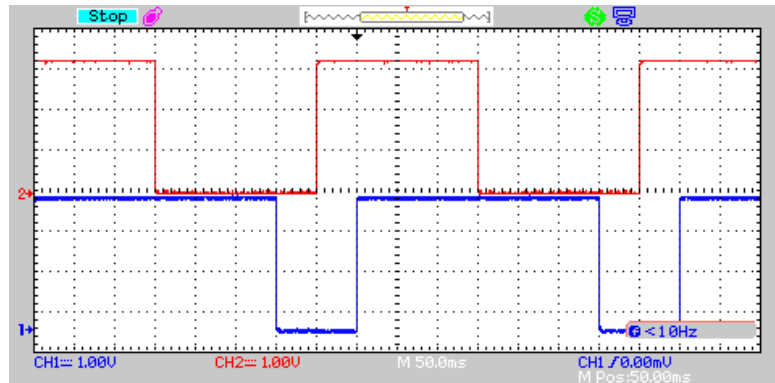


Şekil 6.15. Q kanalı ROM bloklarının çıkışları (mavi sinyal MUX bloğunun 1. girişi kırmızı sinyal 0. girişidir)

Şekil 6.14 ve Şekil 6.15, I kanalı ve Q kanalı sinyallerinin üretimi için kullanılan ROM bloklarının çıkışlarını göstermektedir. Elde edilen sonuçlar ve geleneksel sinyaller incelendiğinde üretilen sinyallerin doğru oldukları görülmektedir. Elde edilen osiloskop çıktıları ile matlab programında gözlemlenen benzetim sonuçları incelendiğinde sonuçların benzer olduğu da görülebilir.



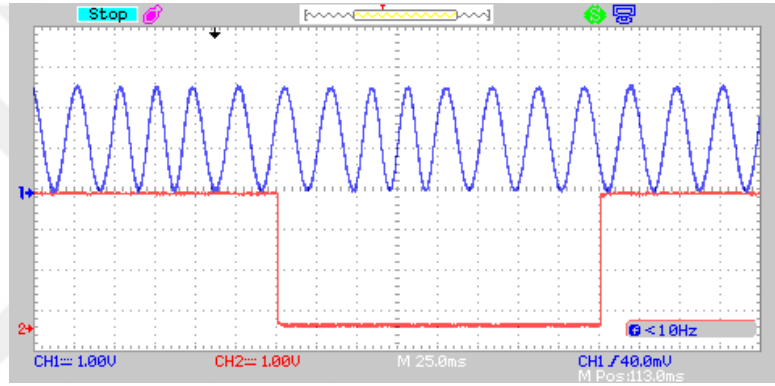
(a)



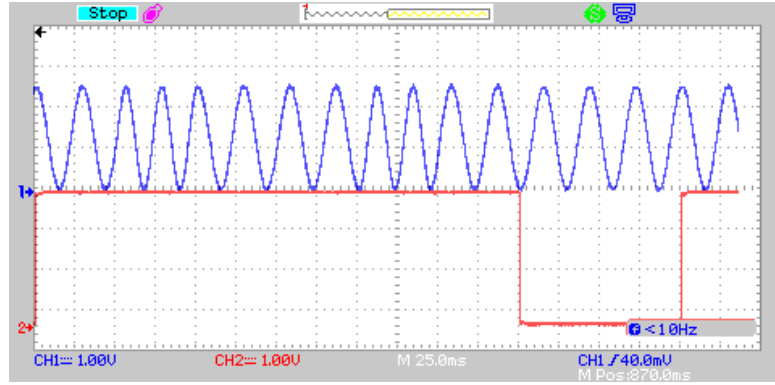
(b)

Şekil 6.16. (a)-I kanalı (kırmızı renkli sinyal) ve Q kanalı (mavi renkli sinyal) MUX bloğu çıkışları. (b)-I (kırmızı renkli sinyal) ve Q (mavi renkli sinyal) kanalı bitlerinin değişimi

Şekil 6.16, I kanalı ve Q kanalı bitlerinin değişimi ile I kanalı ve Q kanalı MUX bloklarının çıkışlarını vermektedir. Osiloskop çıktılarındaki fark iki ekranın zaman bölümlerinin farklı olmasından dolayı oluşmaktadır. Şekilde üstteki (Şekil-a) sinyallerin gösterildiği ekranın her bir karesinin süresi alttaki (Şekil-b) sinyallerin iki katı kadardır. Altta kırmızı renkli I kanalı sinyali üç kare boyunca '1' gelmiştir ve sonucun doğru olduğu kırmızı renkli I kanalı sinyalinden görülmektedir. Ayrıca mavi renk ile gösterilen Q kanalı bitleri ise 6 kare boyunca '1' gelmiştir ve üstteki mavi renkli Q kanalı sinyali de 12 kare boyunca '1' gelmiştir. Benzetim sonuçları incelenirse elde edilen sonucun doğru olduğu görülecektir.



(a)



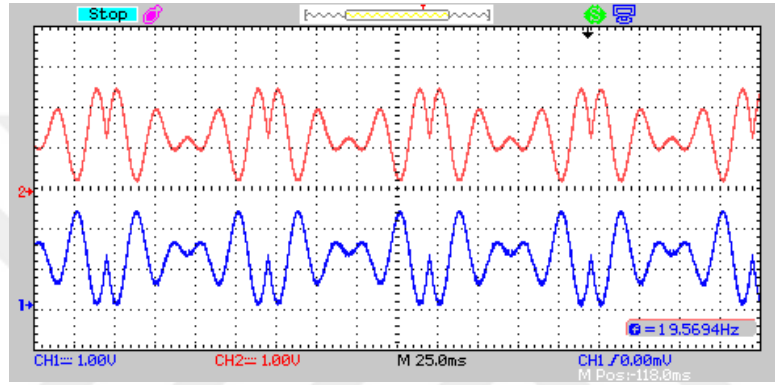
(b)

Şekil 6.17. (a)-I kanalı biti ile MSK sinyal. (b) Q kanalı biti ile MSK Sinyal

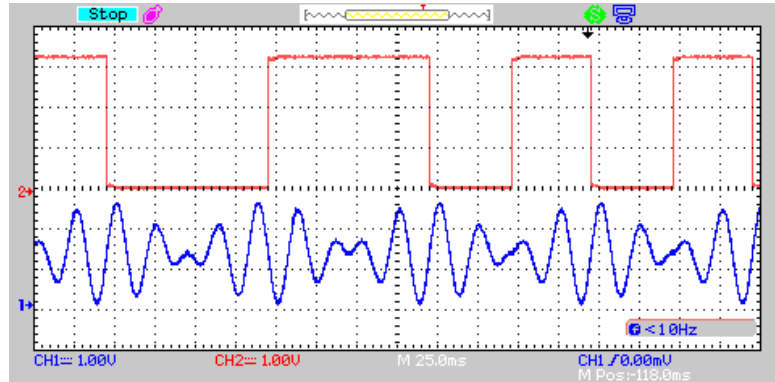
Şekil 6.17’de görülen sinyal ise I kanalı ve Q kanalı bitlerinin durumuna göre değişen MSK modülasyonlu sinyali göstermektedir. Kullanılan bitler matlab programında ve FPGA derleyicisi programı Quartus’ta kullanılan bitlerin aynısıdır. Sonuçların benzerliğini göstermek amacıyla tez çalışmasında aynı bilgi bitleri kullanılmıştır. Şekil 4.17 incelenirse sonuçların doğru olduğu görülecektir.

6.5. Önerilen MSK Modülatör Mimarisi-II için Osiloskop Çıktıları

Önerilen yeni bir teknik ile MSK mimarisinin ram bit kullanım miktarının düşürülmesine yönelik bir algoritma bir önceki bölümde verilmiştir. Bu algoritma kullanılarak önerilen yöntem gerçek zamanlı FPGA donanımı üzerinde uygulanmıştır. Osiloskop çıktılarından sonuçların benzetim sonuçları ve bir önceki MSK mimarisi ile benzer olduğu görülmüştür.



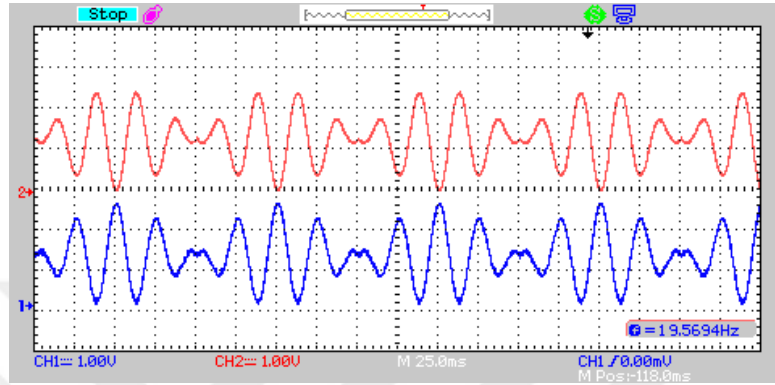
Şekil 6.18. Q kanalı MUX bloğunun sıfırinci (kırmızı renkli) ve birinci (mavi renkli) girişlerinin çıkışları



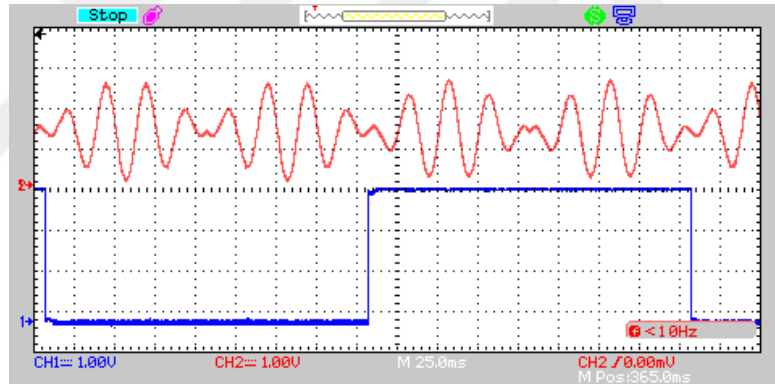
Şekil 6.19. Q kanalı MUX bloğu çıkışı ile MUX bloğunun seçici pin giriş sinyali

Şekil 6.18 ve Şekil 6.19’da görülen ölçüm sonuçları, MUX bloğu giriş sinyallerini ve Q kanalı sinyalinin üretimi için kullanılan MUX bloğunun çıkış sinyalini göstermektedir. Şekil 6.19’dan da görüldüğü gibi kırmızı renkli seçici pin girişi ‘1’ olduğunda Şekil 6.18’de verilen kırmızı renkli sinyal MUX bloğu çıkışında aktif edilirken pin girişi ‘0’ olduğunda mavi renkli sinyal MUX bloğu çıkışından aktif edilmektedir. Önerilen MSK modülatör mimarisi-II incelendiğinde görülecektir ki kodlanmış Q kanalı bilgi biti ile z

kontrol biti *xor* kapısından geçirilmektedir. Şekil 6.19’da görülen kırmızı renkli sinyal *xor* kapısı çıkışında elde edilen sinyaldir. Kontrol biti sayesinde yarım bit periyodu süresince Şekil 6.18’de verilen mavi renkli sinyal MUX çıkışına aktarılırken diğer yarım bit periyodunda kırmızı renkli sinyal MUX çıkışına aktarılmaktadır.

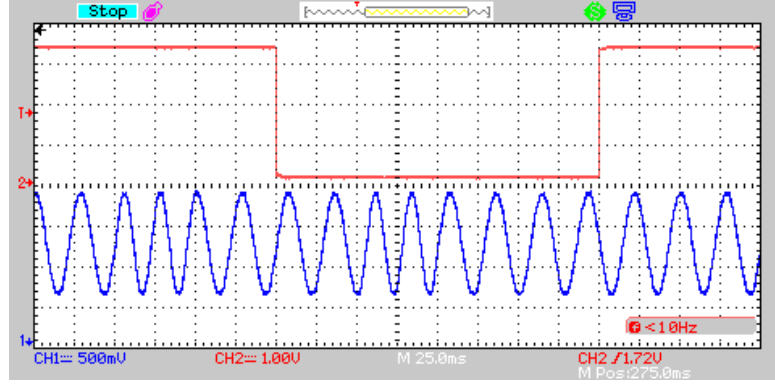


Şekil 6.20. Mavi renkli sinyal I kanalı MUX bloğu girişleri

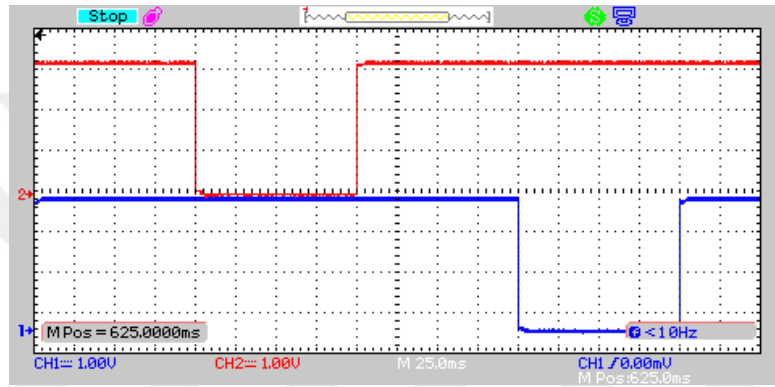


Şekil 6.21. I kanalı MUX çıkışı ile MUX bloğunun seçici pin girişi

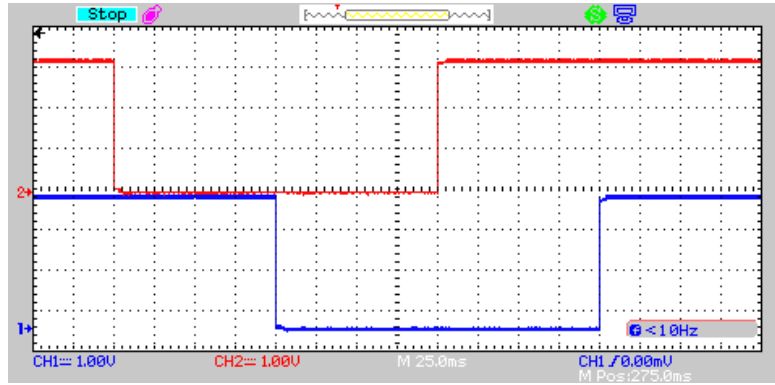
Şekil 6.20’de mavi renkli sinyal I kanalında kullanılan MUX bloğunun 1 numaralı veri girişini ifade ediyorken kırmızı renkli sinyal 0 numaralı veri girişini göstermektedir. Ayrıca Şekil 6.21’de görülen ölçüm sonucunda mavi renkli sinyal I kanalı kodlanmış veri bitini ifade etmektedir (çift veri bitlerinin terslenmiş hali). Şekil 6.20 ve Şekil 6.21’den görüldüğü gibi kodlanmış I kanalı biti lojik ‘0’ olduğunda MUX bloğunun 0 numaralı veri girişi (Şekil 6.20’de kırmızı renkli sinyal) aktif oluyorken, I kanalı biti ‘1’ olduğunda 1 numaralı veri girişi (Şekil 6.20’de mavi renkli sinyal) aktif olmaktadır. Sonuç olarak Şekil 6.18, Şekil 6.19, Şekil 6.20 ve Şekil 6.21, I kanalından ve Q kanalından (bir önceki bölümde I kanalı düğümü ve Q kanalı düğümü sinyalleri olarak ifade edilmiştir) toplama bloğuna uygulanacak sinyallerin üretimini göstermektedir.



Şekil 6.22. Kodlanmış I kanal biti ile MSK sinyal



Şekil 6.23. Q veri biti (kırmızı) ile kodlanmış Q kanal biti (mavi)

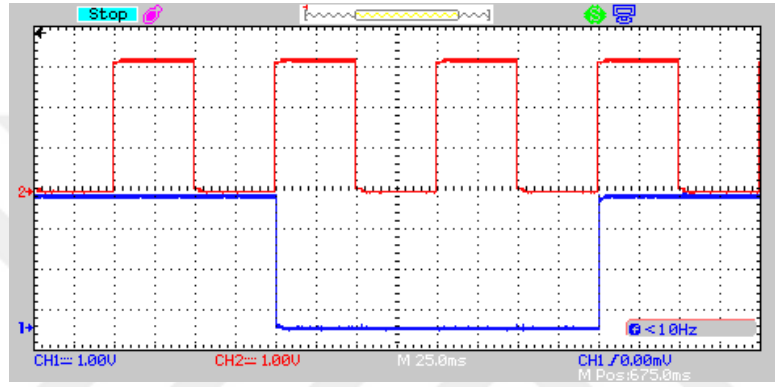


Şekil 6.24. I veri biti (kırmızı) ile kodlanmış I kanal biti (mavi)

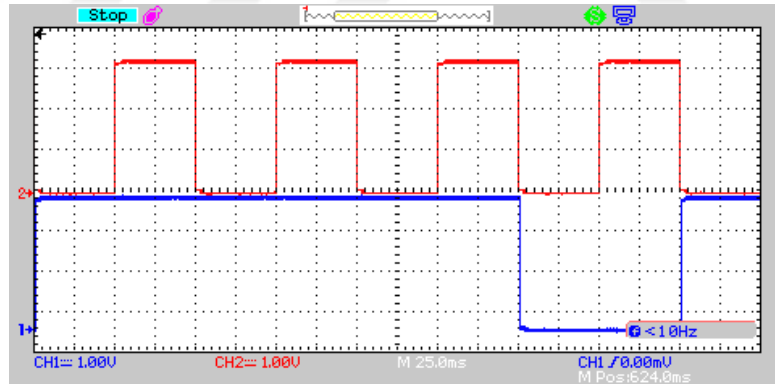
Şekil 6.22, Şekil 6.23 ve Şekil 6.24'te verilen osiloskop çıktıları; I kanalı veri bitini, I kanalı kodlanmış bitini, Q kanalı veri bitini, Q kanalı kodlanmış veri bitini ve MSK sinyalini göstermektedir. Matlab ve Quartus derleyici programlarından alınan benzetim sonuçları ve önerilen MSK modülasyon tekniği-I için alınan osiloskop çıktıları (Şekil 6.17'de verilmiştir) Şekil 6.22'de elde edilen modülasyonlu sinyalin doğruluğunu göstermektedir.

6.6. Önerilen MSK Modülatör Mimarisi-III için Osiloskop Çıktıları

Önerilen MSK modülatör mimarisi-I ve II için elde edilen sonuçlara göre mimari-III sistem karmaşıklığını düşürme anlamında daha verimli çalışmaktadır. Bu mimaride bir önceki iki mimaride kullanılan toplama bloğu da kaldırılarak sadece MUX tabanlı bir mimari oluşturulmuştur. Daha önceden de açıklandığı gibi üçüncü bit olarak adlandırılan *Y-D* bit, bu uygulamada önerilmiştir.

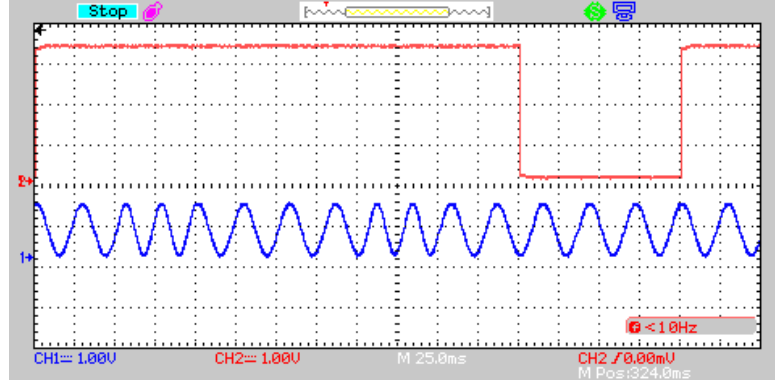


Şekil 6.25. Kodlanmış I kanal biti ile *Y-D* bit değişimi

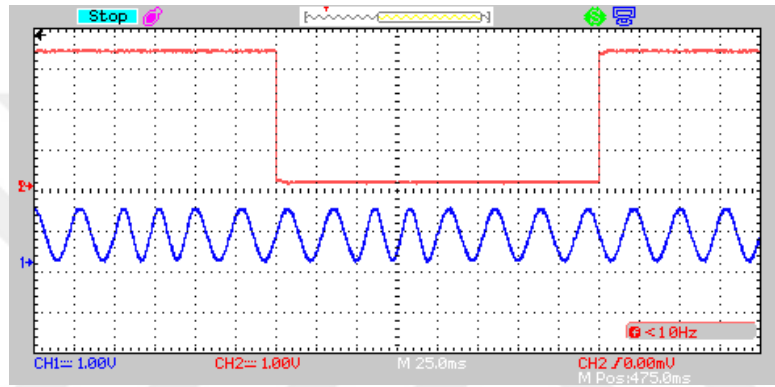


Şekil 6.26. Kodlanmış Q kanal biti ile *Y-D* bit

Şekil 6.25 ve Şekil 6.26’da kodlanmış (çift bitleri not işleminden geçirilmiş) I ve Q kanal bitleri ile *Y-D* bitinin değişimi verilmiştir. Görüldüğü gibi *Y-D* bit I, kanalı ve Q kanalı bitleri ile senkronize bir şekilde değişmektedir. *Yükselme* ve *düşme*, yarım bit periyodu süresince gerçekleştiğinden yükselme ve düşme zaman aralıklarında 0-1 olarak değişmektedir.

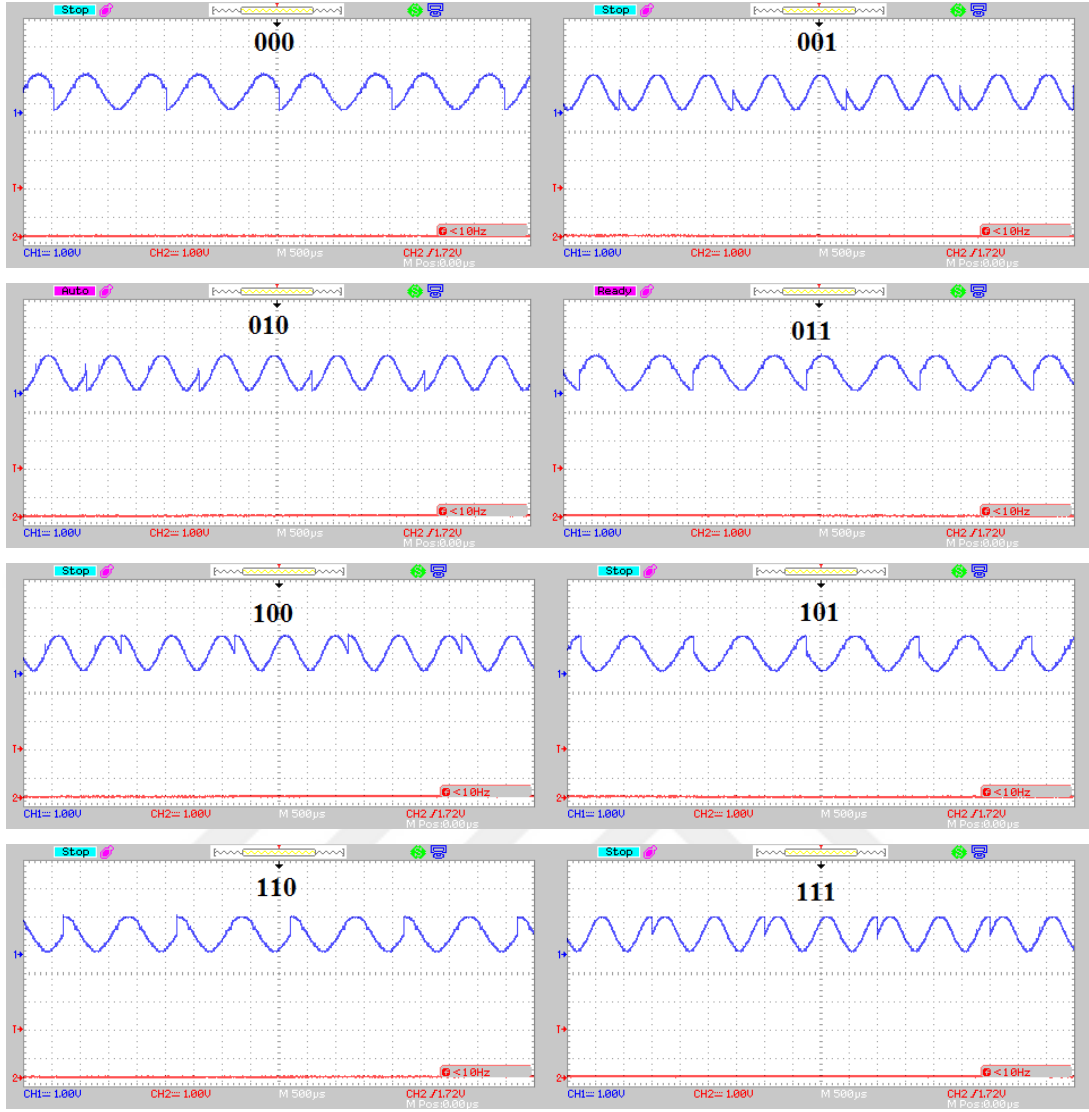


Şekil 6.27. Kodlanmış Q kanal biti ile MSK



Şekil 6.28. Kodlanmış I kanal biti ile MSK

Şekil 6.27 ve Şekil 6.28 ise kodlanmış I kanal biti ile kodlanmış Q kanal bitlerinin MSK sinyaline göre değişimlerini vermektedir. Şekillerden görüldüğü gibi modülasyonlu sinyal başarılı bir şekilde elde edilmiştir. Şekil 6.29’da ise iletilecek olan veri bitlerinin temsil ettiği sinyaller görülmektedir. Şekilden de görülmektedir ki MSK modülasyonlu sinyal için sekiz farklı durum gereklidir.



Şekil 6.29. I, Q ve Y-D bitin durumuna göre MUX bloğu çıkışında aktif edilecek sinyaller

7. SONUÇLAR VE ÖNERİLER

Yapılan çalışmalar gözönünde bulundurulduğunda sayısal tabanlı haberleşme sistemlerine olan ilginin devam ettiği görülmektedir. Günümüzde güç tüketimi önemli olduğu için çalışmaların büyük bir bölümü kaynak kullanımını düşürmeye yönelik olmuştur. Ayrıca veri iletim oranını artırmak için de sayısal tabanlı devreler ile tasarlanan mimarilerin maksimum çalışma frekanslarının yükseltilmesi ve çevrim sayılarının düşürülmesi de oldukça önem arz etmektedir.

Bu tez çalışmasında, gerçek zamanlı modülatör mimarilerinin tasarımı gerçekleştirilmiştir. Ayrıca modülatör mimarilerinin ram bit kullanımını düşürmeye yönelik yeni algoritmalar geliştirilmiştir. QPSK ve BPSK için önerilen mimariler ram biti kullanımını yaklaşık olarak %87.5 oranında düşürmektedir. Geleneksel mux tabanlı mimarilerde QPSK ve BPSK sinyallerinin oluşturulması için kullanılacak olan taşıyıcılar 180 derece faz farkına sahip taşıyıcılardan üretilirse bu oran %75'e düşmektedir. Yani, BPSK için ya '0' bilgisini ya da '1' bilgisini temsil eden, QPSK için de ya "11-01" ya da "00-10" bilgilerini temsil eden sinyallerin kaydedikleri ROM'lar kullanılıp diğer sinyallerin üretimi de kullanılan ROM değerlerinin -1 ile çarpılmasıyla elde edilir. Ancak bu durumda çarpıcı ve ROM çıkışlarının senkronize edilmesi için bir kaydediciye ihtiyaç duyulmaktadır. Tablo 7.1'de Quartus programında derlenen mimarilerin kaynak kullanım miktarları verilmektedir.

Tablo 7.1. MUX tabanlı ve önerilen mimariler için derleme sonuçları

Modülasyon Tipi	TLE	Kaydedici	TBB	MÇF [MHz]	Güç [mW]
MUX-BPSK	108	66	832	175.19	108
Ö-BPSK	102	57	104	176.27	105
MUX-QPSK	211	95	1664	173.36	114
Ö-QPSK	160	77	208	176.57	108

Tablo 7.1'den de görüldüğü gibi en uygun kaynak kullanımını Ö-BPSK (Önerilen BPSK) tekniği vermektedir. MUX-BPSK (MUX tabanlı BPSK) tekniğine göre MÇF (Maksimum çalışma frekansı) yaklaşık olarak eşittir. Ancak TBB (Toplam Bellek Bit) sayısı MUX-BPSK tekniğine göre daha düşüktür. MUX-BPSK tekniğinin TBB sayısı Ö-

BPSK tekniğinde kullanılan TBB sayısının 8 katı kadardır (%87.5'lik azalma var). Ayrıca MUX-QPSK (MUX tabanlı QPSK) ve Ö-QPSK(Önerilen QPSK) teknikleri karşılaştırılırsa BPSK teknikleri için elde edilen sonuçların benzeri görülecektir. MUX-QPSK ve Ö-QPSK tekniklerinin TBB sayıları arasında da 8 katlık bir fark bulunmaktadır. Ancak MUX-QPSK tekniği ile Ö-QPSK tekniği MÇF değerine göre karşılaştırıldığında yaklaşık olarak eşit MÇF değerlerine sahip oldukları görülmektedir. Tablodaki sonuçlar incelenirse önerilen modülasyon tekniklerinin ram biti kullanım miktarını önemli derecede etkilediği görülecektir. Özellikle OFDM gibi çoklu kullanıcılara hizmet veren standartların kullanmış olduğu modülasyon tekniklerinin başında gelen BPSK ve QPSK modülasyon teknikleri daha az ram biti ihtiyacı ile bu karmaşık sistemlere uygulanabilirler. Ram bit kullanımı FFT (Fast Fourier Transform: Hızlı Fourier Dönüşümü) gibi tekniklerde büyük bir problem oluşturmaktadır. Literatürde yapılan birçok çalışmada ram bitini düşürmeye yönelik birçok sayısal tabanlı teknik geliştirilmiştir.

Tez çalışmasında tasarlanan diğer donanımlar ise MSK modülasyon tekniği içindir. MSK modülasyon tekniği için 3 farklı algoritma önerilmiştir. Önerilen algoritmalarından birisi MUX tabanlı oluşturulan mimarilerin MSK modülasyonuna nispeten uygulanmasıyla oluşturulmuştur. İki farklı MUX tabanlı tekniğin I ve Q kanallarına uygulanmasıyla elde edilen sinyaller geleneksel MSK mimarisinde kullanılan son aşamadaki toplama bloğu ile toplanmaktadır. Ayrıca I ve Q kanalları için kullanılan iki sayaçtan birisi, bu tez kapsamında *yer değiştirme tekniği* olarak nitelendirilen algoritma ile kaldırılarak MSK modülatörün kaynak kullanım miktarı düşürülmüştür. Yer değiştirme tekniği, Q kanalından oluşturulacak olan sinyali üretmek için kullanılan ROM bloklarında yapılan değişiklik ile sağlanmıştır. ROM bloklarına kaydedilen örnek değerlerinin yerleri değiştirilerek Q kanalı sinyali üretilmiştir. Diğer önerilen MSK algoritması ise kullanılan ram bit miktarını düşürmek için tasarlanmıştır. I ve Q kanalı sinyallerini üretmek için kullanılan ROM miktarı ve ROM içerisine kaydedilen örnek sayısı düşürülerek kaynak kullanımı azaltılmıştır. Bu teknikte I ve Q kanalı sinyallerinin x-eksenine ve orijine göre simetri durumlarından faydalanılmıştır. İlk MSK algoritmasının kullanmış olduğu ram bit sayısı ikinci algoritmada kullanılan ram bit sayısının yaklaşık olarak dört katı kadardır.

Üçüncü ve son MSK mimarisi ise *Y-D* MSK mimarisidir. *Y-D* MSK mimarisinin oluşumu için yeni bir formülasyon geliştirilmiştir. Eşitlik (4.13) ve (4.20), MSK modülasyon tekniğini ifade edebilmek için türetilen yeni formülasyon gösterimleridir. Bu iki formülasyon kullanılarak MSK modülasyon tekniğinin tıpkı ikili modülasyon

tekniklerinde olduğu gibi sadece MUX bloğu ve ROM bloğu kullanılarak oluşturulabilmesi ispat edilmiştir. MUX tabanlı mimarilerde modülasyonlu sinyalin durum sayısı göz önünde bulundurularak MUX bloğunun seçici pin bit sayısı belirlenmektedir. Seçici pin bit sayısı ile iletilecek sembol sayısı birbirine eşit olmaktadır. Ancak MSK modülasyonlu sinyalin dört farklı faz ve iki farklı frekans durumu göz önünde bulundurulduğunda iletilecek sembol sayısının 3 olması gerekmektedir. Ancak MSK modülasyon tekniğinin iletildiği sembol sayısı 2'dir. Sonuç olarak yeni denklemlerden de yola çıkarak yeni bir bit türetilmiştir. Bu tez kapsamında *Y-D* bit olarak nitelendirilen bu sanal bit MSK mimarisinin tamamen MUX tabanlı bir mimariye dönüştürülmesinde başarı sağlamıştır. Sonuç olarak kaynak kullanım miktarı yönünden hem geleneksel MSK mimarisine göre hem de bu tez kapsamında önerilen diğer iki MSK algoritmasına göre daha verimli sonuçlar vermiştir. Ayrıca önerilen algoritmanın matematiksel olarak ispatlanması da tezin literatüre katmış olduğu diğer bir önemli konudur. NCO tabanlı algoritma için iyi bir örnek kullanım optimizasyonu sağlanarak *Y-D* MSK mimarisine göre yaklaşık olarak %31.25 oranında daha az ram bit kullanımı sağlanmıştır. Ancak *Y-D* MSK tekniğine daha önceden literatürde önerilmemiş olan ÖH (Ön hesaplama) tekniği gerçek zamanlı olarak uygulanmış olup *Y-D* MSK mimarisinin ram bit kullanım miktarı önemli ölçüde düşürülmüştür. Tablo 7.2'de önerilen MSK mimarileri ile geleneksel MSK mimarisi ve Altera firmasının üretmiş olduğu NCO bloğu için derleme sonuçları verilmektedir.

Tablo 7.2. Önerilen MSK mimarileri ile geleneksel MSK mimarisi ve Altera firmasının ürettiği NCO bloklı MSK için derleme sonuçları

Modülasyon Tipi	TLE	Kaydedici	TBB	MÇF [MHz]	Güç [mW]
G-MSK	255	163	12070	106.12	135
Ö-MSK-1	233	146	8000	98.22	118
Ö-MSK-1-S	220	124	8000	90.93	118
Ö-MSK-2	259	152	2016	101.58	117
Y-D MSK	187	99	4096	112.87	118
ÖH-Y-D MSK	180	105	1024	125.99	115
NCO	450	297	1280	124.86	124

Birçok çalışmada NCO tabanlı MSK mimarileri önerilmektedir. Önerilen mimarilerde Xilinx veya Altera firması tarafından önerilen NCO ve gerilim kontrollü osilatör (VCO)

mimarileri hazır olarak kullanılmaktadır. Tablo 7.2’den görüldüğü gibi TLE ve kaydedici açısından karşılaştırıldığında NCO bloğu diğer algoritmalarından çok daha verimsiz çalışmaktadır. Ö-MSK-1 (Önerilen MSK-1) mimarisi ve bir sayacın elemine edildiği Ö-MSK-1-S mimarisi karşılaştırıldığında kaynak kullanım miktarı açısından Ö-MSK-1-S (Önerilen Bir Sayaçlı MSK-1) mimarisinin daha verimli çalıştığı görülmüştür. Bellek bit kullanımını düşürmek için önerilen Ö-MSK-2 (Önerilen MSK-2) mimarisi Ö-MSK-1 ve Ö-MSK-1-S mimarilerinin kullandığı bit sayısının yaklaşık olarak $\frac{1}{4}$ ’i kadarıyla ram biti kullanmaktadır. 16 bitlik fazla kullanımın nedeni (tam $\frac{1}{4}$ ’i kadar değil) simetrik durumunun tamamen sağlanması için I ve Q kanallarında kullanılan ROM’lara ek olarak 1 sayısal örneğin daha kaydedilmesinin gerekli olmasından dolayıdır (2 sayısal örnek*8=16 bit). Bit kullanım miktarı haricinde en verimli kaynak kullanımı sonucunu veren Y-D MSK mimarileridir. Özellikle ÖH-YD MSK mimarisi MUX bloğunun ROM bloklarından önce çalıştırılmasını sağlamasıyla kaynak kullanımı açısından önemli ölçüde verim sağlamıştır. Ayrıca Tablo 7.2’den görüldüğü gibi ön hesaplama tekniği ile ram bit kullanımı %75 oranında düşürülmüştür. G-MSK (Geleneksel MSK) tekniği ise ram bit kullanımı açısından en verimsiz çalışan mimaridir. Eğer MSK mimarisi için I kanalı ve Q kanalı çift bitlerinin *not* işleminden geçirilmesi işlemi uygulanırsa TBB sayısı yaklaşık olarak 8010’a düşecek olup TLE sayısı *not* kapılarından dolayı artacaktır. Çünkü bu durumda I ve Q kanalı darbelerinin sadece bir periyodu ROM içerisine kaydedilecektir.

Sonuç olarak bu tez çalışmasında BPSK ve QPSK için bir, MSK için ise üç farklı algoritma önerilmiştir. Önerilen mimarilerin geleneksel mimarilere göre karşılaştırmaları yapılarak her mimari FPGA donanımı üzerinde gerçek zamanlı olarak uygulanmıştır. Benzetim sonuçlarının ve osiloskop çıktılarının da benzer olduğu görülmüştür. Denklem (4.13) ve (4.20)’de MSK tekniği yeni formülasyonlarla tanımlanarak tezin teorik olarak da özgünlüğü ortaya konulmuştur ve yeni formülasyonların kullanılmasıyla Y-D MSK mimarisi önerilmiştir. Y-D MSK tekniğinin ram bit kullanımını düşürmek için Y-D MSK tekniğine bir ön hesaplama tekniği uygulanarak yeni bir yapı elde edilmiştir. Ö-MSK-1, Ö-MSK-1-S ve Ö-MSK-2 mimarileri ise kaynak kullanımını düşürmek için önerilen yeni algoritmalarıdır.

İleride yapılacak olan çalışmalarda Y-D MSK mimarisinin ram bit kullanım miktarı, Ö-MSK-2 mimarisinin kullandığı bit sayısına düşürülerek mimarinin kaynak kullanım miktarı daha da geliştirilebilir. MSK-II mimarisi şeklinde tasarlanan yapının TLE ve kaydedici kullanım miktarı düşürülerek ÖH-Y-D MSK mimarisine göre daha verimli

alıřan bir mimari oluřturulabilir. nerilen MSK mimarisi ile birlikte alıřabilecek yeni bir demodlatr mimarisi de MSK tasarımları arasında alıřılabilecek konular ierisindedir. Ayrıca BPSK, QPSK ve MSK mimarileri oklu kullanıcılara hizmet veren teknikler ile birlikte kullanılarak kaynak kullanım miktarında iyileřtirmeler gerekleřtirilebilir.



KAYNAKLAR

- [1] **Chitode, J.S.**, 2008. Communication Engineering. Technical Publications Pune, India.
- [2] **Islam, M., Hannan M. A., Samad, S.A. and Hussain, A.**, 2009. Bit-Error-Rate (BER) for modulation technique using Software defined Radio, *International Conference on Electrical Engineering and Informatics (ICEEI'09)*, Bangi, Malaysia, Aug. 05-07, s. 445-447.
- [3] **Ganesan, A. and Rajan, B.S.**, 2009. Two-User Gaussian Interference Channel with Finite Constellation Input and FDMA, *IEEE Transactions on Wireless Communications*, **11**, 2496-2507.
- [4] **Remi C., Pascal C. and Jean-Pierre, D.**, 2015. How to Make Quasi-Rectilinear Signals (MSK,GMSK, OQAM) Almost Equivalent to Rectilinear Ones (BPSK, ASK) for Widely Linear Filtering in the Presence of CCI, *19th International ITG Workshop on Smart Antennas*, Ilmenau, Germany, Mar. 3-5, s. 1-6.
- [5] **Xuemin, H., Jing, W., Cheng-Xiang, W. and Jianghong, S.**, 2014. Cognitive Radio in 5G: A Perspective on Energy-Spectral Efficiency Trade-off. *IEEE Communications Magazine*, **52**, 46-53.
- [6] **Liu, Y., Zhang, Y., Yu, R. and Xie, S.**, 2015. Integrated energy and spectrum harvesting for 5G wireless communications, *IEEE Network Journal*, **29**, 75-81.
- [7] **Yuan, B. and Parhi, K.K.**, 2014. Low-Latency Successive-Cancellation Polar Decoder Architectures using 2-bit Decoding, *IEEE Transactions on Circuits and Systems-I: Regular Papers*, **61**, 1241-1254.
- [8] **Yair, L.**, 2012. An Ultra Low Cost Wireless Communications Laboratory for Education and Research, *IEEE Transactions on Education*, **55**, 169-179.
- [9] **Sizhong, C., Tong, Z. and Yan, X.**, 2007. Relaxed K -Best MIMO Signal Detector Design and VLSI Implementation, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **15**, 328-337.
- [10] **Smillie, G.**, 1999. Analogue and Digital Communication Techniques, Arnold Pub., London.
- [11] **Wenge, Z. and Huiming, H.**, 2010. FPGA-based video image processing system research, *3rd IEEE International Conference on Computer Science and Information Technology*, Beijing, China, July 09-11, s. 680-682.
- [12] **Moeinfar, A.**, 2011. Novel Low-Power High-Data-Rate BPSK Demodulator, *International Conference on EUROCON*, Lisbon, Portugal, April 27-29, s. 1-2.
- [13] **Muzammil, R., Beg, M.S. and Jamali, M.M.**, 2011. Design and Implementation of BPSK Transmitter and Receiver for Software Defined Radio on a Model Based Development Platform, Symposium on Industrial Electronics & Applications (ISIEA), Langkawi, Malaysia, Sept. 25-28, s. 89-94.
- [14] **Hassan, S.A. and Ingram, M.A.**, 2011. SNR Estimation in a Non-Coherent BFSK Receiver with a Carrier Frequency Offset, *IEEE Transactions on Signal Processing*, **59**, 3481-3486.
- [15] **Elamary, G., Graeme, E., C. and Neasham, J.**, 2009. An analysis of wireless inductive coupling for High Data Rate biomedical telemetry using a new

- VHDL n-PSK modulator, *Second International Conference on Environmental and Computer Science*, Dubai, UAE, Dec. 28-30, s. 211-214.
- [16] **Zhongxia H., Jingjing, C., Yinggang, L. and Zirath, H.**, 2010. A Novel FPGA-Based 2.5Gbps D-QPSK Modem for High Capacity Microwave Radios, *IEEE International Conference on Communications (ICC)*, Cape Town, South Africa, May. 23-27, s. 1-4.
 - [17] **Kim D.**, 2000. An implementation of fuzzy logic controller on the reconfigurable FPGA system, *IEEE Transactions Industrial Electronics*, **47**, 703-715.
 - [18] **Kiffe, A., Geng, S. and Schulte, T.**, 2012. Automated generation of a FPGA-based oversampling model of power electronic circuits, *15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, Novi Sad, Serbia, Sept. 4-6, s. 1-8.
 - [19] **Yair, L.**, 2009. A Carrier-Independent Non-Data-Aided Real-Time SNR Estimator for M-PSK and D-MPSK Suitable for FPGAs and ASICs, *IEEE Transactions on Circuits and Systems I: Regular Papers*, **56**, 1525-1538.
 - [20] **Ioan, A.D.**, 2010. New Techniques for Implementation of Hardware algorithms inside FPGA, Circuits, *Advance in Electrical and Computer Engineering*, **10**, 16-23.
 - [21] **Sedighizadeh, M. and Rezazadeh, A.**, 2010. A modified Adaptive Wavelet PID Control Based on Reinforcement Learning for Wind Energy Conversion System Control, *Advances in Electrical and Computer Engineering*, **10**, 153-159.
 - [22] **Irki, Z. and Devy, M.**, 2011. A Novel Algorithm to Perform Precalculated Tables for the Real-Time Image Processing: Illustration with Image Rotation, *Advances in Electrical and Computer Engineering*, **11**, 71-76.
 - [23] **Celanovic, N.L., Celanovic, I.L. and Ivanovic, Z.R.**, 2012. Cyber physical systems: A new approach to power electronics simulation, control and testing, *Advances in Electrical and Computer Engineering*, **12**, 33-38.
 - [24] **Fernandes, I., Asensio, A., Gutierrez, I., Garcia, J., Rebollo, I. and No, J.**, 2012. Study of the communication distance of a MEMS Pressure Sensor Integrated in a RFID Passive Tag, *Advances in Electrical and Computer Engineering*, **12**, 15-18.
 - [25] **Mukthavaram, S. and Evans, J.B.**, 1999. Design and FPGA Implementation of an Adaptive Demodulator, *HPEC99*, India, s. 8-17.
 - [26] **Islam, M., Hannan, M.A., Samad, S.A. and Hussain, A.**, 2009. Modulation Technique for Software Defined Radio Application, *ICICS99*, Malaysia, s. 1780-1785.
 - [27] **Krivic, P. and Stimac, G.**, 2011. FPGA Implementation of BPSK Modem for Telemetry Systems Operating in Noisy Environments, *MIPRO*, Croatia, s. 1727-1731.
 - [28] **Popescu, S.O., Gontean, A.S. and Budura, G.**, 2011. Simulation and Implementation of a BPSK Modulator on FPGA, *6th IEEE International Symposium on Applied Computational Intelligence and Informatics*, Timisoara, s. 459-463.
 - [29] **Popescu, S.O., Gontean, A.S. and Alexa, F.**, 2011. Improved FPGA-based Detector, *6th IEEE International Symposium on Applied Computational Intelligence and Informatics*, Timisoara s. 455-458.
 - [30] **Chye, Y.H., Ain, M.F. and Zawawi, N.M.**, 2009. Design of BPSK Transmitter Using FPGA with DAC, *9th Malaysia International Conference on Communications*, Malaysia, s. 451, 456.

- [31] **Ahamed, F. and Scarpino, F.A.**, 2005, An Educational Digital Communications Project Using FPGAs to Implement a BPSK Detector, *IEEE Transactions on Education*, **48**, 191-197.
- [32] **Dondon, P., Micouleau, J.M., Legall, J. and Kadionik, P.**, 2008. Design of a low cost BPSK modulator/demodulator for a practical teaching of digital modulation techniques, *Engineering Education*, **1**, 61-66.
- [33] **Erdoğan, C., Myderrizi, I. and Minaei, S.** 2012. FPGA Implementation of BASK-BFSK-BPSK Digital Modulators, *IEEE Antennas and Propagation Magazine*, **54**, 262-269.
- [34] **Bouزيد, G., Trabelsi, H., Elabed, Z. and Masmoudi, M.** 2008. FPGA implementation of FHSS-FSK modulator, *3rd international Conference on Design and Technology of Integrated Systems in Nanoscale Era*, Tunisia, s. 1-5.
- [35] **Ryan, C. R., Hambley, A. and Vogt, D.** 1980. 760 Mbit/s Serial MSK Microwave Modem, *IEEE Transactions on Communications*, **28**, 771-777.
- [36] **Morais, D. and Feher, K.**, 1980. The Effects of Filtering and Limiting on the Performance of QPSK, Offset QPSK, and MSK, *IEEE Transactions on Communications*, **28**, 1999-2009.
- [37] **Yair, L.**, 2009. A Carrier-Independent Non-Data-Aided Real-Time SNR Estimator for M-PSK and D-MPSK Suitable for FPGAs and ASICs, *IEEE Transactions on Circuits and Systems I: Regular Papers*, **56**, 1525-1538.
- [38] **Pfau, T. and Noe, R.**, 2010. Phase-Noise-Tolerant Two-Stage Carrier Recovery Concept for Higher Order QAM Formats, *IEEE Journal of Selected Topics in Quantum Electronics*, **16**, 1210-1216.
- [39] **Weiqiang, L., Jing C., Yunfeng, G., Wenjun, Z. and Dazhi, H.**, 2008. A Robust and Adaptive Carrier Recovery Method for Chinese DTTB Receiver, *IEEE Transactions on Broadcasting*, **54**, 146-151.
- [40] **Magarini, M., Barletta, L., Spalvieri, A., Vacondio, F., Pfau, T., Pepe, M., Bertolini, M. and Gavioli, G.**, 2012. Pilot-Symbols-Aided Carrier-Phase Recovery for 100-G PM-QPSK Digital Coherent Receivers, *IEEE Photonics Technology Letters*, **24**, 739-741.
- [41] **Pfau, T., Hoffmann, S. and Noe, R.**, 2009. Hardware-Efficient Coherent Digital Receiver Concept With Feedforward Carrier Recovery for M -QAM Constellations, *Journal of Lightwave Technology*, **27**, 989-999.
- [42] **Tarik K., Merima K. and Mesud H.**, 2013. Design and Implementation of SDR Based QPSK Modulator on FPGA, *MIPRO*, Opatija, Croatia, May. 20-24, s. 513-518.
- [43] **Sheetal U. B., Shaila, S. and Shashank, P.**, 2009. Digital Signal Modulator on FPGA using On the Fly Partial Reconfiguration, *International Conference on Advances in Computing, Control, and Telecommunication Technologies*, Kerala, India, Dec. 28-29, s. 711-713.
- [44] **Popescu, S.O., Gontean, A.S. and Ianchis, D.**, 2011. QPSK Modulator on FPGA, *9th International Symposium on Intelligent Systems and Informatics*, Subotica, Serbia, Sept. 8-10, s. 359-364.
- [45] **Huang, G. and Qiao, T.**, 2011. Implementation of DS/FH Communication Intermediate Frequency $\pi/4$ DQPSK Modulation Based On FPGA, *International Conference on Intelligent Control and Information Processing*, Harbin, China, Jul. 25-28, s. 233-237.

- [46] **Anton S. R., Michael C. M. and Yufeng L.**, 2011. Model-based Software-defined Radio(SDR) Design using FPGA, *IEEE International Conference on Electro/Information Technology (EIT)*, Mankato, USA, s. 1-6.
- [47] **Frank, A.**, 1976. Pulse and Spectrum Manipulation in the Minimum (Frequency) Shift Keying (MSK) Format, *IEEE Transactions on Communication*, **24**, s. 381-384.
- [48] **Steven A. G. and Alan L. M.**, 1976. MSK and Offset QPSK Modulation, *IEEE Transactions on Communications*, **24**, s. 809-820.
- [49] **Marvin, K. S.**, 1976. A Generalization of Minimum-Shift-Keying (MSK)-Type Signaling Based Upon Input Data Symbol Pulse Shaping, *IEEE Transactions on Communications*, **24**, s. 845-856.
- [50] **Frank, A. and James, A.K.**, 1977. Simplified MSK Signaling Technique, *IEEE Transactions on Communications*, **25**, s. 433-441.
- [51] **Yoshiteru, M., Shigeo, N. and Norio, F.**, A 100 Mbit/s Prototype MSK Modem for Satellite Communications, *IEEE Transactions on Communications*, **27**, s. 1512-1518.
- [52] **Rodger, E.Z. and Carl, R.R.**, 1983. Minimum-Shift Keyed Modem Implementations for High Data Rates, *IEEE Communications Magazine*, **21**, s. 28-37.
- [53] **Bernard, B.**, 1979. A Class of MSK Baseband Pulse Formats with Sharp Spectral Roll-Off, *IEEE Transactions on Communications*, **27**, s. 826-829.
- [54] **Svensson, A. and Sundberg, C.**, 2003. Serial MSK-Type Detection of Partial Response Continuous Phase Modulation, *IEEE Transactions on Communications*, **33**, s. 44-52.
- [55] **Keita, U., Kentaro, N., Tsutomu, M. and Nobuyasu T.**, 2013. Channel estimation method using MSK signals for MIMO sensor, *Proceedings of the International Symposium on Antennas & Propagation (ISAP)*, Nanjing, China, Oct. 23-25, s. 892-895.
- [56] **Zhanyu, Y., Song, Y., Longquan, C., Haijun, L., Mingying, L., Yaojun, Q. and Wanyi, G.**, 2012. Constant Envelope Minimum-Shift Keying OFDM Coherent Optical Communication System, *Journal Of Lightwave Technology*, **30**, s. 3627-3632.
- [57] **Weiwen, W., Yuan L., Hefei, H. and Dongming, Y.**, 2009. An Improved OFDM-MSK System for Wireless Communications, *Communications and Networking in China*, Aug. 26-28, s. 1-5.
- [58] **Xiying L., Chulong, L., Xiao M.**, 2014. Block Markov superposition transmission of convolutional codes with minimum shift keying signaling, *IET Communications*, **9**, s. 71-77.
- [59] **Jianrong, B., Yafeng, Z., Liuguo, Y. and Jianhua, L.**, 2012. Design of Efficient Joint eIRA-Coded MSK Modulation Systems for Space Communications, *IEEE Transactions on Aerospace and Electronic Systems*, **48**, s. 1636-1648.
- [60] **Jean-François, P., Nicolas, D., Sylvain B., Jean, G. and Bruno, P.**, 2015. Analysis of Binary CPFSK With Non-Uniform Sampled Reception, *IEEE Transactions on Communications*, **63**, s. 844-856.
- [61] **Pere, P., Jordi, B., Alexis, L., Xavier, M., Francisco, A. and Rosa, G.**, 2015. Superregenerative Reception of Narrowband FSK Modulations, *IEEE Transactions on Circuits And Systems-I: Regular Papers*, **62**, s. 791-798.

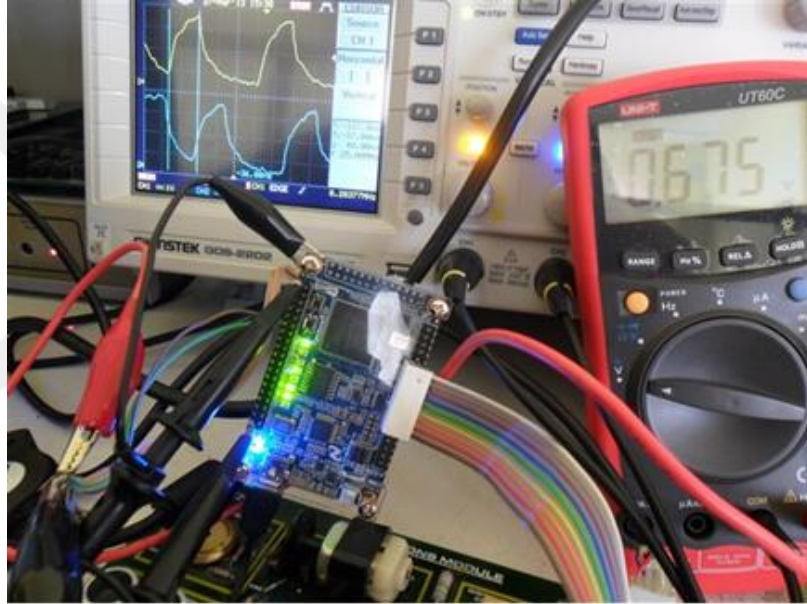
- [62] **Jienan, C., Jianhao, H., Shuyang, L. and Gerald, E.S.**, 2015. Hardware Efficient Mixed Radix-25/16/9 FFT for LTE Systems, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **23**, s. 221-229.
- [63] **Kai-Jiun, Y., Shang-Ho, T. and Gene, C.H.C.**, 2013. MDC FFT/IFFT Processor With Variable Length for MIMO-OFDM Systems, *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, **21**, s. 720-731.
- [64] **Zhanyu, Y., Song, Y., Longquan, C., Haijun, L., Mingying, L., Yaojun, Q. and Wanyi, G.**, 2012. Constant Envelop Minimum-Shift Keying OFDM Coherent Optical Communication System, *Journal of Lightwave Technology*, **30**, s. 3627-3632.
- [65] **Mahmoodi, S., Omidi, M.J. and Saeedi-Sourck, H.**, 2012. OFDM-MSK: A Method for Sidelobe Suppression in OFDM Systems, *Iranian Conference on Electrical Engineering*, Tehran, Iran, May. 15-17, s. 1474-1477.
- [66] **Maghawry, A. and Eldiwany, E.**, 2009. FPGA-based MSK DS-SS modulator for digital satellite communications, *Radio Science Conference*, Mar. 17-19, s. 1-9.
- [67] **Kuzmin, V. E.**, 2011. Development and experimental investigation of digital MSK-signal receiver, *Control and Communications Conference (SIBCON)*, Krasnoyarsk, Russia, Sept. 15-16, s. 67-70.
- [68] **Bohorquez, J.L., Dawson, J.L. and Chandrakasan, A.P.**, 2008. A 350 μ W CMOS MSK transmitter and 400 μ W OOK super-regenerative receiver for Medical Implant Communications, *IEEE Symposium on VLSI Circuits*, HI, USA, Aug. 5-8, s. 32-33.
- [69] **Maghawry, A. and Fikri, M.**, 2011. FPGA-based Coherent MSK Spread Spectrum Modem for Small Satellites TT&C Transponders, *25th Conference of Small Satellites (AIAA/USU)*, Logan, USA, Aug. 11-13, s. 1-17.
- [70] **Xie, W., Dou, H.**, 2013. Design and Verification of MSK Based on FPGA, *2nd International Conference on Measurement, Information and Control*, Harbin, China, Aug. 16-18, s. 486-489.
- [71] **Xiangyuan, B. and Wei, M.**, 2011. A new modulation implementation method of the CPM, *International Conference of Information Technology, Computer Engineering and Management Sciences*, Nanjing, China, Sept. 24-25, s. 152-155.
- [72] **Das A.**, 2010. Digital Communication: Principles and System Modelling, Springer-Verlag Berlin Heidelberg.
- [73] **Ji, H.J. and Je-Myung J.**, 2012. Binary Amplitude Shift Keying Based Signal Processing for Brillouin Optical Correlation Domain Analysis, *Journal of the Korean Physical Society*, **61**, s. 1975-1980.
- [74] **Ali, G.**, 2015. Introduction to Digital Communications, Academic Press., Oxford, UK.
- [75] **Thurwachter, J. and Charles, N.**, 1999. Data and telecommunications systems and applications, Prentice-Hall, Inc., Upper Saddle River, New Jersey.
- [76] **Proakis, J.**, 2001. Digital Communications, New York, McGraw Hill.
- [77] **Glover, I. and Peter M.G.**, 2010. Digital communications, Pearson Education, Canada.
- [78] **Yun, L., Shanghong, Z., Zizheng, G., Rui, H. and Ruoxin, Q.**, 2015. Gamma radiation impact on performance of OOK, DPSK and homodyne BPSK based optical inter-satellite communication system, *Optics Communications*, **350**, s. 276-282.

- [79] IEEE Std 802.11a-1999, 1999. Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications, High-speed Physical Layer in the 5 GHz Band, section 17.3.5.7.
- [80] **Douglas, H. and Kamilo, F.**, 1980. The Effects of Filtering and Limiting on the Performance of QPSK, Offset QPSK, and MSK Systems, *IEEE Transactions on Communications*, **28**, s. 1999-2009.
- [81] **Zhanyu, Y., Song, Y., Longquan, C., Jian, L., Yaojun, Q. and Wanyi, G.**, 2013. CPFSK Scheme With Multiple Modulation Indices in Optical OFDM Communication System, *Photonics Journal*, **5**, s. 7902607.
- [82] **Doelz, M.L. and Heald, E.H.**, 1961. Minimum-shift data communication system, U.S. Patent, No: 2977417 dated 28.03.1961.
- [83] **Brady, D.M.**, 1972. FM-CPSK: Narrowband digital FM with coherent phase detection, *Conference on Communication*, Pennsylvania, USA, June 19-21, s. 12-16.
- [84] **Brady, D.M.**, 1974. A constant envelope digital modulation technique for millimeter wave satellite system, *Conference on Communication*, Minnesota, USA, June 17-19, s. 36C-1.
- [85] **Juroshek, J.R., Wasson, G.E. and Stonehocker, G.H.**, 1978. Flight Tests of Digital Data Transmission. *IEEE Transactions on Aerospace and Electronic Systems*, **14**, s. 403-410.
- [86] **Steven, L.B., Dale, A.M. and Ira, R.**, 1974. A Signaling Scheme and Experimental Receiver for Low Frequency (ELF) Communication, *IEEE Transactions on Communication*, **22**, s. 508-528.
- [87] **Proakis, J.G. and Salehi, M.**, 2002. Communication Systems Engineering, 2nd ed. Upper Saddle River, NJ: Printice-Hall.
- [88] **Subbarayan, P.**, 1979. Minimum Shift Keying: A Spectrally Efficient Modulation, *IEEE Communications Magazine*, **17**, s. 14-22.
- [89] **Ekanayake, N.**, 1982. Serial Synthesis of Minimum Shift-Keyed Signals. *IEEE Electronics Letters*, **18**, s. 827-829.
- [90] **Syed, A.A. and Mohammad, I.**, 2010. Get Certified A Guide to Wireless Communication Engineering Technologies, CRC Press., USA.
- [91] **Rodger, E.Z., William, H.T.** 2014. Principles of Communications Systems, Modulation and Noise. John Wiley & Sons, New York, USA.
- [92] **Tang, A., Yuan, F. and Law, E.** 2007. A New CMOS BPSK Modulator with Optimal Transaction Bandwidth Control, *International Symposium on Circuits and Systems*, LA, USA, May 27-30, s. 2550-2553.
- [93] **Roslina, M., Nuzli, M., A. and Kaharudin D.**, 2006. Design and Implementation of 11/4 Shift D-QPSK Baseband Modem Using DSP Techniques, *OCEANS*, Singapore, May 16-19, s. 1-5.
- [94] **Motoyoshi, S., Wang, X., Yasuhiko, A. and Kyosuke, S.**, 2014. Photonic Network Defragmentation Technology Improving Resource Utilization during Operation, *Fujitsu Scientific & Technical Journal*, **50**, s. 101-109.
- [95] Quartus II handbook Version 9.1, Altera corporation, November 2009.
- [96] **Fangqing, J., Honggui, D., Wei, X., Shaohua, T. and Kaicheng, Z.**, 2015. An ICA based MIMO-OFDM VLC scheme, *Optics Communications*, **347**, s. 37-43.
- [97] **Neeraj, S. and Aditya T.**, 2015. Combined beamforming with space-time-frequency coding for MIMO-OFDM systems, *Int. J. Electron. Commun.*, **69**, s. 878-883.

- [98] **Pallaviram, S. and Chandra, M.B.**, 2015. A pilot aided channel estimator using DFT based time interpolator for massive MIMO-OFDM systems, *Int. J. Electron. Commun.*, **69**, s. 321-327.
- [99] **Burg, A., Haene, S., Perels, D. and Luethi, P.**, 2006. Algorithm and VLSI Architecture for Linear MMSE Detection in MIMO-OFDM Systems. *International Symposium on Circuits and Systems*, Island of Kos, Greece, May 21-24, s. 4102-4105.
- [100] **Tze, Y.S., His, C.H. and Yi, P.C.**, 2010. Low-power and high-speed CORDIC-based split-radix FFT processor for OFDM systems, *Digital Signal Processing*, **20**, s. 511-527.
- [101] **Thinh, H.P., Suhaib, A.F. and Ian, V.M.**, 2013. Low-Power Correlation for IEEE 802.16 OFDM Synchronization on FPGA. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **21**, s. 1549-1553.
- [102] **Mohamed, M.I.A., Mohammed, K. and Daneshrad, B.**, 2014. Energy Efficient Programmable MIMO Decoder Accelerator Chip in 65-nm CMOS, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **22**, s. 1481-1490.
- [103] **Lin, Y.T., Tsai, P.Y. and Chiueh, T.D.**, 2005. Low-power variable-length fast Fourier transform processor, *IET Computers and Digital Techniques*, **152**, s. 499-506.
- [104] **Sergio, S., Nicola E. L. and Luca F.**, 2009. Low-complexity FFT/IFFT IP hardware macrocells for OFDM and MIMO-OFDM CMOS transceivers, *Microprocessors and Microsystems*, **33**, s. 191-200.
- [105] **Wei, C.P., Yung, F.C. and Syun, Y.C.**, 2011. Efficient power allocation schemes for OFDM-based cognitive radio systems, *International Journal of Electronics and Communications*, **65**, s. 1054-1060.
- [106] Terasic Altera DE0 Nano user manuel, copyright 2011.
- [107] National Semiconductor Corporation ADC128S022 datasheet, February 2010.

EKLER

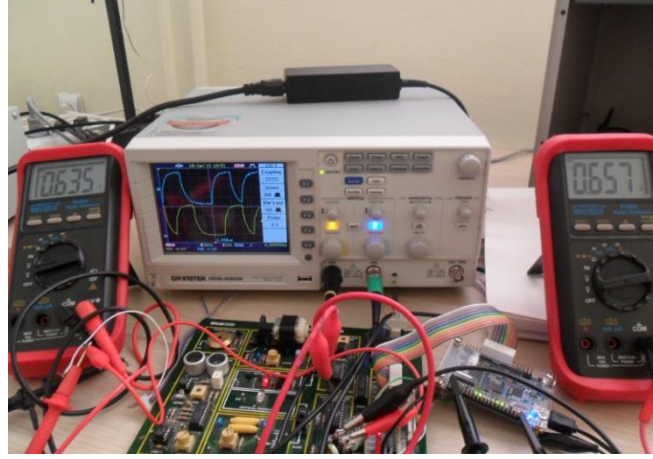
Ek Şekil 1.1’de analog sayısal dönüştürücünün 7 numaralı analog girişine potansiyometrenin orta pini bağlanmış olup diğer pinlerden birisi +3.3V ve diğeri de toprağa bağlanmıştır. Böylece 8 kanallı analog sayısal dönüştürücünün 7 numaralı analog girişini kullanmamız gerekecektir. Bu yüzden veri almadan önce analog sayısal dönüştürücünün kontrol pinine seri olarak 111 gönderilmelidir. Ancak kontrol pinine herhangi bir kontrol biti gönderilmediği takdirde giriş olarak 7. pin yine seçilmiş olacaktır.



Ek Şekil 1.1. ADC’nin çalışması

Ek Şekil 1.11’de görüldüğü gibi 8 LED’den 0. 3. 5. ve 6. LED’ler yanmaktadır. Bu şekilde avometrede okunan değer 0.675 V’tur. Sayısal değerın ikilik tabandaki 1 artışı yaklaşık olarak 6,42 mV’a karşılık gelmektedir.

Gerçekleştirdiğimiz uygulamalarda önemli olan nokta giriş sinyali ile çıkış sinyalinin frekanslarının aynı olmasıdır. Genlik farkı önemli değildir ancak tasarım için genliklerin de eşit olması istenirse dönüşüm oranları ile DAC’ye aktarılacak veri bir sabit ile çarpılarak dönüşüm yapılabilir. Ek Şekil 5.12’de ADC-DAC dönüşümü verilmektedir.

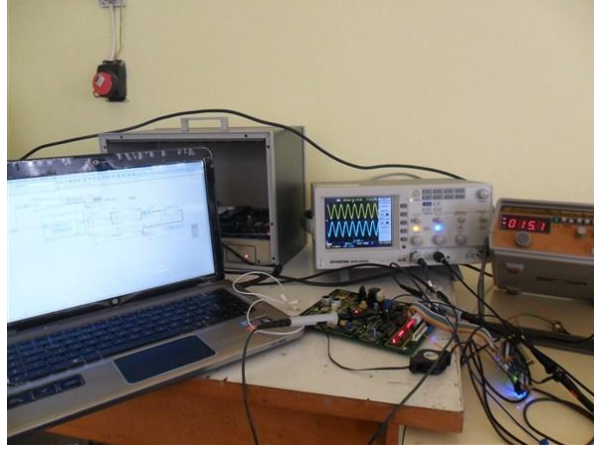


Ek Şekil 1.2. ADC-DAC dönüşümü

Ek Şekil 1.2’de sol taraftaki avometre (0.635V) ADC elemanına uygulanan giriş gerilimini ve sağ tarafta görülen avometre ise (0.657V) DAC elemanı çıkışını göstermektedir. Ayrıca dönüşüm oranı demodülatörün çıkışından gerçekleştirilmiştir. Çünkü osiloskop ekranında mavi ve sarı renkte görünen sinyaller bilgi sinyalini ve demodülasyon sonucunda algılanan sinyali ifade etmektedir. Bu uygulamada BPSK modülasyon tekniği kullanılmıştır.



Ek Şekil 1.3. Zamanla değişen bir sinyalin iletimi-I



Ek Şekil 1.4. Zamanla değişen bir sinyalin iletimi-II

Ek Şekil 1.3'te ve Ek Şekil 1.4'te zamanla değişen sinyaller ADC girişinden FPGA donanımına uygulanmıştır. FPGA üzerinde modülasyon ve demodülasyon işlemlerinden sonra sinyal DAC çıkışında yeniden elde edilmiştir. Ek Şekil 1.4'te görülen giriş sinyalinin frekansı yaklaşık olarak 15 KHz kadar olup Ek Şekil 1.3'te sinyalin frekansı 10 KHz'dir. Giriş sinyalinin frekansının belirlenmesindeki en büyük etkenler ADC ve DAC dönüşüm oranı ve veri iletim oranıdır. Gerçekleştirilen çalışmada veri iletim oranı yaklaşık olarak 25 Mbps'a kadar çıkmıştır.

ÖZGEÇMİŞ

Mehmet Sönmez 1985 yılında Elazığ'da doğdu. İlköğrenim ve ortaöğrenimini Elazığ'da tamamladı. Lisans öğrenimini Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği'nde tamamladı. 2011 yılında Fırat Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü'nde yüksek lisans eğitimini bitirdi. 2010 yılında başladığı akademik hayatına Fırat Üniversitesi Elektrik-Elektronik Bölümü'nde devam etmektedir.

TEZDEN TÜRETİLEN YAYINLAR

Uluslararası Hakemli Dergilerde Yayımlanan Makaleler (SCI, SCI-Exp.)

1. **M. Sönmez**, A. Akbal, "Design of Novel MSK Architectures using R-F Bit", *Elektronika ir Elektrotehnika*, 2016, Accepted.
2. M. T. Özdemir, **M. Sönmez**, A. Akbal, "Development of FPGA Based Power Flow Monitoring System in a Microgrid", *International Journal of Hydrogen Energy*, Volume 39, Issue 16, 27 May 2014.

Uluslararası Diğer Hakemli Dergilerde Yayımlanan Makaleler:

1. **M. Sönmez**, A. Akbal, "Field-programmable gate array (FPGA)-based designed using VHDL hardware description language transmission performance analysis of binary phase shift keying (BPSK) and quadrature phase shift Keying (QPSK) modulators", *Scientific Research and Essays*, 8(34), 2013.
2. **M. Sönmez**, A. Akbal, "FPGA Based, Low Cost Modulators of BPSK and BFSK, Design and Comparison of Bit Error Rate over AWGN Channel", *Gazi University Journal of Science*, 26(2):207-213 (2013)
3. D. A. Eroğlu, **M. Sönmez**, A. Akbal, "Kablosuz Haberleşme Sistemlerinde MUX ve Switch Tabanlı Gerçek Zamanlı Modülatör Tasarımı ve Bit Hata Oranlarının Karşılaştırılması", *Batman Üniversitesi Yaşam Bilimleri Dergisi*, Cilt 1, pp. 97-103, Sayı 2, Ocak-Haziran 2012.
4. **M. Sönmez**, A. Akbal, "FPGA-based BASK and BPSK Modulators Using VHDL: Design, Applications and Performance Comparison for Different Modulator Algorithms", *International Journal of Computer Application*, pp.34-40, Volume 42 - Number 13, doi: 10.5120/5756-7995, 2012

Ulusal Hakemli Dergilerde Yayımlanan Makaleler

1. **M. Sönmez**, A. Akbal, “Kablosuz Kontrol Sistemleri için DS-CDMA Uygulaması”, *3E-Electrotech Dergisi*, Sayı:237, S:292-298, Mart 2014.
2. **M. Sönmez**, A. Akbal, “SCADA Sistemleri için Kablosuz Veri İletimi”, *Endüstri & Otomasyon Dergisi*, Sayı:198, 12-15, 2013.
3. **M. Sönmez**, A. Akbal "Yeni Bir BPSK Modülatörün Tasarımı", Pamukkale Üniversitesi Mühendislik Bilimleri Dergisi (PAJES), kabul edildi.

Uluslararası Bildiriler

1. **M. Sönmez**, Ayhan Akbal, “Data transmission using pipeline algorithm”, *ICNES 2015*, Saraybosna, Bosna Hersek, 2015.
2. **M. Sönmez**, A. Akbal, Design of Real-Time Modem for Communication Systems, *Conference on Electronics Telecommunications and Computers (CETC 2013)*, Lizbon, Portekiz, 2013.
3. A. Akbal, **M. Sönmez**, Implementation and Design Of Digital Transceiver System for Speech Signal, *Conference on Electronics Telecommunications and Computers (CETC) 2013*, Lizbon, Portekiz, 2013.
4. **M. Sönmez**, A. Akbal, “FPGA-Based Performance Analysis of BASK and BPSK Modulators using VHSIC Hardware Description Language (VHDL)”, *12th Mediterranean Microwave Symposium*, Sept. 2-5, İstanbul, 2012.

Ulusal Bildiriler

1. **M. Sönmez**, A. Akbal, “Çok Kullanıcılı Sistemler için Optimal Kod Üretici Tasarımı”, *URSI 2014*, Elazığ.
2. **M. Sönmez**, A. Akbal, “Gerçek Zamanlı Çalışan Düşük Maliyetli ve Hızlı Sayısal Modülatör Tasarımı”, *MTS5: V. Mühendislik ve Teknoloji Sempozyumu*, Çankaya Üniversitesi, Ankara, Nisan 2012.
3. **M. Sönmez**, A. Akbal, “Uydu Haberleşme Sistemlerinde ve Navigasyon Sistemlerinde Veri İletiminin FPGA Kullanarak Analizi”, *Akademik Bilişim 2012*, Uşak Üniversitesi, Şubat 2012.