

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**EVİRİCİLERDEN OLUŞAN DAĞINIK GÜÇ SİSTEMLERİNDE
DOĞRUSAL VE DOĞRUSAL OLMAYAN YÜKLER İÇİN ENERJİ
YÖNETİMİ**

Koray Şener PARLAK

DOKTORA TEZİ
ELEKTRİK – ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

ELAZIĞ, 2006

T.C.
FIRAT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**EVİRİCİLERDEN OLUŞAN DAĞINIK GÜÇ SİSTEMLERİNDE
DOĞRUSAL VE DOĞRUSAL OLMAYAN YÜKLER İÇİN ENERJİ
YÖNETİMİ**

Koray Şener PARLAK

DOKTORA TEZİ
ELEKTRİK – ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Bu tez, tarihinde aşağıda belirtilen jüri tarafından oybirliği / oyçokluğu ile başarılı / başarısız olarak değerlendirilmiştir.

Danışman: Yrd.Doç.Dr. Mehmet ÖZDEMİR

Üye : Prof. Dr. Mehmet CEBECİ

Üye : Doç. Dr. Sedat SUNTER

Üye : Doç. Dr. Hakan Z. AKPOLAT

Üye : Yrd.Doç.Dr. Mehmet Timur AYDEMİR

Bu tezin kabulü, Fen Bilimleri Enstitüsü Yönetim Kurulu'nun / / tarih ve sayılı kararıyla onaylanmıştır.

TEŞEKKÜR

Bu tez çalışmamı yürütmemde gösterdikleri desteğinden dolayı danışmanım Sayın Y. Doç. Dr. Mehmet ÖZDEMİR'e teşekkür ederim.

Tez sürecinin her aşamasında bilgi, tecrübe ve desteğini esirgemeyen Sayın Y. Doç. Dr. Mehmet Timur AYDEMİR'e teşekkür ederim.

Ayrıca deneysel uygulamalardaki yardımlarından dolayı Sayın Y. Doç. Dr. Servet TUNCER'e teşekkür ederim.

Bu sayfaya kadar olan eğitimimi tüm gücüyle destekleyen aileme ve özellikle tez sürecinde bana manevi destek veren Sayın Prof. Dr. Yaşar PARLAK'a teşekkür ederim.

Bana emeği geçmiş tüm hocalarıma saygılarımı ve teşekkürlerimi sunarım.

İÇİNDEKİLER

TEŞEKKÜR

İÇİNDEKİLER.....	I
ŞEKİLLER LİSTESİ	IV
TABLolar LİSTESİ	VIII
EKLER LİSTESİ	IX
SİMGELER LİSTESİ	X
KISALTMALAR LİSTESİ.....	XI
ÖZET	XII
ABSTRACT	XIII

1. GİRİŞ.....	1
1.1 Amaç	1
1.2 Dağınık Güç Sistemleri	2
1.3 Paralel Çalışan KGK Ünitelerinin Denetimi	2
1.4 Yük-Frekans Düşümü	3
1.5 Doğrusal Olmayan Yükler	5
1.6 Mikro Şebeke Sistemleri	6
1.6.1 Bir Mikro Şebekenin Yapısı	7
1.7 Tezin Yönelim Gereçekleri	8
1.8 Tezin Organizasyonu ve Orijinal Katkıları	9
2. DAĞINIK KGK SİSTEMİNİN İNCELENMESİ	11
2.1 Dağınık KGK Sisteminin Çalışması	11
2.1.1 Esnek Frekans Ayar Değerinin Gereği	12
2.1.2 Yük-Frekans Düşümü	13
2.2 Sürekli Durum Davranışı	15
2.3 Dinamik Davranış	17
2.3.1 Dinamik Model	17
2.3.2 Dağınık KGK Sisteminin Dinamik Denklemleri	20
2.3.3 Öz Değerler	23
2.3.4 Örnekler	23

2.5 Dağıtılmış KGK Denetleyicilerinin Tasarımı	29
3. DENEYSEL UYGULAMA DÜZENİĞİ.....	31
3.1 Denetleyici Kart	31
3.1.1 Aktif Yük Paylaşım Programı	32
3.1.2 Reaktif Yük Paylaşım Programı.....	33
3.1.3 Aktif ve Reaktif Yük Paylaşım Programı	34
3.2 Yalıtım Devresi	36
3.3 Ölü Zaman Devresi	37
3.4 Fark Alıcı Entegre	38
3.5 Evirici.....	39
3.6 Akım ve Gerilim Algılayıcılar	41
3.7 Deney Setinin Genel Görünümleri.....	43
4. EVİRİCİLERDEN OLUŞAN DAĞINIK GÜÇ SİSTEMİ.....	44
4.1 Sinüzoidal Darbe Genişlik Modülasyonu	45
4.2 Evirici Çıkış Süzgeci.....	47
4.3 Aktif Güç-Frekans Düşüm Karakteristiği	48
4.4 Frekans Düzenleme	51
4.5 Reaktif Güç-Gerilim Düşüm Karakteristiği	55
4.6 Eviricilerin Paralel Bağlanması.....	58
4.6.1 Aktif Yük Paylaşımı.....	59
4.6.1.1 Eşit güçlü eviriciler ile aktif yük paylaşımı	59
4.6.1.2 Farklı güçlü eviriciler ile aktif yük paylaşımı	61
4.6.2 Reaktif Yük Paylaşımı	64
4.6.2.1 Eşit güçlü eviriciler ile reaktif yük paylaşımı	64
4.6.2.2 Farklı güçlü eviriciler ile reaktif yük paylaşımı	66
4.6.3 Farklı Güçlü Eviricilerde Aktif ve Reaktif Yük Paylaşımı	68
5. DOĞRUSAL OLMAYAN YÜKLERİ İÇEREN DAĞINIK GÜÇ SİSTEMİ.....	74
5.1 UVDGM Tekniği	74
5.2 Harmoniklerin Eliminasyonu	78
5.3 Harmonik Pasif Süzgeçleri.....	80
5.3.1 5. Harmoniğin Eliminasyonu	81
5.3.2 7. Harmoniğin Eliminasyonu	82

5.3.3 5. ve 7. Harmoniklerin Eliminasyonu	83
5.4 Senkron Eksen Takımları Kullanılarak Harmonik Eliminasyonu.....	84
5.4.1 5. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu	87
5.4.2 7. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu	87
5.4.3 5. ve 7. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu	88
5.5 Doğrusal Olmayan Yüklerle Oluşturulan Dağılık Güç Sistemi	90
 6. SONUÇ	 94
6.1 Öneriler	96
 KAYNAKLAR	 97
ÖGEÇMİŞ	105
 EK-1 YALITIM ENTEGRESİ	 106
EK-2 ÖLÜ ZAMAN ENTEGRESİ	107
EK-3 FARK ALICI ENTEGRE	110
EK-4 ASIPM EVİRİCİ	111
EK-5 GERİLİM VE AKIM ALGILAYICILAR	114

ŞEKİLLER LİSTESİ

Şekil 1.1 Master-slave denetim yöntemi	3
Şekil 1.2 Frekans ve gerilim düşüm karakteristiğiyle paralel çalışma	4
Şekil 1.3 Paralel dağıtık KGK sisteminin yapısı	5
Şekil 1.4 Akı denetiminin blok şeması	5
Şekil 1.5 Bir mikro şebekenin yapısı	8
Şekil 2.1 İki üreticinin paralel bağlantısı	12
Şekil 2.2 Yük-frekans düşüm karakteristiği	13
Şekil 2.3 Faz farkına bağlı olarak iki nokta arasındaki güç akışları	14
Şekil 2.4 n adet KGK ünitesinin dağıtık paralel bağlantısı	18
Şekil 2.5 n tane KGK ünitesinin çıkış gerilim vektörleri	19
Şekil 2.6 Dağıtık paralel yapının dinamik modeli	23
Şekil 2.7 Ana şebeke ve iki KGK ünitesiyle oluşmuş dağıtık yapı	24
Şekil 2.8 Ünitelerin gerilimleri arasındaki faz farkının değişimi	25
Şekil 2.9 Ünitelerin sisteme verdikleri gücün değişimi	26
Şekil 2.10 Ünitelerin gerilimleri arasındaki faz farkının değişimi	27
Şekil 2.11 Ünitelerin sisteme verdikleri gücün değişimi	27
Şekil 2.12 Ünitelerin gerilimleri arasındaki faz farkının değişimi	28
Şekil 2.13 Ünitelerin sisteme verdikleri gücün değişimi	29
Şekil 3.1 Deneysel uygulama düzeneğinin blok şeması	31
Şekil 3.2 Tek eviriciye aktif güç-frekans düşüm karakteristiğinin uygulandığı Matlab/Simulink programı	32
Şekil 3.3 İki evirici ile aktif yük paylaşımının uygulandığı Matlab/Simulink programı	33
Şekil 3.4 Tek eviriciye reaktif güç-gerilim düşüm karakteristiğinin uygulandığı Matlab/Simulink programı	33
Şekil 3.5 İki evirici ile reaktif yük paylaşımının uygulandığı Matlab/Simulink programı	34
Şekil 3.6 İki eviricide aktif ve reaktif yük paylaşımının uygulandığı Matlab/Simulink programı	35
Şekil 3.7 Aktif ve reaktif yük paylaşımının deneysel uygulaması ile ilgili elde edilen sonuçların monitöre aktarımı	35
Şekil 3.8 Yalıtım devre şeması	36

Şekil 3.9 Yalıtım devresi.....	36
Şekil 3.10 Ölü zamanın osiloskop ekranından görünümü.....	37
Şekil 3.11 Ölü zaman entegresi ve fark alıcı sürücü entegresinden oluşan devre şeması.....	38
Şekil 3.12 Ölü zaman ve fark alıcı devre	39
Şekil 3.13 ASIPM evirici modülünün sürücü devresiyle birlikte bacak bağlantısı.....	40
Şekil 3.14 Evirici ve sürme devresi.....	41
Şekil 3.15 Akım ve gerilim algılayıcılarının kullanımına ilişkin devre şeması	42
Şekil 3.16 Akım ve gerilim algılayıcı devresi.....	42
Şekil 3.17 Deney setinin genel görünümleri	43
 Şekil 4.1 İki eviriciyle oluşturulmuş dağıtık güç sisteminin yapısı	44
Şekil 4.2 Üç fazlı gerilim kaynaklı evirici modeli	46
Şekil 4.3 Taşıyıcı ve modülasyon sinyalleri ile anahtarlama sinyali	46
Şekil 4.4 S_1 anahtarı üzerine düşen gerilim (a) benzetim (b) deneysel sonuçlar	47
Şekil 4.5 Evirici çıkış süzgeci	48
Şekil 4.6 Aktif güç-frekans düşüm karakteristiği.....	48
Şekil 4.7 Aktif güç-frekans düşüm karakteristiğinin bir eviriciye uygulanması.....	49
Şekil 4.8 Denetleyici kart ile bir eviricinin sürülmesi.	49
Şekil 4.9 Eviriciden çekilen aktif güç ve frekans. a) benzetim b) deneysel sonuçlar	50
Şekil 4.10 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar	50
Şekil 4.11 Güç-frekans düşüm karakteristiğinin kaydırılması ile frekans düzenleme	51
Şekil 4.12 Frekans düzenleme blok şeması.	53
Şekil 4.13 Aktif güç-frekans düşüm karakteristiği ile frekans düzenleme algoritmasının birlikte bir eviriciye uygulanması	54
Şekil 4.14 Eviriciden çekilen aktif güç ve frekans. a) benzetim b) deneysel sonuçlar	54
Şekil 4.15 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar	55
Şekil 4.16 Reaktif güç-gerilim düşüm karakteristiği	56
Şekil 4.17 Reaktif güç-gerilim düşüm karakteristiğinin bir eviriciye uygulanması.....	56
Şekil 4.18 Eviriciden çekilen reaktif güç ve gerilimin maksimum değeri. a) benzetim b) deneysel sonuçlar	57
Şekil 4.19 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar	57
Şekil 4.20 Evirici çıkış devresi	58
Şekil 4.21 Denetleyici kart ile iki eviricinin sürülmesi.....	59
Şekil 4.22 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar	60

Şekil 4.23 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim	
b) deneysel sonuçlar	60
Şekil 4.24 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	61
Şekil 4.25 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar	62
Şekil 4.26 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim	
b) deneysel sonuçlar	62
Şekil 4.27 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	63
Şekil 4.28 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar	64
Şekil 4.29 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim	
b) deneysel sonuçlar	64
Şekil 4.30 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	65
Şekil 4.31 Eviriciden çekilen reaktif güçleri. a) benzetim b) deneysel sonuçlar	66
Şekil 4.32 Eviricilerin geriliminin maksimum değeri. a) benzetim b) deneysel sonuçlar	67
Şekil 4.33 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	67
Şekil 4.34 Eviriciden çekilen reaktif güçleri. a) benzetim b) deneysel sonuçlar	68
Şekil 4.35 Eviricilerin geriliminin maksimum değeri ve aralarındaki fark. a) benzetim	
b) deneysel sonuçlar	69
Şekil 4.36 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	69
Şekil 4.37 Aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristiğinin bir eviriciye	
uygulanması	70
Şekil 4.38 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar	71
Şekil 4.39 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim	
b) deneysel sonuçlar	71
Şekil 4.40 Eviriciden çekilen reaktif güçleri. a) benzetim b) deneysel sonuçlar	72
Şekil 4.41 Eviricilerin geriliminin maksimum değeri ve aralarındaki fark. a) benzetim	
b) deneysel sonuçlar	72
Şekil 4.42 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar	73
Şekil 5.1 Üç fazlı evirici devresi	75
Şekil 5.2 UVDGM tekniğinde kullanılan olası sekiz anahtarlama durumu	76
Şekil 5.3 Gerilim vektör uzayı	76
Şekil 5.4 I.sektördeki bir T_s süresi için a,b,c faz gerilimlerinin anahtarlama durumları	77
Şekil 5.5 UVDGM tekniği için inverter faz gerilimlerinin ortalama değerleri	78
Şekil 5.6 Üç fazlı eviriciye bağlı doğrusal olmayan yük	79
Şekil 5.7 Doğrusal olmayan yükün evirici çıkış gerilimine etkisi	79

Şekil 5.8 Pasif süzgeç devresi	80
Şekil 5.9 Pasif süzgeçlerin üç faz eviriciye olan bağlantısı	81
Şekil 5.10 5. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD	82
Şekil 5.11 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD	83
Şekil 5.12 5. ve 7. harmoniklerin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.....	84
Şekil 5.13 Senkron eksen takımlarıyla yapılan harmonik eliminasyonun blok şeması	86
Şekil 5.14 Senkron eksen takımlarıyla yapılan harmonik eliminasyonun Matlab/Simulink şeması.....	86
Şekil 5.15 5. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.....	87
Şekil 5.16 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD	88
Şekil 5.17 5. ve 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.....	89
Şekil 5.18 Yük paylaşımı ve senkron eksen takımlarıyla harmonik eliminasyon algoritmalarının dağıtık güç sistemine birlikte uygulanması	90
Şekil 5.19 Birinci ve ikinci eviricinin bir fazının gerilimi, harmonikleri ve THD.....	91
Şekil 5.20 Birinci ve ikinci eviricinin sisteme verdikleri güçler, frekansları arasındaki fark ve faz gerilimleri	92
Şekil 5.21 Birinci ve ikinci eviricinin frekansları	92

TABLÖLAR LİSTESİ

Tablo 5.1 IEEE–519 standardına göre gerilim % THD limit tablosu	80
Tablo 5.2 % THD’nun eliminasyon yöntemlerine göre dağılımı.....	89

EKLER LİSTESİ

EK-1 YALITIM ENTEGRESİ	106
EK-2 ÖLÜ ZAMAN ENTEGRESİ	107
EK-3 FARK ALICI ENTEGRE	110
EK-4 ASİPM EVİRİCİ	111
EK-5 GERİLİM VE AKIM ALGILAYICILAR	114

SİMGELER LİSTESİ

ω	: Açısal hız.
ω_o	: Nominal açısal hız.
ω_i	: i. ünitenin açısal hızı.
b	: Aktif güç-frekans düşüm katsayısı.
$k_{res}P_{Ri}$	: Frekans düzenleme katsayısı.
m	: Reaktif güç-gerilim düşüm katsayısı.
f	: Frekans.
f_0	: Nominal frekans.
δ_{ik}	: i ve k düğüm gerilimleri arasındaki faz farkı.
P_0, Q_0	: Evirici veya KGK ünitesinin nominal aktif ve reaktif güçleri
P_{ik}, Q_{ik}	: i düğümünden k düğümüne doğru akan aktif ve reaktif güç.
L_{ik}	: i ve k düğümleri arasındaki endüktans.
L_f, C_f	: Evirici süzgeç endüktans ve kondansatörü.
L_{tie}	: Ara bağlantı endüktansı.
M	: Modülasyon indeksi.
V_p	: Modülasyon sinyalinin tepe değeri.
V_T	: Taşıyıcı sinyalinin tepe değeri.

KISALTMALAR LİSTESİ

KGK	: Kesintisiz Güç Kaynağı
DGM	: Darbe Genişlik Modülasyonu
SDGM	: Sinüzoidal Darbe Genişlik Modülasyonu
UVDGM	: Uzay Vektör Darbe Genişlik Modülasyonu
THD	: Toplam Harmonik Distorsiyonu

ÖZET

DOKTORA TEZİ

EVİRİCİLERDEN OLUŞAN DAĞINIK GÜÇ SİSTEMLERİNDE DOĞRUSAL VE DOĞRUSAL OLMAYAN YÜKLER İÇİN ENERJİ YÖNETİMİ

Koray Şener PARLAK

Fırat Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik – Elektronik Mühendisliği Anabilim Dalı
2006, Sayfa: 117

Bu tezde iki evirici ünitesiyle oluşturulan mikro şebeke sisteminde yük paylaşımı yapılmıştır. Yük-frekans düşüm yönteminin her bir eviriciye uygulanmasıyla gerçekleştirilen denetim algoritmasında, farklı nominal güç değerlerine sahip eviricilerin, sistemin toplam yükünü kendi güçleriyle orantılı olarak paylaşmaktadırlar. Bu denetim algoritmasında eviricilerin kendi çıkış büyüklükleri kullanıldığından, ünitelerin denetimi için herhangi bir veri transferine gerek kalmamaktadır. Böylece sistemin dağınık çalışması sağlanabilmektedir. Sistemin aktif ve reaktif yük paylaşımı ayrı ayrı ve birlikte olarak benzetim ve deneysel olarak yapıp başarılı ve birbirleriyle uyuşan sonuçlar elde edilmiştir.

Tezde ayrıca mikro şebeke sisteminde, doğrusal olmayan yüklerin neden olduğu harmonikleri, senkron eksen takımlarında ifade ederek elimine edecek bir denetim algoritması geliştirilmiştir. Bu denetim algoritması yük frekans düşüm yöntemiyle birlikte kullanılarak, mikro şebeke sisteminde yük paylaşımı başarılmıştır. Böylece sistemde paralel çalışma ile güç akışındaki devamlılık, yük paylaşımı ile dağınık çalışma ve eviricilerin optimal çalışması ve harmoniklerin eliminasyonu ile güç kalitesinin artırılması başarılmıştır.

Anahtar kelimeler: mikro şebeke, dağınık çalışma, güç kalitesi, yük-frekans düşümü, yük paylaşımı, eviricilerin paralel çalışması

ABSTRACT

Ph.D. Thesis

ENERGY MANAGEMENT FOR LINEAR AND NONLINEAR LOADS IN DISTRIBUTED POWER SYSTEM CONSISTING OF INVERTERS

Koray Şener PARLAK

Firat University
Graduate School of Natural and Applied Sciences
Department of Electrical and Electronics Engineering
2006, Pages: 117

Power sharing in microgrid systems consisting of two inverter units has been investigated in this dissertation. The control algorithm which uses the load-frequency droop concept ensures that the inverters with different ratings share the total load in proportion with their ratings. As the control algorithm utilizes only the output variables of each inverter, no data transfer between the units is necessary. This enables distributed operation of the system.

Power sharing of the system has been simulated and experimentally verified for active and reactive power, both at the same time and separately. The results are in good agreement.

A control algorithm that is based on expressing the nonlinear load related harmonics on synchronous reference frame and then eliminating them has also been developed in this dissertation. By using this control algorithm along with the load-frequency droop technique load sharing has been achieved in the microgrid. Thus, continuous power flow, distributed operation and power quality have been obtained through parallel operation, load sharing, optimal operation of inverters and harmonic elimination.

Keywords: microgrid, distributed operation, power quality, load-frequency droop, load sharing, parallel operation of inverters.

1. GİRİŞ

1.1 Amaç

Günümüzde artış gösteren hassas ve kritik önemdeki yükler, beraberinde yüksek güç kalitesi ve güç akışındaki devamlılık gibi faktörleri önemli hale getirmiştir [1–6]. Örneğin sağlık ekipmanları, veri kaydetme ve işleme birimleri, telekomünikasyon hizmetleri ve bazı endüstriyel uygulamalar gibi güç kalitesi ve devamlılığa karşı çok duyarlı olan yerlerde, kesintisiz güç kaynakları (KGK) kullanılmaktadır. Ancak bu sistemlerde kullanılan yüklerin artması ile daha yüksek güç sağlayıcılarına ihtiyaç duyulmaktadır [7–9]. Öte yandan böylesi bir KGK ünitesinin güç kapasitesi ancak belli sınırlar içinde yükseltilebilir. Ayrıca yüksek güçlü ünitelerin maliyetleri daha yüksek olurken, bu üniteye oluşacak bir arızanın tüm sistemi etkilemesi de kaçınılmazdır [1, 2]. Bu nedenle tek bir KGK ünitesi kullanmak yerine, birden fazla paralel bağlı KGK ünitesi kullanmak daha uygundur [10–13]. Bu durumda hem sistemin güç kapasitesi yükseltilmiş olur hem de herhangi bir üniteye oluşacak hata durumunda diğer üniteler güç akışını devam ettireceğinden, sistem bu hatadan etkilenmemiş olur. Bununla beraber, sistemdeki ünitelerin istenilen biçimde çalışabilmesi için, uygun bir şekilde denetlenmesi zorunludur [14–19].

Hassas ve kritik yükler için mikro şebeke yapısı oluşturulurken şu özelliklerin üzerinde durulmalıdır[1–3];

- Güç akışında devamlılık
- KGK veya eviricilerin optimal çalışması
- Güç kalitesi

Bu tezde, yukarıdaki özellikleri dikkate alan bir mikro şebeke sisteminin incelenmesi amaçlanmıştır. İki evirici ünitesinin paralel çalıştırılması ile oluşturulan dağıtılmış güç sisteminde, güç akışı denetlenerek sistemin toplam yükünün üniteler arasında paylaşımı, benzetimler ve deneyler yoluyla incelenmesi amaçlanmıştır. Evirici çıkışlarından alınan geri beslemeler yardımıyla, ünitenin çıkış gerilimi ve frekansı yük-frekans düşüm yöntemine göre denetlenerek, sistemin toplam yükünün, eviricilerin güçleriyle orantılı bir şekilde dağıtılması amaçlanmıştır. Bu şekilde, herhangi bir haberleşme hattı kullanmaksızın eviricileri, sistemin toplam yüküne ve aralarındaki güç oranına göre optimal bir seviyede çalıştıran bir denetim sisteminin oluşturulması hedeflenmiştir.

Ayrıca mikro şebeke yapısında görülebilen doğrusal olmayan yüklerin bulunması halinde oluşacak harmoniklerin eliminasyonu için bir yöntemin geliştirilmesi hedeflenmiştir.

1.2 Dağılık Güç Sistemleri

Yükler ve üniteler dağıtılmış bir yapıda olup ve ünitelerin arasında bir haberleşme hattı kullanılmadan denetiminin sağlanması “tamamen dağıtılmış paralel sistem” olarak tanımlanabilir [1, 3]. Yüklerin toplanmış veya dağıtılmış olması, sistemin kullanılabilirliğini etkileyen faktörlerden biridir. Yüklerin toplu, yani tek bir noktadan sisteme bağlı olması, sonradan eklenecek yeni yük veya yük gruplarının bu noktadan bağlanması zorunluluğunu getirecektir. Oysa yüklerin dağıtılmış yani her bir KGK’nın yakınına yerleştirilmesi, sisteme eklenecek yüklere bağlantı noktası olarak alternatif getireceğinden, sistemin tasarımı açısından bir esneklik sağlayacaktır.

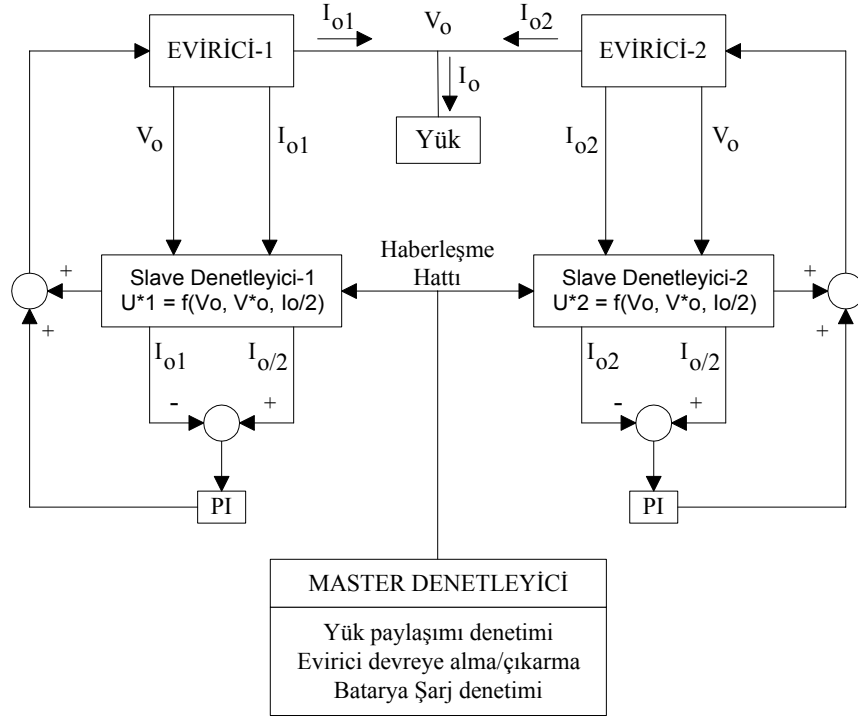
1.3 Paralel Çalışan KGK Ünitelerinin Denetimi

Paralel çalışan KGK sistemleri, ünitelerin sisteme belli bir noktadan bağlanıp bağlanmamasına göre dağıtılmış veya toplanmış olarak ikiye ayrılmaktadır. Bununla ilgili ilk çalışmalar d.a. ve a.a. sistemler olarak telekomünikasyon sistemlerinde kullanılmıştır [7, 20-23]. Dağıtılmış yapıda paralel çalışan ünitelerin denetimi için çeşitli yöntemler geliştirilmiştir.

Akım değişiminin denetimiyle yapılan paralel çalışmada evirici denetleyicileri, toplam aktif ve reaktif güçlerin, eviriciler arasında eşit olarak paylaşılması sağlanmıştır [11, 15, 16, 18, 19, 24]. Bu yöntemde, ölçülen toplam yük akımı (I_L), paralel çalışan ünite sayısına (n) bölünerek ortalama akım bulunur. Bu akım değeri, her bir eviricinin denetleyicisi tarafından geri besleme bilgisi olarak alınarak, akımın aktif ve reaktif bileşenlerini hesaplamak için kullanılır. Bu bileşenlerin kendi ünitesinin çıkış akımıyla karşılaştırarak oluşturulan hata işaretini sıfırlayacak şekilde gerilim ve frekans ayarlanır. Bu denetim yöntemi evirici akım hatasının ölçülebilmesini gerektirir. Bunun için ya toplam yük akımı ya da her bir eviricinin çıkış akım bilgisinin, bütün eviriciler tarafından kullanılması gerekir. Dolayısıyla bu denetim yönteminde bir haberleşmenin (veri alış-verişinin) kullanılması zorunludur. Ayrıca toplam yük akımının ölçülebilmesi için yükün (veya yük gurubunun) toplu olması gerekir ki bu da dağıtılmış sistem yapısına ters düşmektedir. Ayrıca sistemde kullanılan eviricilerin de eşit güçte olması gerekir.

Master-slave (usta-çırak) adı verilen bir denetim algoritmasında, bütün KGK üniteleri kendi denetleyicilerine sahiptir [7, 16, 17, 25]. Ancak bu denetleyicilerden biri yüksek önceliğe sahiptir ve master denetleyici olarak tasarlanır. Diğerleri slave denetleyicilerdir. Master olan ünitenin akım çıkışı, bütün slave ünitelere akım referans bilgisi olarak gönderilir. Master ünite, yük üzerine düşen gerilimi denetleme görevini de üstlenir. Slave üniteler ise toplam yük

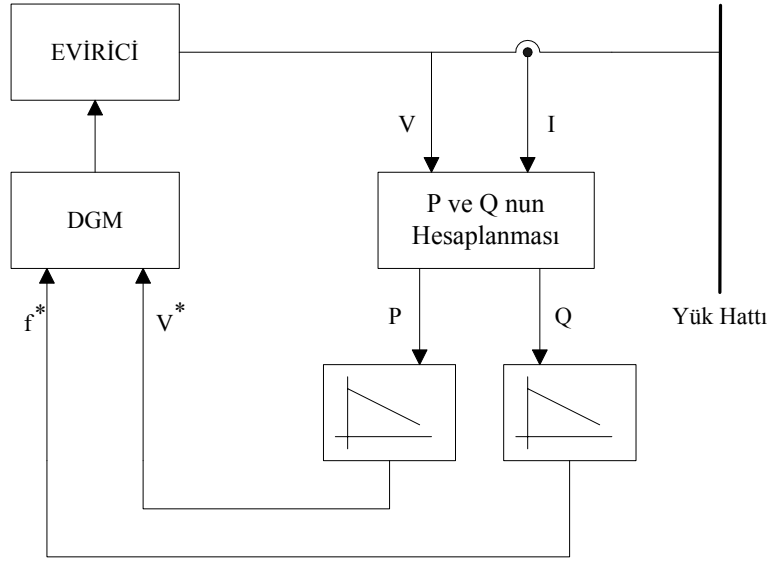
akımını, dolayısıyla toplam gücü akım denetleyicisi yardımıyla paylaşırlar. Master-slave yöntemde kullanılan KGK'lar eşit güçte olmalıdır. Bu nedenle değişik güçlerdeki üniteleri bir arada kullanmaya olanak yoktur. Bununla beraber üniteler arasında haberleşme hattı kullanıldığından, bu sistem tamamen dağıtılmış bir yapı değildir. Ayrıca master olan ünite oluşacak bir arıza bütün sistemi etkileyecektir. Bu nedenden dolayı master-slave denetim yönteminin, güvenilirliği düşüktür. Şekil 1.1 de bu yönteme ait şema gösterilmiştir.



Şekil 1.1 Master-slave denetim yöntemi.

1.4 Yük-Frekans Düşümü

Enterkonnekte güç sistemlerindeki yük-frekans düşümü kullanılarak, KGK ünitelerin paralel çalışması sağlanmıştır [26–28]. Bu yöntemde denetleyiciler, denetledikleri ünitenin çıkış büyüklüklerini kullandıklarından herhangi bir haberleşme hattının kullanılmasına gerek kalmamıştır. Ayrıca farklı nominal güç değerlerine sahip üniteler aynı sistemde kullanılabilmiştir. Bu yapıdaki bütün üniteler, sistemin toplam yükünü kendilerine göre optimum bir değerde karşılayacaklarından, bünyelerindeki güç elektroniği devrelerindeki zorlanmalardan kaynaklanabilecek arıza ve kayıpları en aza indirilebilme olanağı vardır [24, 29–35]. Bununla ilgili şema Şekil 1.2 de verilmiştir. Buradaki “DGM” darbe genişlik modülasyonunu tanımlamaktadır.



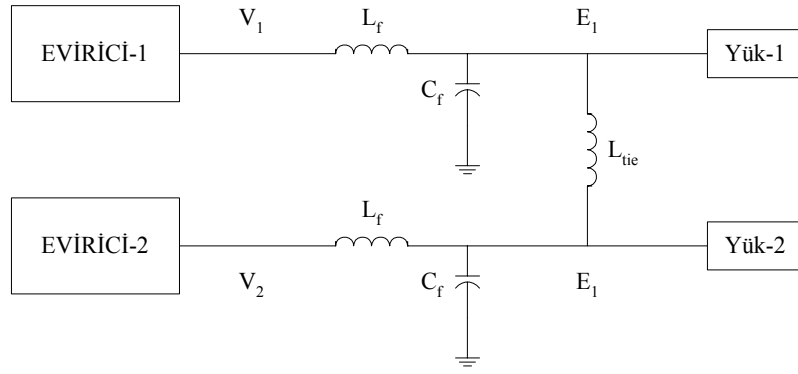
Şekil 1.2 Frekans ve gerilim düşüm karakteristiğiyle paralel çalışma.

Yük-frekans düşümü kavramını kullanan denetim yöntemlerinden biri de akı denetimli paralel çalışan KGK sistemleridir. Bu yöntemde KGK süzgeç çıkış geriliminden alınan değerler, aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristiklerinden elde edilen değerlerle karşılaştırılarak, KGK ünitesinin denetleyicisine girilir. Bu denetleyicinin çıkışı ile KGK çıkış geriliminin çıkış akısı, bir histerezis bant içinde tutulacak şekilde KGK ünitesinin evirici anahtarlama sırası tespit edilir [24, 33, 34]. Ara bağlantı endüktansı ile (L_{tie}) birbirine bağlanmış eviricilerle oluşturulan sisteme ilişkin devre ve denetim şeması Şekil 1.3 ve Şekil 1.4 de verilmiştir.

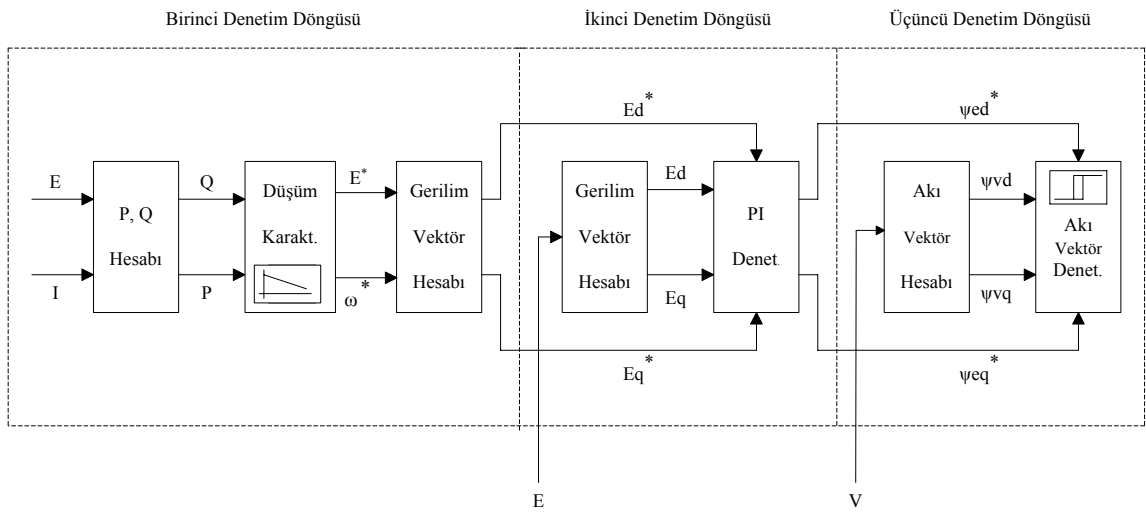
Birinci denetim döngüsünde, geri besleme hattından alınan evirici süzgeç çıkış gerilimi ve akımı bilgileri kullanılarak aktif ve reaktif güçler hesaplanır. Bu değerler düşüm karakteristiklerinde kullanılarak ω^* ve E^* ayar değerleri bulunur. Bu ayar değerleri, Park dönüşümüyle d-q bileşenlerine ve sonra senkron eksen takımına dönüştürülür. Elde edilen sonuçlar, ikinci denetim döngüsünde ayar değerleri olarak kullanılacaktır.

İkinci denetim döngüsünde, evirici süzgeç çıkış geriliminin senkron eksen takımındaki d-q bileşenleri ile, birinci denetim döngüsünde bulunan d-q ayar değerleri karşılaştırılarak PI denetleyicisine verilir. PI denetleyicinin etkisiyle d-q akı ayar değerleri bulunur.

Üçüncü denetim döngüsünde, d-q ayar değerleriyle, evirici çıkış geriliminin akı dönüşümünden elde edilen büyüklükler, histerezis denetleyicide karşılaştırılarak evirici anahtarlama sırası tespit edilir. Burada (*) ayar değerleri anlamına gelmektedir.



Şekil 1.3 Paralel dağıtık KKG sisteminin yapısı.



Şekil 1.4 Akı denetiminin blok şeması.

Her bir KKG ünitesinde bu denetim algoritmasının uygulanmasıyla KKG çıkış geriliminin büyüklüğü ve frekansı istenilen değere getirilir. Böylece ünitelerin, sistemin toplam yükünü güçleri oranında paylaşması sağlanır.

1.5 Doğrusal Olmayan Yükler

Günümüzde hassas ve kritik önemdeki yüklerin artması, bu yük gruplarının ihtiyacı olan yüksek güç kalitesini sağlama problemini de beraberinde getirmektedir. Bu tür elektriksel yüklerin çoğu doğrusal olmayan yükler olduğundan, doğrusal sistemlerde kullanılan bağlantı yapısı, denetim ve modülasyon teknikleri, yüksek güç kalitesini sağlamak için yetersiz kalmaktadır. Yüksek güç kalitesini elde edebilmek için doğrusal olmayan yüklerin oluşturacağı harmoniklerin kompanse edilmesi gereklidir [31, 32, 36].

Yüksek anahtarlama frekansında çalışılarak, düşük evirici çıkış empedansı elde edilebilir. Bu sayede oluşacak harmonikler minimize edilebilir [37]. Ancak bu işlem, anahtarlama kayıplarını artıracaktır. Ayrıca yüksek güç uygulamalarında ($>20\text{kVA}$) anahtarlama frekansı 1–2 kHz ile sınırlandırılır. Bu da düşük çıkış empedansı oluşmasını engeller [38].

Evirici çıkışlarında istenilen dalga şekilleri ve güç kalitesini sağlamak için aktif ve pasif süzgeçler sıklıkla kullanılmaktadır. Ancak bu süzgeçler devre yapısını karmaşık, büyük hacimli, pahalı hale getirirken, elektriksel kayıpları da artırmaktadır [7, 39, 40].

Farklı denetim yöntemleri kullanılarak harmonikleri kompanze eden yöntemler de bulunmaktadır. Doğrusal olmayan denetim yöntemleri olan bulanık denetim, kayma kipli denetim ve “dead-beat” denetim algoritmaları ile iyi sonuçlar alınabilmesine karşın, bu yöntemler sistemi daha karmaşık bir yapıya dönüştürmektedirler [41–49].

Doğrusal olmayan yüklerin neden olduğu harmonikleri Fourier serileri yardımıyla hesaplayarak kompanze edecek bir yöntem önceden önerilmiştir. Bu yöntemde algılanan harmonikler, bütünüyle hata sinyali olarak kabul edilip PI denetleyiciden geçirilerek, sürekli durumda harmonikler sıfırlanmaya çalışılmıştır. Bununla beraber bu yöntem, harmonikleri algılayan ek bir yazılıma ihtiyaç duymaktadır. Dengesiz ve doğrusal olmayan yüklerin oluşturduğu harmonikleri kompanze edebilmek için senkron eksen takımından faydalanılmıştır. Burada özellikle dengesiz yüklerden dolayı oluşan harmonikleri, Park vektör dönüşümüyle senkron eksen takımına çevirip, burada kompanze eden algoritmalar kullanılmıştır [50–53].

1.6 Mikro Şebeke Sistemleri

Mikro şebeke, kapalı bir şebeke üzerinde kendine ait enerji kaynakları olan evirici veya KKGK ünitelerinin kontrol edilebildiği bir dağıtılmış sistemi ifade eder. Bu yapıda bulunan dağıtılmış enerji kaynakları ve yüklerin, tüketicinin istekleri doğrultusunda belirlenen çalışma şartları içinde kullanılması amaçlanır. Bu yapıdaki yükler ister ana şebekeden, ister mikro şebeke sistemindeki enerji kaynaklarından beslenebilirler. Bu geçişi tanımlayan şartlar kullanıcı tarafından belirlenir [1–6, 54–69].

Ana şebekeden çekilen güç, mikro şebeke üzerindeki yükler için yeterli güç kalitesinde olmadığı veya ana şebekede herhangi bir kesinti olduğu zaman, sistem ana şebekeden ayrılarak “ada çalışma” yani kendi enerjisini üreten kapalı bir güç sistemi konumuna geçer. Böylece mikro şebeke üzerinde olabilecek hassas veya kritik önemdeki yükler, ana şebekeden kaynaklanan olumsuzluklardan etkilenmemiş olacaktır.

Ayrıca enerji üretimi ve dağıtımındaki ekonomik koşullar gözetilerek, ana şebeke ve ada çalışma konumu arasında geçiş yapılabilir. Mikro şebeke yapısındaki enerji kaynakları

kullanılıp, elektrik tüketiminin daha ekonomik olması durumunda, yine ada çalışma konumuna geçilebilir.

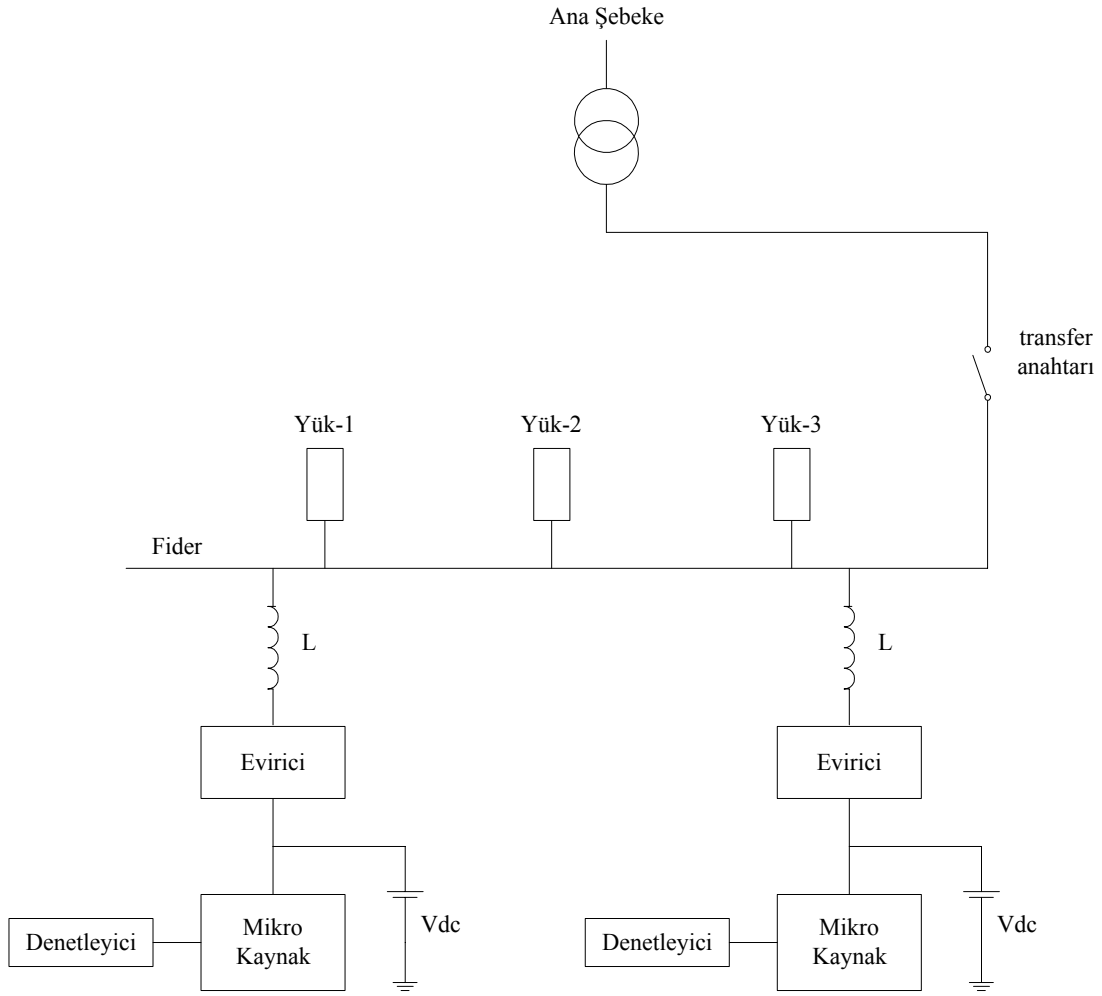
1.6.1 Bir Mikro Şebekenin Yapısı

Bir mikro şebekenin genel yapısında, küçük enerji kaynakları, bu enerji kaynaklarını kullanmak üzere oluşturulmuş depolama veya doğrultma devreleri, evirici veya KGK üniteleri, bu ünitelerin denetleyicileri ve koruma devreleri bulunur. Şekil 1.5 de bir mikro şebekenin temel yapısı gösterilmiştir [2].

Bu enerji kaynakları genellikle gücü $<100\text{kW}$ olan mikrotürbünler, güneş pilleri, yakıt hücreleri ve rüzgar türbinleri gibi üreteçlerdir. Bunlar nispeten maliyetleri düşük, verimleri yüksek olan enerji kaynaklarıdır. Bu kaynaklardan elde edilen enerji mikro şebeke yapısındaki evirici veya KGK ünitelerinin d.a. hat beslemesi için kullanılır [1–6, 62].

Güç elektroniği devreleri ile evirici veya KGK'ları, enerji kaynaklarından elde edilen gücü, mikro şebeke yapısında istenilen değerlerde kullanılabilir a.a. ya çevrilir. Bu ünitelerin çıkışında çeşitli tiplerde filtre devreleri de bulunmaktadır.

Denetleyiciler, ünitelerin çıkış büyüklüklerini, koruma devrelerini ve sistemin ana şebeke ile ada çalışma konumları arasındaki geçişini kontrol eden birimlerdir. Ünitelerin çıkış büyüklüklerindeki değişime göre, bu birimlerin sistem yükünü ne oranda karşılayacakları belirlenir. Bu aynı zamanda ünitelerin paralel çalışmasını da sağlayacaktır. Aktif yük-frekans ve reaktif yük-gerilim düşüm karakteristikleri kullanılarak yapılan bu kontrol işleminde, üniteler sadece kendi çıkış büyüklüklerini kullandıklarından, herhangi bir haberleşme hattının kullanılmasına da gerek kalmaz.



Şekil 1.5 Bir mikro şebekenin yapısı.

1.7 Tezin Yönelim Gerekçeleri

Mikro şebeke sistemlerinin özellikle son yıllarda bazı gelişmiş ülkelerde kurulmaya başladığı görülmektedir. Günümüzde doğal enerji kaynaklarıyla (rüzgar, güneş hidrojen vb.) enerji üretimine verilen önemin arttığı dikkate alınırsa, bu enerji kaynakları ve ana şebekenin oluşturacağı mikro şebeke sistemleri değerli hale gelecektir. Ülkemizde de gelecek yıllarda bu veya buna benzer şebeke sistemlerinin kurulmasının kaçınılmaz olacağı düşünülerek mikro şebeke sisteminin incelenme ihtiyacı duyulmuştur.

Bu çalışmanın asıl konusu, mikro şebeke sisteminin temelini oluşturan paralel çalışan evirici veya KGK ünitelerinin denetimidir. Güç kalitesi ve güç akışındaki devamlılık gibi kavramlar, hassas ve kritik yüklerin artmasıyla önemli hale gelmişlerdir. Ünitelerin paralel çalıştırılması, güç akışındaki devamlılık ve arızalara karşı güvenilirlik konusunda bir çözüm

getirdiği için bu ünitelerin denetimi büyük önem kazanmıştır [1–3]. Ayrıca farklı nominal güçteki ünitelerle bir sistem oluşturulurken, sistemin toplam yükünü güçleri oranında üzerlerine almaları aşırı yük durumuna karşı koruma ve optimal seviyede çalışmayı sağlama açısından gereklidir.

Yukarıda belirtildiği gibi, mikro şebeke yapılarında hem doğrusal olmayan yükler, hem de bu yüklerin oluşturduğu harmoniklere karşı hassas yükler bulunabilir. Bu nedenle, oluşabilecek harmoniklerin önlenmesinin, mikro şebekenin sağlıklı işleyişi açısından önemli olduğu düşünülmüştür.

1.8 Tezin Organizasyonu ve Orijinal Katkıları

Aşağıda tezin organizasyonu anlatılmıştır.

2. bölümde, KGK üniteleriyle oluşturulan bir mikro şebeke sisteminin analizi yapılmıştır. Burada KGK ünitelerinin paralel çalışması sırasında ilgili sistemin davranışı incelenip, yük-frekans düşüm karakteristiğinin önemi vurgulanmıştır. Paralel çalışma ve yük paylaşımı ile ilgili modellere dayanarak, mikro şebeke sisteminin matematiksel denklemleri çıkarılıp, dinamik davranışı incelenmiştir. Bu incelemeler doğrultusunda sistemin şebekeye bağlanış şekilleri ve şebekeden bağımsız koşullardaki davranışı, benzetimlerle gösterilmiştir.

3. bölümde, deneysel uygulama hakkında bilgi verilmektedir. Denetleyici kartın yazılımı, deney setinde kullanılan bazı malzemeler ve oluşturulan devreler kısaca tanıtılmıştır.

4. bölümde, paralel bağlı iki eviriciyle oluşturulan bir dağıtık güç sisteminde paralel çalışma ile yük paylaşımı incelenmiştir. Öncelikle uygulanacak darbe genişlik modülasyonu hakkında kısa bilgi verilip, eviriciler üzerinde aktif ve reaktif güç düşüm karakteristikleri incelenip, benzetim ve deneysel uygulamalarla ilgili blok şemalar gösterilmiştir. Ardından frekans düzenleme algoritması tanımlanarak ilgili benzetim ve deneysel sonuçlar ile sunulan yöntemin başarısı ispatlanmıştır. Sistemdeki toplam aktif ve reaktif yük paylaşımları, ayrı ayrı ve birlikte yapılarak, benzetim ve deneysel sonuçlar, karşılaştırmalı olarak verilmiştir.

5. bölümde, bir dağıtılmış güç sisteminde doğrusal olmayan yüklerin neden olduğu harmonikleri gideren bir yöntem geliştirilmiştir. Bu doğrultuda önce doğrusal olmayan yüklerin bir evirici sistemi üzerindeki etkileri incelenmiştir. Bu inceleme sonucunda ortaya çıkan olumsuz etkiler (harmonikler), önce pasif süzgeçler kullanılarak giderilmiştir. Ardından senkron eksen takımıyla harmonik eliminasyon yöntemi geliştirilerek evirici sistemi üzerine uygulanmıştır. Geliştirilen bu yöntem ve pasif süzgeçlerin kullanılması ile yapılan harmonik eliminasyonun bir karşılaştırılması yapılarak senkron eksen takımlarında harmonik eliminasyon yönteminin avantajları ortaya konulmuştur. Eviriciler ve doğrusal olmayan yüklerden kurulan

dağıtılmış güç sisteminde yük paylaşımının denetimi ile aynı zamanda, oluşan harmonikleri giderilebilecek bu yöntem birlikte çalıştırılarak, hem sistem üzerindeki güç kalitesi sağlanabilmiş hem de yük paylaşımı istenilen şekilde gerçekleştirilebilmiştir.

6. ve son bölümde ise bu tezde yapılan çalışmalarla elde edilen sonuçların yorumları sunularak ileride yapılabilecek çalışmalar için bazı öneriler verilmiştir.

Deney setinde kullanılan bazı malzemeler hakkında ayrıntılı bilgiler eklerde verilmektedir.

Bu tez FÜBAP–1091 (Fırat Üniversitesi Bilimsel Projeler Araştırma Birimi) tarafından desteklenmiştir.

2. DAĞINIK KGK SİSTEMİNİN İNCELENMESİ

Bu bölümde paralel çalışan KGK sisteminin çalışması incelenmektedir. Dağıtılmış KGK sisteminin denetiminde önemli olan nokta, KGK denetleyicileri arasında veri haberleşmesinin olmamasıdır. Her bir üniteye ait olan denetleyiciler gerekli bilgileri sadece denetledikleri ünitenin çıkışındaki sinyallerden elde ederler. Her bir denetleyicinin tepkilerinin toplamı tüm sistemin denetimini oluşturacağından, tüm sistemle birlikte kararlılığı gözlemek gerekir.

Dağınık KGK sisteminin kararlı çalışması için güç-frekans düşüm metodu yaygın olarak kullanılmaktadır. Güç-frekans düşümü, enterkonnekte güç sistemlerinde de kullanılmaktadır [26–28]. Bu bölümde güç-frekans düşüm metodunun kullanıldığı dağınık KGK sisteminin çalışması ve dinamik davranışı incelenmiştir.

Güç-frekans düşümünün enterkonnekte güç sisteminin genel denetiminde kullanıldığı düşünülürse, ayrı ayrı kontrol edilen, merkezi olmayan KGK denetleyicilerinde de bu düşümün kullanılmasının uygun olacaktır. Dağınık KGK sistemindeki ünitelerin, frekanstaki değişimlere karşı cevabı, güç sistemindeki generatörlere göre, daha hızlıdır. KGK ünitelerinin hızlı cevabı, güç-frekans düşümü boyunca KGK ünitelerinin yerel denetleyicileri tarafından etkili bir şekilde kullanılırken, dağınık KGK şebekesinin kararlılığı garanti edilir.

İlerleyen bölümlerde önce, dağınık KGK sisteminin kontrolü için güç-frekans düşüm metodu tanıtılacak, sonra tüm sistemin dinamik modeli incelenerek dağınık sistemde KGK ünite denetleyicilerinin tasarımı yapılacaktır.

2.1. Dağınık KGK Sisteminin Çalışması

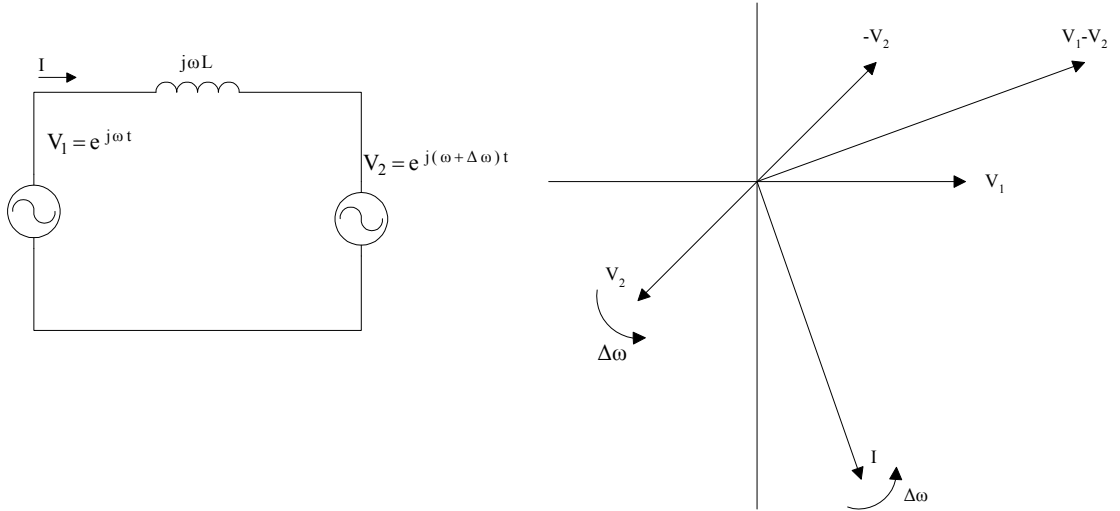
Bu bölümde dağınık KGK sisteminin çalışması incelenecektir. Dağınık sistemdeki her bir ünitenin esnek bir referans değeri vardır. Enterkonnekte güç sistemlerinde olduğu gibi paralel çalışan KGK sisteminde de, her ünite için bir esnek frekans ayar değeri, KGK üniteleri için güç-frekans düşümü kullanılarak elde edilir. Takip eden ilk iki konunun birincisinde dağınık sistemdeki KGK üniteleri için esnek frekans ayar değerinin gerekliliği incelenecektir. Diğerinde, güç-frekans düşümünün enterkonnekte güç sistemlerinde kullanılması ve enterkonnekte KGK'ların çalışmasına uygulanabilirliği gösterilecektir.

2.1.1. Esnek Frekans Ayar Değerinin Gereği

Bir enterkonnekte sistemde KGK ünitelerinin merkezi olmayan kontrolü için sabit frekans ayar değeri kullanmak üç sebepten dolayı pratik bir uygulama değildir.

Birincisi, bütün ünitelerin gerçekten aynı frekans ayar değerine sahip olduklarını garantilemek mümkün değildir. İkincisi, dağıtılmış KGK'larda ana şebekenin frekansı ölçülemediğinden, frekans set değerinin ana şebeke frekansı ile aynı olduğunu garantilemek imkânsızdır. Üçüncüsü, üniteler arasında yük paylaşımının gerçekleşebilmesi için frekansın sabit tutulmaması gerekir. Yük paylaşımı, KGK çıkış gerilimleri arasındaki faz farkının değiştirilmesiyle yapılabilir. Bu da frekansın geçici bir süre değiştirilmesiyle sağlanır. Bu üç durum aşağıda açıklanmıştır.

Yukarıda anlatılan ilk noktayı Şekil 2.1 deki devre üzerinden inceleyelim. Buradaki iki a.a. gerilim kaynağı (nominal açısal frekansları ω olan KGK'lar), birbirlerine bir endüktans ile bağlanmışlardır. Birinci gerilim kaynağının frekansı nominal frekanstan $\Delta\omega \ll \omega$ olacak kadar küçük bir miktarda farklıdır. Bu durumda devrenin fazör diyagramı Şekil 2.1de gösterilmiştir. V_1 gerilimi referans fazör olarak alınırsa V_2 geriliminin fazörü, V_1 'e göre $\Delta\omega$ açısal frekansı kadar yavaş dönecektir.



Şekil 2.1 İki üretcin paralel bağlantısı.

Şekil 2.1 de V_2 gerilim fazörünün, V_1 'e göre yavaşça dönmesinin sonucunda oluşan ve I akımının fazörü de gösterilmiştir. Frekans ayarındaki küçük farklılıklardan dolayı, ilerleyen

zamanlarda büyük akımlar oluşacak ve KGK ünitelerinde de zarar verebilecektir. Bu yüzden şeklindeki iki kaynağın frekans ayar değerlerinin kesinlikle hep aynı olması gerekir.

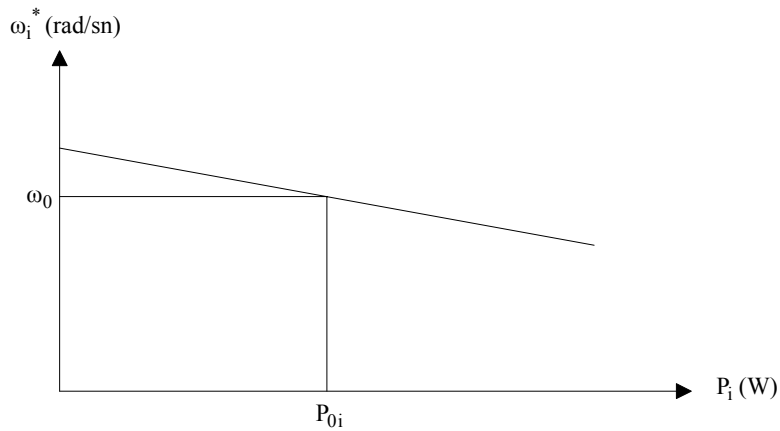
Yukarıda belirtilen olumsuzluklardan dolayı, sabit frekanslı iki kaynak kullanmak pratik bir yöntem değildir. Denetim devresindeki elemanlarda bulunan toleranslar ve zamanla değişebilecek parametreler kesin özdeş frekans ayarlarının oluşmasını önleyecektir. Ayrıca ana şebekenin ana frekansına ayar edilmiş olan KGK üniteleri, ana şebeke frekansını ölçemediğinden, ana şebeke frekansında olacak sapmalar, Şekil 2.1 de tanımlanan benzer sonuçları doğuracaktır.

KGK lar arasında yük paylaşımını yapabilmek için, KGK ünitelerinin frekansları geçici bir süre değiştirilmelidir. Yük paylaşımı, birbirine bağlanan KGK üniteleri arasındaki güç akışı değiştirilmeden yapılamaz. Endüktif empedans üzerinden akan güç, KGK ünitelerinin gerilimleri arasındaki faz farkına bağlı olduğundan, yük paylaşımı KGK gerilimleri arasındaki faz farkıyla değiştirilebilir. Bu amaçla ünite frekansları geçici olarak değiştirilmelidir.

Yukarıda açıklanan sebeplerden dolayı sabit olmayan frekans veya esnek frekans ayar değeri, dağıtık sistemdeki KGK üniteleri için önemlidir. Bu değer güç-frekans düşümü kullanılarak elde edilir.

2.1.2. Yük-Frekans Düşümü

Yük-frekans ($P-\omega$) düşümleri enterkonnekte güç sistemlerinin merkezi olmayan kontrolünde kullanılmaktadır. Şekil 2.2 de bir enterkonnekte güç sistemindeki herhangi bir ünitenin ($i = 1 \dots n$) $P-\omega$ düşüm karakteristiği gösterilmektedir. Şekilden de görüldüğü gibi ünitenin çalışma frekansı, çıkış gücü ile ters orantılı olarak değişmektedir. Tipik olarak bir güç sisteminde, bu düşüm iki etkinin bileşkesidir. Bunlar, üretim yönetimi ve yük yönetimidir.



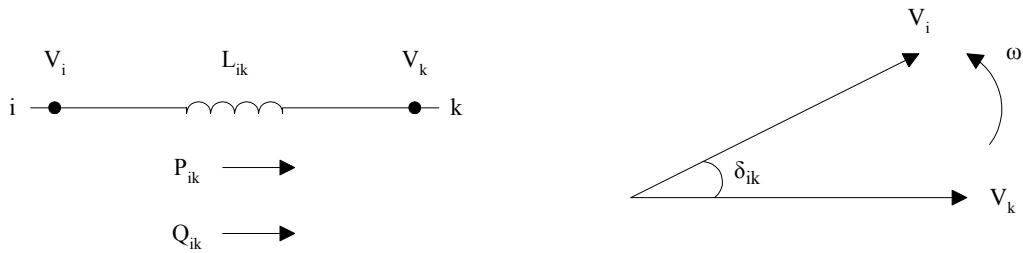
Şekil 2.2 Yük-frekans düşüm karakteristiği.

Üretim yönetimi, generatörün hız yönetimi ile ilgili eylemlerini içerir. Yük artışını takiben generatörün hızında bir düşüş olacaktır. Yük artışının başlangıcında üretim biriminden çıkan güç hemen artmayacağından, artan yükü karşılamak için gereken enerji öncelikle generatörün dönen kütleinde depolanmış döner kinetik enerjiden sağlanır. Gerekli yük artışını tam olarak karşılayamayan generatörün hızı ve dolayısıyla elektriksel frekansı düşecektir. Yük azalmasında ise tersi bir durum gerçekleşecek ve frekansta bir artma olacaktır. Bu işlemler, talep edilen yükün generatör tarafından karşılanıp üretim dengesinin sağlanması ve frekansta, düşüm karakteristiğinin eğimine ve değişen güç miktarına bağlı olarak bir sapmayla sonuçlanacaktır. Yük değişimini takiben frekans ya manuel koordinasyonla ya da otomatik üretim kontrolüyle (OÜK) nominal değere getirilir [8, 70, 71].

Yük yönetimi bir güç sistemindeki toplam yükün, frekansa bağımlı olan kısmıyla ilgili bir kavramdır. Güç sistemlerinin çoğunda toplam yükün bir frekans katsayısı vardır. Örneğin sistem frekansının düşmesine sebep olan bir yük artışı oluştuğunda düşen frekans, pompa ve vantilatör gibi frekansa bağımlı yüklerin, dolayısıyla toplam sistem yükünün bir miktar düşmesine neden olacaktır. Böylece yük artışını karşılamak için gerekli üretimin bir kısmı kendi kendine dengelenmiş olup, ilave güç artışı gereksinimi azalmış olur.

Düşüm karakteristiğinin üretim kontrolünde kullanılmasının bir amacı da güç sistemine bağlı değişik üretim üniteleri arasında yük paylaşımını sağlamaktır. Bu aynı zamanda sistem performansının, üretim ünitelerinin nominal frekans ayarlarındaki küçük farklılıklara karşı hassas olmamasını sağlar.

Dağıntık KKGK sisteminde doğal olarak hem yükler hem de kaynaklar bir güç sistemininkinden farklıdır. KKGK çıkış frekansını değiştirmek, KKGK denetleyicinin referans frekansını değiştirmekle basitçe sağlanır. Ayrıca dağıtılmış KKGK sistemindeki tipik yükler frekansa bağımlı olmadıklarından, yukarıda açıklanan yük yönetimi ihmal edilebilir. Dağıtılmış KKGK sisteminde her bir KKGK ünitesi için ayrı ayrı güç-frekans düşümünün kullanılması, paralel çalışmaya imkân verirken, sistemin toplam yükünün istenilen oranda üniteler arasında paylaşılmasını da sağlar.



Şekil 2.3 Faz farkına bağlı olarak iki nokta arasındaki güç akışları.

Dağıtılmış şebeke üzerindeki K GK ünitelerini birbirine bağlayan endüktif empedans üzerinden geçen aktif güç, bu ünitelerin çıkış gerilimleri arasındaki faz farkıyla orantılıdır. Şekil 2.3 dağıtılmış K GK sistemindeki i. ve k. üniteleri birbirine bağlayan endüktansın uçlarındaki gerilim vektörlerini göstermektedir.

i düğümünden k düğümüne doğru L_{ik} endüktansından akan aktif ve reaktif güç ifadeleri aşağıdaki gibidir:

$$P_{ik} = \frac{3V_i V_k}{2\omega L_{ik}} \sin \delta_{ik} \quad (2.1)$$

$$Q_{ik} = \frac{3V_i}{2\omega L_{ik}} (V_i - V_k \cos \delta_{ik}) \quad (2.2)$$

Yukarıdaki denklemlerde V_i ve V_k , i ve k düğümlerine ait gerilimlerin genlikleridir. 2.1 ve 2.2 denklemi, P_{ik} nın δ_{ik} ile, Q_{ik} nın $(V_i - V_k)$ ile orantılı olduğunu göstermektedir.

Dağıtılmış K GK sistemindeki i. ünitenin ω_i frekansının denetimi, bu ünitenin V_i gerilim vektörü ile bu üniteye doğrudan bağlı olan diğer ünitelerin gerilim vektörleri arasındaki faz farkını dinamik olarak kontrol etmemizi sağlar. Böylece ω_i nin denetimi i. ünitenin sisteme vereceği P_i aktif gücünü belirler.

Burada, dağıtılmış K GK sistemindeki, güç-frekans düşümüyle kontrol edilen K GK ünitesinin geçici ve sürekli durum çalışması açıklanacaktır.

2.2 Sürekli Durum Davranışı

Şekil 2.2 de dağıtılmış K GK sistemindeki i. K GK ünitesinin güç-frekans düşüm grafiği verilmiştir. Bu düşüm karakteristiğinin denklemi aşağıdaki gibidir

$$\omega_i^* = \omega_0 - b_i (P_{0i} - P_i) \quad (2.3)$$

Burada $b_i < 0$ düşüm karakteristiğinin eğimidir (ana şebeke için $b_0=0$) ve ω_i^* , i. K GK ünitesinin frekans ayar değeridir. Dağıtılmış K GK sisteminin ve ana şebekenin nominal frekansı ω_0 dır. P_i gerçek çıkış gücü ve P_{0i} , $\omega_i^* = \omega_0$ anındaki çıkış gücüdür. P_{0i} nin seçimi bir tanımlama konusudur. Burada P_{0i} , K GK ünitesinin nominal gücü olarak alınacaktır. Eğer ünite P_{0i} kadar yüklenirse çıkış frekansı ω_0 olacaktır.

2.2. denklemi sürekli durumda geçerlidir. Ancak geçici durum analizi için gerekli denklemlerin çıkarılmasında yardımcı olacaktır. Sürekli durumda sistemdeki bütün üniteler aynı çalışma frekansına sahiptir.

Sürekli durumda 2.3 denklemden aşağıdaki denklem elde edilir.

$$-b_1 P_{01} + b_1 P_1 = \dots = b_i P_{0i} + b_i P_i = \dots b_n P_{0n} + b_n P_n \quad (2.4)$$

Buradaki b_i değerleri ünitelerin güçleriyle ters orantılı olarak seçilerek şu denklemler elde edilir:

$$b_1 P_{01} = \dots = b_i P_{0i} = \dots b_n P_{0n} \quad (2.5)$$

$$b_1 P_1 = \dots = b_i P_i = \dots b_n P_n \quad (2.6)$$

2.5 ve 2.6 denklemleri oranlanırsa her bir KGK ünitesi için aşağıdaki bağlantı elde edilir;

$$\frac{P_1}{P_{01}} = \dots = \frac{P_i}{P_{0i}} = \dots = \frac{P_n}{P_{0n}} \quad (2.7)$$

Bu denklemler güç sistemindeki toplam yükün, geleneksel güç sistemlerinde olduğu gibi, KGK üniteleri arasında, güçleri oranında paylaşılabileceğini gösterir. Düşüm karakteristiğinin eğimi b_i , 2.5 denklemine göre seçilirse, sürekli durumda KGK üniteleri toplam yükü güçleri oranında paylaşacaktır. Toplam yükü P_L olan, n tane üniteden oluşan bir KGK sistemindeki i . ünitenin sisteme vereceği güç olan P_i ' yi bulmak için aşağıdaki denklemler kullanılır.

$$\begin{aligned} b_1 P_1 - b_2 P_2 &= 0 \\ b_{n-1} P_{n-1} - b_n P_n &= 0 \\ P_1 + \dots + P_n &= P_L \end{aligned} \quad (2.8)$$

Bu denklem sistemi taraf tarafa toplanarak çözülürse aşağıdaki eşitlik elde edilir:

$$P_i = \frac{1}{b_i} \frac{1}{\sum_{j=1}^n \frac{1}{b_j}} P_L \quad (2.9)$$

Bu noktaya kadar bütün KGK ünitelerinin aynı nominal frekansa (ω_0) ayarlandığını varsaydık. Şimdi bir ünitenin ω_0 dan farklı bir frekansa ayarlanması sonucunda oluşan güç paylaşımındaki hatayı inceleyelim.

Birinci KGK ünitesine ait düşüm karakteristiğinde $\Delta\omega_1$ kadar bir hata oluşursa 2.3 denklemi şu şekilde olur.

$$\omega_1^* = (\omega_0 \Delta\omega) - b_1 (P_{01} - P_1) \quad (2.10)$$

Sürekli durumda bütün üniteler aynı frekansta olacağından;

$$\Delta\omega_1 + b_1 P_1 = b_2 P_2 = \dots b_n P_n \quad (2.11)$$

Burada $P_1, P_2, \dots, P_n$ KGK ünitelerinin gerçek çıkış güçleridir. Bu, istenilen çıkış gücünden farklıdır. İstenilen çıkış güçleri $P_{1,d}, P_{2,d}, \dots, P_{n,d}$ olarak tanımlanırsa;

$$P_1 = P_{1,d} + \Delta P_1; \dots P_n = P_{n,d} + \Delta P_n \quad (2.12)$$

Keza, yük paylaşımı için sağlanması gereken şart şöyledir;

$$b_1 P_{1,d} = \dots = b_i P_{i,d} = \dots b_n P_{n,d} \quad (2.13)$$

Yukarıdaki iki denklem ile 2.11 denklemini birlikte kullanılırsa aşağıdaki denklem sistemi elde edilir.

$$b_1 \Delta P_1 - b_2 \Delta P_2 = -\Delta \omega_1 \quad (2.14)$$

$$b_{n-1} \Delta P_{n-1} - b_n \Delta P_n = 0 \quad (2.15)$$

$$\Delta P_1 + \dots \Delta P_n = 0$$

2.15 de belirtilen denklem sistemi 2.14 ile birlikte çözülürse güç paylaşımında oluşacak hata şu şekilde ifade edilebilir.

$$\frac{\Delta P_1}{P_{1,d}} = -\frac{\Delta \omega_1}{b_1} \left(1 - \frac{P_{1,d}}{P_L}\right) \quad (2.16)$$

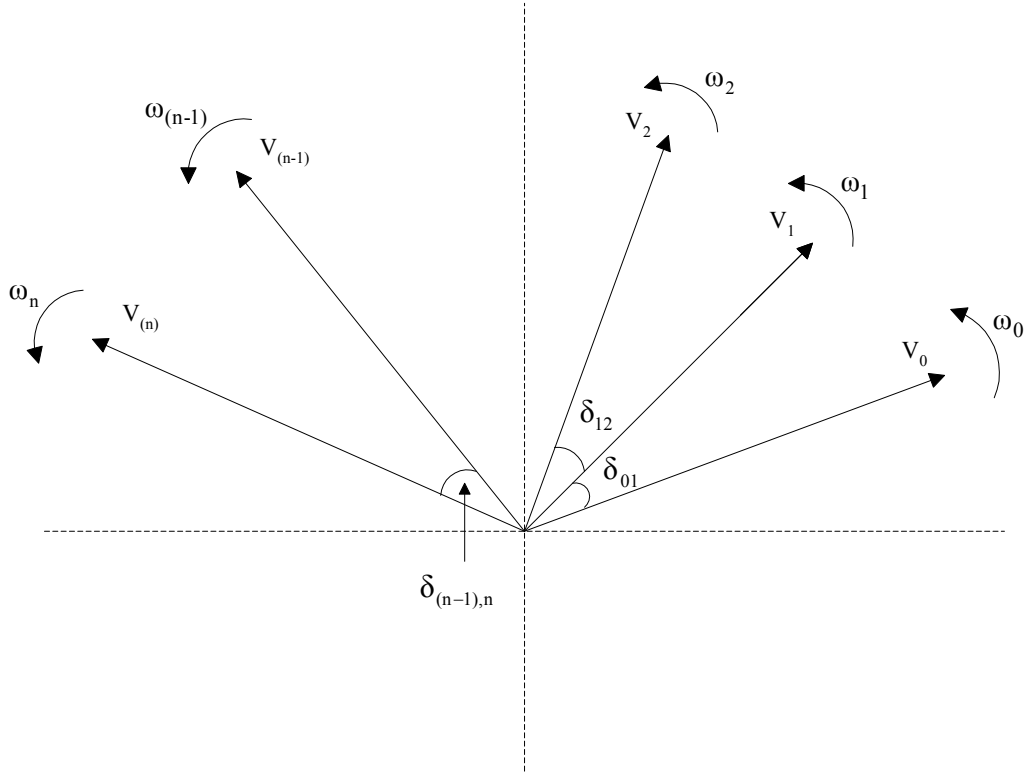
2.16 denkleminde verilen $\Delta \omega_1$ hatası, P_1 de oluşan hatanın b_1 düşümünün büyüklüğüyle ters orantılı olduğunu göstermektedir. Burada, düşüm katsayısının büyük değerleri için güç paylaşımının, nominal frekans ayarındaki hatalara karşı hassas olmadığı görülmektedir. Ayrıca 2.5 denkleminde görüldüğü gibi, yük paylaşımını garantilemek için, b_1 katsayısını büyüttüğümüzde diğer düşüm katsayılarını da büyütmemiz gerekir.

2.3 Dinamik Davranış

Bu bölümde 2.3 denklemini ifade eden güç-frekans düşümüyle denetlenen bir dağıtılmış KGK sisteminin dinamik davranışı incelenecektir. Burada özellikle her bir KGK ünitesinin kendine ait denetleyici varken tüm sistemin davranışı üzerinde durulacaktır. Bu amaçla dağıtılmış KGK sisteminin dinamik denklemleri çıkarılarak, farklı bağlantı yapılarında, nümerik örneklerle sistemin dinamik davranışı incelenecektir.

2.3.1 Dinamik Model

Dinamik modeli çıkarmak amacıyla, ana şebekenin de bağlı olduğu dağıtılmış KGK sisteminin şematik diyagramı Şekil 2.4 de gösterilmiştir. Şekilde ayrıca dağıtılmış şebeke üzerinde yerleştirilmiş yüklerde görülmektedir. KGK' ların çıkış gücü P_i , yük gücü P_{Li} ve üniteler arasındaki güç akışı P_{ik} olarak gösterilmiştir.



Şekil 2.5 n tane KGC ünitesinin çıkış gerilim vektörleri.

KGC denetleyicilerinin görevi, ünitelerin çıkış gerilim vektörlerini (V_i), yük paylaşımını doğru olacak şekilde sıralamaktır.

Sürekli durumda bütün üniteler aynı frekansta çalışacaklarından bütün ω_i 'ler aynı olacaktır. Bu sürekli durumda bütün δ_{ik} 'ların sabit olacağı anlamına gelir ki bu durumda üniteler arasındaki güç alışverişi P_{ik} sabit olacaktır.

Dağıntık KGC sisteminin dinamik denklemlerini çıkarmadan önce aşağıdaki varsayımları göz önünde tutmak, olayın yorumu ve geçerliliği bakımından önemlidir.

Varsayım 1; Her bir KGC ünitesinin denetleyicisi yeterince hızlıdır. Öyle ki ω_i deki bir değişim süresince i. KGC ünitesinin denetleyicisi, bu ünitenin gerilim vektörü olan V_i yi, diğer gerilim vektörlerine göre düzenler.

Varsayım 2; KGC ünitelerinin denetleyicileri, ünite çıkışındaki gerilimi sabit tutacak kadar hızlıdır.

Varsayım 3; ω_i frekansındaki değişim, ara bağlantı endüktansı $x_{ik} = \omega_0.L_{ik}$ sabit kalacak kadar küçüktür.

Tipik bir dağıtılmış KGC sisteminde son iki varsayım, gerilimin genliği KGC tarafından iyi regüle edildiğinden dolayı geçerlidir. Ayrıca güç-frekans düşümünün eğimi, ω_i açısal frekansının ω_0 değerinden %1.5 den fazla sapmayacak kadar seçilmelidir.

Dağıtılmış K GK sisteminin dinamik denklemleri kurularak sistemin kararlılığı incelenecektir. Burada ana şebekenin sisteme bağlı olup olmamasının kararlılığı etkilemediğinin gösterilmesi önemlidir (yani kurulacak model her iki durumda da geçerli olmalıdır). Eğer ana şebeke sisteme bağlı ise bütün frekanslarda (ω_i) küçük değişimler oluşur ardından güç sisteminin frekansına geri döner. Eğer ana şebeke bağlı değilse bütün frekanslar sabit bir değere ulaşır ve bunun ω_0 olması da gerekmez.

2.3.2 Dağıtık K GK Sisteminin Dinamik Denklemleri

Herhangi bir çalışma noktasında sürekli durum yükleri $P_{L1}, P_{L2}, \dots, P_{Ln}$ olsun. Buna karşılık faz farkları $\delta_{01}, \delta_{12}, \dots, \delta_{n0}$, ara bağlantı hattındaki güç akışı $P_{01}, P_{12}, \dots, P_{n0}$ ve nominal çalışma frekansı ω_0 dır.

$\Delta P_{L1}, \Delta P_{L2}, \dots, \Delta P_{Ln}$ miktarında bir yük değişimi olduğunda, faz farkı açıları $\Delta \delta_{01}, \Delta \delta_{12}, \dots, \Delta \delta_{n0}$ kadar değişecektir. Ara bağlantı hatlarındaki güç akışları $\Delta P_{01}, \Delta P_{12}, \dots, \Delta P_{n0}$ kadar değişecektir. Ünitelerin çalışma frekansları da $\Delta \omega_0, \Delta \omega_1, \dots, \Delta \omega_n$ kadar değişecektir.

Bu bölümün amacı, dağıtık K GK sisteminde, ünite gerilimlerine ait faz farklarındaki değişimin ($\Delta \delta_{ik}$) dinamik davranışını belirleyecek denklemleri çıkarmaktır.

Burada yapılacak analizlerin, ana şebekenin sisteme bağlı olduğu ve olmadığı durumlar için geçerli olması önemlidir. Bağlı olduğu zaman düşüm sabiti $b_0=0$, bağlı olmadığıda “0” indeksli kaynak başka bir K GK ünitesi olarak adlandırılır ve $b_0<0$ dır.

Dağıtılmış K GK sisteminin dinamik denklemlerinde, Şekil 2.5 de gösterilen faz farklarındaki değişim olan $\Delta \delta_{01}, \Delta \delta_{12}, \dots, \Delta \delta_{n0}$ durum değişkenleri olarak alınacaktır.

Şekil 2.5 de i. ünitenin çıkışında bir güç değişimi olduğunda ($i = 1, \dots, n$)

$$\Delta P_i = \Delta P_{Li} - \Delta P_{i-1,i} + \Delta P_{i,i+1} \quad (2.17)$$

Burada $\Delta P_{n,n+1} \equiv \Delta P_{n0}$ dır. $k = i+1$, $P_{ik} = f(\delta_{ik}, V_i, V_k)$ ile denklem 2.1 den;

$$\Delta P_{ik} = \frac{\partial P_{ik}}{\partial \delta_{ik}} \Delta \delta_{ik} + \frac{\partial P_{ik}}{\partial V_i} \Delta V_i + \frac{\partial P_{ik}}{\partial V_k} \Delta V_k \quad (2.18)$$

V_i ve V_k gerilimlerinin sabit olduğunu düşünürsek, ΔV_i ve ΔV_k 0 olacağından, denklem 2.1’ i de kullanarak;

$$\Delta P_{ik} = \frac{3}{2} \left(\frac{V_i V_k}{\omega_0 L_{ik}} \cos \delta_{ik} \right) \Delta \delta_{ik} \quad (2.19)$$

Küçük δ_{ik} lar için $\cos \delta_{ik} \approx 1$ olarak alınırsa yukarıdaki denklem basitçe şöyle yazılabilir;

$$\Delta P_{ik} = c_{ik} \Delta \delta_{ik} \quad (2.20)$$

$$c_{ik} = \frac{3V_i V_k}{2\omega_0 L_{ik}} \quad (2.21)$$

$\Delta \delta_{ik}$ için dinamik denklem aşağıdaki gibi yazılabilir;

$$\frac{d}{dt}(\Delta \delta_{ik}) = \Delta \omega_i \Delta \omega_k \quad (2.22)$$

Denklem 2.3 den güç-frekans düşümü;

$$\Delta \omega_i = b_i \Delta P_i$$

$$\Delta \omega_k = b_k \Delta P_k$$

Ana şebeke için düşüm katsayısı $b_0=0$ ve dolayısıyla $\Delta \omega_0 = 0$ dır. 2.17 denklemi ve yukarıdaki iki denklem kullanılarak aşağıdaki denklemler elde edilir;

$$\Delta \omega_i = b_i (-\Delta P_{i-1,i} + \Delta P_{i,k} + \Delta P_{Li}) \quad (2.23)$$

$$\Delta \omega_k = b_k (-\Delta P_{i,k} + \Delta P_{k,k+1} + \Delta P_{Lk}) \quad (2.24)$$

$$\Delta \omega_i - \Delta \omega_k = -b_i \Delta P_{i-1,i} + (b_i + b_k) \Delta P_{ik} - b_k \Delta P_{k,k+1} + b_i \Delta P_{Li} - b_k \Delta P_{Lk} \quad (2.25)$$

ΔP_{ik} (ve diğer benzer terimleri) yukarıdaki 2.20 denkleminde yerine koyarsak ve 2.22 denklemi kullanılarak aşağıdaki denklemleri elde edilir.

$$\frac{d}{dt}(\Delta \delta_{ik}) = -b_i c_{i-1,i} \Delta \delta_{i-1,i} + (b_i + b_k) c_{ik} \Delta \delta_{ik} - b_k c_{k,k+1} \Delta \delta_{k,k+1} + b_i \Delta P_{Li} - b_k \Delta P_{Lk} \quad (2.26)$$

2.26 denkleminde $i = 0, 1, \dots, n$; $k = i+1$ ($n+1 \equiv 0, n+2 \equiv 1$), böylece 2.20 denklemi $n+1$ tane göreceli açı değişimi $\Delta \delta_{ik}$ için birinci dereceden diferansiyel denklem türetilir.

Burada önemli olan bir nokta 2.26 denklemi $n+1$ tane denklemin n tanesi göstermektedir. Bu bir sınırlayıcıdan ortaya çıkmaktadır. Bu sınırlayıcı;

$$\Delta \delta_{01} + \Delta \delta_{12} + \dots + \Delta \delta_{n-1,n} + \Delta \delta_{n0} = 0 \quad (2.27)$$

Bu denklemde $n+1$ tane denklemdeki açılardan birini (örneğin $\Delta \delta_{n0}$) elimine etmek mümkündür. Böylece n tane bağımsız birinci mertebeden doğrusal diferansiyel denklem elde edilir. Yine de yapılacak analizde tüm $n+1$ tane denklem, analizi kolaylaştırması ve diferansiyel denklem sistemi için simetrik yapı oluşturacağından kullanılacaktır.

$n+1$ tane denklem 2.20 denkleminden türetilerek matris formunda yazılırsa;

$$\frac{d}{dt}x = Ax + Bu \quad (2.28)$$

Durum vektörü x , ve giriş vektörü $u_{(n+1) \times 1}$ matrisini oluşturur.

$$x = \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{23} \\ \dots \\ \dots \\ \Delta\delta_{n0} \end{bmatrix}, \quad u = \begin{bmatrix} \Delta P_{L0} \\ \Delta P_{L1} \\ \Delta P_{L2} \\ \dots \\ \dots \\ \Delta P_{Ln} \end{bmatrix}$$

Giriş matrisi olan $B_{(n+1) \times (n+1)}$ olarak şöyle tanımlanır;

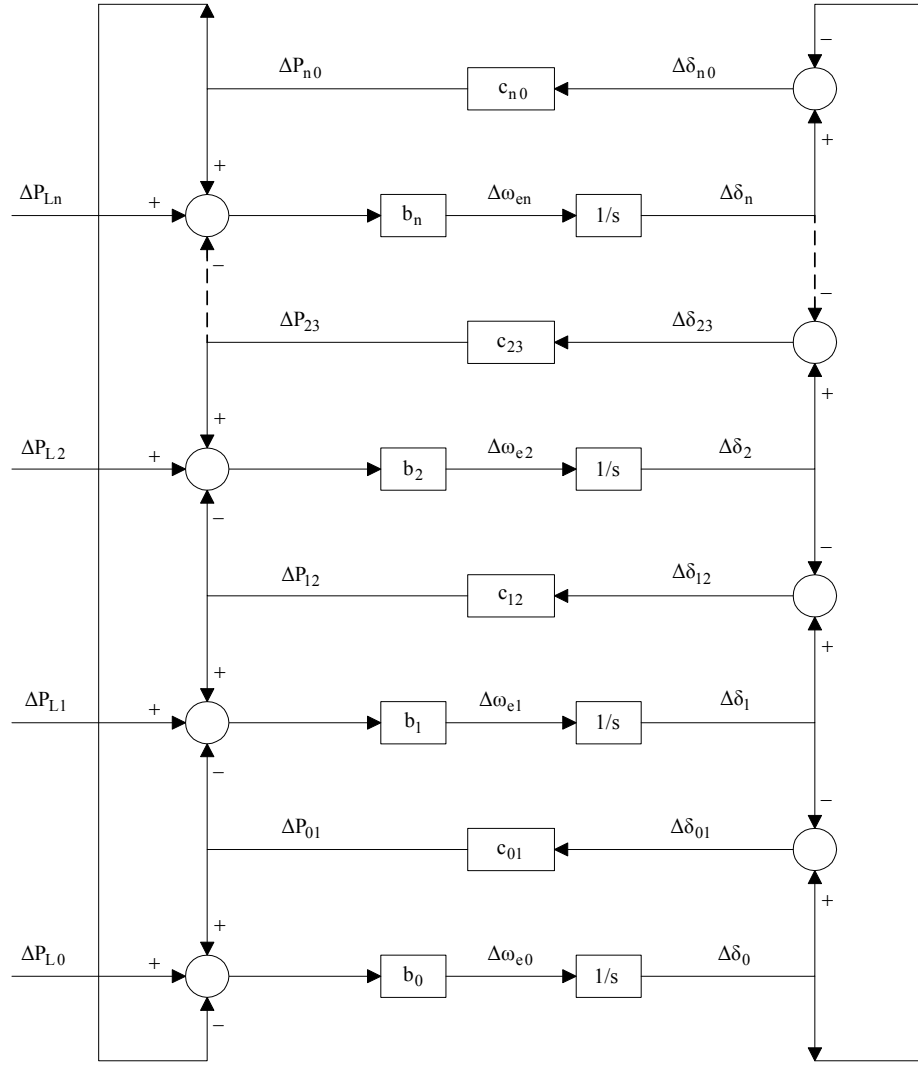
$$B = \begin{bmatrix} b_0 & -b_1 & 0 & 0 & \dots & \dots & 0 \\ 0 & b_1 & -b_2 & 0 & \dots & \dots & 0 \\ 0 & 0 & b_2 & -b_3 & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ -b_0 & 0 & 0 & 0 & \dots & \dots & b_n \end{bmatrix}$$

Sistem matrisi olan $A_{(n+1) \times (n+1)}$ olarak şöyle verilebilir;

$$A = \begin{bmatrix} (b_0 + b_1)c_{01} & -b_1c_{12} & 0 & 0 & \dots & \dots & -b_0c_{n0} \\ -b_1c_{01} & (b_1 + b_2)c_{12} & -b_2c_{23} & 0 & \dots & \dots & 0 \\ 0 & -b_2c_{12} & (b_2 + b_3)c_{23} & -b_3c_{34} & \dots & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ -b_0c_{01} & 0 & 0 & 0 & \dots & b_nc_{n-1,n} & (b_n + b_0)c_{n0} \end{bmatrix} \quad (2.29)$$

Ana şebeke ile n tane KGK ünitesine sahip sistemde oluşan n+1 diferansiyel denklemini ifade eden dağıtılmış mikro şebeke sisteminin dinamik modeli, Şekil 2.6 da verilmiştir.

A matrisinin öz değerleri, Şekil 2.4 deki dağıtılmış KGK sisteminin kararlılığını gösterir. Aşağıda A matrisinin öz değerlerinin yeri belirlenecektir. Ayrıca nümerik örnekler üzerinden, dağıtılmış sistemin kararlılığı ve dinamik davranışı gösterilecektir.



Şekil 2.6 Dağıtık paralel yapının dinamik modeli

2.3.3 Öz Değerler

2.26 denkleminde düşümleri $b_i < 0$, $i=1, \dots, n$ (eğer ana şebeke bağlı ise $b_0=0$) ve ara bağlantı sabitleri $c_{ik} > 0$ olarak alırsak, A matrisinin sıfırdan farklı bütün öz değerleri negatif ve gerçekte eksen üzerinde bulunacaktır. Böylece tanımlanan sistem kararlı bir yapıda olacaktır.

2.3.4 Örnekler

Bu bölümde dağıtılmış KKG sisteminin dinamik davranışı incelenecektir. Ana şebekeye bağlı iki ünite ve ana şebeke olmaksızın üç ünitelerden oluşan sistemin geçici durum analizi ayrı

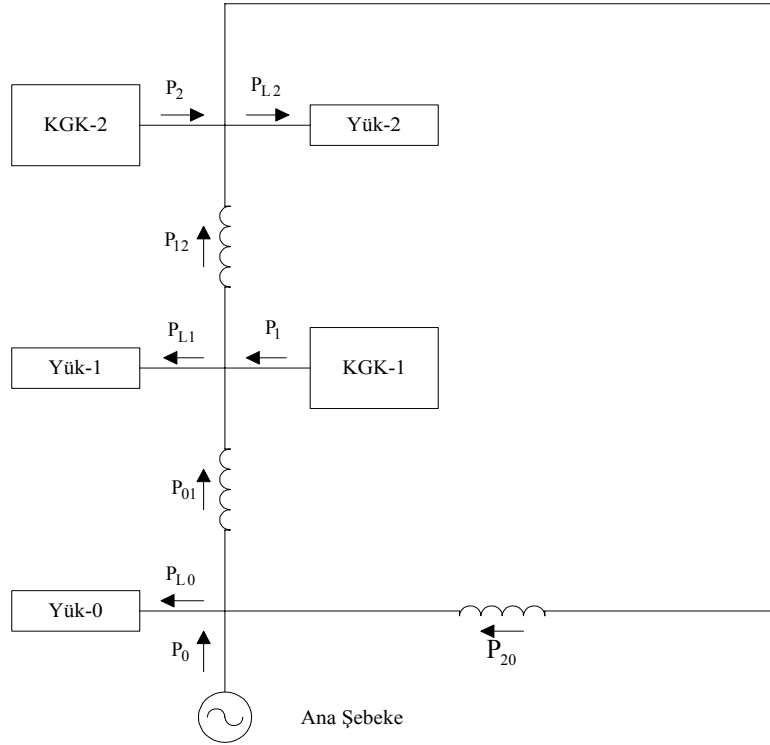
ayrı yapılacaktır. Şekil 2.7 de gösterilen analizi yapılacak sistemde, KGK'ların gerilmeleri arasındaki faz farkındaki değişimleri ve ünitelerin sisteme verdikleri güçler gösterilecektir.

Sistemle ilgili parametreler aşağıdaki gibidir.

$$L_{01} = L_{12} = L_{20} = 23 \text{ mH},$$

$$V_0 = V_1 = V_2 = 220 \text{ V}$$

$$b_0 = 0 \text{ (rad/sn) / W}, \quad b_1 = -1.10^{-4} \text{ (rad/sn) / W}, \quad b_2 = -1.10^{-4} \text{ (rad/sn) / W}$$



Şekil 2.7 Ana şebeke ve iki KGK ünitesiyle oluşmuş dağıtık yapı

Aşağıdaki örneklerde ikinci KGK ünitesine ait yükün, benzetimin 2. saniyesinde ani olarak 1KW artmasına karşılık ($\Delta P_{L2} = +1\text{KW}$) sistemin geçici durum cevabı incelenecektir (yapılacak analizlerde sistem parametrelerinin başlangıç şartları sıfır alınmıştır).

Örnek-1

İki KGK ünitesinin, ana şebekeye bağlanmasıyla oluşan ($b_0 = 0$) sistemin dinamik davranışını incelemek için, örneklenen sistemin (2.22) denklemin göre uyarlanırsa aşağıdaki diferansiyel denklem sistemi elde edilir.

$$\frac{d}{dt} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} = \begin{bmatrix} -1 & 1 & 0 \\ 1 & -2 & 1 \\ 0 & 1 & -1 \end{bmatrix} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} + \begin{bmatrix} 0 & 10^{-4} & 0 \\ 0 & -10^{-4} & 10^{-4} \\ 0 & 0 & -10^{-4} \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1000 \end{bmatrix} \quad (2.30)$$

Öz değerleri 0, -1 ve -3 olan bu diferansiyel denklem sisteminin tam çözümü şöyledir:

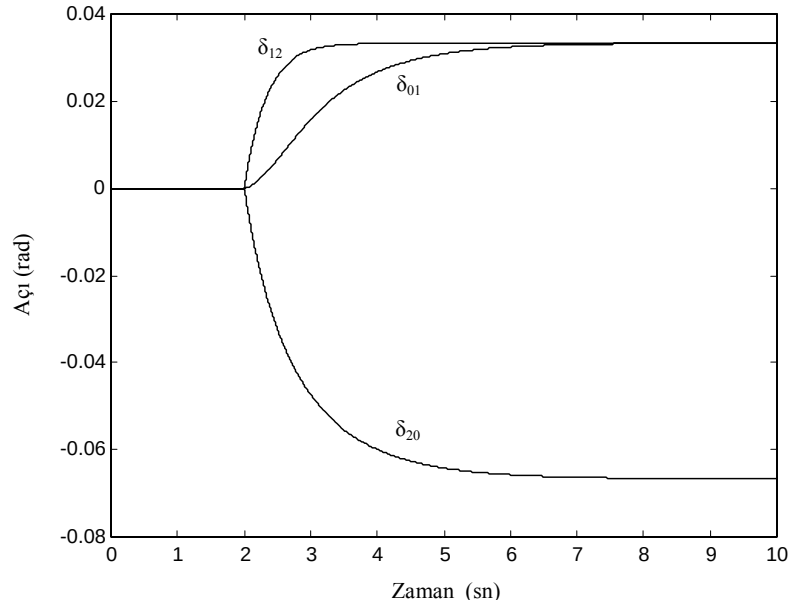
$$\Delta\delta_{01}(t) = \frac{1}{30} - \frac{1}{20}e^{-t} + \frac{1}{60}e^{-3t} \quad (2.31)$$

$$\Delta\delta_{12}(t) = \frac{1}{30} - \frac{1}{30}e^{-3t} \quad (2.32)$$

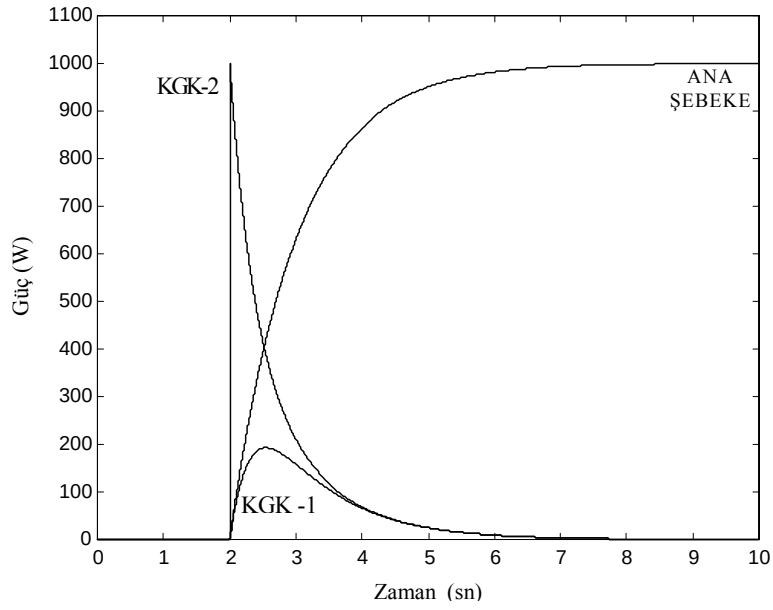
$$\Delta\delta_{20}(t) = -\frac{2}{30} + \frac{1}{20}e^{-t} + \frac{1}{60}e^{-3t} \quad (2.33)$$

Şekil 2.8 de durum değişkenleri olan $\Delta\delta_{01}$, $\Delta\delta_{12}$ ve $\Delta\delta_{20}$ ile değişimi gösterilmiştir. Tüm açılar güç akışının, ana şebekeden artan yüke doğru akmasını sağlayacak değerlere eriştiği görülmektedir.

$\Delta\delta_{12}$ nin $\Delta\delta_{01}$ ye göre daha hızlı tepki vermesinin sebebi birinci ünitenin KGK, sıfırıncı ünitenin ise ana şebeke olarak tanımlanmasıdır. Daha önce de belirtildiği gibi ana şebekenin KGK ünitelerine göre ataleti daha yüksek olduğundan geçici durum cevabı daha yavaştır. Bu durum düşüm katsayısından da anlaşılabilir. Daha küçük düşüm katsayısına sahip ünitenin geçici durum cevabı daha hızlıdır.



Şekil 2.8 Ünitelerin gerilimleri arasındaki faz farkının değişimi.



Şekil 2.9 Ünitelerin sisteme verdikleri gücün değişimi.

Şekil 2.9 dan da görüldüğü gibi yük artışı durumunda, başlangıçta tüm yük artışını, yük artışının olduğu KGK ünitesi üzerine alırken geçici olarak diğer KGK ünitesi de bu artışı karşılar. Sürekli durumda ise tüm yükü ana şebeke üzerine almaktadır. Ana şebeke bütün ara bağlantı hatlarını kullanarak sisteme gerekli gücü akıtacaktır. Beklenildiği gibi L_{01} ara bağlantı hattından akan güç aynı değerde L_{12} ara bağlantı hattından da geçerek artış olan yüke erişecektir.

Örnek-2

Bu örnekte ana şebeke yerine, diğerleriyle aynı güçte ($b_0 = -1.10^{-4}$) bir KGK ünitesi bağlanarak aynı yük değişimine karşılık sistemin dinamik değişimi gözlenmiştir. Bu durumda oluşacak diferansiyel denklem sistemi aşağıdaki gibi oluşur:

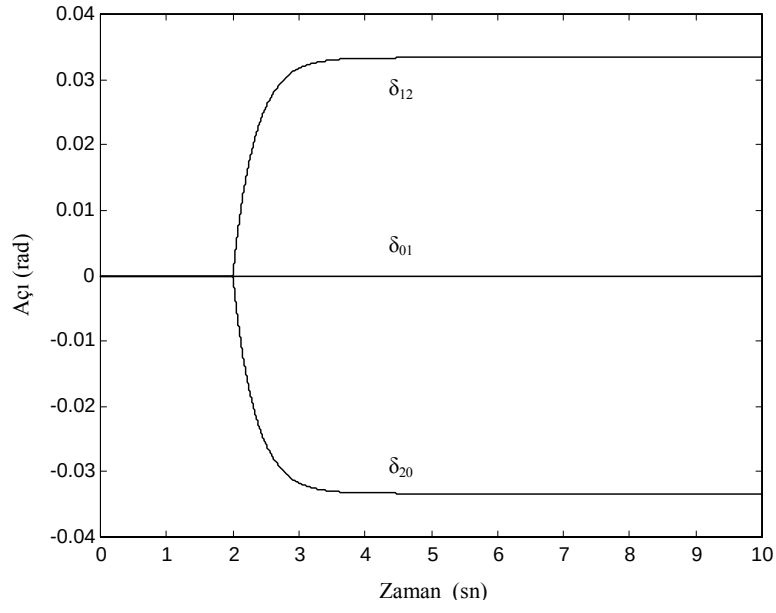
$$\frac{d}{dt} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} = \begin{bmatrix} -2 & 1 & 1 \\ 1 & -2 & 1 \\ 1 & 1 & -2 \end{bmatrix} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} + \begin{bmatrix} -10^{-4} & 10^{-4} & 0 \\ 0 & -10^{-4} & 10^{-4} \\ 10^{-4} & 0 & -10^{-4} \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1000 \end{bmatrix} \quad (2.34)$$

Öz değerleri 0, -3, -3 olan bu diferansiyel denklem sisteminin tam çözümü şöyledir:

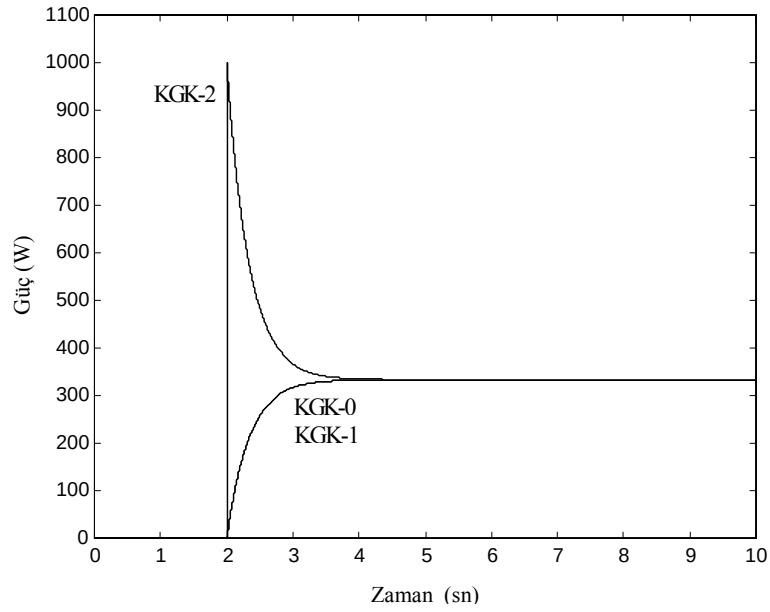
$$\Delta\delta_{01}(t) = 0 \quad (2.35)$$

$$\Delta\delta_{12}(t) = -\frac{1}{30} + \frac{1}{30}e^{-3t} \quad (2.36)$$

$$\Delta\delta_{20}(t) = \frac{1}{30} - \frac{1}{30}e^{-3t} \quad (2.37)$$



Şekil 2.10 Ünitelerin gerilimleri arasındaki faz farkının değişimi.



Şekil 2.11 Ünitelerin sisteme verdikleri gücün değişimi.

Ara bağlantı endüktansları eşit seçildiğinden KGK üniteleri, artan yükü L_{12} ve L_{20} endüktansları üzerinden eşit nicelikte karşılayacaklardır. Bu durum Şekil 2.10 da görülmektedir.

Şekil 2.11 de KGK ünitelerinin sisteme verdikleri güçler gösterilmiştir. Beklenildiği gibi bütün üniteler eşit güçte seçildiğinden sürekli durumda sisteme verecekleri güçler de eşittir.

Örnek-3

Bu örnekte, son KGK ünitesiyle (KGK-2) ilk KGK ünitesinin (KGK-0), bağlantısının olmadığı durum incelenecektir. Bu durumda L_{20} olmayacağından $c_{20} = 0$ alınacaktır. Bu şartları ifade eden diferansiyel denklem sistemi aşağıdaki gibidir:

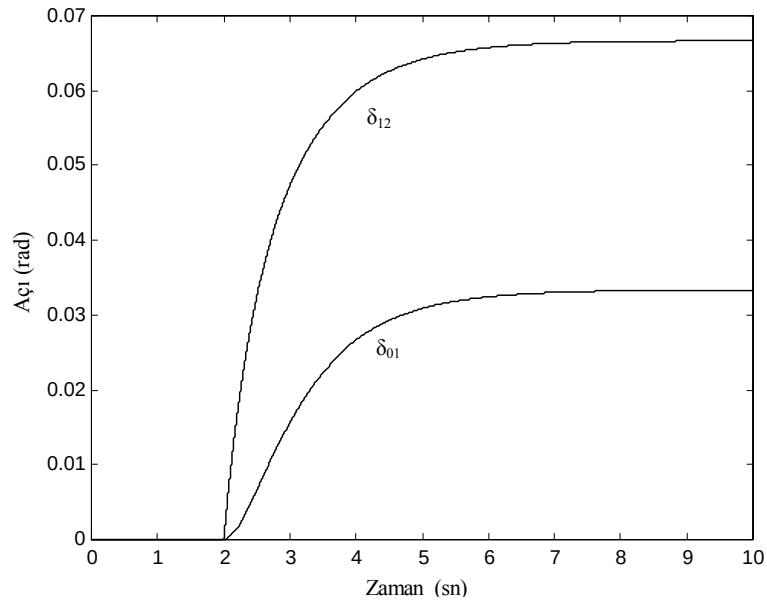
$$\frac{d}{dt} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} = \begin{bmatrix} -2 & 1 & 0 \\ 1 & -2 & 0 \\ 1 & 1 & 0 \end{bmatrix} \begin{bmatrix} \Delta\delta_{01} \\ \Delta\delta_{12} \\ \Delta\delta_{20} \end{bmatrix} + \begin{bmatrix} -10^{-4} & 10^{-4} & 0 \\ 0 & -10^{-4} & 10^{-4} \\ 10^{-4} & 0 & -10^{-4} \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1000 \end{bmatrix} \quad (2.38)$$

Öz değerleri 0, -1 ve -3 olan bu diferansiyel denklem sisteminin tam çözümü şöyledir:

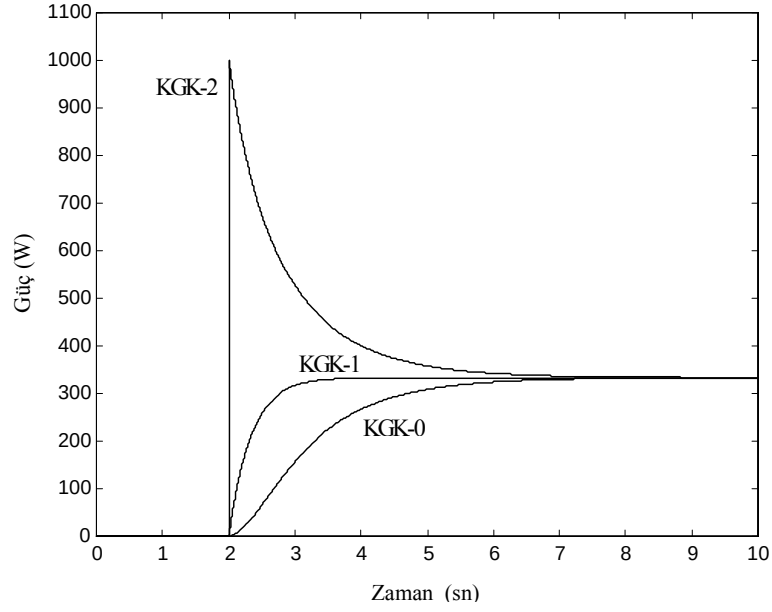
$$\Delta\delta_{01}(t) = \frac{1}{30} - \frac{1}{20}e^{-t} + \frac{1}{60}e^{-3t} \quad (2.39)$$

$$\Delta\delta_{12}(t) = \frac{2}{30} - \frac{1}{20}e^{-t} - \frac{1}{60}e^{-3t} \quad (2.40)$$

$$\Delta\delta_{20}(t) = -\frac{1}{10} + \frac{1}{10}e^{-t} \quad (2.41)$$



Şekil 2.12 Ünitelerin gerilimleri arasındaki faz farkının değişimi.



Şekil 2.13 Ünitelerin sisteme verdikleri gücün değişimi.

Şekil 2.12 ve Şekil 2.13 den de görüldüğü gibi bu yapının geçici durum cevabı örnek-2 deki yapıya göre daha yavaştır. Bunun sebebi ünitelerin artan yükü karşılamak için iki yerine bir ara bağlantı yolunu kullanabilmesidir.

NOT: c katsayılarının farklı olması ara bağlantı hattından akan gücü değiştirir. Eviricilerin sisteme verdiği gücü etkilemez.

2.4 Dağıtılmış KGK Denetleyicilerinin Tasarımı

Dağıtılmış çevredeki KGK kontrol sisteminin en önemli hedeflerinden biri, KGK denetleyicileri arasında haberleşme hattının kullanılmamasıdır. Denetleyiciler sadece kendi ünitelerine ait ölçülebilir sinyalleri kullanırlar. Bunun için merkezi olmayan bir denetim sistemine ihtiyaç vardır. Bu amaçla her bir denetleyici, tüm sistemin kararlılığını garanti edecek şekilde kendi ünitesini denetler.

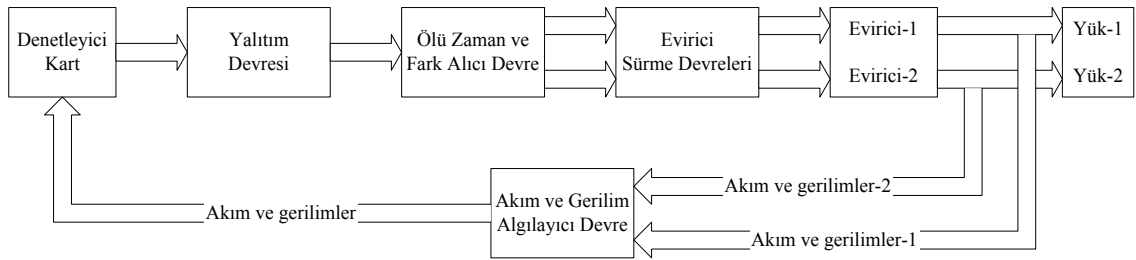
Yukarıda yapılan kararlılık analizi bize merkezi olmayan KGK denetleyicilerinin tasarımı hakkında rehber olacaktır. Güç-frekans düşümünü kullanarak sistemin her zaman kararlı olacağı gösterilmiştir.

2.3 denkleminde, i. KGK ünitesinin sisteme verdiği güç (akım ve gerilim geri beslemesinden hesaplanan) kullanılarak, bu üniteye ait frekans ayar değeri bulunur. Bu i. senkron referans ekseninin anlık açısal hızın ayar değeridir. KGK denetleyicilerinin görevi, KGK çıkış gerilim vektörlerini, yük-frekans düşüm karakteristiğinden elde edilen ayar değerlerine göre düzenlemektir.

Burada yapılan analizlerden çıkarılan sonuç, düşün katsayısı olan b_i 'lerin, değerlerinin çok önemli olmadığı, sıfırdan küçük her değer için sistemin kararlı olacağıdır. Bu katsayının seçimi için iki ölçüt göz önünde bulundurulur. Bunlardan biri frekansın anma değerden ne kadar sapacağı, diğeri ise istenilen sistem cevap hızıdır. Düşüm katsayısı ne kadar küçük seçilirse sistem cevabı da hızlı olacaktır. Buna karşılık anma frekans değerinden sapma miktarı da artacaktır.

3. DENEYSEL UYGULAMA DÜZENİĞİ

Bu bölümde, 4. bölümde gösterilen deneysel sonuçların alındığı deney setinin donanımı hakkında bilgi verilecektir. Yükler, evirici çıkış süzgeçleri, ara bağlantı hattı, iki evirici ünitesi ve bu eviricileri denetleyici kart tarafından denetimin sağlayan devrelerden oluşan deney setinin, yük, süzgeç ve ara bağlantı hattıyla ilgili bilgiler sonraki bölümde verilecektir. Aşağıda, denetleyici kartta (DSP) kullanılan Matlab programı ile ilgili kısa bilgi verilip, Şekil 3.1 de deney setinin blok şemasında gösterilen devreler açıklanmıştır.



Şekil 3.1 Deneyel uygulama düzeneğinin blok şeması

3.1 Denetleyici Kart

Denetleyici olarak dSPACE firmasının DS1103 modeli kullanılmıştır. Bu kart üzerinde ana işlemci olarak PowerPC 604 (RISC 333Mhz) ve uydu işlemci olan TMS320F240 (20Mhz) olarak iki işlemci bulunmaktadır. Bu kart ile ondalıklı (floating point) hesaplamalar çok hızlı bir şekilde yapılabilmektedir. Deneysel uygulamada, kartın dijital giriş-çıkış portu ve analog dijital çevirici (ADC) modülleri kullanılmıştır. Dijital giriş-çıkış portları 32 bit, ADC modülü ise 16 bittir.

Gerçekleştirilmek istenilen algoritma Matlab/Simulink de tasarlandıktan sonra Real-Time Workshop yazılımı sayesinde C koduna çevrilmiştir. Gerçek zamanda çalışma için kullanılan Real-Time Interface yazılımı ile C koduna çevrilmiş olan program, denetleyici karta yüklenir. Ayrıca Control Desk Developer yazılımı ile, denetleyici kart tarafından ölçülen ve hesaplanan devre parametreleri, grafiksel bir platform üzerinden gözlenebilir.

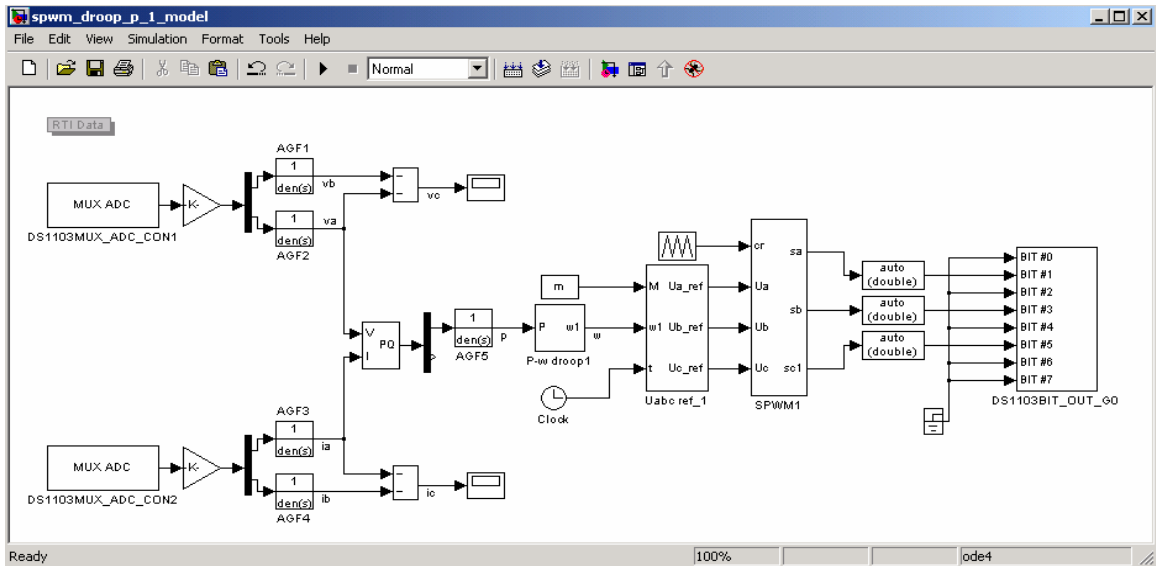
Aşağıda 4. bölümde gerçekleştirilen uygulamaların, gerçek zamanda kullanılan Matlab/Simulink dosyaları gösterilmiştir.

3.1.1 Aktif Yük Paylaşım Programı

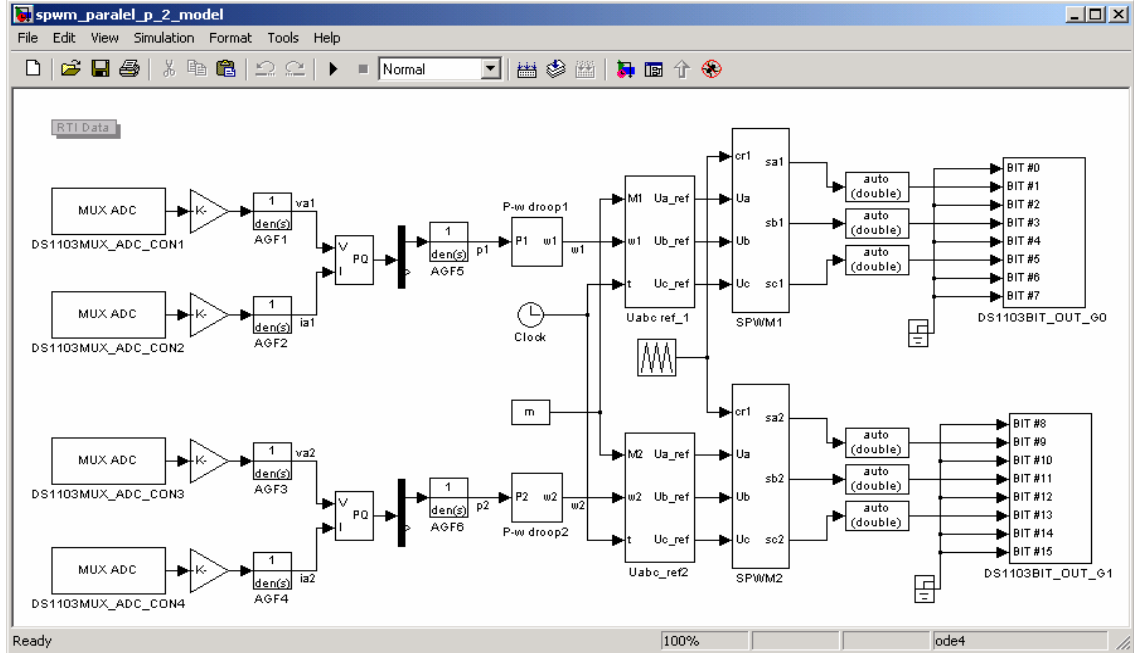
Şekil 3.2 ve Şekil 3.3 de sırasıyla, tek evirici ünitesinde aktif güç-frekans düşüm karakteristiğinin ve iki evirici ünitesiyle gerçekleştirilen aktif yük paylaşımına ilişkin, gerçek zamanda kullanılan Matlab/Simulink programı gösterilmiştir.

Şekil 3.2 de, birinci ADC bloğu ile eviricinin V_a ve V_b gerilimleri, ikinci ADC bloğu ile eviricinin I_a ve I_b akımları elde edilerek aktif güç hesaplanmıştır. Bu güç, aktif güç-frekans düşüm karakteristiğinde kullanılarak eviriciye uygulanacak yeni frekans elde edilir. Ardından bulunan bu değer modülasyon indeksiyle birlikte, sinüzoidal DGM' nun anahtarlama işaretlerini elde etmek için kullanılır. Gerilimin ve akımın üçüncü fazları ise, algılanan iki fazlarından elde edilmiştir.

Şekil 3.3 de ise, birinci ve ikinci ADC bloklarında, birinci eviricinin “a” fazının gerilim ve akımı, üçüncü ve dördüncü ADC bloklarında ise, ikinci eviricinin “a” fazının gerilim ve akımı algılanarak, birinci ve ikinci eviricinin sisteme verdikleri aktif güçler hesaplanır. Bu güçler, birinci ve ikinci eviricinin aktif güç-frekans düşüm karakteristیکlerinde kullanılarak önceki bölümlerde açıklandığı gibi, eviricilerin sistemin toplam yükünü paylaşmaları sağlanır. “AGF” diye adlandırılan bloklar, elde edilen işaretlerin daha düzgün olması amacıyla kullanılan alçak geçiren filtre bloklardır.



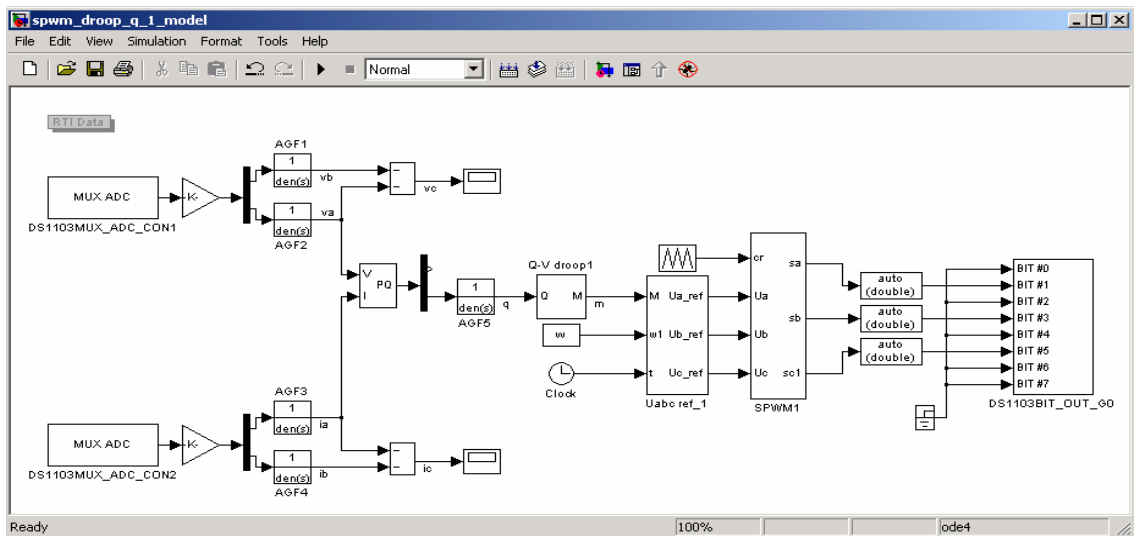
Şekil 3.2 Tek eviriciye aktif güç-frekans düşüm karakteristiğinin uygulandığı Matlab/Simulink programı.



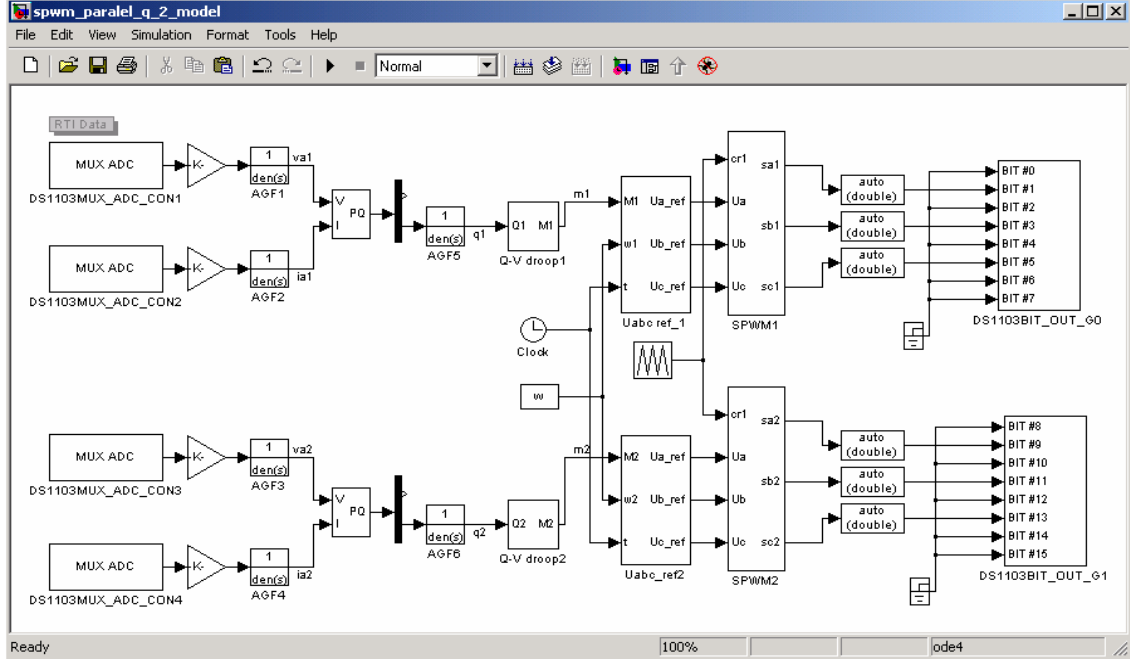
Şekil 3.3 İki evirici ile aktif yük paylaşımının uygulandığı Matlab/Simulink programı.

3.1.2 Reaktif Yük Paylaşım Programı

Şekil 3.4 ve Şekil 3.5 de sırasıyla, tek evirici ünitesinde reaktif güç-gerilim düşüm karakteristiğinin ve iki evirici ünitesiyle gerçekleştirilen reaktif yük paylaşımına ilişkin, gerçek zamanda kullanılan Matlab/Simulink programı gösterilmiştir. Burada kullanılan blokların yukarıda anlatılanlarla olan tek farkı, hesaplanan reaktif güç ile eviriciye uygulanacak gerilimin hesaplandığı bloktur.



Şekil 3.4 Tek eviriciye reaktif güç-gerilim düşüm karakteristiğinin uygulandığı Matlab/Simulink programı.

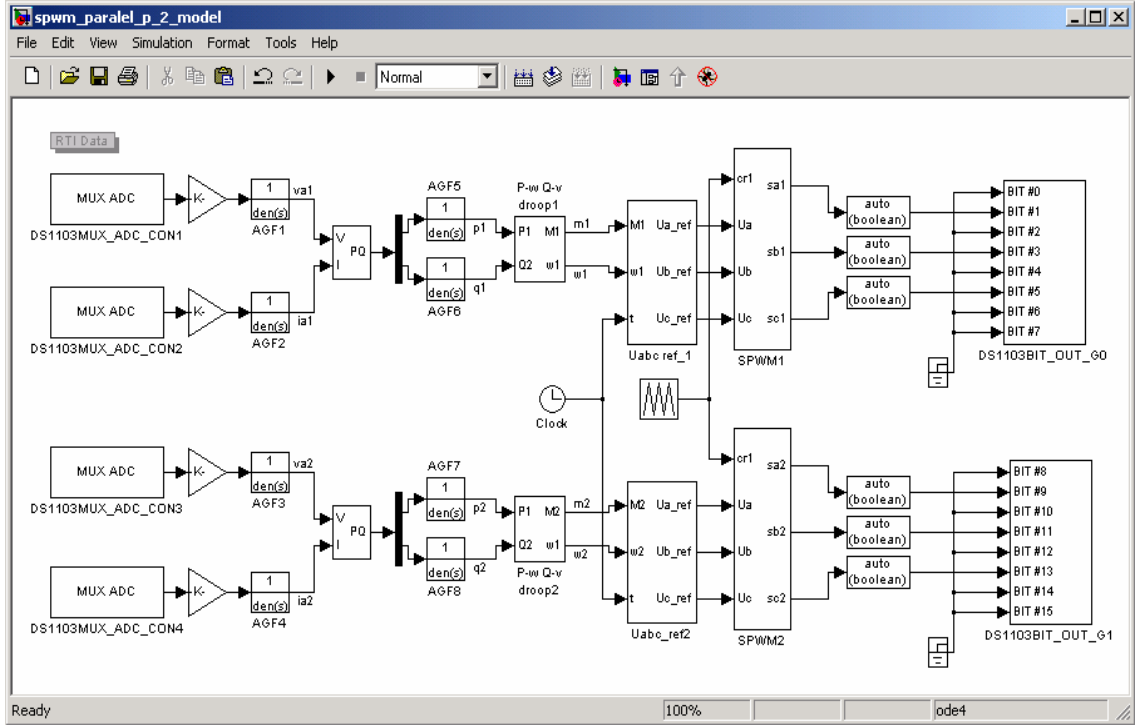


Şekil 3.5 İki evirici ile reaktif yük paylaşımın uygulandığı Matlab/Simulink programı.

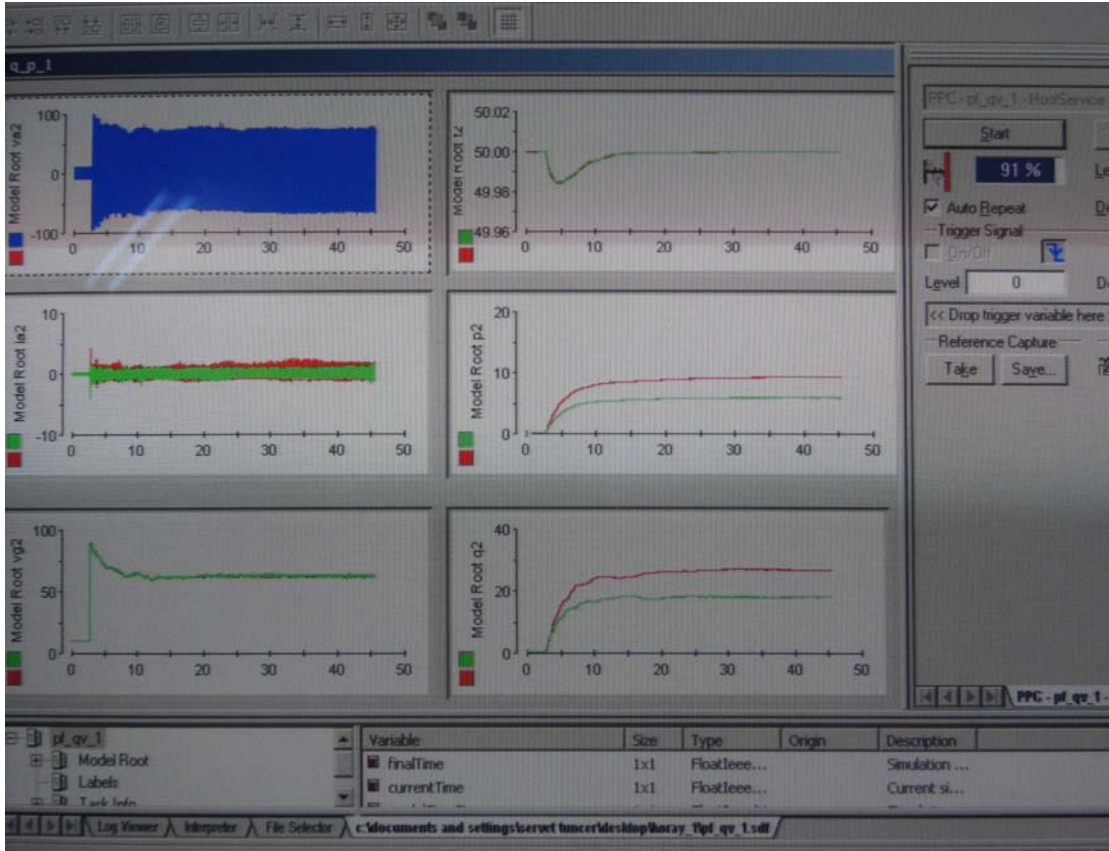
3.1.3 Aktif ve Reaktif Yük Paylaşım Programı

Şekil 3.6 da aktif ve reaktif yük paylaşımının birlikte yapıldığı Matlab/Simulink programı gösterilmiştir. Bu amaçla her iki eviricinin bir fazlarından algılanan akım ve gerilim bilgilerinden hesaplanan aktif ve reaktif güçlerin, aktif ve reaktif düşüm karakteristiklerine uygulanmasıyla, eviricilerin referans bilgisi olan, frekans ve gerilimleri elde eden blok eklenmiştir.

Şekil 3.7 de, aktif ve reaktif yük paylaşımının yapıldığı deneysel uygulamada, denetleyici karttan elde edilen verilerin, Control Desk Developer yazılımıyla monitöre aktarımı gösterilmiştir. 3. bölümde de verilen bu uygulamada, iki eviricinin filtre çıkış gerilim ve akımı algılanarak, aynı zamanda bu büyüklükler kullanılarak aktif ve reaktif güçler, frekans ve genlik bilgileri ise, kullanılan Matlab/Simulink modelinde hesaplanarak monitöre aktarılmıştır.



Şekil 3.6 İki eviricide aktif ve reaktif yük paylaşımın uygulandığı Matlab/Simulink programı.

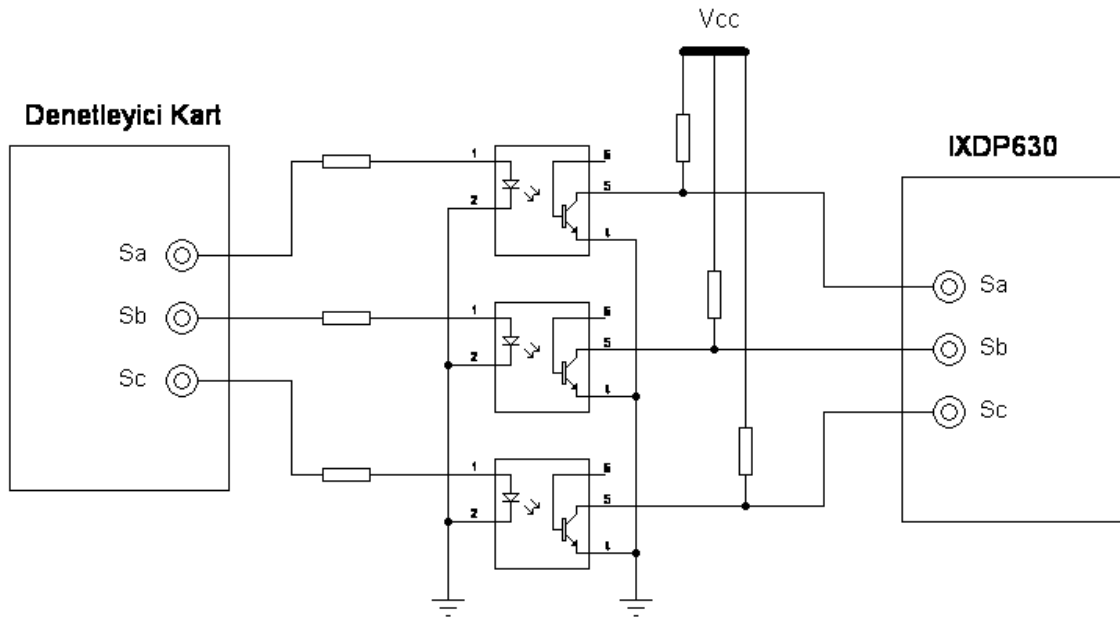


Şekil 3.7 Aktif ve reaktif yük paylaşımının deneysel uygulaması ile ilgili elde edilen sonuçların monitöre aktarımı.

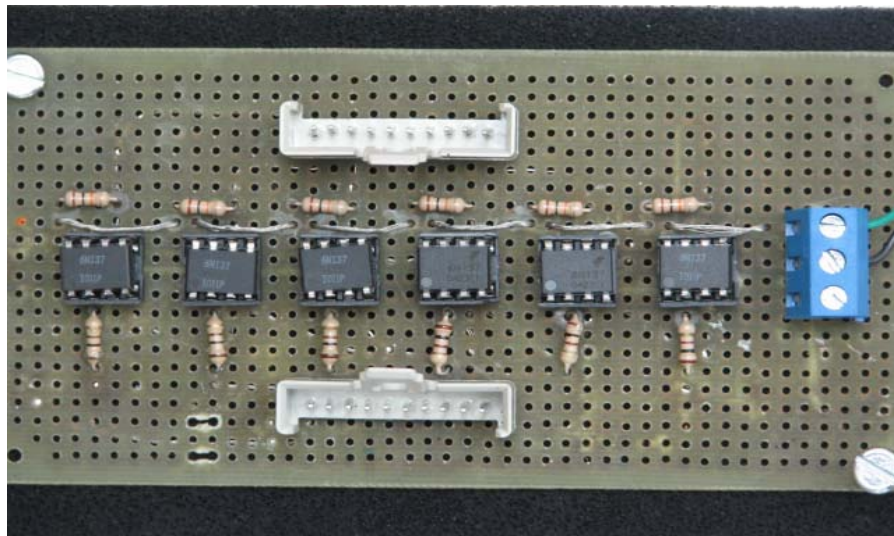
3.2 Yalıtım Devresi

Denetleyici kart ile güç devresini birbirinden yalıtım amacıyla, 6N137 optik yalıtım entegresinin kullanıldığı bir devre yapılmıştır. Bu devreye denetleyici karttan gelen sinyaller 6N137 entegresiyle izole edilerek, ölü zaman entegresine girilmiştir. Optik yalıtım entegresi ile ilgili katalog bilgileri ek-1 de verilmiştir.

Şekil 3.8 de, bir evirici için gereken devre şeması, Şekil 3.9 da ise iki evirici için tasarlanan altı yalıtım entegresiyle oluşturulmuş devre gösterilmiştir.



Şekil 3.8 Yalıtım devre şeması



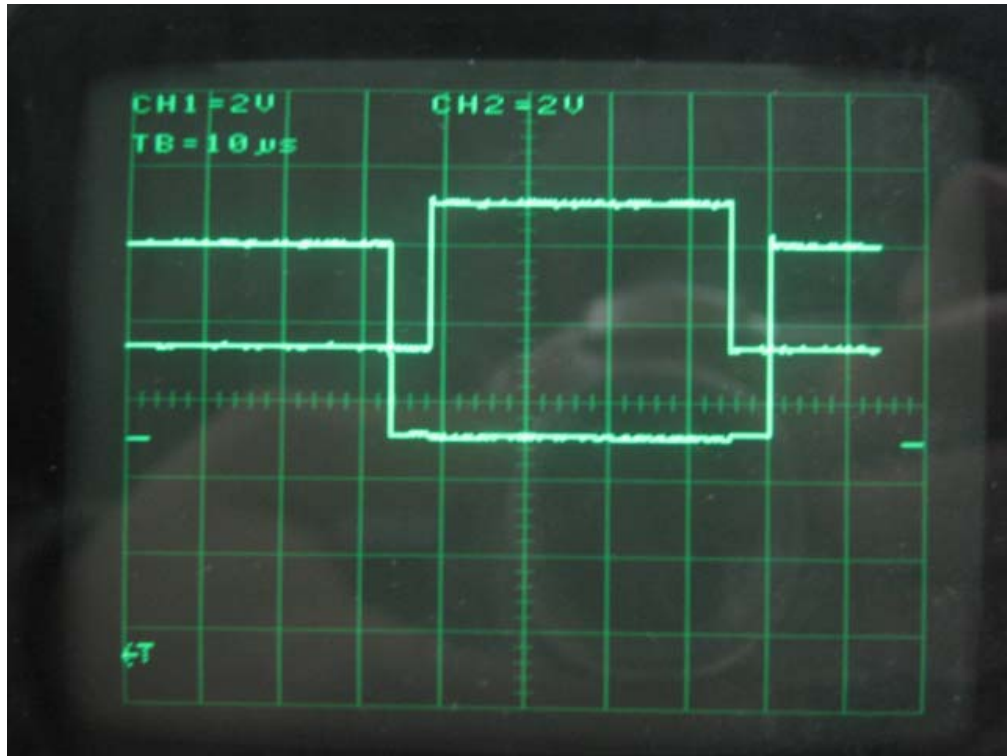
Şekil 3.9 Yalıtım devresi

3.3 Ölü Zaman Devresi

Bilindiği gibi eviricilerde, her bacağına alt ve üst kapısının iletim ve kesime geçme gecikmelerinden kaynaklanan kısa devreyi önlemek için, bu kapılara gelen anahtarlama sinyallerine ölü zamanın bindirilmesi gerekir. Bu işlem ister anahtarlama işaretlerinin üretildiği yazılımla, ister donanımla yapılabilir.

Deney setinde ölü zamanı donanımla üretebilmek için IXYS firmasının IXDP630 entegresinin kullanıldığı bir devre yapılmıştır. Bu entegre ile ilgili katalog bilgileri ek-2 de verilmiştir. Bu entegrenin ilgili bacaklarına bağlanan direnç ve kondansatörle yaklaşık 4,5µsn. ölü zaman elde edilmiştir.

Şekil 3.10 da, osiloskop ekranında, bir anahtarlama sinyalinin ölü zaman entegresine girilip, eviricinin alt ve üst bacaklarına gönderilecek anahtarlama işaretine ölü zamanın bindirilmesiyle elde edilen sinyaller gösterilmiştir.



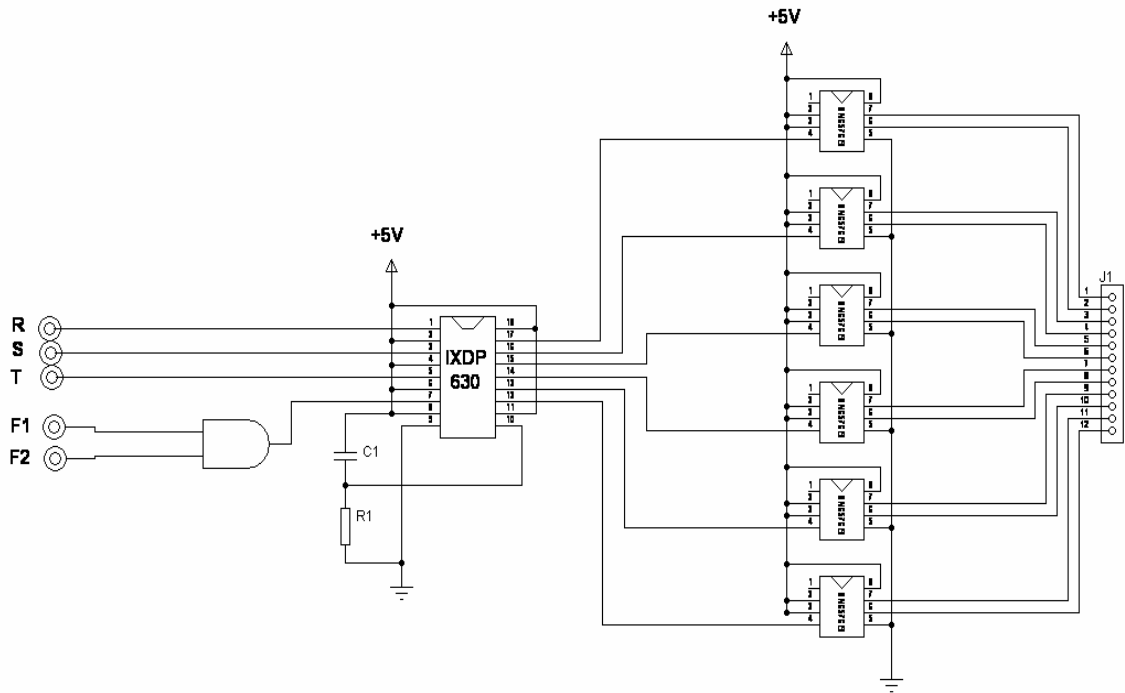
Şekil 3.10 Ölü zamanın osiloskop ekranından görünümü.

3.4 Fark Alıcı Entegre

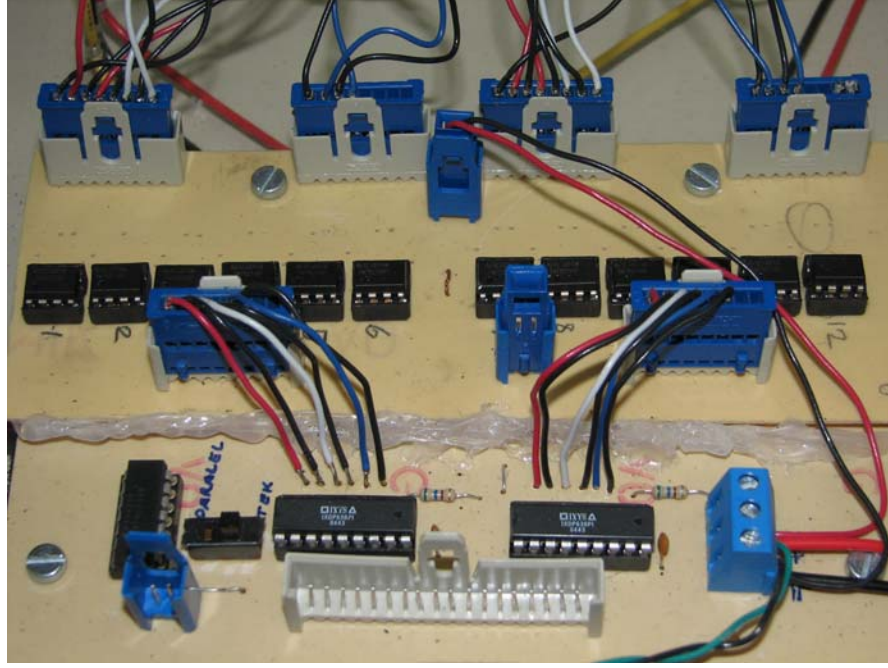
Deney setinde kullanılan evirici, gürültülere karşı oldukça hassastır. Bu eviricinin katalog bilgilerinde, anahtarlama sinyallerinin üretildiği devrenin, evirici kontrol devresinde bulunan filtreleme işlemlerine rağmen, eviriciye oldukça yakın (2-3 inch) olması, eviricinin düzgün çalışması için tavsiye edilmiştir. Kullanılan deney setinin, anahtarlama işaretlerinin üretildiği denetleyici kart ve devrelere bu mesafede yaklaştırılması mümkün değildir.

Denetleyici kart ile evirici ünitesi arasındaki mesafeyi arttırabilmek için, SN75176 fark alıcı (differential bus transceivers) entegre kullanılmıştır. Hem sürücü hem alıcı olarak iki yönlü kullanılabilen bu entegre, sürücü olarak ölü zaman entegresinin çıkışına, alıcı olarak ise eviricinin sürme devresine yerleştirilmiştir. Sürücü olarak kullanıldığında bu entegre, girişine gelen işareti, alçak ve yüksek olarak iki dijital sinyale çevirmektedir. Alıcı olarak kullanımında ise, sürücünden gelen bu iki sinyalin farkının sonucuna göre çıkış işareti belirlenir. Bu fark 0,2V dan büyük ise çıkış yüksek, -0.2V dan küçük ise alçak dijital sinyal üretilir. Böylece sistem üzerinde oluşan gürültüler, anahtarlama sinyallerini etkilese bile, alıcı entegrenin çıkışında düzgün anahtarlama işaretleri elde edilebilir. Bu entegre ile ilgili detaylı bilgi ek-3 de verilmiştir.

Bir evirici için ölü zaman entegresiyle birlikte fark alıcı sürücü entegresinden oluşan devre şeması Şekil 3.11 de verilmiştir. Şekil 3.12 de ise, iki evirici için, ölü zaman ve fark alıcı entegrelerle oluşturulan devre görülmektedir.



Şekil 3.11 Ölü zaman entegresi ve fark alıcı sürücü entegresinden oluşan devre şeması.



Şekil 3.12 Ölü zaman ve fark alıcı devre.

3.5 Evirici

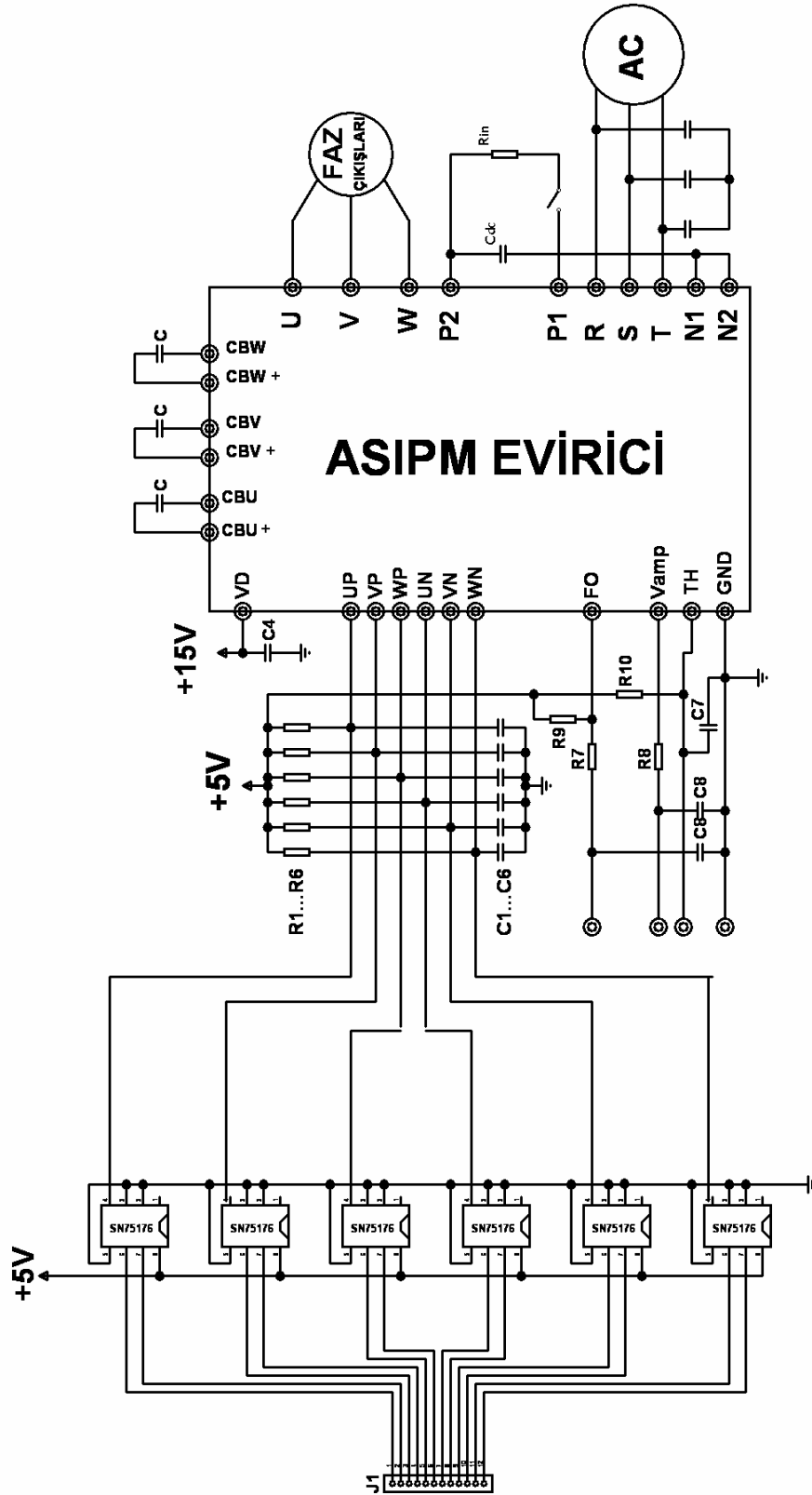
Deney setinde Mitsubishi firmasının PS11035 serisi ASIPM (Application Specification Intelligent Power Module) evirici modülleri kullanılmıştır. 3 fazlı olan bu modül, 0.75kW olup, 600V 5A sınır değerlerine sahiptir. Modül ile ilgili ayrıntılı bilgi ek-4 de verilmiştir.

Evirici için gereken a.a. doğrultucu, birbirlerine göre yalıtımlı d.a. güç kaynakları ve IGBT koruma devreleri bir paket içine yerleştirilmiştir. Şekil 3.13 de evirici modülün bacak bağlantıları ile ilgili devre şeması verilmiştir.

Devre üzerinde bulunan “C” kondansatörleri, devreye uygulanan 15V luk kaynaktan, izoleli d.a. gerilimler elde etmek için kullanılmıştır. Bu kondansatörlerin değeri, kullanılan evirici modülüne, anahtarlama frekansına ve uygulanan modülasyon yöntemine göre değişiklik göstermektedir. Bu değerın yaklaşık hesabıyla ilgili bilgi katalogda verilmiş olup, deney setinde 47µF kullanılmıştır.

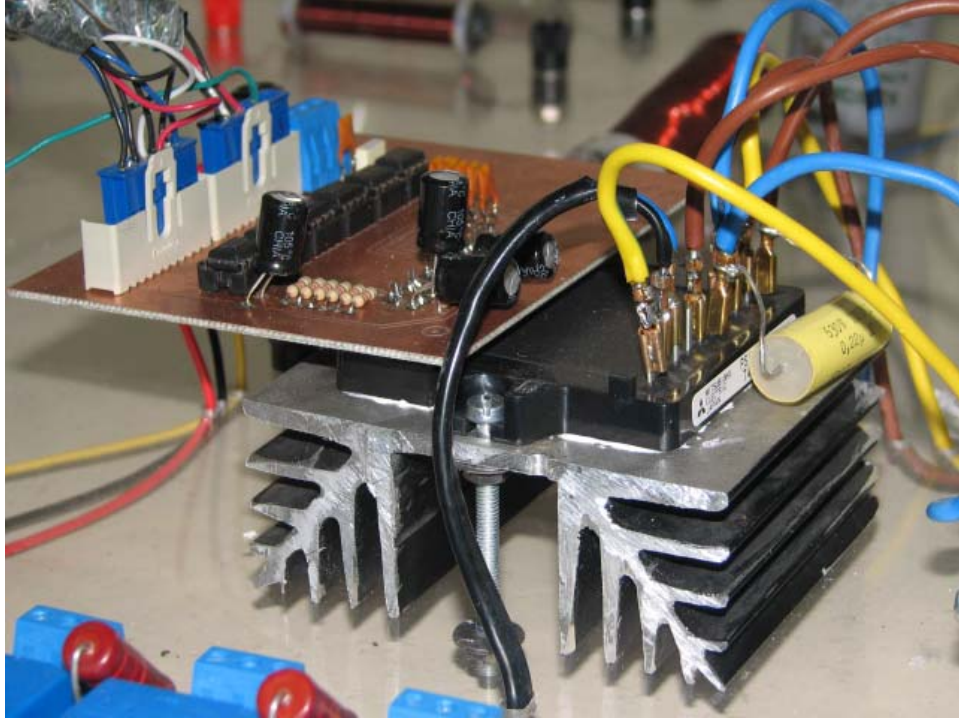
Anahtarlama girişlerine bağlı R_1 – R_6 ve C_1 – C_6 elemanları, filtreleme amacıyla kullanılmıştır. Modül üzerinde aşırı akım ve aşırı sıcaklık ve hata kod çıkışları mevcuttur. Devre üzerinde kullanılan diğer elemanların değerleri, ek-4 de verilmiştir.

Evirici modülün P_1 ve P_2 bacakları arasında “inrush limiter” adı verilen, d.a. link kondansatörünün şarjı için kullanılan bir direnç mevcuttur. Bu direnç, kondansatör şarj olduktan sonra bir anahtar ile devre dışı bırakılır. Deney setinde d.a. link kondansatörü olarak 1000µF, 400V luk kapasite ve şarj direnci olarak 2,2kΩ direnç kullanılmıştır.



Şekil 3.13 ASIPM evirici modülünün sürücü devresiyle birlikte bacak bağlantısı.

Aşağıdaki şekilde evirici ile eviricinin sürme devresi gösterilmiştir.



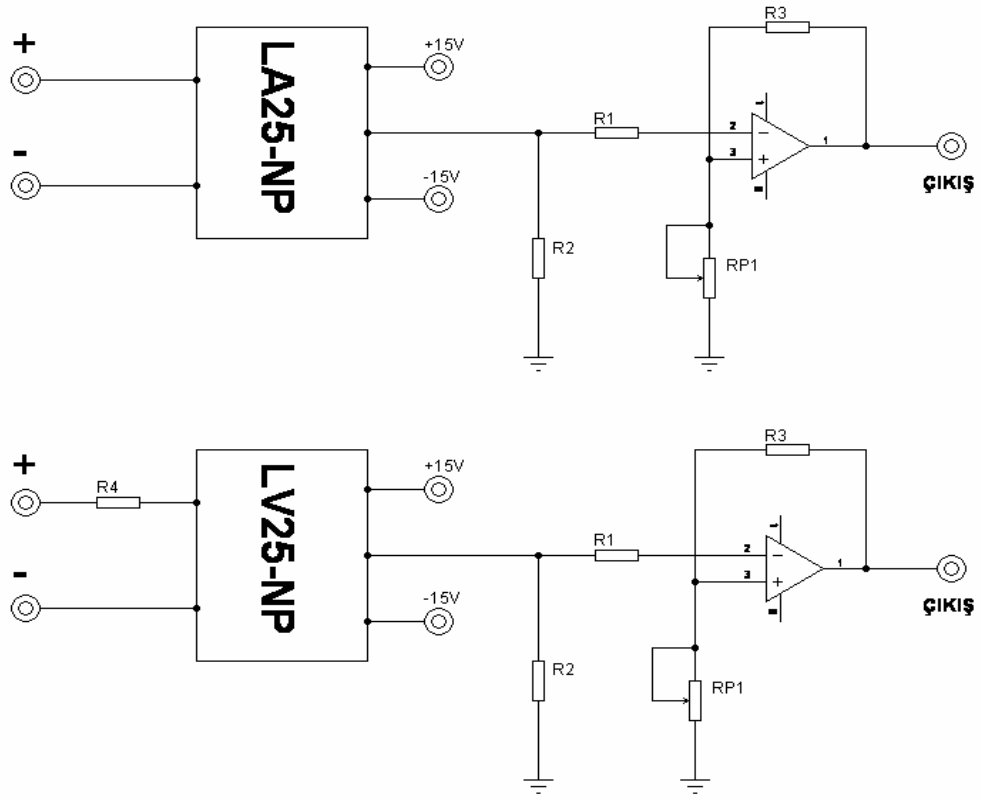
Şekil 3.14 Evirici ve sürme devresi

3.6 Akım ve Gerilim Algılayıcılar

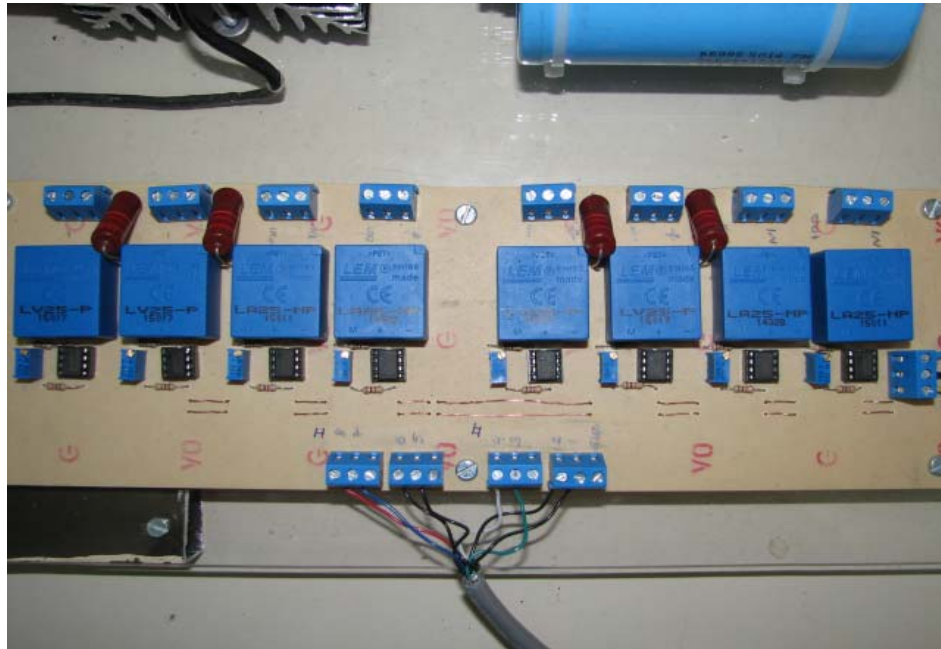
Deney setinde, eviricilerden çekilen aktif ve reaktif güçleri hesaplamak amacıyla, her iki eviricinin filtre çıkış akım ve gerilimleri, algılayıcılar kullanılarak denetleyici kartın analog dijital çevirme modülüne girilmiştir. Bunun için LEM firmasının LA-25NP ve LV-25NP akım ve gerilim algılayıcıları kullanılmıştır. Deney setinde kullanılan bu algılayıcılarına ilişkin devre şeması, Şekil 3.15 de, ayrıntılı bilgi ek-5 de verilmiştir.

Şekilde gösterilen $1k\Omega$ değerindeki RP_1 ayarlı direnç ile, algılayıcılardan gerçek değerleri alabilmek için gerekli kalibrasyon yapılmaktadır. Devredeki diğer direnç değerleri $R_1=R_3=10k\Omega$, $R_2=150k\Omega$, $R_4=25k\Omega$ dur.

Her iki evirici için, iki fazından akım ve gerilim bilgilerini elde edebilmek amacıyla, dört adet akım ve dört adet gerilim algılayıcısına ihtiyaç vardır. Üçüncü faz akım ve gerilimler ise, denetleyici karttan hesaplanmaktadır. Şekil 3.16 bu algılayıcılardan oluşturulan devre gösterilmiştir.



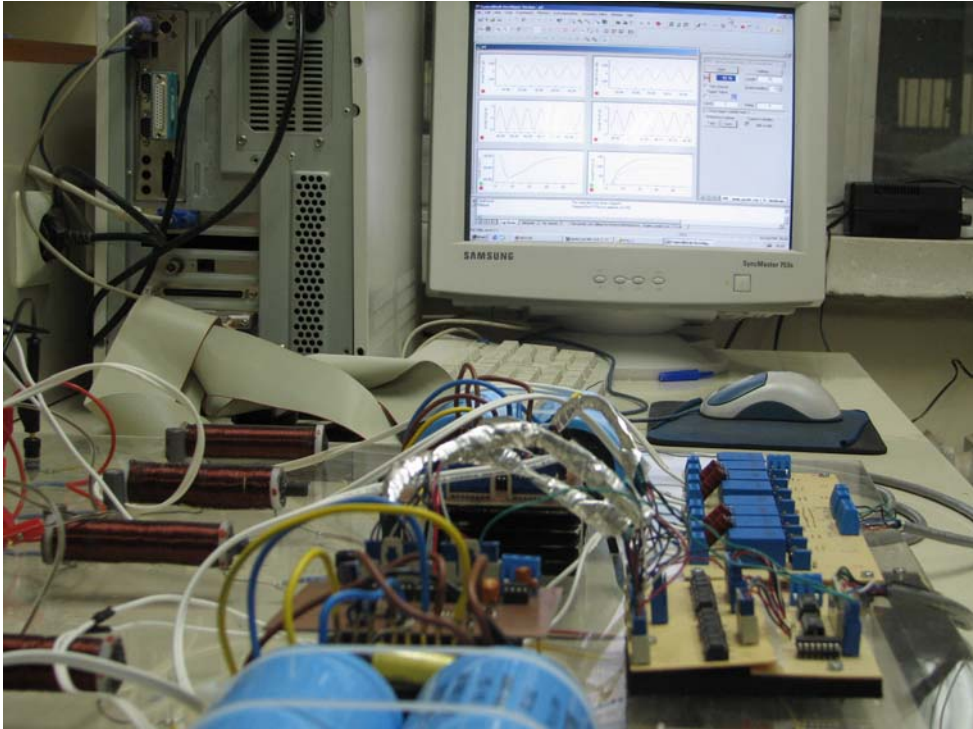
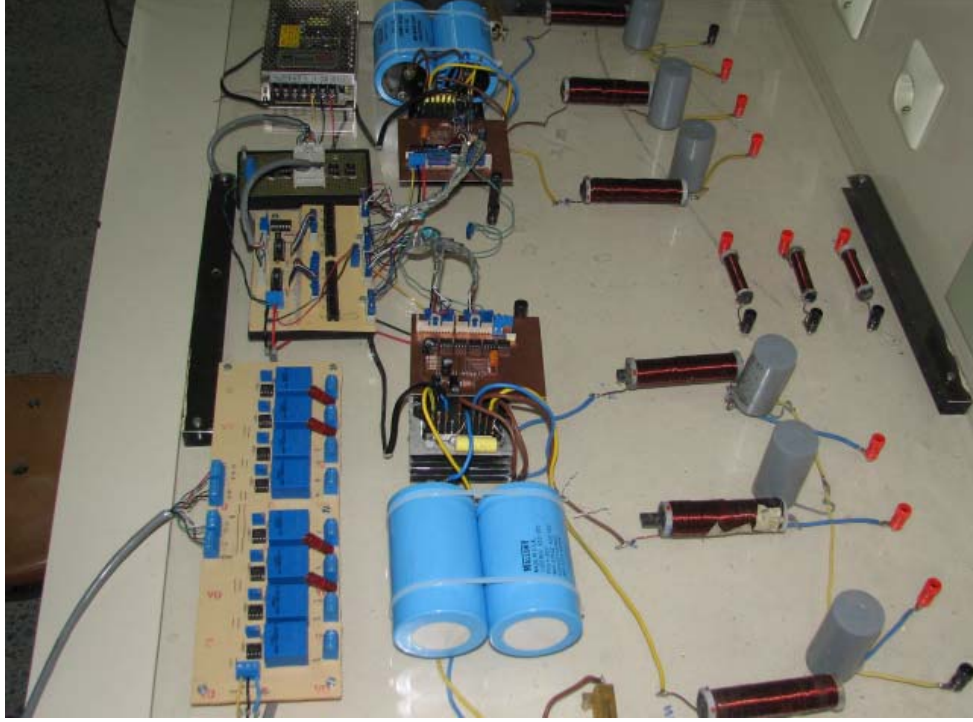
Şekil 3.15 Akım ve gerilim algılayıcılarının kullanımına ilişkin devre şeması.



Şekil 3.16 Akım ve gerilim algılayıcı devresi

3.7 Deney Setinin Genel Görünümleri

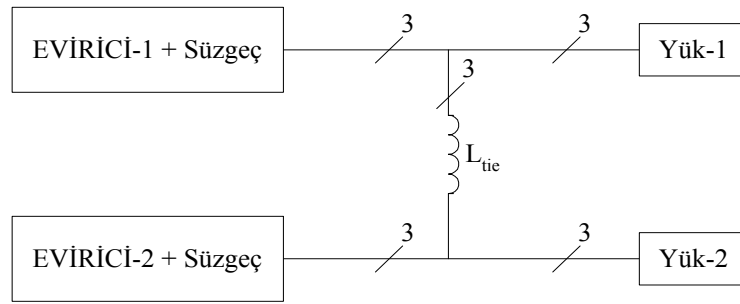
Aşağıdaki şekilde, yukarıda parça parça anlatılan devrelerin bir araya getirilmesiyle oluşturulan deney setinin genel görünümüne ait şekiller verilmiştir.



Şekil 3.17 Deney setinin genel görünümleri.

4. EVİRİCİLERDEN OLUŞAN DAĞINIK GÜÇ SİSTEMİ

Bu bölümde paralel çalışan iki evirici ünitesinden oluşan sistemde yük paylaşımının analizi yapılacaktır. Şimdiye kadar kesintisiz güç kaynağı (KGK) olarak nitelendirilen konvertör üniteleri, KGK'ların yalnızca evirici çalışma boyutları incelendiğinden ve gerçekleştirilen sistemde eviriciler kullanıldığından, evirici olarak adlandırılacaktır. Bu bölümün amacı, Şekil 4.1 de gösterilen iki evirici ünitesiyle oluşturulmuş dağınık güç sisteminde bulunan yüklerin paylaşımını, benzetim ve deneysel sonuçlarla göstermektir.



Şekil 4.1 İki eviriciyle oluşturulmuş dağınık güç sisteminin yapısı.

Sistemde bulunan yüklerin paylaşılması amacıyla aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristikleri kullanılmıştır. Bu yöntemlerle, sistemin toplam yükünün eviriciler arasında, bu ünitelerin güçleri oranında paylaşılması sağlanabilmektedir. Böylece her ünite, optimum bir seviyede çalıştırılarak, eviricilerin zorlanmaması ve sistemin toplam kurulu gücünü aşmamak şartıyla, aşırı yük durumlarının oluşması engellenebilir.

Yük paylaşımı yapılırken, eviricilere ait denetleyici, denetlediği ünitelerin çıkış büyüklüklerini (akım ve gerilim) kullandığından, üniteler arasında bir haberleşme hattının kullanılmasına gerek kalmaz. Böylece hem bu hatta oluşabilecek gürültülerin neden olabileceği arızalardan kaçınılmış hem de sistemin donanımı açısından bir rahatlık sağlanmış olur.

Bu bölümde önce sinüzoidal darbe genişlik modülasyonu (SDGM) hakkında bilgi verilecektir. Sistemde bulunan eviricilerin modülasyonunda da bu yöntem kullanılacaktır. Ardından SDGM ile modüle edilmiş bir eviricinin akım ve gerilim çıkışlarına ait benzetim ve deneysel sonuçları verilecektir.

Sonraki kısımda yük-frekans düşüm karakteristiğinin bir eviriciye nasıl uygulandığı gösterilecektir. Bu kısım, eviricilerin paralel çalışmasının ve yük paylaşımının anlaşılmasını kolaylaştırmak açısından faydalı olacaktır.

Bir sonraki kısımda, frekans düzenleme algoritması anlatılacaktır. Önceki bölümlerde de verildiği gibi, yük-frekans düşüm karakteristiğinin uygulanmasıyla nominal değerinden ayrılan frekansın, frekans düzenleme algoritması ile, yük paylaşımı devam ederken tekrar nominal değerine getirilmesi açıklanacaktır.

Sonraki kısımda ise omik yükleri besleyen, iki evirici ünitesiyle oluşturulmuş şebeke yapısı tanımlanarak, ünitelerin paralel çalışması ile aktif yüklerin paylaşımı güç, frekans, gerilim ve akım eğrileri, benzetim ve deneysel olarak gösterilerek, aralarındaki uyum gösterilecektir.

Bir sonraki kısımda reaktif güç-gerilim düşüm karakteristiği tanımlanarak, endüktif yüklerle oluşan sistemde, eviriciler arasında reaktif yük paylaşımı, hem sayısal benzetim hem de deneysel sonuçlar olarak gösterilecektir.

Son kısımda ise, RL yüklerinden oluşan bir sistemde, eviricilerden çekilen aktif ve reaktif güçlerin eviriciler arasındaki paylaşımı, benzetim ve deneysel olarak verilecektir.

Yapılan analizlerde, benzetim sonuçları için Matlab/Simulink paket programı, deneysel uygulamadaki denetleyici kart olarak, Dspace firmasının DS-1103 dijital işaret işlemcisi (DSP) kullanılmıştır. Yapılan benzetim ve deneysel uygulamalarda anahtarlama frekansı 3800 Hz, d.a. hat gerilimi 155V alınmıştır.

4.1 Sinüzoidal Darbe Genişlik Modülasyonu

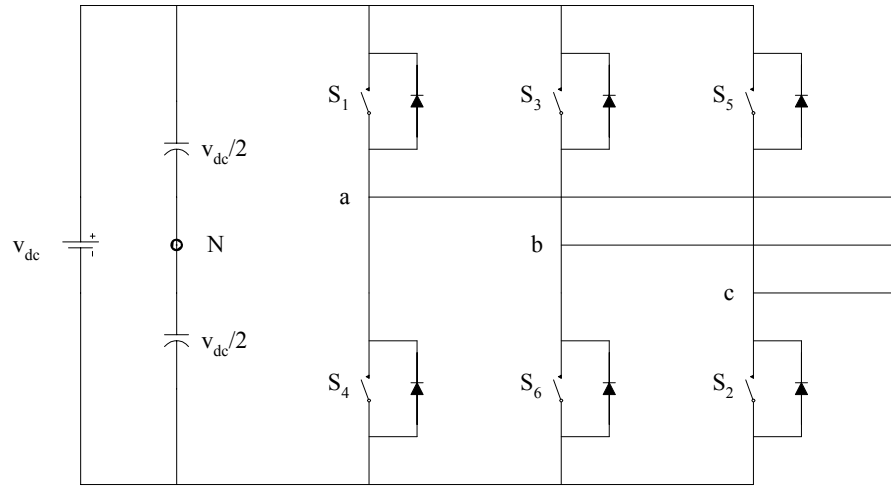
Bu tezde darbe genişlik modülasyonlu (DGM) işaret üretiminde, sinüzoidal DGM (SDGM) tekniği kullanılmıştır. SDGM tekniği, literatürde en çok bilinen DGM yöntemlerinden biridir. Şekil 4.2 de verilen üç fazlı gerilim kaynaklı evirici için, bir faz için taşıyıcı ve modülasyon sinyalleri ile bu sinyallerin karşılaştırılmasıyla elde edilen anahtarlama işareti, Şekil 4.3 de gösterilmiştir. Eviricinin diğer fazları için gereken anahtarlama işaretlerini üretmek için aynı taşıyıcı sinyal, 120° faz farklı olan diğer modülasyon sinyalleri ile karşılaştırılır.

DGM için modülasyon indeksi şu şekilde tanımlanabilir;

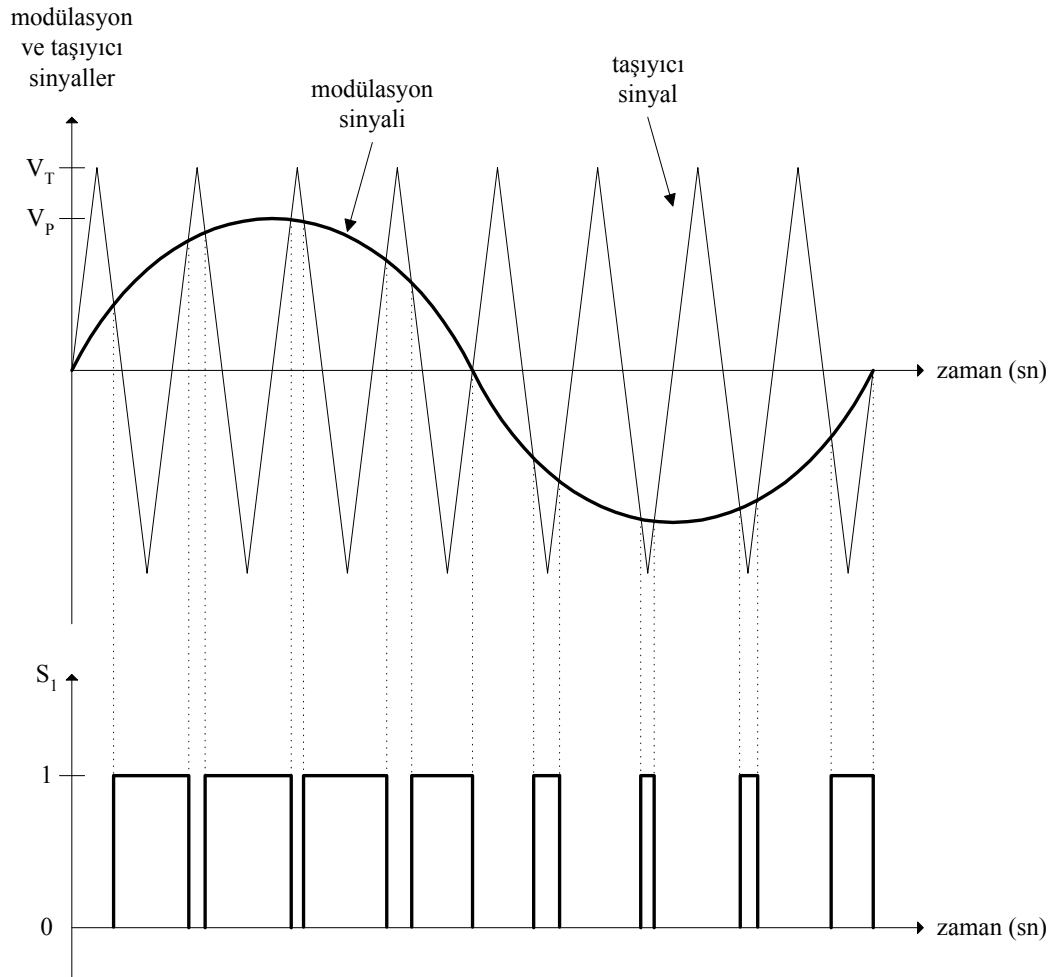
$$M = \frac{V_P}{V_T} \quad (4.1)$$

Burada V_P modülasyon sinyalinin tepe değerini, V_T ise taşıyıcı sinyalin tepe değerini göstermektedir. Yıldız bağlı yük için, evirici çıkışından alınan faz gerilimi şu şekilde ifade edilebilir [72, 73].

$$V_{ao} = 0.5MV_{dc} \sin(\omega t) \quad (4.1)$$

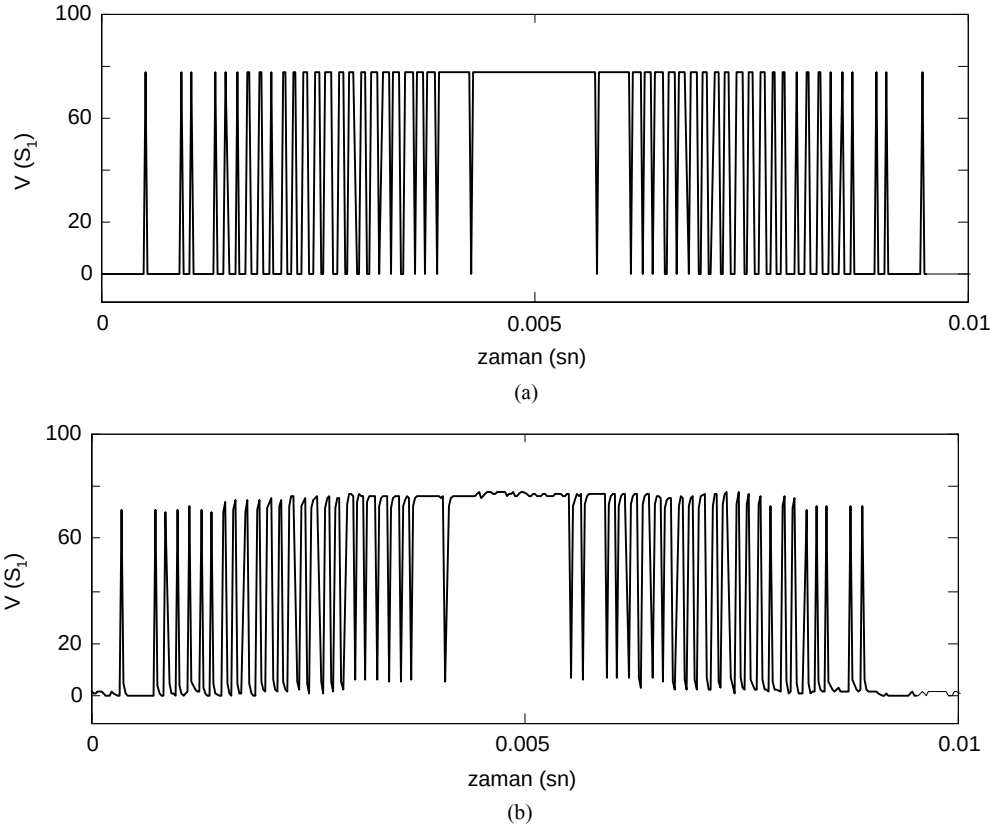


Şekil 4.2 Üç fazlı gerilim kaynaklı evirici modeli.



Şekil 4.3 Taşıyıcı ve modülasyon sinyalleri ile anahtarlama sinyali.

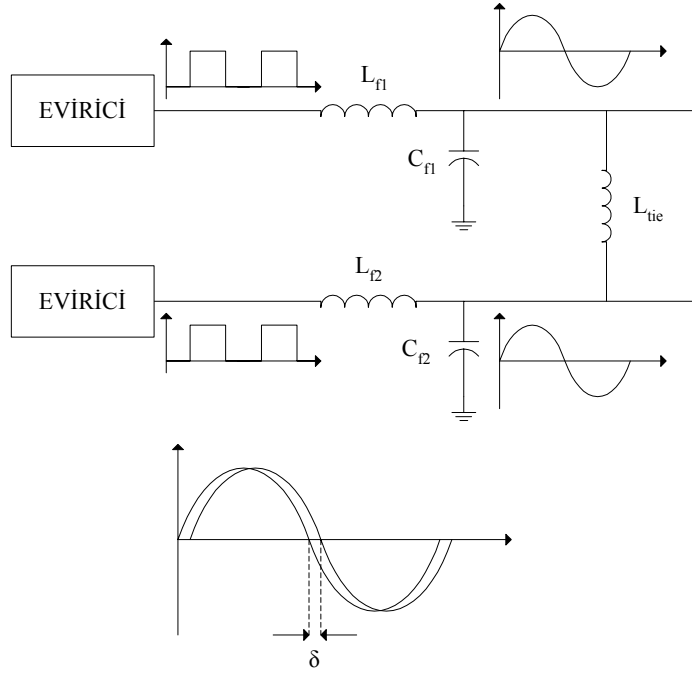
Şekil 4.4 de, SDGM üretilmesiyle, S_1 anahtarı üzerine düşen gerilimin benzetim ve uygulama sonucu verilmiştir.



Şekil 4.4 S_1 anahtarı üzerine düşen gerilim (a) benzetim (b) deneysel sonuçlar.

4.2 Evirici Çıkış Süzgeci

Kullanılan sistemde, evirici faz çıkışlarında alçak geçiren süzgeç kullanılmıştır. Şekil 4.5 de L_f - C_f simgeleriyle gösterilen bu süzgeçlerin amacı, sadece yüksek harmonikli sinyal bileşenlerini süzmek değil, evirici çıkışlarındaki darbeli sinyalleri sinüzoidal sinyal formuna çevirmek içindir. 2.1 denkleminde verildiği gibi, eviriciler arasındaki ara bağlantı hattından akan güç, bu bağlantı hattının uçlarındaki gerilimler arasındaki faz farkına (δ) bağlıdır. Bu faz farkının sinüzoidal sinyaller arasında olması gerektiği açıktır.



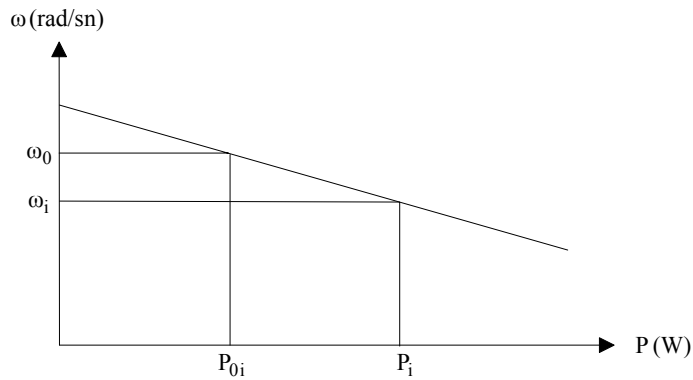
Şekil 4.5 Evirici çıkış süzgeci.

4.3 Aktif Güç-Frekans Düşüm Karakteristiği

Bu kısımda aktif güç-frekans düşüm karakteristiğine ait benzetim ve deneysel sonuçlar verilecektir. 2. bölümde ayrıntılı olarak verilen bu karakteristiğin kısaca anlamı, eviriciden çekilen aktif güçle orantılı olarak, evirici frekansının değiştirilmesidir. 2.3 denkleminde de verildiği gibi, Şekil 4.6 da verilen karakteristiğin denklemi şu şekildedir;

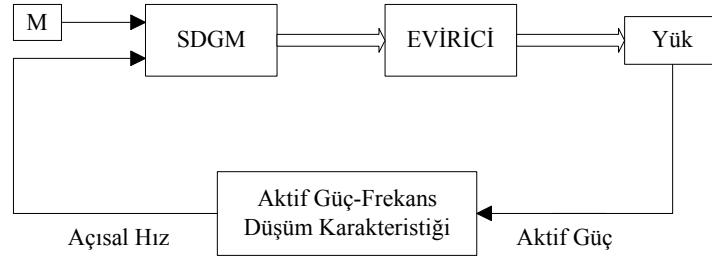
$$\omega = \omega_0 - b(P_0 - P) \quad (4.3)$$

Bu denklemdeki “b” katsayısı, karakteristik denklemin eğimini göstermektedir. Bu eğimin artması eviricinin daha düşük güçlü, eğimin azalması eviricinin daha yüksek güçlü olduğu anlamına gelir (eğimin sıfır olması sonsuz gücü temsil eder).



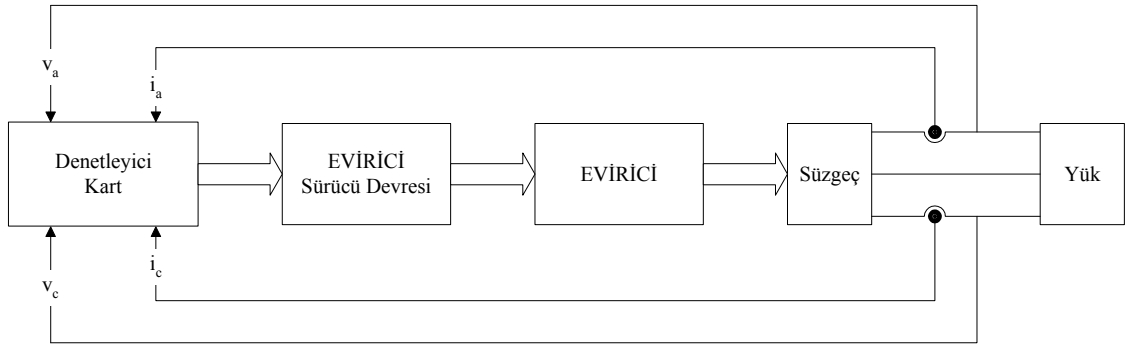
Şekil 4.6 Aktif güç-frekans düşüm karakteristiği.

Şekil 4.7 de, tek bir eviriciye uygulanan aktif güç-frekans düşüm karakteristiğine ait blok şema gösterilmiştir. Evirici süzgeç çıkışından alınan akım ve gerilim bilgileriyle eviriciden çekilen aktif güç, düşüm karakteristiğine uygulanarak eviricinin yeni frekansı bulunur. Şekildeki “M”, modülasyon indeksini temsil etmektedir.



Şekil 4.7 Aktif güç-frekans düşüm karakteristiğinin bir eviriciye uygulanması.

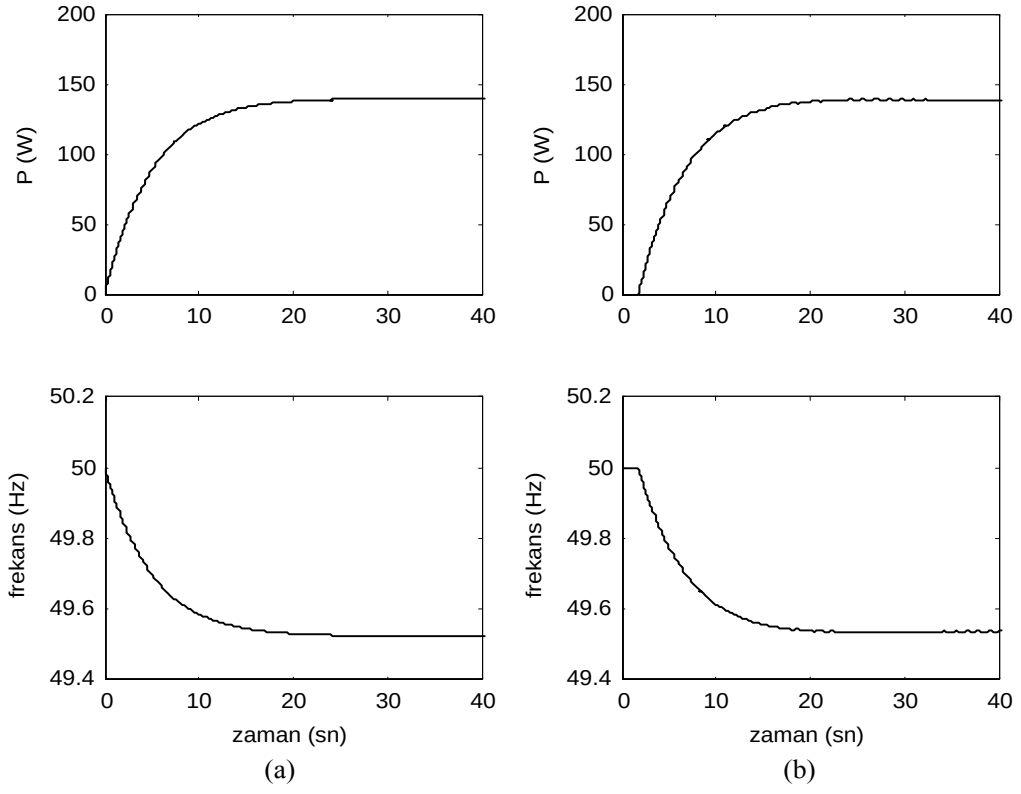
Yapılacak analiz için kullanılacak deney setinde, Şekil 4.8 de gösterildiği gibi eviricinin her fazında bulunan süzgeçlerin iki tanesinin çıkışlarındaki akım ve gerilim bilgileri, DSP’ye geri besleme olarak girilmiştir. Bu bilgilerle, eviriciden çekilen aktif güç ile üçüncü fazın akım ve gerilim bilgileri elde edilmektedir.



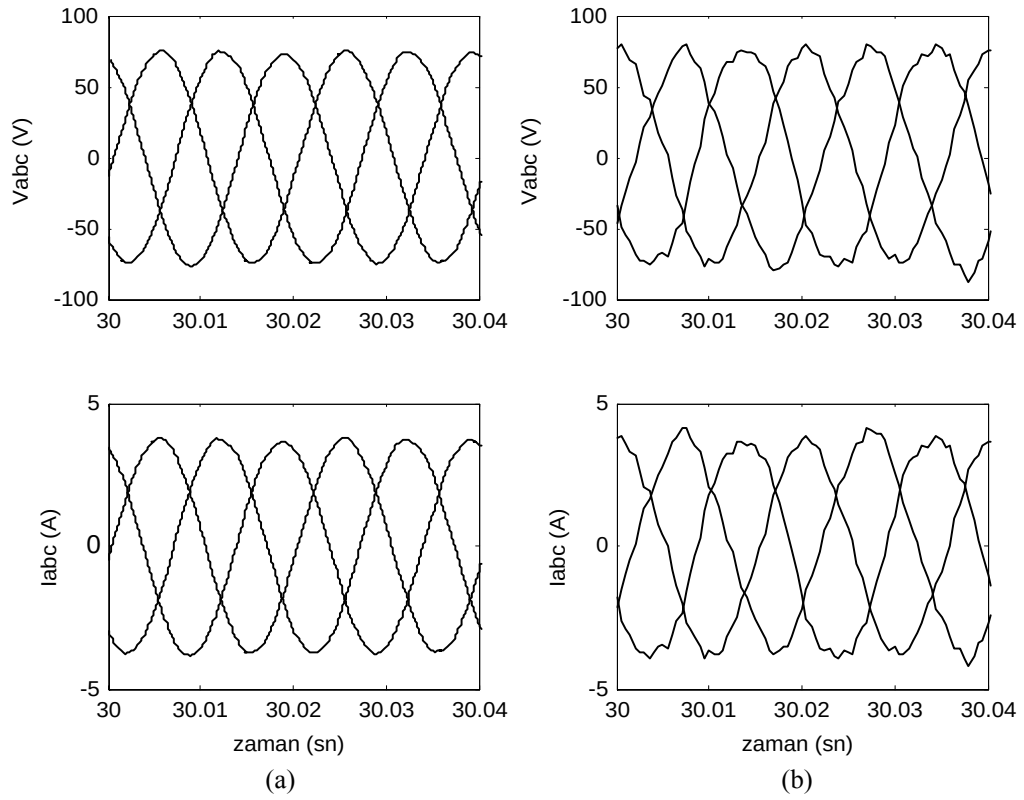
Şekil 4.8 Denetleyici kart ile bir eviricinin sürülmesi.

Benzetim ve deneysel analizde yük olarak, her faz için 20Ω değerinde, üç fazlı yıldız bağlı omik bir yük kullanılmıştır. Süzgeç endüktansları 13mH, süzgeç kapasiteleri 10 μ F dır. Aktif güç-frekans düşüm karakteristiğinin eğimi $b = -0.02(\text{rad/sn})/\text{W}$, nominal frekans 50Hz olarak alınmıştır.

Şekil 4.9 ve Şekil 4.10 da tek bir eviriciye uygulanan aktif güç-frekans düşüm karakteristiği ile ilgili aktif güç, frekans gerilim ve akım sinyalleri gösterilmiştir.



Şekil 4.9 Eviriciden çekilen aktif güç ve frekans. a) benzetim b) deneysel sonuçlar



Şekil 4.10 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar

Şekil 4.10'dan da görüleceği gibi yüke uygulanan gerilim yaklaşık maksimum $\pm 75V$ dur. Eviricinin sisteme verdiği güç, süzgeç çıkışından alınan bilgilerle hesaplandığından, yük empedansı 20Ω alınır. Bu şartlarda eviriciden çekilen akım, yaklaşık $\pm 3.75A$ dir.

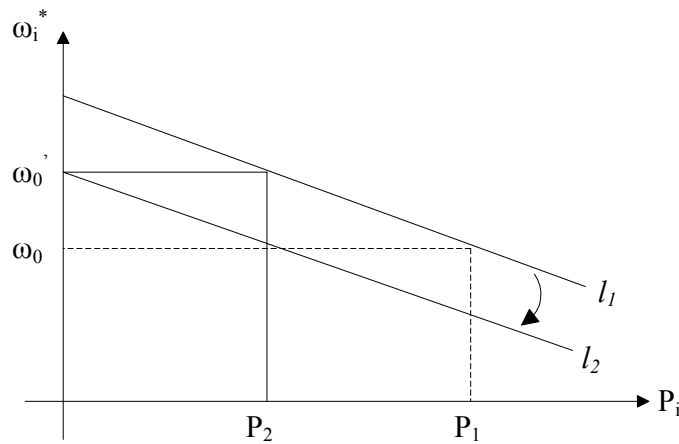
Şekil 4.9 da eviricinin yüklenmesiyle, eviricinin sisteme verdiği güç ve buna karşılık frekansında oluşan değişim gösterilmiştir. Yukarıda açıklanan akım ve gerilim değerlerine karşılık eviriciden çekilen aktif güç yaklaşık $140W$ dır. Aktif güç-frekans düşüm karakteristiğinin eğimi -0.02 olarak alındığına göre, 4.3 denkleminde bu değerler yerine yazıldığında, eviricinin açısal hızında 2.8 rad/sn yani yaklaşık 0.446Hz lik bir frekans düşümü beklenmelidir. Bu şartlarda sürekli durumda evirici frekansı 49.554Hz olacaktır.

Şekil 4.10 da evirici süzgeç çıkış gerilim ve akımlarının üç fazı da gösterilmiştir.

4.4 Frekans Düzenleme

Bu kısımda yük değişimini takiben değişen frekansının, nominal çalışma frekansına dönüşümü verilecektir. Sistem yükünde bir değişim olduğunda, eviricilere uygulanan aktif güç-frekans düşüm karakteristiğine göre, sistem frekansı nominal değerden sapacaktır.

4.3 denkleminde güç-frekans düşüm karakteristiğinin denklemi tanımlanmıştı. Şekil 4.11, bu denkleme ait karakteristiği göstermektedir. Bu şekilde I_1 ile gösterilen doğru, ünitenin P_1 gücüyle nominal frekansta çalışırken, çıkış gücünün P_2 'ye düşmesi ile ilgili frekans değişimini göstermektedir. Düşüm karakteristiği denkleminde de anlaşılabacağı gibi P_2 de, " ω_0 " olarak gösterilen frekans, nominal frekanstan daha yüksek olacaktır. Frekansı tekrar nominal değerine getirebilmek için I_1 doğrusu, eğimi sabit kalacak şekilde dikey olarak kaydırılması gerekir. Şekil 4.11 de bu durum I_2 ile gösterilmiştir.



Şekil 4.11 Güç-frekans düşüm karakteristiğinin kaydırılması ile frekans düzenleme.

Yük paylaşımı devam ederken, tüm sistem frekansını tekrar nominal değere getirebilmek için, bütün evirici ünitelerinin düşüm karakteristikleri doğru oranda kaydırılmalıdır. Eğer düşüm karakteristikleri keyfi oranlarda kaydırılırsa, frekans düzenleme doğru bir şekilde gerçekleşmesine rağmen, yük paylaşımında hatalar olacaktır.

4.3 denkleminde açıkça görüleceği gibi, i. ünite için ayar değeri ω_i^* nominal değere eşit olduğunda P_{0i} , P_i ye eşit olmalıdır. 2. bölümde anlatıldığı gibi, düşüm karakteristiğindeki P_{0i} değeri, i. ünitenin nominal güç değeri olarak tanımlanmıştır. Bu güç değerinde ünitenin frekansı nominal değerdedir.

Düşüm karakteristiğinin kaydırılabilmesi için, P_{0i} 'nin değişmesine izin verilmelidir. i. evirici ünitesinin yeni nominal güç değerini P_{Ri} olarak tanımlayabiliriz. Yük paylaşımının doğru olarak devam edebilmesi için, her ünitenin karakteristiklerinin eğimiyle, yeni nominal güç değerleri arasında şu bağıntı olmalıdır;

$$b_1 P_{R1} = \dots = b_i P_{Ri} = \dots = b_n P_{Rn} \quad (4.4)$$

Sistemin toplam yükü ΔP_L kadar değiştiğinde, bu değişim tüm evirici üniteleri arasında paylaşılacaktır. Bu durumda, i. ünitenin gücündeki değişim ΔP_i ve frekansındaki değişim;

$$\Delta \omega_i = b_i \Delta P_i \quad (4.5)$$

$\Delta \omega_i$, i. evirici ünitesi tarafından, aktif güç-frekans düşüm karakteristiği kullanılarak, yerel olarak ölçülebilir.

Yük paylaşımı devam ederken sistem frekansını nominal değere getirebilmek amacıyla, her bir ünite için, 4.3 denklemindeki P_{0i} değerini değiştiririz.

$$\begin{aligned} \frac{d}{dt} P_{01} &= k_{res} P_{R1} \Delta \omega_1 \\ \frac{d}{dt} P_{0i} &= k_{res} P_{Ri} \Delta \omega_i \\ \frac{d}{dt} P_{0n} &= k_{res} P_{Rn} \Delta \omega_n \end{aligned} \quad (4.6)$$

Bu denklemlerdeki “ $k_{res} P_{Ri}$ ” sabiti, frekans düzenleme oranını belirleyen bir katsayıdır. 4.6 denklemi, her bir KGK ünitesinin güç-frekans karakteristiğinin, güçleri oranında kaydırıldığını göstermektedir. b_i katsayısında olduğu gibi $k_{res} P_{Ri}$ katsayısı da önemli bir parametredir ve frekans düzenleme algoritmasının hızını belirler. Frekans düzenleme işleminde, güç paylaşımının doğru bir şekilde devam edebilmesi için, ünitelerin gerilim vektörleri arasındaki faz açısının düzenleme işlemi boyunca sabit kalması gerekir. i. ünite için;

$$\frac{d}{dt} (\Delta \omega_i) = b_i \frac{d}{dt} P_{0i} \quad (4.7)$$

i. ünite için 4.4 denklemini kullanırsak;

$$\frac{d}{dt}(\Delta\omega_i) - k_{res} P_{Ri} b_i \Delta\omega_i = 0 \quad (4.8)$$

Bu diferansiyel denklemin çözümü;

$$\Delta\omega_i(t) = A_i e^{k_{res} P_{Ri} b_i t} \quad (4.9)$$

A_i sabiti, $t=0$ anındaki $\Delta\omega_i$ başlangıç değerinden bulunabilir. 4.9 denkleminde sistemin toplam yük değişimi ΔP_L , sistem frekansını şu şekilde değiştirir;

$$\Delta\omega_1 = \dots = \Delta\omega_i = \dots = \Delta\omega_n = \frac{\Delta P_L}{\sum_{j=1}^n \frac{1}{b_j}} \quad (4.10)$$

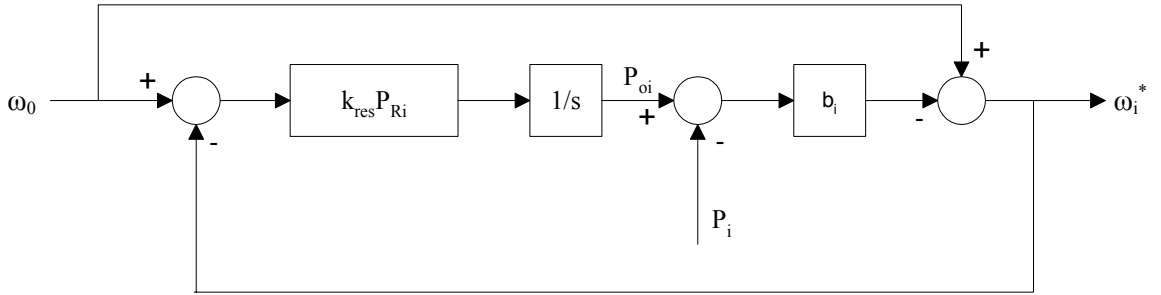
Böylece sistem frekansının denklemi aşağıdaki gibi verilebilir;

$$\Delta\omega_i(t) = \frac{\Delta P_L}{\sum_{j=1}^n \frac{1}{b_j}} e^{\frac{-t}{\tau}} \quad (4.11)$$

Burada τ , frekans düzenleme işleminin zaman sabitidir;

$$\tau = \frac{1}{k_{res} P_{Ri} b_i} \quad (4.12)$$

Frekans düzenleme için, 4.3 ve 4.6 denklemleri kullanılarak aşağıdaki blok şeması oluşturulabilir [74].



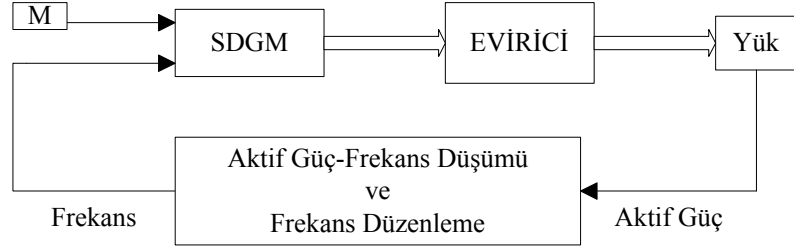
Şekil 4.12 Frekans düzenleme blok şeması.

Pratik uygulamada $\omega_i = \omega_i^*$ olarak alınabilir. Böylece Şekil 4.12 de ω_i geri besleme değeri olarak kullanılarak ω_i^* ayar değeri hesaplanabilir.

Burada $k_{res} P_{Ri}$ katsayısı, aynı zamanda frekansın nominal değerine ulaşma zamanını belirleyecektir. Bu katsayı büyük seçilirse, sistem frekansı daha hızlı nominal değerine gelecek ancak paralel çalışan eviriciler için, yük paylaşımı devam ederken bu işlem yapıldığından, evirici süzgeç çıkış gerilimleri arasındaki faz farkı olması gereken değere ulaşmadan, frekanslar birbirine yaklaşacaktır. Bu da yük paylaşımının olması gereken orandan bir miktar sapmasına

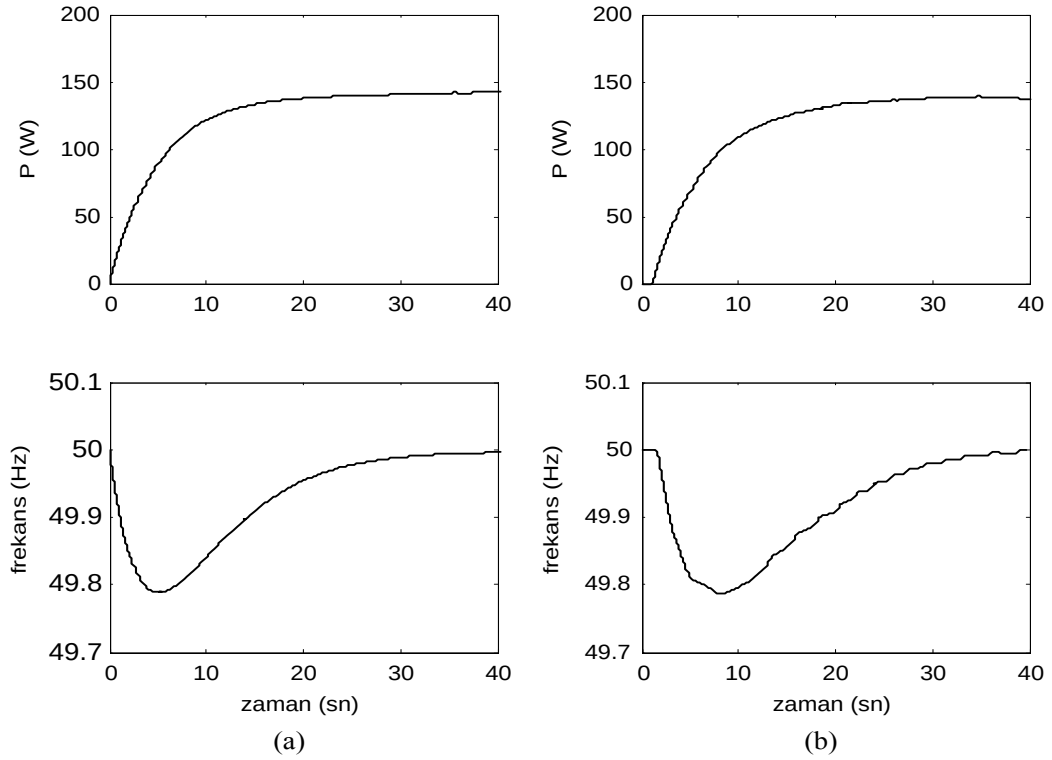
yol açar. Bu katsayı küçük seçilirse yük paylaşımı daha doğru oranda yapılır ancak, frekansın nominal değere gelme süresi uzamış olur. Bu durum 4.12 denkleminde de anlaşılmaktadır.

Şekil 4.13 de, aktif güç-frekans düşüm karakteristiğiyle frekans düzenleme algoritmasının birlikte kullanıldığı, tek üniteli bir sistemin blok şeması gösterilmiştir.

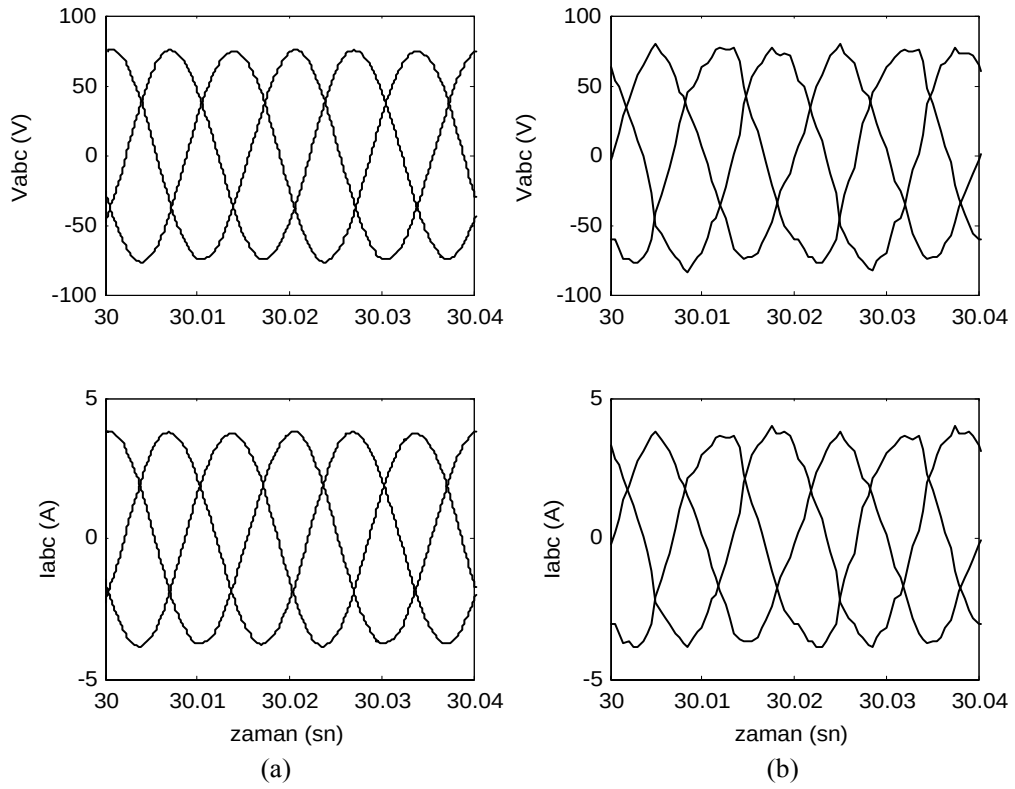


Şekil 4.13 Aktif güç-frekans düşüm karakteristiği ile frekans düzenleme algoritmasının birlikte bir eviriciye uygulanması.

Yapılan deneysel incelemede, yine Şekil 4.8 deki devre bağlantısı kullanılmıştır. Yukarıda kullanılan devre parametrelerine ek olarak, frekans düzenleme katsayısı $k_{res}P_{Ri}$, 7,5 olarak seçilmiştir. Şekil 4.14 ve Şekil 4.15 de ilgili algoritmaya ilişkin aktif güç, frekans gerilim ve akım sinyalleri verilmiştir.



Şekil 4.14 Eviriciden çekilen aktif güç ve frekans. a) benzetim b) deneysel sonuçlar



Şekil 4.15 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar

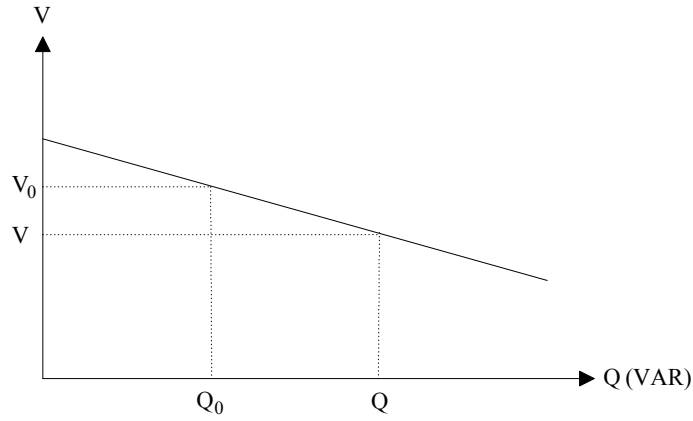
Şekil 4.14 den de görüldüğü gibi eviricinin yükü arttığında, aktif güç-frekans düşüm karakteristiğinin etkisiyle frekansta bir düşme meydana gelmektedir. Bu karakteristiğin sonucu olarak frekans düzenleme algoritmasının değişen frekansı tekrar nominal değerine getirdiği hem benzetim hem de deneysel sonuçlardan açıkça görülmektedir.

Şekil 4.15 de yapılan analiz için, evirici süzgeç çıkışlarından alınan üç faz gerilim ve akım eğrileri görülmektedir.

4.5 Reaktif Güç-Gerilim Düşüm Karakteristiği

Bu kısımda, eviriciler arasında reaktif güç paylaşımını yapabilmek için kullanılan reaktif güç-gerilim düşüm karakteristiğinden bahsedilecektir. 2. bölümde de anlatıldığı gibi, eviriciler arasındaki reaktif güç akışı, eviricilerin gerilimlerinin genlikleri arasındaki farkla denetlenebilir. Bu güç akışı 2.2 denkleminde de açıkça görülmektedir. Bu amaçla aktif güç-frekans düşüm karakteristiğine benzer bir mantıkla reaktif güç-gerilim düşüm karakteristiği oluşturularak eviricilere uygulanabilir.

Şekil 4.16 da reaktif güç-gerilim düşüm karakteristiği gösterilmiştir. Burada reaktif gücün değişimine karşılık gerilimin nominal değeri değişmektedir.



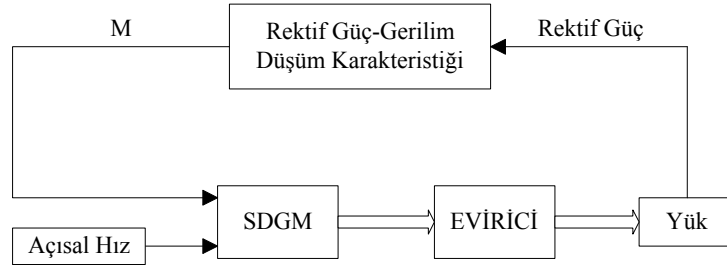
Şekil 4.16 Reaktif güç-gerilim düşüm karakteristiği

Şekil 4.16 deki karakteristiğin denklemi aşağıdaki gibidir.

$$V = V_0 - m(Q_0 - Q) \quad (4.13)$$

Burada “m” katsayısı karakteristik denklemin eğimini göstermektedir. Paralel çalışmada bu katsayıların oranı, aktif güç-frekans düşüm karakteristiğindeki “b” katsayısı gibi, eviricilerin birbirlerine göre olan reaktif güç oranını belirleyecektir.

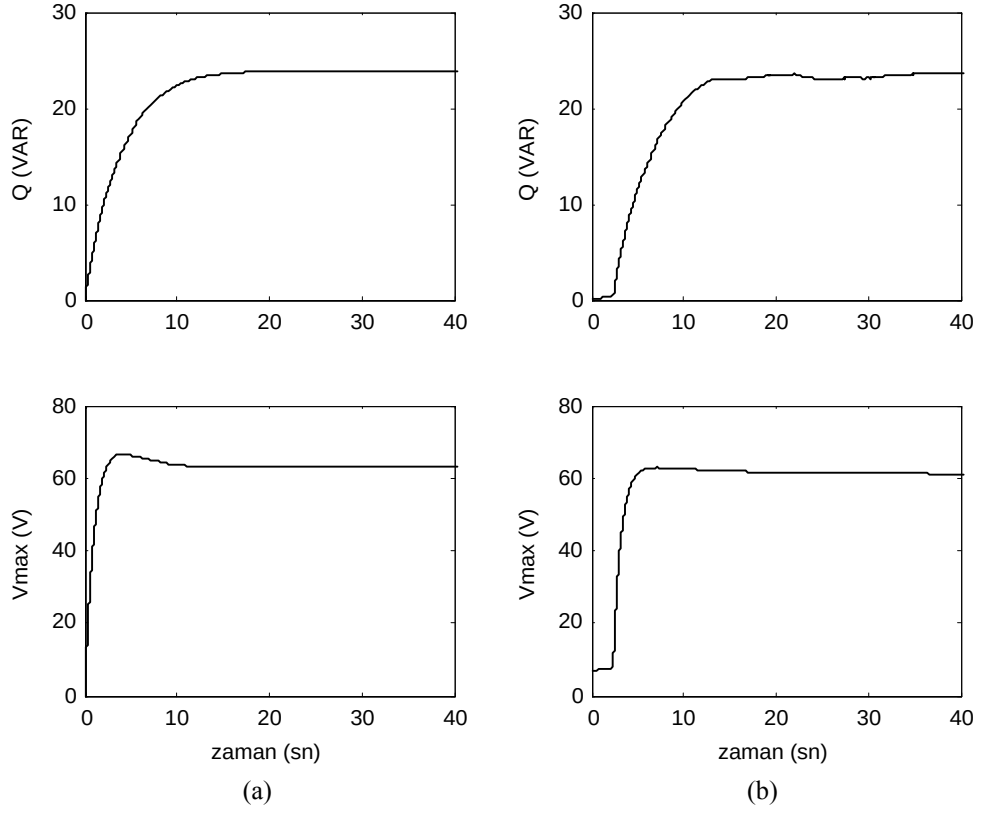
Şekil 4.17 de tek bir evirici ünitesine reaktif güç-gerilim düşüm karakteristiğinin uygulanmasıyla ilgili blok şeması gösterilmiştir. Daha öncede belirtildiği gibi M, modülasyon indeksini göstermektedir.



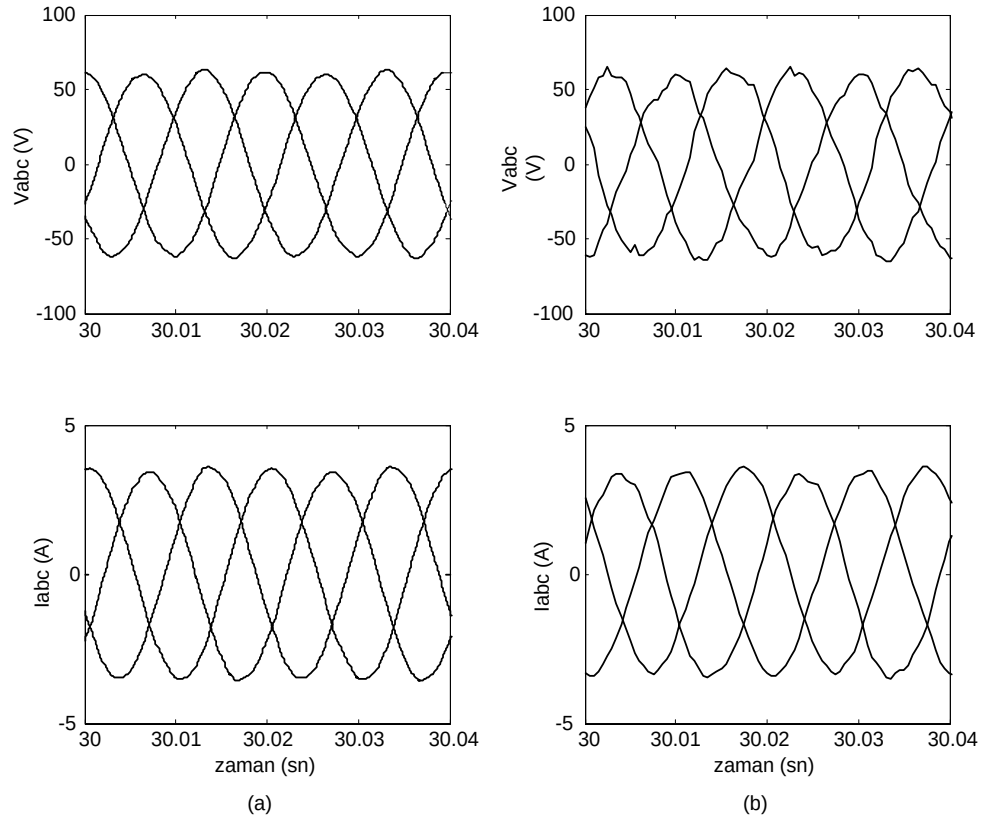
Şekil 4.17 Reaktif güç-gerilim düşüm karakteristiğinin bir eviriciye uygulanması.

Benzetim ve deneysel analizde yük olarak, $17+j4\Omega$ değerinde üç fazlı yıldız bağlı yük kullanılmıştır. Süzgeç endüktansları 13mH, süzgeç kapasiteleri 10μF dır. Reaktif güç-gerilim düşüm karakteristiğinin eğimi $m = -0.6(V)/VAR$, nominal frekans 50Hz olarak alınmıştır.

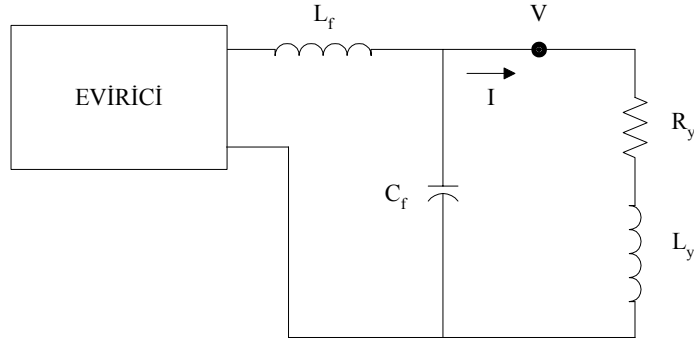
Şekil 4.18 ve Şekil 4.19 da tek bir eviriciye uygulanan reaktif güç-gerilim düşüm karakteristiği ile ilgili reaktif güç, gerilimin maksimum değeri, gerilim ve akım sinyalleri gösterilmiştir. Şekil 4.20 de ise tek faz için evirici çıkış devresi verilmiştir.



Şekil 4.18 Eviriciden çekilen reaktif güç ve gerilimin maksimum değeri. a) benzetim b) deneysel sonuçlar



Şekil 4.19 Evirici süzgeç çıkış gerilim ve akımı. a) benzetim b) deneysel sonuçlar



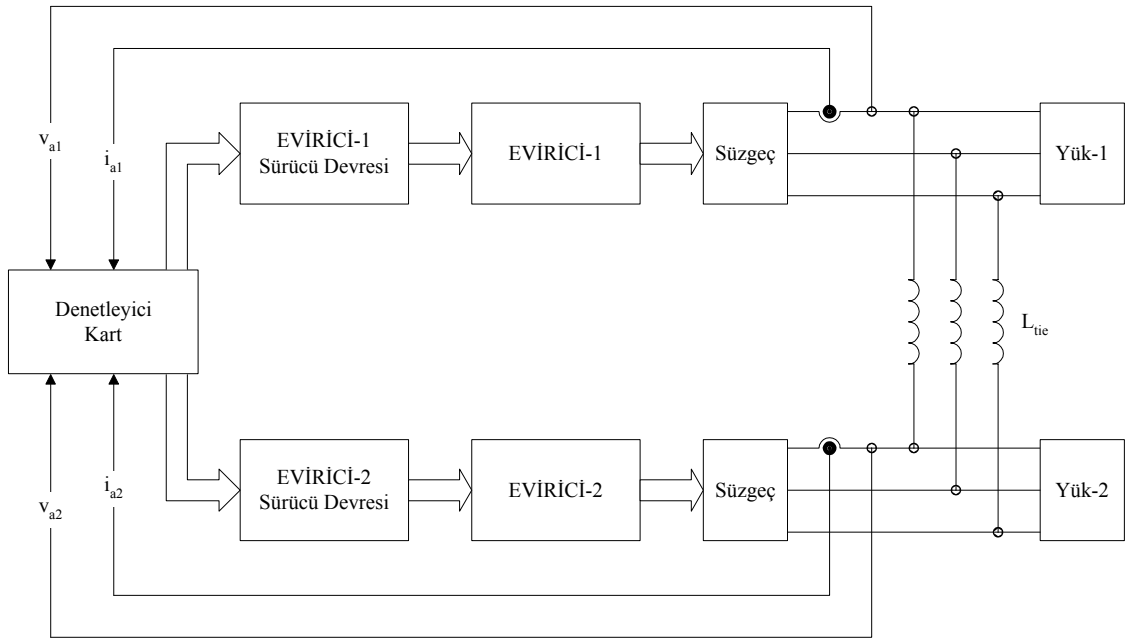
Şekil 4.20 Evirici çıkış devresi.

Sürekli durumda Şekil 4.18 den de görüldüğü gibi eviriciden çekilen reaktif güç yaklaşık 24VAR dır. Reaktif güç-gerilim düşüm karakteristiği ile bu güç değerinde yaklaşık 15V luk bir gerilim düşümü gerçekleşecektir. Normalde evirici çıkışında yaklaşık maksimum +/-77V gerilim olduğundan, sürekli durumda evirici çıkışından maksimum +/-62V civarında bir gerilim elde edilmesi beklenir. Bu gerilim ve yukarıda verilen empedans değerinde eviriciden çekilen güç yaklaşık olarak benzetim ve deneysel sonuçlarla doğrulanmıştır.

4.6 Eviricilerin Paralel Bağlanması

Bu kısımda iki evirici ünitesi paralel çalıştırılarak, sistemin toplam yükünün eviricilerin güçleri oranında paylaşımı gösterilecektir. Şekil 4.21 de gösterilen devre blok şemasında, eviriciler birbirlerine endüktanstan oluşan bir ara bağlantı (tie-line) hattıyla bağlanmışlardır. Eviricilerin süzgeç çıkış hattından alınan gerilim ve akım bilgileri denetleyici karta girilecektir. Denetleyici kartta, düşüm karakteristikleri kullanılarak eviricilerin denetlenmesiyle, eviricilerin paralel çalışması ve sistem yükünü istenilen oranda paylaşmaları sağlanacaktır.

Bu kısımda yapılacak analizlerde ilk olarak aktif yük paylaşımı gösterilecektir. Ardından reaktif yük paylaşımı, son olarak da aktif ve reaktif yük paylaşımı ile ilgili benzetim ve deneysel sonuçlar verilecektir.



Şekil 4.21 Denetleyici kart ile iki eviricinin sürülmesi.

4.6.1 Aktif Yük Paylaşımı

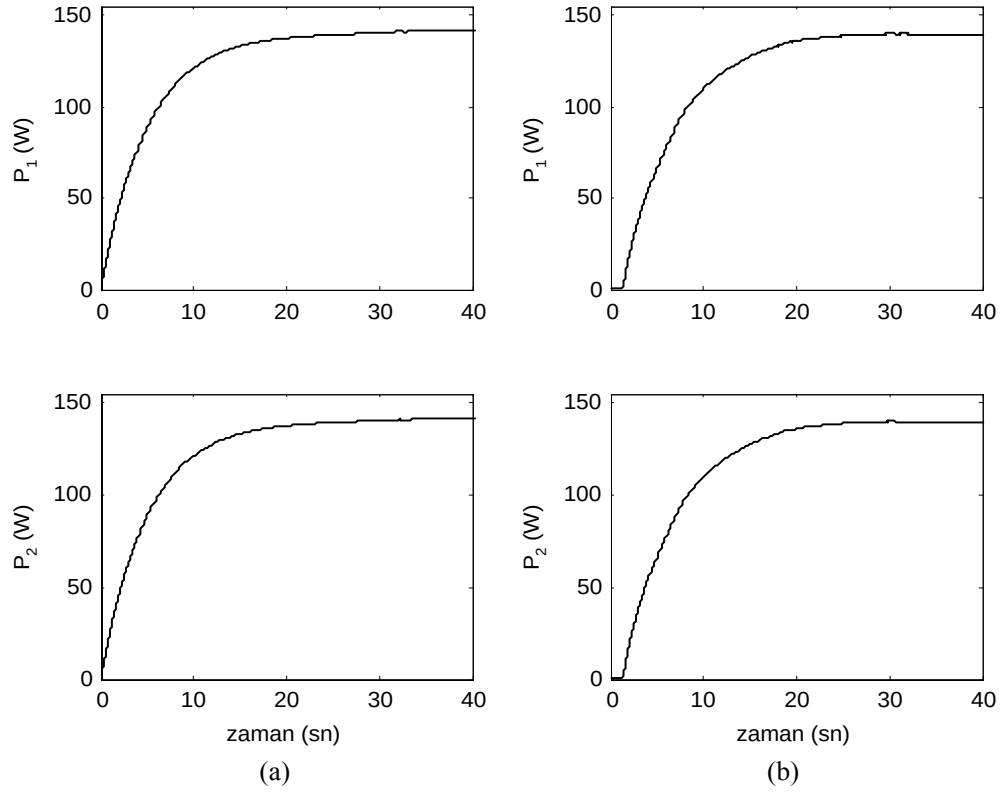
Bu kısımda aktif yük-frekans düşüm yöntemi kullanılarak eviricilerin paralel çalışması ile aktif yükün paylaşımı incelenecektir. Yapılacak benzetim ve deneysel incelemelerde, her iki eviricinin de beslediği yükler eşit olarak seçilecektir. Konuya açıklık getirmesi açısından önce eviriciler eşit güçte kabul edilerek gerekli sistem parametreleri incelenmiş daha sonra eviriciler farklı güçte seçilerek bu incelemeler tekrarlanmıştır.

İncelemelerde frekans düzenleme algoritması, aktif güç-frekans düşüm karakteristiği ile birlikte çalışmaktadır. Yani Şekil 4.13 de gösterilen blok şeması her iki eviriciye de uygulanmıştır.

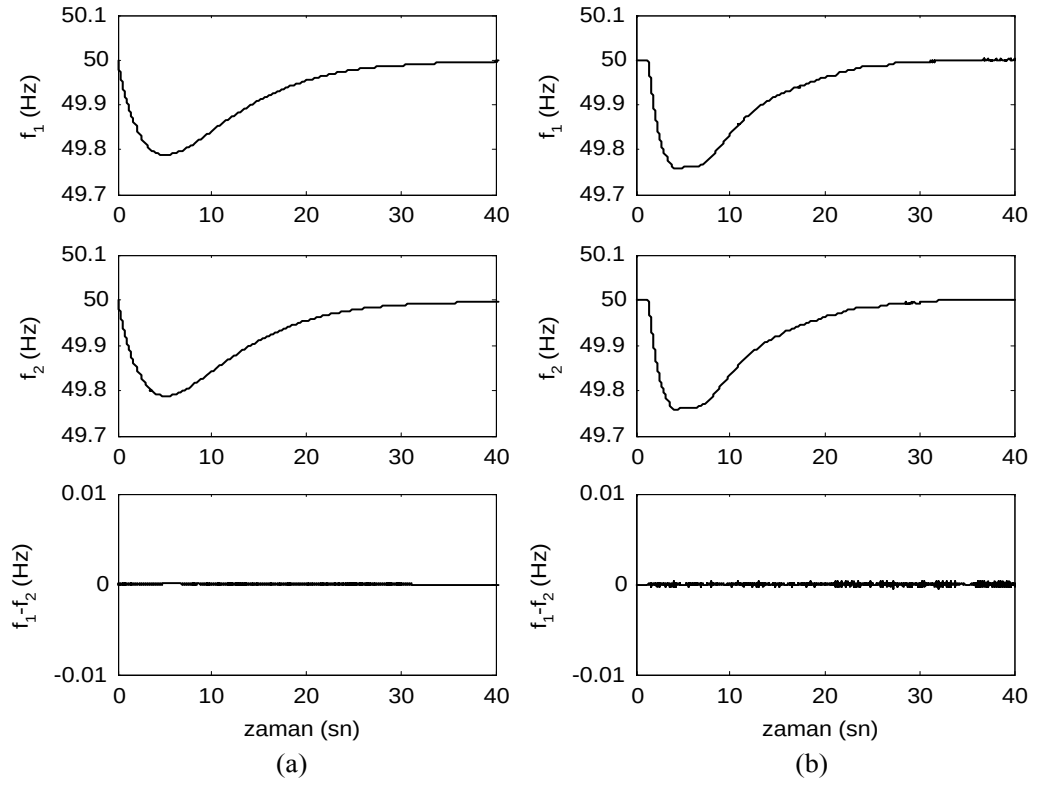
4.6.1.1 Eşit güçlü eviriciler ile aktif yük paylaşımı

Burada yapılacak incelemelerde eviricilerin yükleri 20Ω değerinde omik yük olarak seçilmiştir. Her iki evirici için süzgeç endüktansları 13mH, süzgeç kapasiteleri 10 μ F, ara bağlantı endüktansı 100 μ H dir. Aktif güç-frekans düşüm katsayıları, $b_1 = b_2 = -0.02(\text{rad/sn})/W$, $k_{\text{res}}P_{Ri1}=k_{\text{res}}P_{Ri2}=7,5$ dir. Eviricilerin eşit güçte oldukları bu katsayılardan anlaşılmaktadır. Nominal frekans 50Hz olarak alınmıştır.

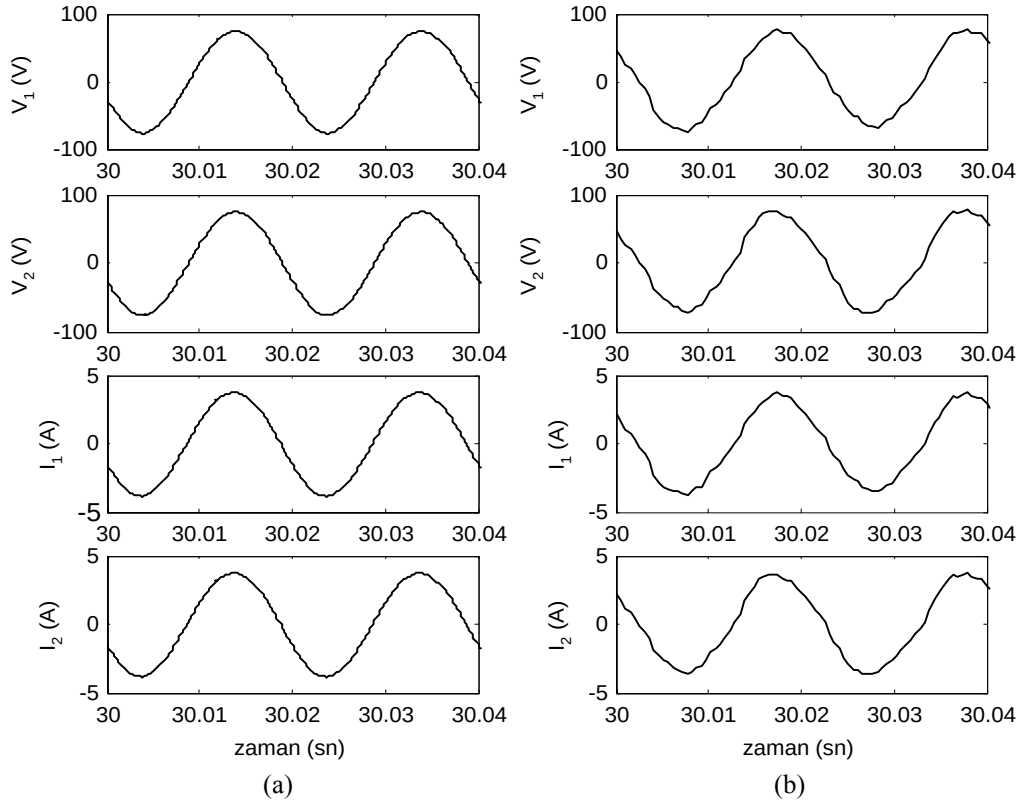
Şekil 4.22–24 de bu analiz için aktif güç, frekans, ile “a” fazına ait gerilim ve akım eğrileri, benzetim ve deneysel olarak verilmiştir.



Şekil 4.22 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar



Şekil 4.23 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim b) deneysel sonuçlar

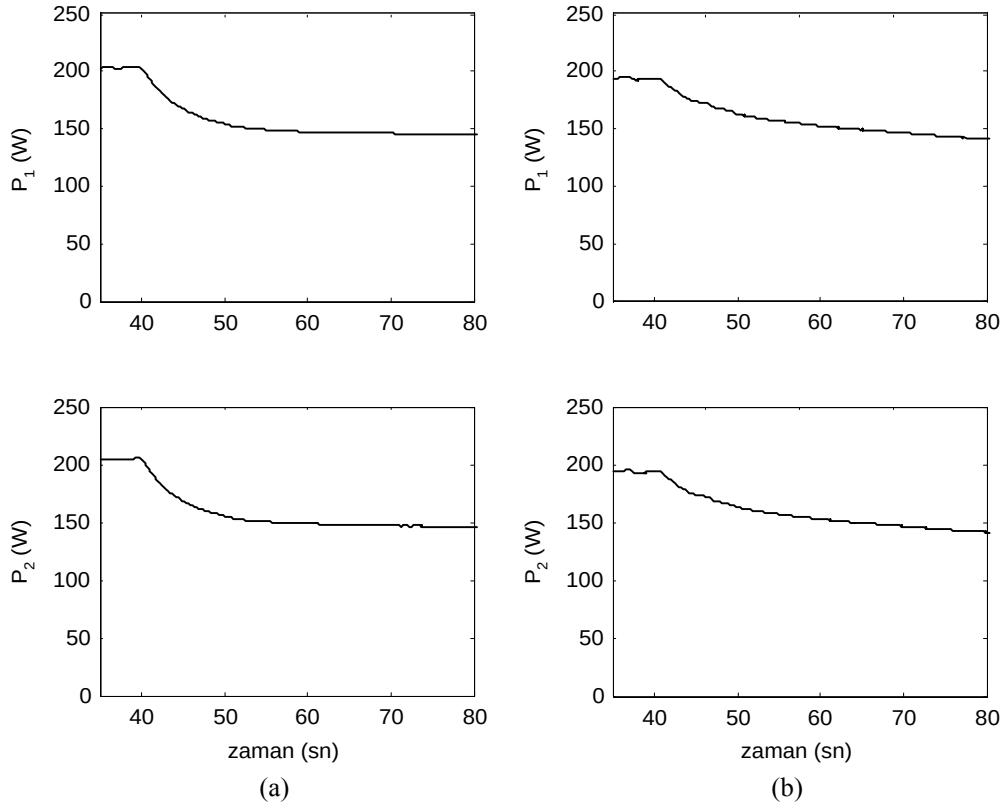


Şekil 4.24 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

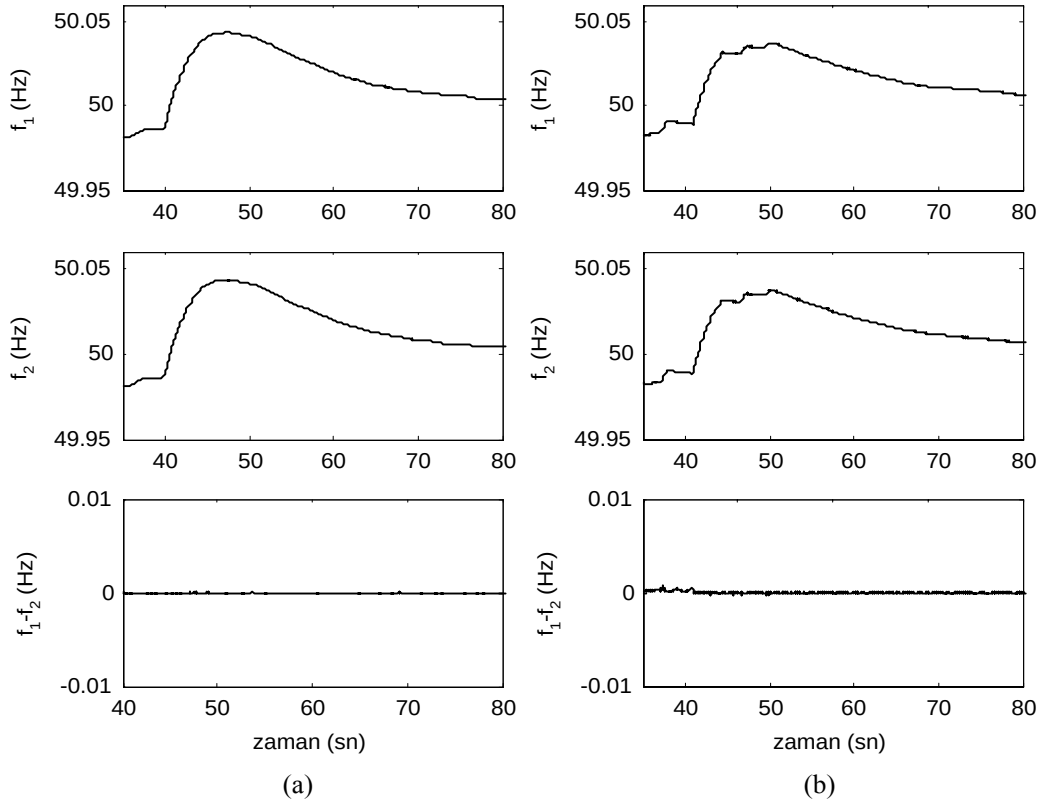
Bu incelemede her iki eviricinin güçleri ve yükleri eşit seçildiğinden, eviriciler sisteme aynı gücü vermelidir. Daha önce aktif güç-frekans düşüm karakteristiğini incelerken tek bir yükün yaklaşık 140W güç çektiği gösterilmişti. Bu durum Şekil 4.22 den de görülmektedir. Eviriciler sisteme eşit güç verdiklerinden frekanslarındaki değişimin de aynı olması gerekir. Bunun daha net görülebilmesi için Şekil 4.23 de, frekanslar arasındaki farkın değişimi de verilmiştir. Şekilden, bu farkın sürekli sıfır olduğu görülmektedir. Aynı şekilden görüldüğü gibi frekans düzenleme algoritması, değişen evirici frekanslarını zamanla nominal değerine döndürmektedir.

Şekil 4.24 de eviricilerin süzgeç çıkış gerilimleri ve akımları gösterilmiştir. Bu analize ilişkin şekillerden görüldüğü gibi benzetim ve deneysel sonuçlar uyuşmaktadır.

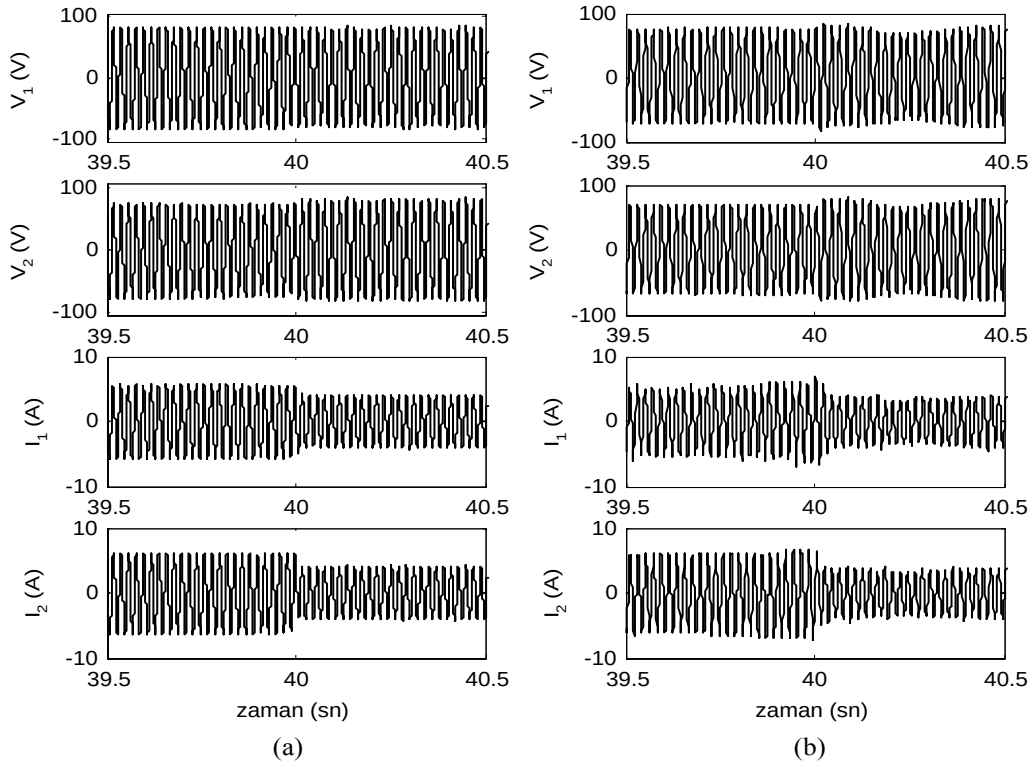
Bu kısımda yapılacak analizde, birinci eviricinin yükü 20Ω olup, ikinci eviricinin başlangıçta 11Ω olan yükü, bir müddet sonra (40. sn), 20Ω 'a çıkarılmıştır. Düşüm ve frekans düzenleme katsayıları ile devre elemanlarının parametreleri, yukarıda yapılan analizdeki değerlerle aynı seçilmiştir. Aşağıda bu incelemeye ilişkin aktif güç, frekans gerilim ve akım eğrileri verilmiştir.



Şekil 4.25 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar



Şekil 4.26 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim b) deneysel sonuçlar



Şekil 4.27 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

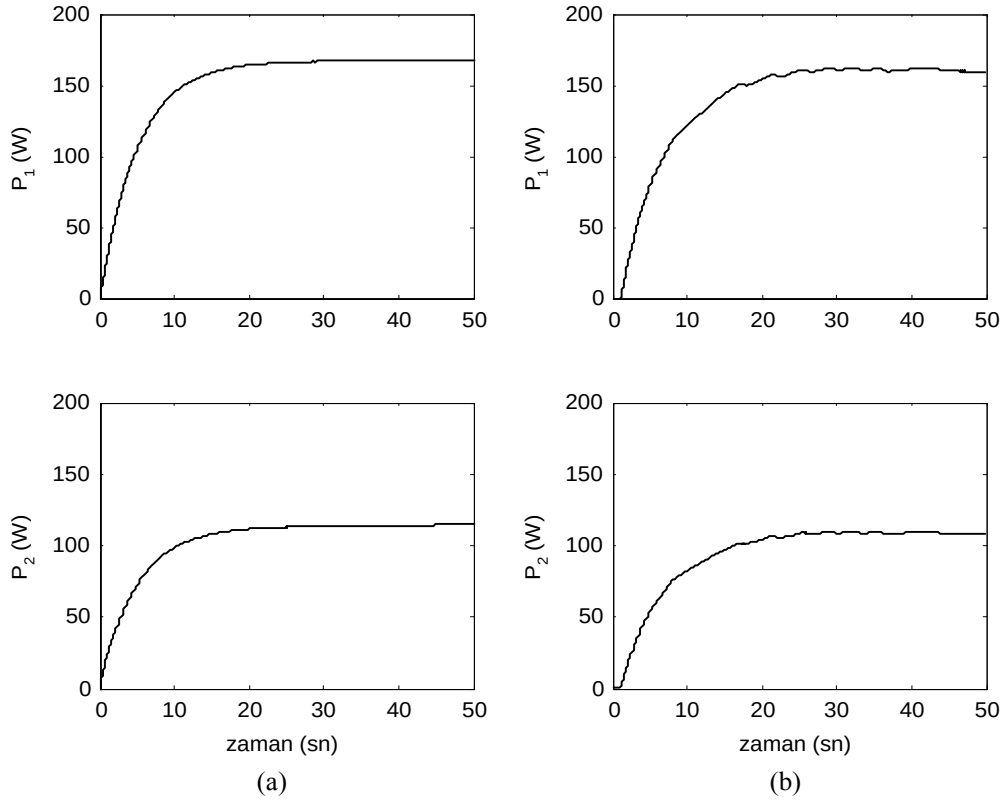
İkinci eviricinin yükü 11Ω iken, sistemin toplam yükü yaklaşık 400W dır. Her iki evirici eşit güçte seçildiklerinden, sisteme 200W civarında güç vermektedirler. İkinci eviricinin yükü bir anahtarlama ile 20Ω 'a çıkarıldığında, eviriciler sisteme eşit olarak 140W güç vermişlerdir. Şekil 4.25 de bu incelemeye ait güç eğrileri verilmiştir.

Şekil 4.26 da yük değişimi durumunda eviricilerin frekanslarındaki değişim gösterilmiştir. Her iki eviricinin de sisteme verdikleri güçlerde bir düşüş olduğundan frekansları önce bir miktar artmıştır. Frekans düzenleme algoritması ile nominal değerin üstüne çıkan frekans bir müddet sonra nominal değerine kavuşmuştur.

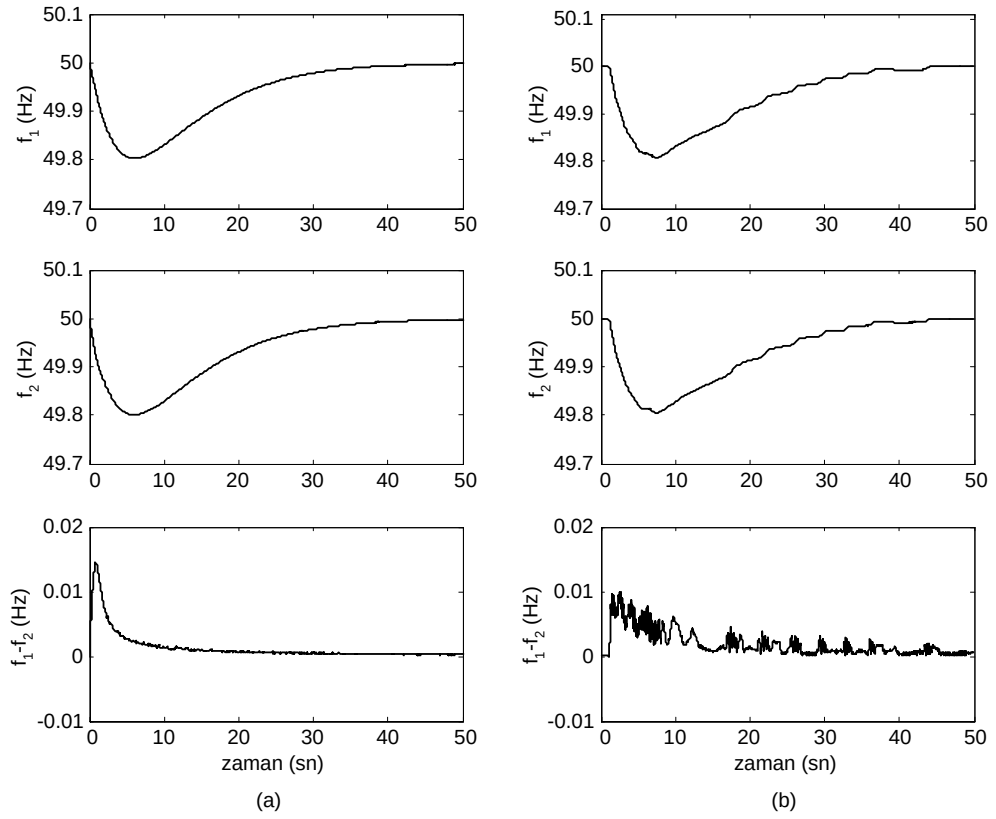
Şekil 4.27 de ise eviricilerin sisteme verdikleri gerilim ve akımlar görülmektedir. Yük değişiminden sonra her iki eviricinin akımlarındaki düşüş açıkça görülmektedir. Gerilimlerinde de küçük bir değişim olsa da, bu durum geçicidir.

4.6.1.2 Farklı güçlü eviriciler ile aktif yük paylaşımı

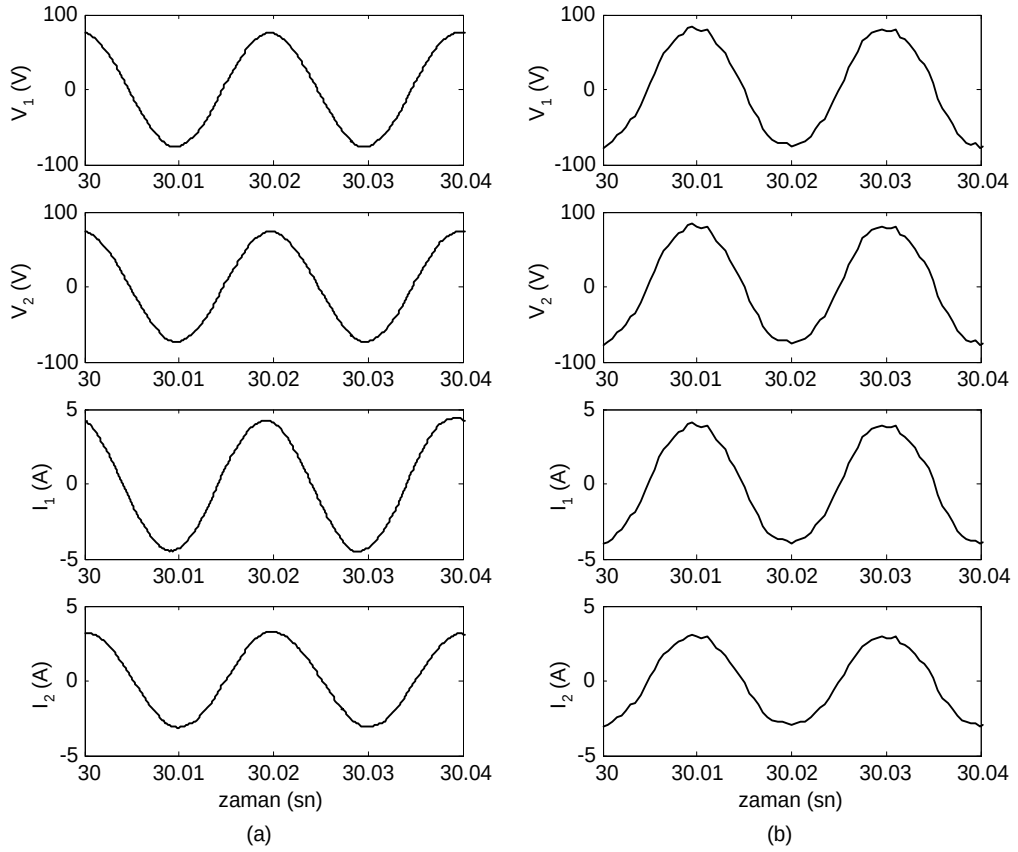
Bu kısımda yapılacak incelemelerde yük ve süzgeç değerleri aynı alınmıştır. Aktif güç-frekans düşüm katsayıları, $b_1 / b_2 = -0.02/-0.03(\text{rad/sn})/\text{W}$, $k_{\text{res}}P_{\text{Ri-1}} / k_{\text{res}}P_{\text{Ri-2}} = 7,5/5$ dir. Buradan birinci eviricinin, ikinci eviriciye göre 1,5 kat güçlü olduğu anlaşılmaktadır. Şekil 4.28–30 da aktif güç, frekans, gerilim ve akım eğrileri, benzetim ve deneysel olarak verilmiştir.



Şekil 4.28 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar



Şekil 4.29 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim b) deneysel sonuçlar



Şekil 4.30 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

Bu devrede her bir yük 140W olmak üzere, sistemden toplam 280W güç çekilmektedir. Eviricilerin gücü 1.5/1 oranında seçildiğinden, birinci eviricinin sisteme 2.9 denklemine göre yaklaşık 170W, ikinci eviricinin de yaklaşık 110W, güç vermesi beklenir. Bunun için, birinci eviriciden ikinci eviriciye doğru, ara bağlantı hattından 60W lık bir güç akışı olur. Eviricilerin sisteme verdikleri aktif güçler, Şekil 4.28 den görülmektedir. Sonuçta eviriciler sistemin toplam yükünü, belirlenen oranda paylaşmaktadır.

Eviricilerin yükleri eşit ancak aktif güç-frekans düşüm katsayıları farklı olduğundan, geçici durumdaki frekans sapmaları da farklı olacaktır. Sürekli durumda yani sistemdeki güç akışı dengeye geldiğinde her iki eviricinin frekansları da eşitlenecektir. Frekans düzenleme algoritması ile her iki eviricinin frekansları zamanla nominal değerlerine kavuşacaktır. Şekil 4.29 da ayrıca, eviricilerin frekansları arasındaki farkın değişimi de gösterilmiştir. Şekilden de görüldüğü gibi frekanslar arasındaki fark önce belli bir değere yükselip sonra sistemin dengeye gelmesiyle sıfıra doğru inmektedir. Bu şekil teorik olarak anlatılanları, benzetim ve deneysel olarak da ispatlamaktadır.

Şekil 4.30 da, eviricilerin süzgeç çıkış gerilim ve akımları gösterilmiştir. Birinci evirici sisteme daha çok güç verdiği için, akımı da ikinci eviriciye göre bir miktar fazladır.

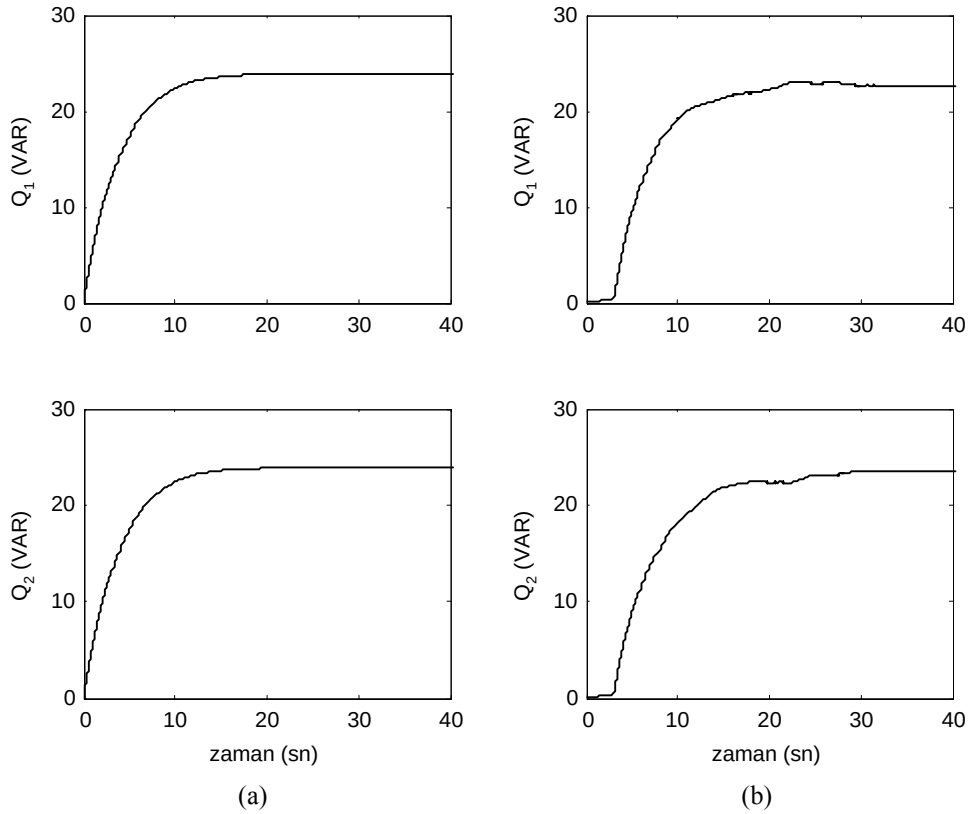
4.6.2 Reaktif Yük Paylaşımı

Bu kısımda reaktif yük-gerilim düşüm yöntemi kullanılarak paralel çalışan eviricilerde reaktif yükün paylaşımı incelenecektir. Yapılacak benzetim ve deneysel incelemelerde, her iki eviricinin de beslediği yükler eşit olarak seçilecektir. Aktif yük paylaşımında olduğu gibi önce eviriciler eşit güçte kabul edilerek sistem değişkenleri incelenmiş daha sonra eviriciler farklı güçlerde seçilerek bu incelemeler tekrarlanmıştır. Şekil 4.17 da gösterilen blok şema her iki eviriciye de uygulanacaktır.

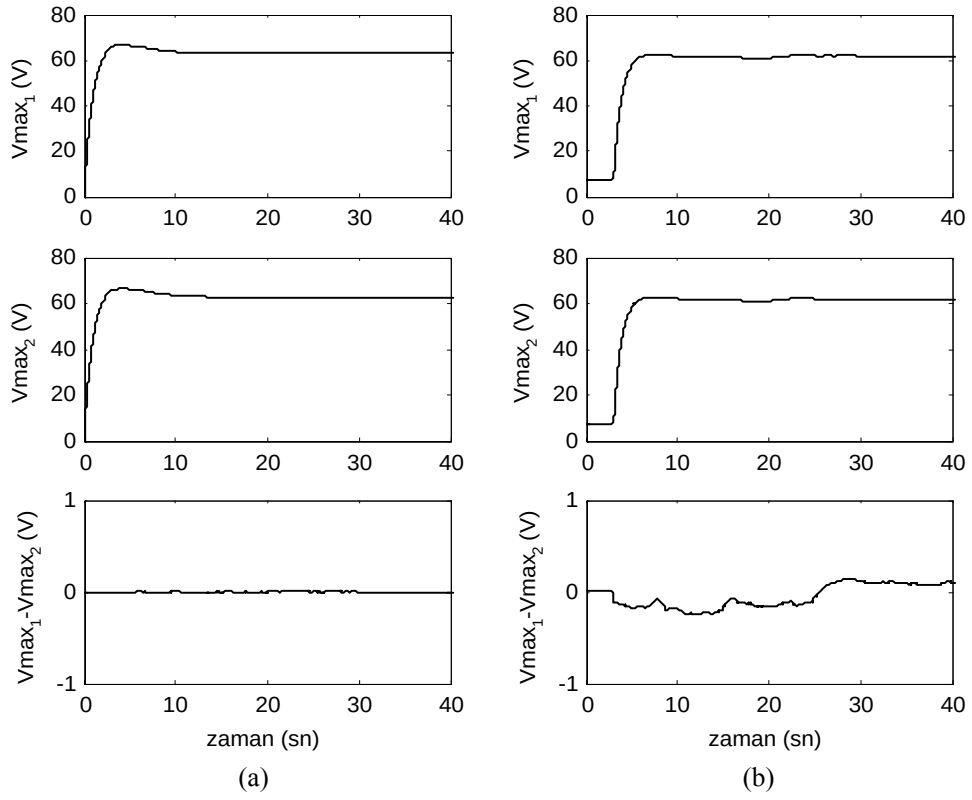
4.6.2.1 Eşit güçlü eviriciler ile reaktif yük paylaşımı

Burada yapılacak incelemelerde, her iki eviricinin yükü, $17+j4\Omega$ değerinde omik ve endüktif yük kullanılmıştır. Her iki evirici için süzgeç endüktansları 13mH, süzgeç kapasiteleri 10 μ F, ara bağlantı endüktansı 100 μ H dir. Reaktif güç-gerilim düşüm katsayıları, $m_1 = m_2 = -0.6$ V/VAR dir. Nominal frekans 50Hz olarak alınmıştır.

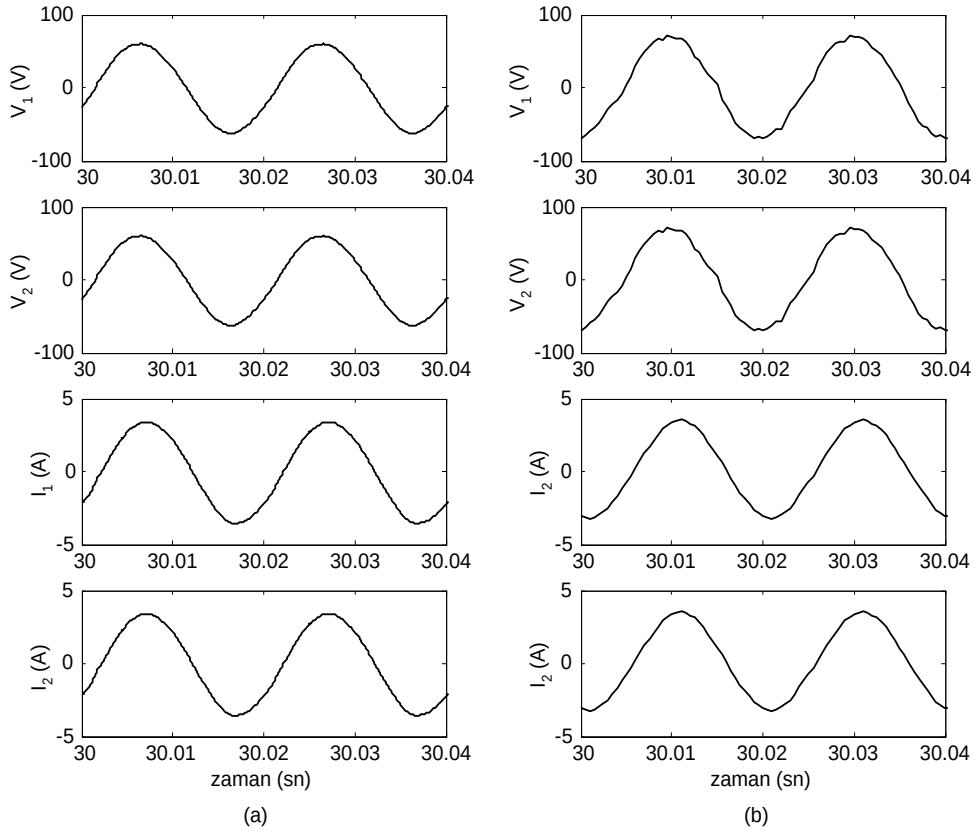
Şekil 4.31–33 de, bu analiz için reaktif güç, gerilimin maksimum genliği, gerilim ve akım eğrileri, benzetim ve deneysel olarak verilmiştir.



Şekil 4.31 Eviriciden çekilen reaktif güçler. a) benzetim b) deneysel sonuçlar



Şekil 4.32 Eviricilerin geriliminin maksimum değeri. a) benzetim b) deneysel sonuçlar



Şekil 4.33 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

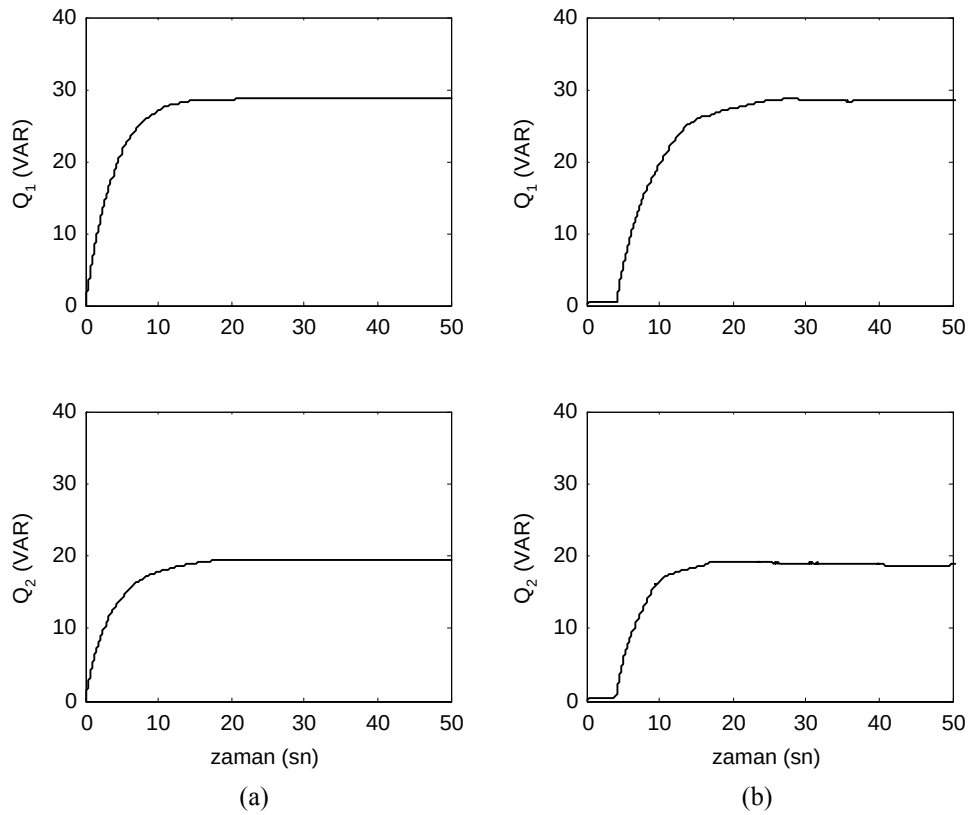
Eviriciler reaktif güç olarak eşit seçildiklerinden, sisteme verdikleri güçler de Şekil 4.31 den görüldüğü gibi eşittir. Şekil 4.32 de ise, reaktif yük değişimine karşılık eviricinin çıkış geriliminin maksimum değerindeki değişim gösterilmiştir. Eviriciler ve yükleri eşit olduğundan, çıkış gerilimlerinin genliğindeki değişimde aynı olacaktır. Bu durumu daha net gösterebilmek için Şekil 4.32 de ayrıca gerilimlerinin maksimum değerleri arasındaki farkın değişimi de gösterilmiştir. Şekilden görüldüğü gibi bu değişim sıfırı oldukça yakın bir değerdedir.

Şekil 4.33 de eviricinin süzgeç çıkış gerilim ve akım eğrileri verilmiştir.

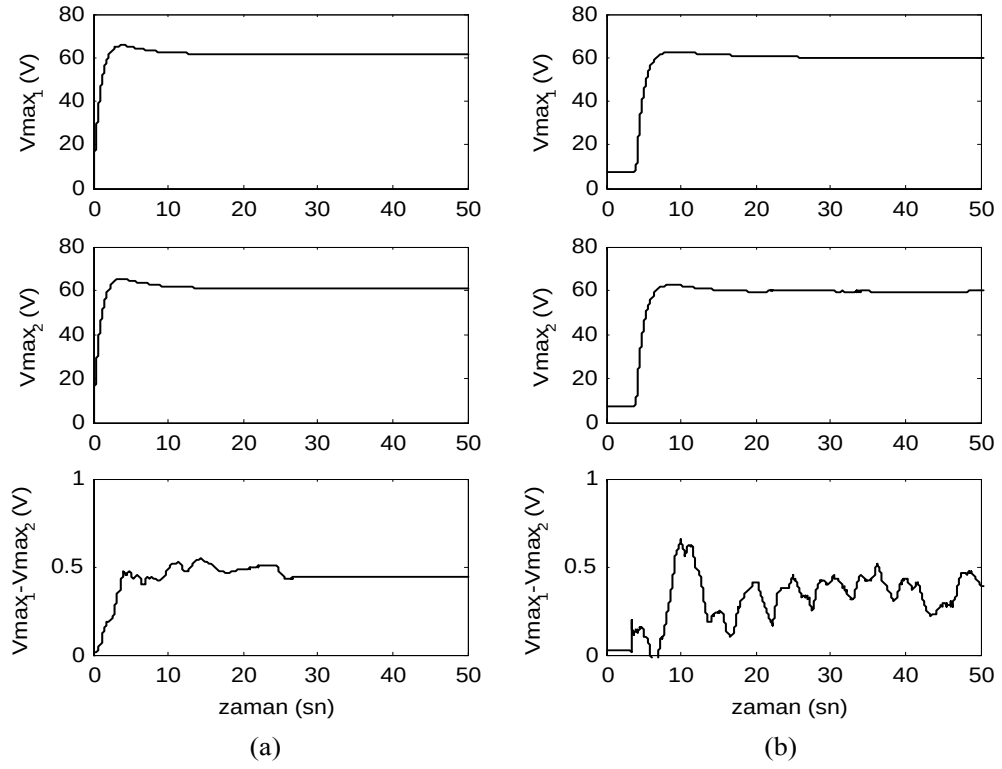
4.6.2.2 Farklı güçlü eviriciler ile reaktif yük paylaşımı

Bu kısımda yapılacak analizde birinci evirici, ikinci eviricinin 1,5 katı gücünde seçilmiştir. Bu amaçla reaktif güç-gerilim düşüm katsayıları, $m_1 = -0.6\text{V/VAR}$, $m_2 = -0.9\text{V/VAR}$ olarak alınacaktır. Yine her iki eviricinin yükleri $17+j4$ ohm değerindedir. Nominal frekans, süzgeç ve ara bağlantı endüktans değerleri, için de değişiklik yapılmamıştır.

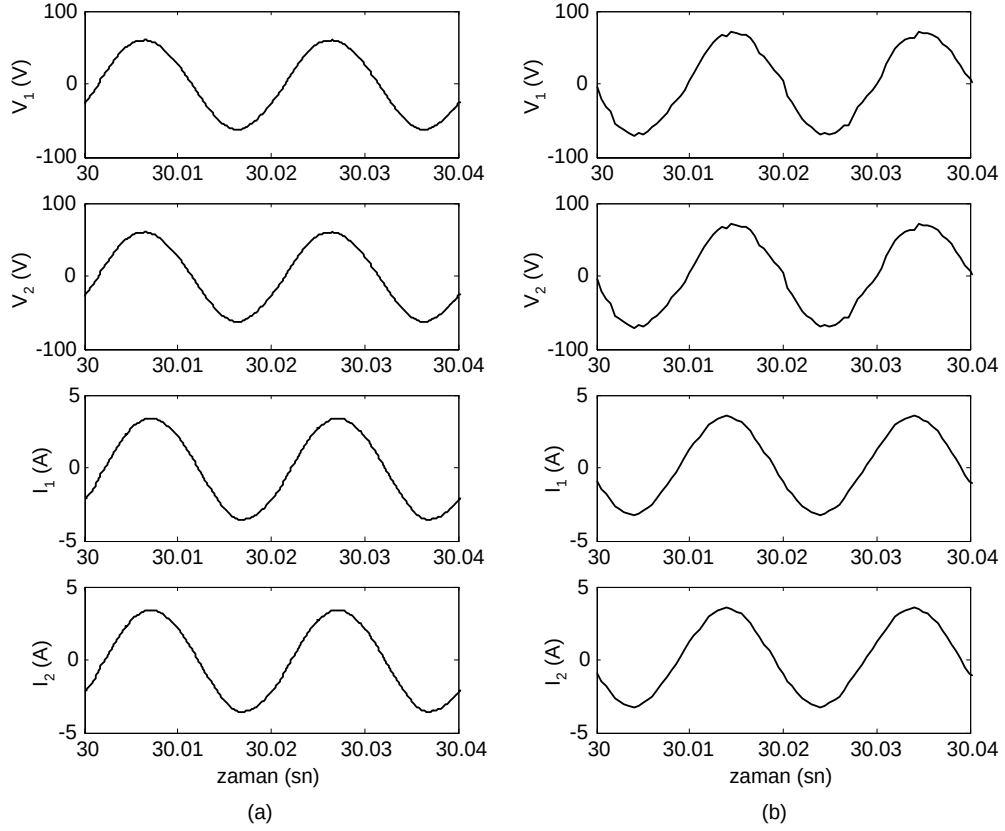
Şekil 4.34–36 da burada yapılan inceleme için reaktif güç, gerilimin maksimum genliği, gerilim ve akım eğrileri, benzetim ve deneysel olarak verilmiştir.



Şekil 4.34 Eviriciden çekilen reaktif güçler. a) benzetim b) deneysel sonuçlar



Şekil 4.35 Eviricilerin geriliminin maksimum değeri ve aralarındaki fark. a) benzetim b) deneysel sonuçlar



Şekil 4.36 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

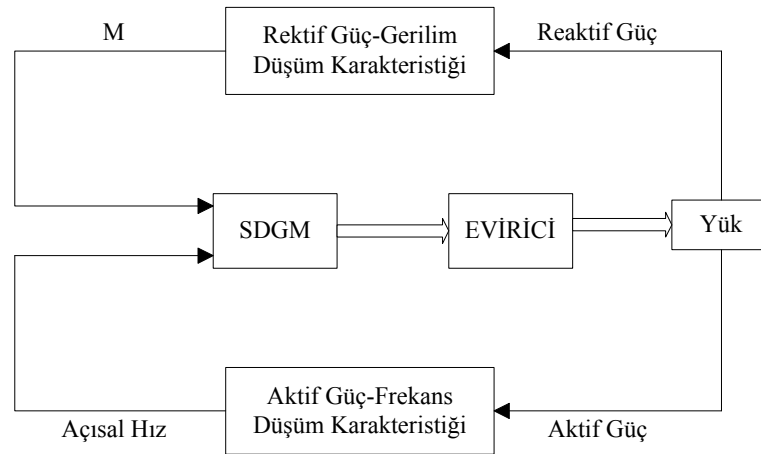
Şekil 4.34 de eviricilerin sisteme verdikleri reaktif güçler gösterilmiştir. Sistemin toplam yükü yaklaşık 50VAR dır. Eviricilerin güçleri 1,5/1 oranında seçildiğinden, sisteme 28,5/19,5VAR güç vermeleri beklenir. Şekilden bu sonuçlar yaklaşık olarak görülmektedir.

Eviricilerden çekilen reaktif güce göre gerilimlerin maksimum genlikleri ve bu genliklerin farkındaki değişim, Şekil 4.35 de gösterilmiştir. 2.2 denkleminde reaktif güç akışının bu genliklerin arasındaki fark ile orantılı olduğu gösterilmiştir. Genlikler arasındaki bu fark şekilden net olarak görülmektedir.

Şekil 4.36 da eviricinin süzgeç çıkış gerilim ve akımları gösterilmiştir.

4.6.3 Farklı Güçlü Eviricilerde Aktif ve Reaktif Yük Paylaşımı

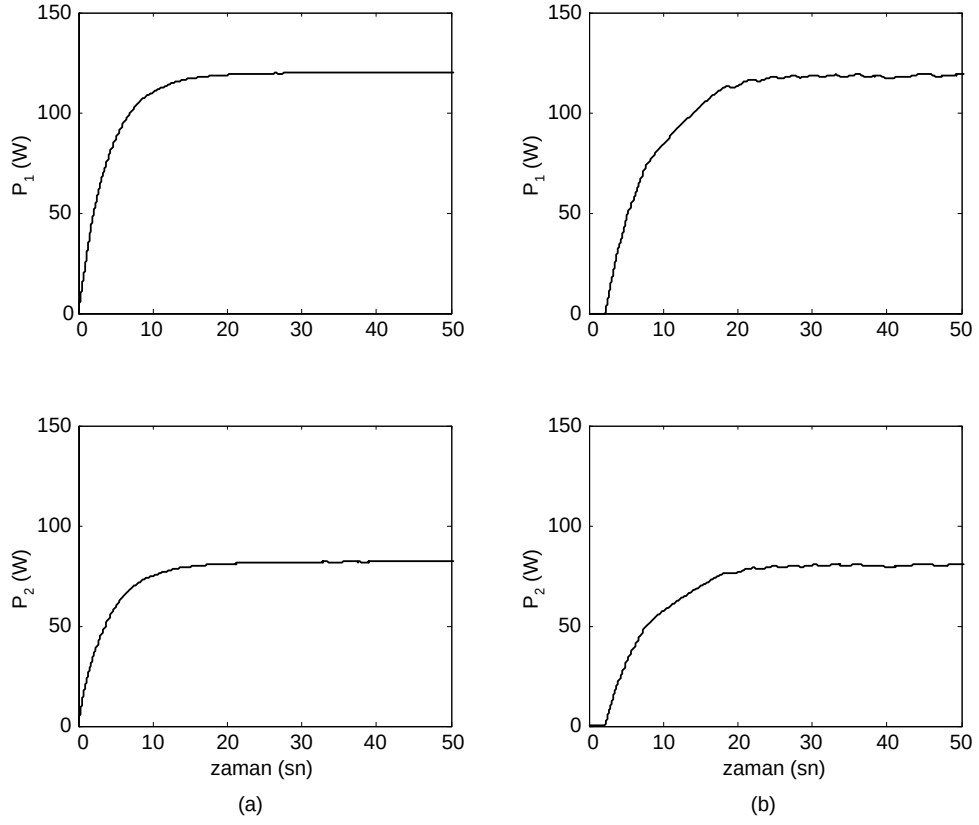
Son analizde, eviriciler arasında aktif ve reaktif yük paylaşımı incelenecektir. Bu amaçla aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristikleri, her iki eviriciye de uygulanacaktır. Bununla ilgili blok şema Şekil 4.37 de gösterilmiştir.



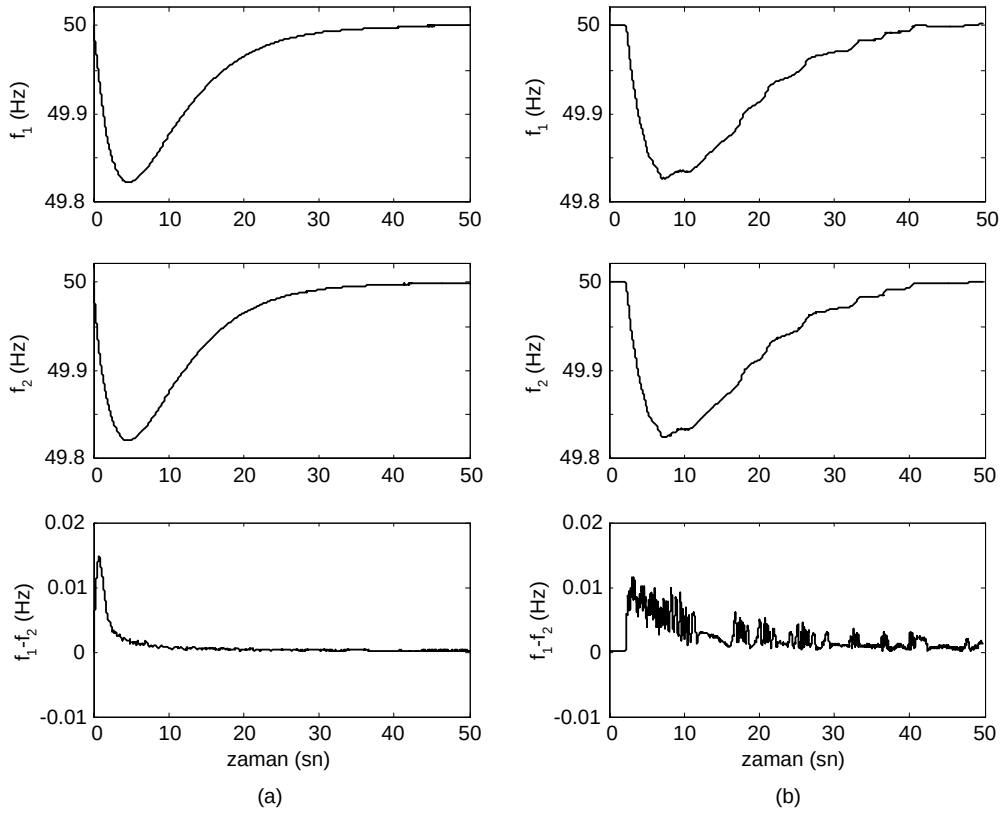
Şekil 4.37 Aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristiğinin bir eviriciye uygulanması.

Yapılacak incelemelerde her iki eviricinin yükü, yine $17+j4\Omega$ değerinde seçilip, süzgeç, ara bağlantı ve nominal frekans değerleri değiştirilmemiştir. Birinci eviriciyi ikinci eviricinin 1,5 katı gücünde seçmek amacıyla, aktif güç-frekans düşüm katsayıları $b_1/b_2 = -0.02/-0.03$ (rad/sn)/W, $k_{res}P_{Ri-1}/k_{res}P_{Ri-2} = 9/6$, $m_1/m_2 = -0.6/-0.9$ V/VAR olarak alınmıştır.

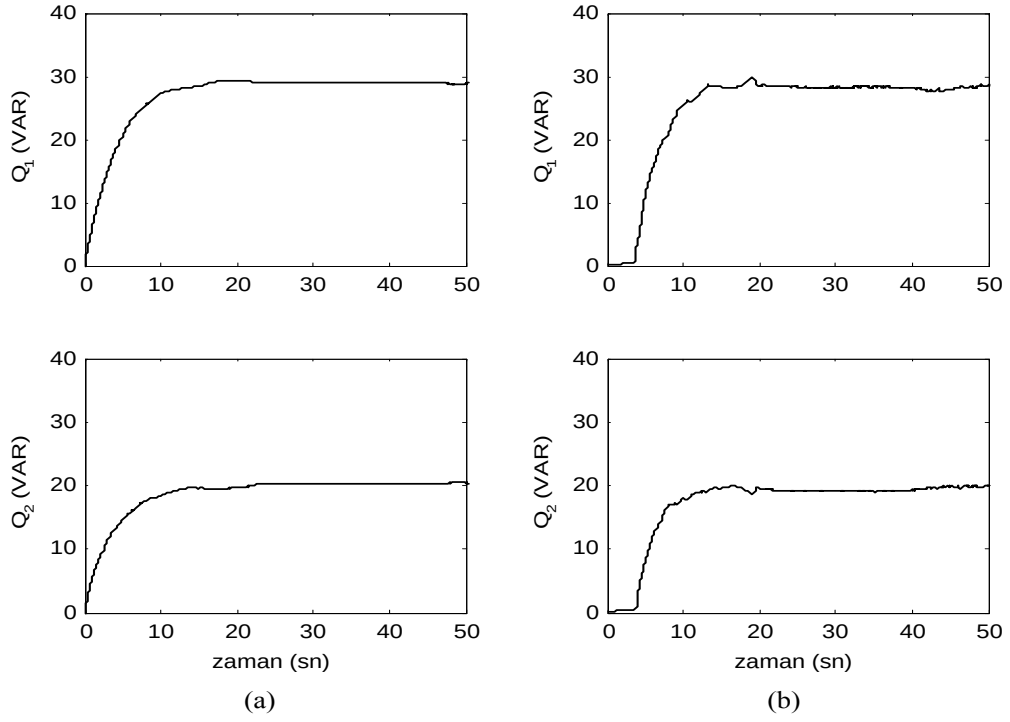
Şekil 4.38–42 de burada yapılan inceleme için aktif güç, frekans, reaktif güç, gerilimin maksimum genliği, gerilim ve akım eğrileri, benzetim ve deneysel olarak verilmiştir.



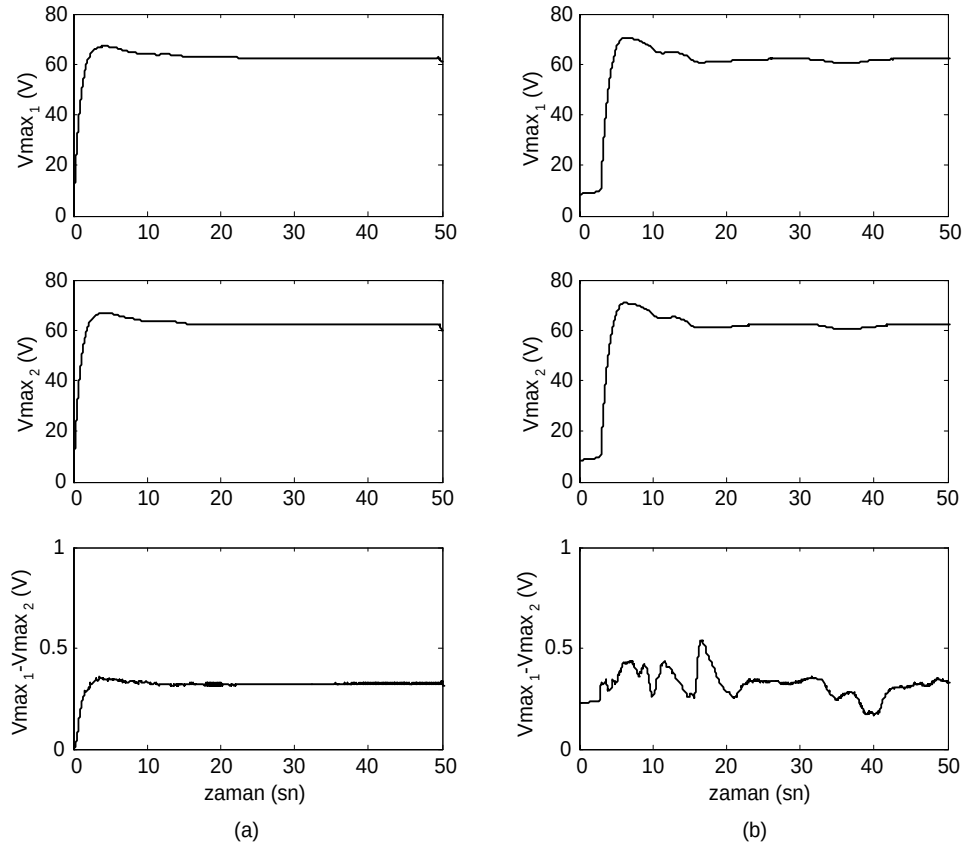
Şekil 4.38 Eviricilerden çekilen aktif güçler. a) benzetim b) deneysel sonuçlar



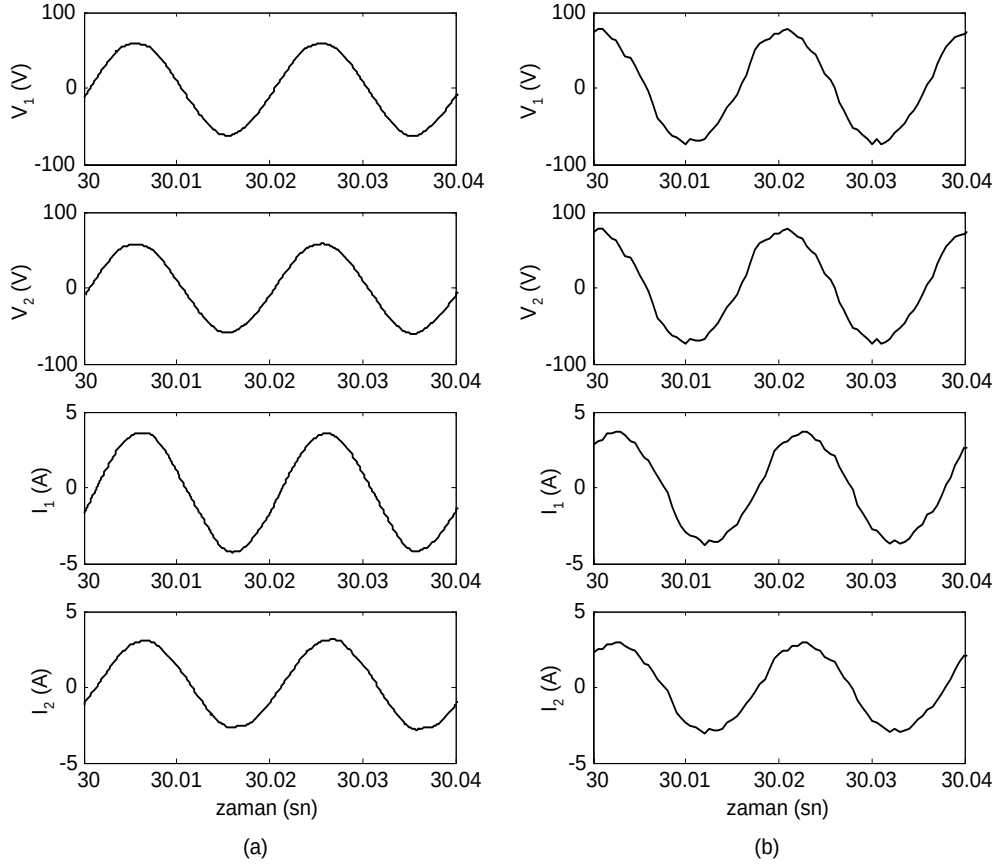
Şekil 4.39 Eviricilerin frekansları ve frekanslar arasındaki fark a) benzetim b) deneysel sonuçlar



Şekil 4.40 Eviriciden çekilen reaktif güçleri. a) benzetim b) deneysel sonuçlar



Şekil 4.41 Eviricilerin geriliminin maksimum değeri ve aralarındaki fark. a) benzetim b) deneysel sonuçlar



Şekil 4.42 Eviricilerin süzgeç çıkış gerilim ve akımları. a) benzetim b) deneysel sonuçlar

Şekil 4.38 de, birinci evirici 120W, ikinci evirici 80W gücü sisteme verdikleri görülmektedir. Buradan eviricilerin, sistemin toplam aktif gücünü, güçleriyle orantılı olarak paylaştıkları görülmektedir. Şekil 4.39 da ise eviricilerin yüklendikleri güce göre frekanslarında olan değişim görülmektedir. Değişen frekans, frekans düzenleme algoritması ile tekrar nominal değerine dönmektedir. Aynı şekilde eviricilerin frekansları arasındaki farkın değişimi de gösterilmiştir. Görüldüğü gibi, başlangıçta frekanslar aralarında bir fark oluşmuş, zamanla sistemdeki güç akışı dengeye gelmesiyle birlikte bu fark sıfırlanmıştır.

Şekil 4.40 da birinci evirici 30VAR, ikinci evirici 20VAR gücü sisteme vererek, sistemin toplam reaktif gücünün eviriciler arasında güçleriyle orantılı olarak paylaşıldığı görülmektedir. Şekil 4.41 de ise eviricilerin çekilen reaktif güce karşılık, gerilimlerin maksimum değerlerindeki değişim gösterilmiştir. Şekilden de görüldüğü gibi eviriciler reaktif olarak yüklendikçe, çıkış gerilimlerinin genliklerinde, reaktif güç-gerilim düşüm katsayısıyla orantılı bir düşme olmaktadır. Aynı şekilde bu genlikler arasındaki farkın değişimi de görülmektedir. Eviriciler arasındaki reaktif güç akışı bu genlikler arasında oluşturulan farkla sağlanmıştır.

Şekil 4.42 de ise her iki eviricinin süzgeç çıkış gerilim ve akım sinyalleri gösterilmiştir.

5. DOĞRUSAL OLMAYAN YÜKLERİ İÇEREN DAĞINIK GÜÇ SİSTEMİ

Evirici veya KGK ünitelerinin paralel çalıştırılması ile güç akışının devamlılığı ve güç kapasitesinin artırılmasına yönelik açılımlar, geçen bölümlerde anlatılmıştı. Bu yöntemlerle birlikte kullanılan düşüm karakteristikleri ile ünitelerin kendi güçleriyle orantılı olarak yüklenmesi sağlanarak optimum bir seviyede çalışması da sağlanmıştır. Mikro şebeke sistemlerinde, olması istenilen bir diğer özellik ise yüksek güç kalitesidir

Günümüzde fazlasıyla kullanılan doğrusal olmayan bu yük veya yük grupları, gerilim dalga şeklinde bozulmalara ve harmoniklerinin oluşmasına neden olurlar. Bu nedenle, doğrusal sistemlerde kullanılan bağlantı yapısı, denetim ve modülasyon teknikleri, yüksek güç kalitesini sağlamak için yetersiz kalabilmektedir. Yüksek güç kalitesini elde edebilmek için doğrusal olmayan yüklerin oluşturacağı harmoniklerin elimine edilmesi gereklidir.

Bu bölümde, iki eviriciyle oluşturulan dağınık güç sisteminde, yük paylaşımını yaparken, doğrusal olmayan yüklerin neden olduğu harmonikleri elimine etmek için yeni bir yöntem önerilecektir. Yapılacak benzetimlerde Matlab/Simulink paket programı kullanılırken, eviriciye uzay vektör modülasyonu tekniği (UVDGM) uygulanmıştır. Aşağıda UVDGM hakkında kısa bir bilgi verilmiştir.

5.1 UVDGM Tekniği

UVDGM tekniği ile iki-seviyeli ve çok seviyeli inverter çıkışlarında istenilen genlik ve frekansta üç-fazlı gerilimler elde edilebilmektedir. UVDGM tekniği; süper harmonik performansı, modülasyon indeksi aralığının genişletilmesi, dc giriş geriliminin optimum kullanımı ve düşük akım dalgalanması gibi avantajlara sahiptir. Doğrudan programlama tekniği olduğundan sayısal gerçekleştirmeler için çok uygun olmaktadır [75].

Eviriciler için UVDGM tekniğinde üç-fazlı referans gerilimler Clarke dönüşümü kullanılarak kartezyen koordinat sisteminde (α - β uzayı) bir gerilim uzay vektörü ile temsil edilmektedir. Vektörün genliği ve faz açısı bu üç-fazlı büyüklüklerin anlık değerleri ile saptanır. Eğer üç-fazlı büyüklükler sinüzoidal ve dengeli ise vektör sabit bir açısal hızla dönecektir ve sabit bir genliğe sahip olacaktır. Başka bir deyişle, dönen bir gerilim vektörü oluşacaktır.

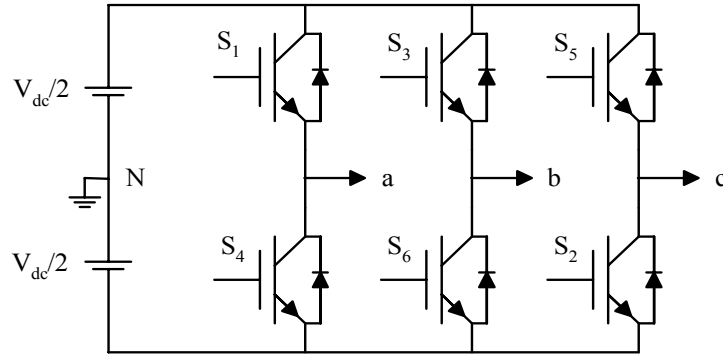
V_a , V_b ve V_c sırasıyla a,b ve c fazlarının referans gerilimleri şu şekilde tanımlanır;

$$\begin{aligned}
V_a &= V_m \sin \omega t \\
V_b &= V_m \sin(\omega t - 2\pi/3) \\
V_c &= V_m \sin(\omega t + 2\pi/3)
\end{aligned} \tag{5.1}$$

Üç-fazlı gerilimlerin kartezyen koordinat sisteminde karşılığı olan $\vec{V}^*$ referans gerilimi elde etmek için Clarke dönüşümü aşağıda verilmiştir.

$$\vec{V}^* = V_\alpha + jV_\beta = \frac{2}{3}(V_a e^{j0} + V_b e^{j2\pi/3} + V_c e^{-j2\pi/3}) \tag{5.2}$$

Şekil 5.1’de gösterilen eviricinin güç devresindeki anahtarların durumlarına bağlı olarak sekiz olası anahtarlama durumu mevcuttur. Bu anahtarlama durumlarının ikisi sıfır-durum vektörü ve altısı ise aktif-durum vektörü olmak üzere bir altıgen oluşturmaktadır.



Şekil 5.1 Üç fazlı evirici devresi.

UVDGM tekniği, her bir anahtarlama periyodunda kendisine en yakın olan iki aktif-durum vektörleri ve sıfır-durum vektörlerine göre dönen referans vektör yaklaşımı yapmaktadır. Şekil 5.1 deki eviricinin a kolu için üstteki anahtarın iletimde olduğunu, b ve c kolları için ise alttaki anahtarların iletimde olduğunu kabul edelim. Böylece a, b, c kolları için faz-nötr gerilimleri sırasıyla; $V/2$, $-V/2$, $-V/2$ olmaktadır. Aşağıda bu durum “100” olarak gösterilmiştir.

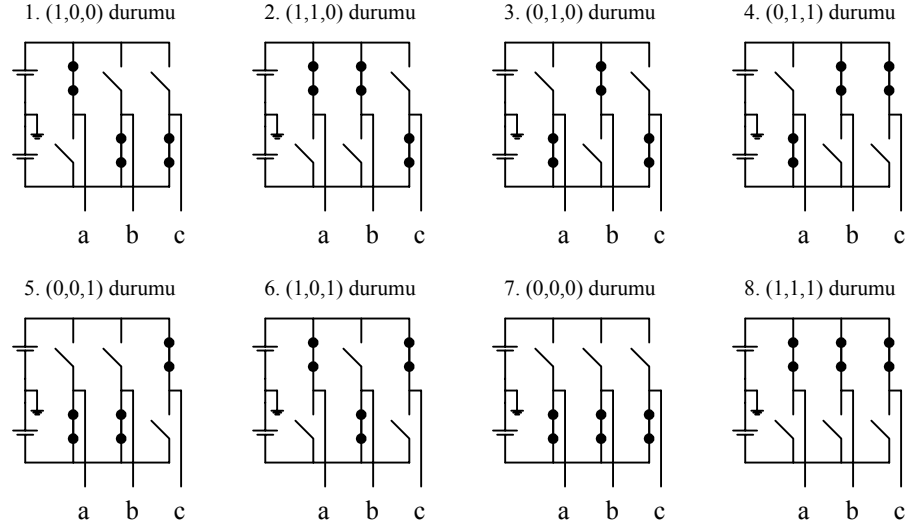
5.2 denklemindeki tanımına göre uzay vektörü: $\vec{V}_1 = \frac{2}{3} V e^{j0}$ dır.

Bu varsayımlar tekrarlanarak aktif-durum vektörleri $\vec{V}_1 - \vec{V}_6$ ve sıfır-durum vektörleri $\vec{V}_0$ ve $\vec{V}_7$ Şekil 5.3 deki gibi gösterilir. Aktif durum vektörleri;

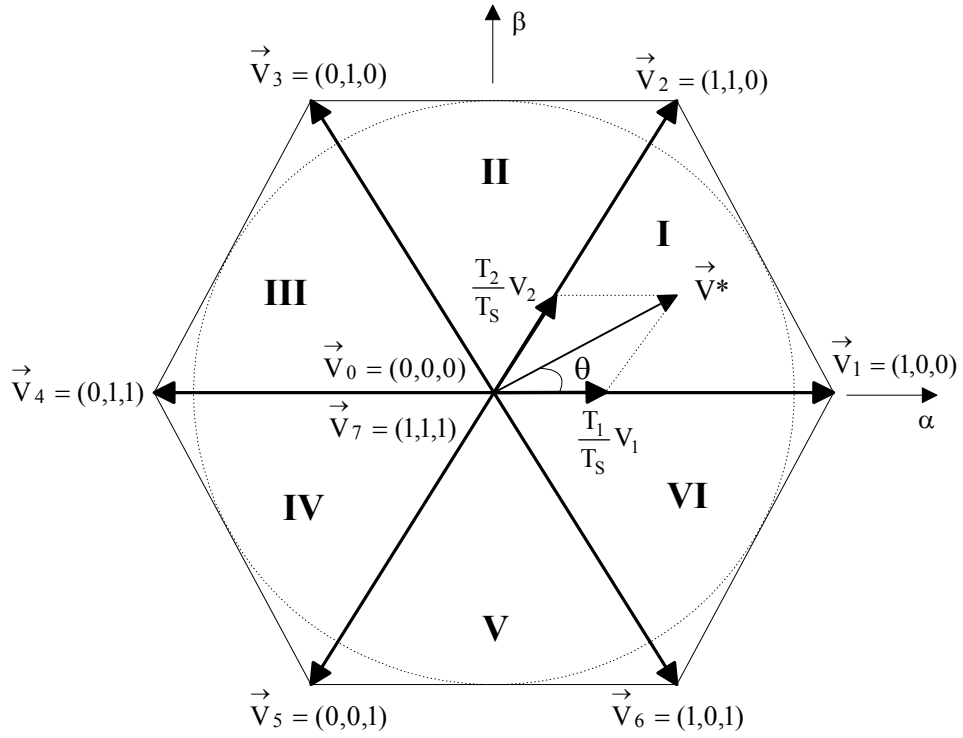
$$\vec{V}_k = \frac{2V}{3} e^{j(k-1)\frac{2\pi}{3}} \quad (k = 1, \dots, 6) \tag{5.3}$$

5.3 denklemindeki “k” sabitleri yerine yazıldığında, elde edilen bu vektörlerle, altı eşit sektöre sahip düzenli bir altıgen oluşturmaktadır.

Evirici devresindeki 8 olası anahtarlama durumu Şekil 5.2 de verilmiştir. Şekil 5.3 de ise aktif-durum ve sıfır-durum vektörleri için gerilim vektör uzayı görülmektedir [76].



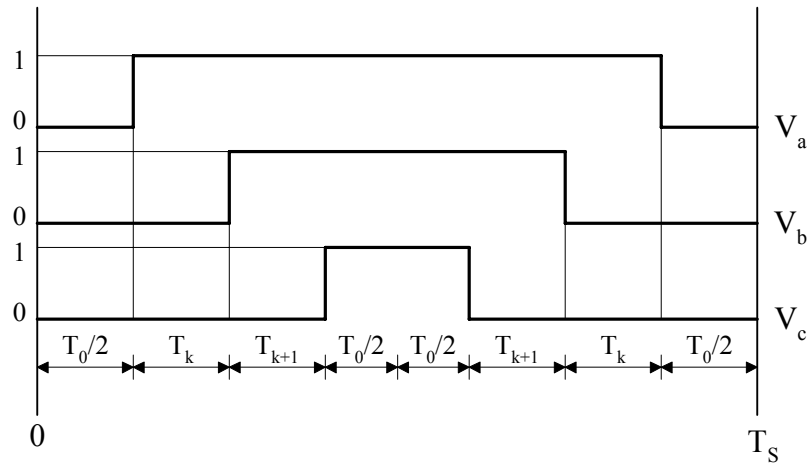
Şekil 5.2 UVDGM tekniğinde kullanılan olası sekiz anahtarlama durumu.



Şekil 5.3 Gerilim vektör uzayı.

UVDGM tekniğinde, altıgen içerisindeki bütün $\vec{V}^*$ vektörleri kendisine bitişik olan iki aktif vektörün ağırlıklı olarak birleşiminden ve sıfır-durum vektörleri $\vec{V}_0$ arasındaki anahtarlama ile gerçekleştirilebilir. Şekil 5.3 de $\vec{V}^*$ 'in k. sektör içerisinde olduğunu ve $\vec{V}_7$ kullanılarak ifade edilir. Böylece $\vec{V}^*$, her bir anahtarlama periyodundaki bitişik aktif vektörleri $\vec{V}_k$ ve $\vec{V}_{k+1}$ olacaktır (burada k=6 için k+1 değeri 1 alınır). Optimum harmonik performansı ve minimum anahtarlama frekansını elde etmek için bir sektörden bir sonraki sektöre geçişte eviricinin sadece bir kolundaki anahtarlama durumları değiştirilmektedir. Anahtarlama periyodu daima bir sıfır-durum anahtarlama ile başlar ve biter. Aynı zamanda, anahtarlama bütün periyot boyunca simetriktrir. UVDGM tekniğinin en önemli kısmı, aktif ve sıfır-durum sürelerinin her bir anahtarlama periyodunda hesaplanması stratejisidir [77].

Birinci sektördeki anahtarlama şemasına örnek olarak Şekil 5.4 ü verebiliriz.



Şekil 5.4 I.sektördeki bir T_s süresi için a,b,c faz gerilimlerinin anahtarlama durumları.

Referans vektörün I. sektör içerisinde bulunması durumunda T_1 ve T_2 süreleri aşağıdaki gibi verilebilir.

$$\begin{bmatrix} T_1 \\ T_2 \end{bmatrix} = \frac{\sqrt{3}}{2} \frac{\vec{V}^*}{V} T_s \begin{bmatrix} \sin(\frac{\pi}{3} - \theta) \\ \sin \theta \end{bmatrix} \quad (5.4)$$

$$T_0 = \frac{T_s}{2} - (T_1 + T_2) \quad (5.5)$$

Bir T_s periyodu süresince evirici faz gerilimlerinin ortalamasını alacak olursak;

$$V_{an} = \frac{V}{2T_s} \left(-\frac{T_0}{2} + T_1 + T_2 + T_0 + T_2 + T_1 - \frac{T_0}{2} \right) \quad (5.6)$$

$$V_{bn} = \frac{V}{2T_s} \left(-\frac{T_0}{2} - T_1 + T_2 + T_0 + T_2 - T_1 - \frac{T_0}{2} \right) \quad (5.7)$$

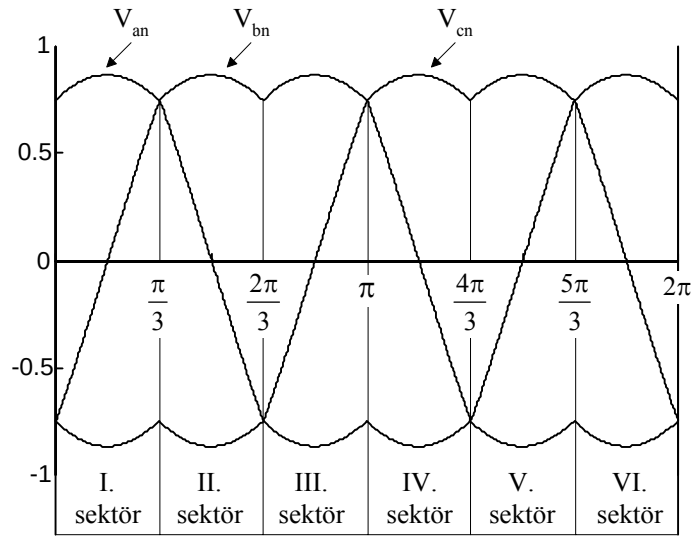
$$V_{cn} = -V_{an} \quad (5.8)$$

T_k ve T_{k+1} süreleri için genelleştirilmiş denklem aşağıdaki gibi tanımlanabilir;

$$\begin{bmatrix} T_k \\ T_{k+1} \end{bmatrix} = \frac{\sqrt{3}}{2} \frac{\vec{V}^*}{V} T_s \begin{bmatrix} \sin \frac{k\pi}{3} & -\cos \frac{k\pi}{3} \\ -\sin \frac{(k-1)\pi}{3} & \cos \frac{(k-1)\pi}{3} \end{bmatrix} \begin{bmatrix} \cos \theta \\ \sin \theta \end{bmatrix} \quad (5.9)$$

$$T_0 = \frac{T_s}{2} - (T_k + T_{k+1}) \quad (5.10)$$

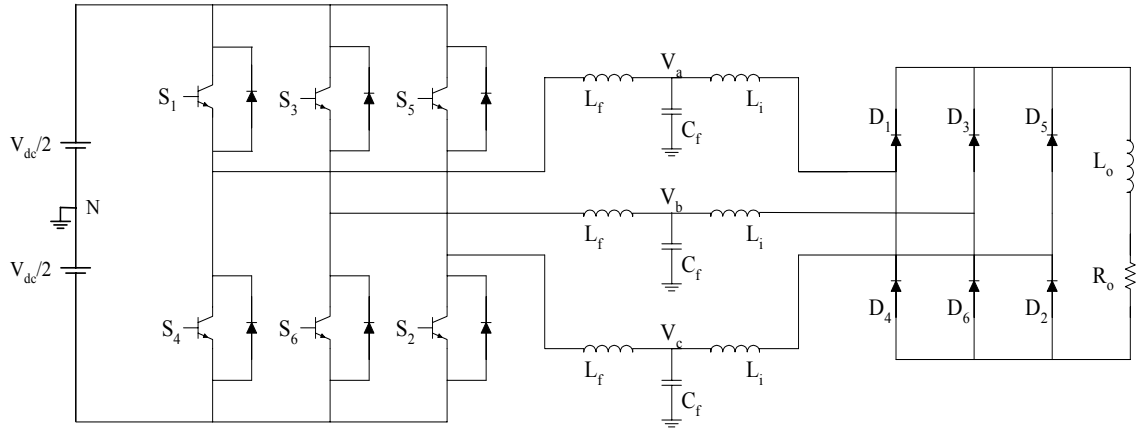
Tüm sektörler için çözüm yapıldığında elde edilen evirici faz gerilimlerinin modülasyon işaretleri Şekil 5.5 de gösterilmiştir.



Şekil 5.5 UVDGM tekniği için inverter faz gerilimlerinin ortalama değerleri.

5.2 Harmoniklerin Eliminasyonu

Doğrusal olmayan yüklerin neden olduğu harmonikleri elimine etmek amacıyla, önce pasif süzgeç ve senkron eksen takımları kullanılarak yapılan yöntemler incelenip karşılaştırması yapılacaktır. Ardından senkron eksen takımlarıyla yapılan eliminasyon yönteminin, dağıtık güç sistemine uygulanışı gösterilecektir. Analizi yapılacak olan sistem, Şekil 5.6 da gösterilmiştir. Evirici çıkışındaki doğrusal olmayan yük için üç fazlı köprü doğrultucu kullanılmıştır.

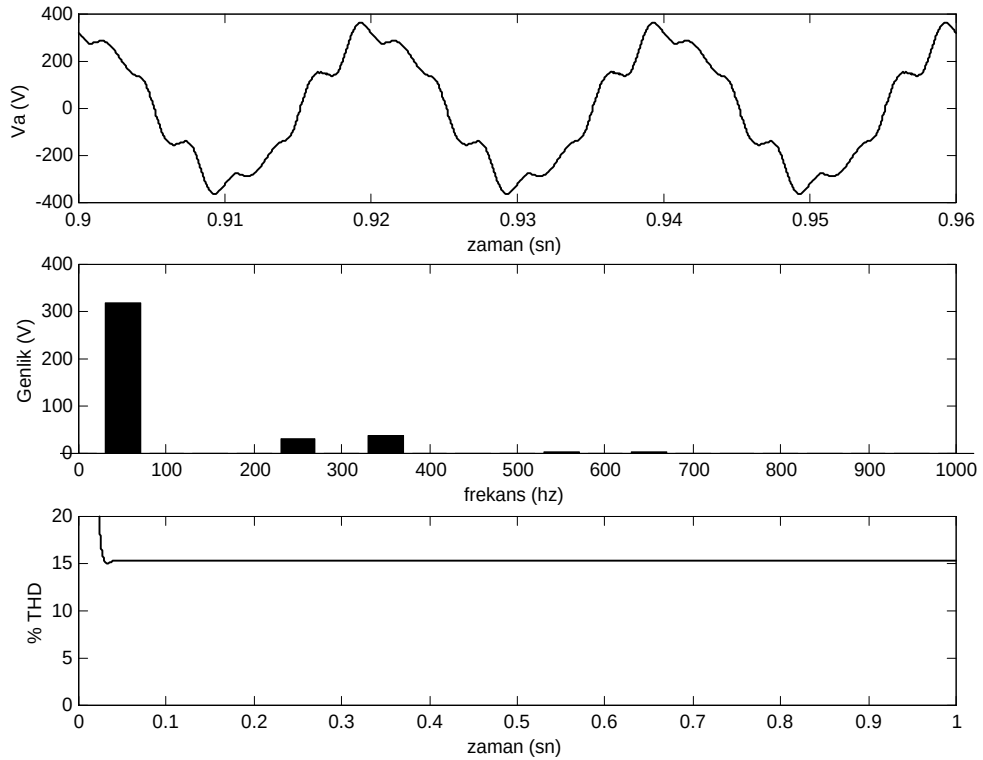


Şekil 5.6 Üç fazlı eviriciye bağlı doğrusal olmayan yük.

Literatürde doğrusal olmayan yükler için, beslendiği şebeke veya eviriciden yüksek hamonikli akımlar çeken köprü doğrultucu kullanılmıştır. Hiçbir harmonik eliminasyon yöntemi kullanılmadığında, evirici çıkışında elde edilen gerilim, bu gerilimin harmonik spektrumu ile toplam harmonik distorsiyonu (THD) Şekil 5.7 de gösterilmiştir.

Benzetimi yapılan sistemin parametreleri aşağıdaki gibidir.

$L_f = 0.88\text{mH}$, $C_f = 250\mu\text{F}$, $L_i = 1\text{mH}$, $L_o = 0.5\text{mH}$, $R_o = 16.133\Omega$, $V_{\text{rms}} = 220\text{V}$



Şekil 5.7 Doğrusal olmayan yükün evirici çıkış gerilimine etkisi.

Bu gerilim harmoniklerini elimine etmek için, literatürde değişik süzgeç uygulamaları ve denetim yöntemleri önerilmiştir. Bu bölümde önce basit bir pasif süzgeç grubu ile oluşan harmoniklerin elimine edildiği gösterilecek daha sonra, senkron eksen takımları kullanılarak harmonik eliminasyonu gösterilip bu iki yöntemin karşılaştırması yapılacaktır.

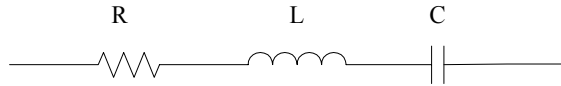
Şekil 5.7 de hiçbir harmonik eliminasyonu yapılmadığında yük üzerine düşen gerilim, bu gerilimin harmonikleri ve THD sadece “a” fazı için gösterilmiştir. Görüldüğü gibi doğrusal olmayan yük, evirici çıkışında harmoniklerin oluşmasına neden olmuştur. Ana harmoniğe yakınlığı olması nedeniyle en çok 5. ve 7. harmoniklerin oluştuğu bunların yanında 11., 13. harmonikler de küçük olsa da görülmektedir. Bu gerilim sinyali için THD, %15.2 olarak kabul edilebilir sınırların dışında bulunmuştur. IEEE–519 gerilim harmonik standardına göre, 69 kV’dan küçük gerilimler için THD en fazla %5 olarak belirlenmiştir. Bu standartla ilgili bilgi aşağıdaki tabloda verilmiştir [78].

Tablo 5.1 IEEE–519 standardına göre gerilim % THD limit tablosu

Gerilim	% THD
< 69 kV	5
69 kV – 161 kV	2.5
> 161 kV	1.5

5.3 Harmonik Pasif Süzgeçleri

Evirici çıkışlarında istenilen dalga şekilleri ve güç kalitesini sağlamak için aktif ve pasif süzgeçler sıklıkla kullanılmaktadır. Değişik tiplerde tasarlanabilecek süzgeç yapıları ile belirli harmonik bileşenlerin eliminasyonu sağlanabilmektedir [40].



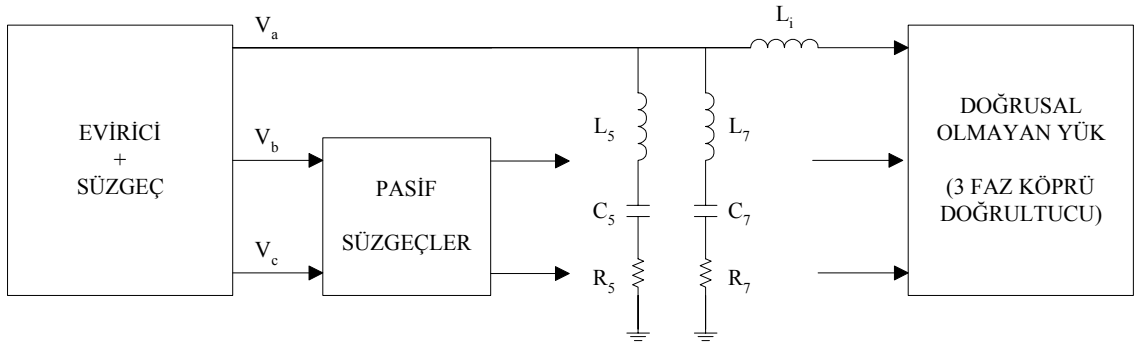
Şekil 5.8 Pasif süzgeç devresi.

Burada, Şekil 5.8’de gösterilen seri R-L-C süzgeç devresi, evirici çıkışına paralel bağlanarak harmonik eliminasyonu yapılacaktır. Evirici çıkışında, belli bir frekanstaki harmoniği elimine edebilmek için, L ve C değerlerini bu frekansta rezonans olacak şekilde ayarlayabiliriz. Yani nominal çıkış frekansının 50Hz olduğu yerde, 5. harmonik için bu harmoniğin frekansı olan 250Hz, 7 harmonik için 350Hz rezonans frekansı esas alınacaktır.

Böylece elimine edilmesi istenilen harmonik akımları, bu freknanstaki süzgeç devresi çok küçük bir empedans göstereceğinden, ilgili süzgeç devresinden akarak yük üzerinden geçmeyecektir. Bilindiği gibi rezonans frekans denklemi aşağıdaki gibidir:

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (5.11)$$

Şekil 5.9 da gösterilen sistemin çıkışında 5. ve 7. harmonikleri süzmek için pasif süzgeçler kullanılmaktadır. Şekildeki süzgeçler yalnızca “a” fazı için gösterilmiştir. Bu kısımda, ana harmoniğe yakın olması nedeniyle, incelenen sistemin çıkışına önce 5., sonra 7. harmoniği elimine etmek için ayrı ayrı süzgeçler bağlanacak, sonra bu süzgeçlerin her ikisi birden bağlanarak çıkış geriliminin harmoniği incelenecektir. Bilindiği gibi üç fazlı ve dengeli bir yüke sahip olan sistemlerde çift ve üçün katı olan harmonikler oluşmamaktadır.

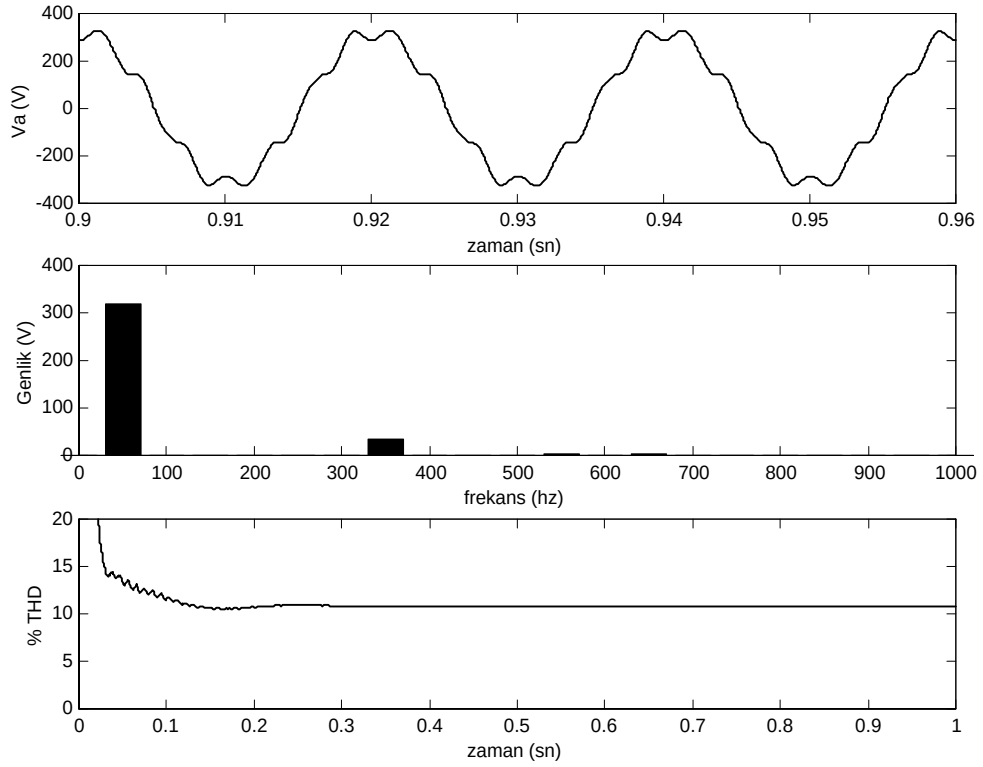


Şekil 5.9 Pasif süzgeçlerin üç faz eviriciye olan bağlantısı.

5.3.1 5. Harmoniğin Eliminasyonu

Burada sadece 5. harmoniğin eliminasyonu için gereken süzgeç devresi kullanılmıştır. Süzgeç devresinde kullanılacak endüktans ve kapasitenin değerleri, rezonans frekansı 250Hz olacak şekilde seçilmiştir. Yapılacak analizde kullanılan parametreler aşağıdaki gibidir.

$$L_5 = 40.53\text{mH}, C_f = 10\mu\text{F}, R_5 = 10\text{m}\Omega$$



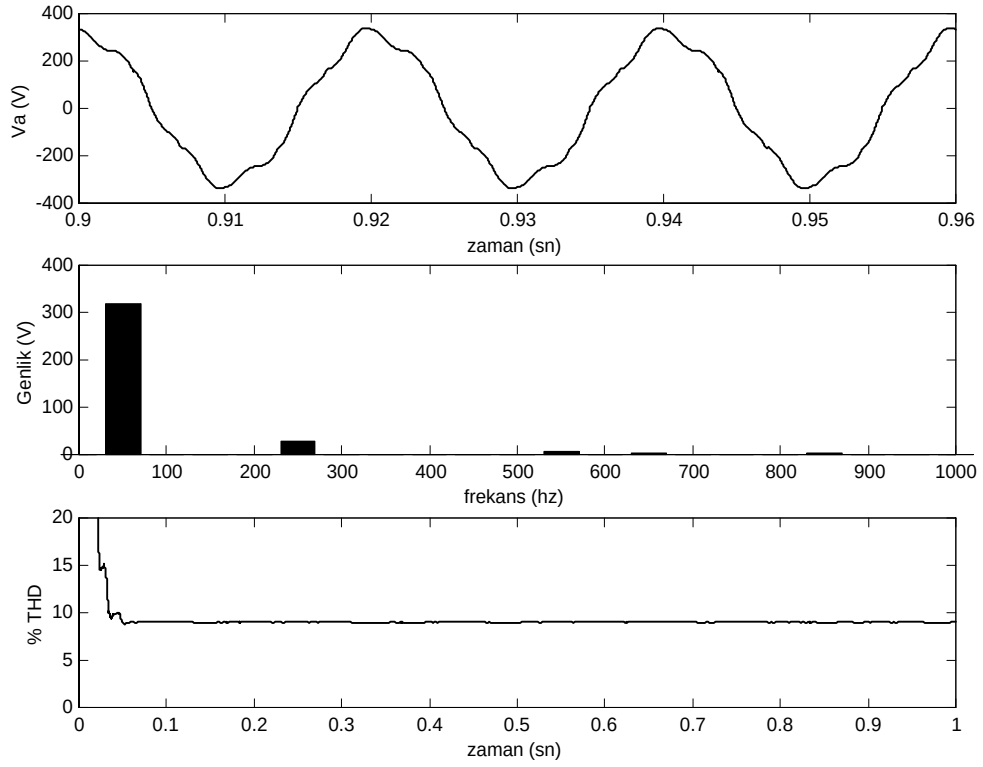
Şekil 5.10 5. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

Şekil 5.10 da 5. harmoniğin süzöldükten sonra elde edilen gerilimin şekli ve harmonik spektrumu gösterilmiştir. Ortadaki şekilden de görüldüğü gibi gerilimin 5. harmoniği süzölmüştür. Elde edilen gerilimin THD, %10.8 dir.

5.3.2 7. Harmoniğin Eliminasyonu

Bu analizde, evirici çıkışında sadece 7. harmoniğin süzölmesini sağlayan süzgeç devresi kullanılmıştır. Rezonans frekansını 350Hz olmasını sağlayacak süzgeç parametreleri aşağıdaki gibidir.

$$L_5 = 20.68\text{mH}, C_f = 10\mu\text{F}, R_5 = 10\text{m}\Omega$$



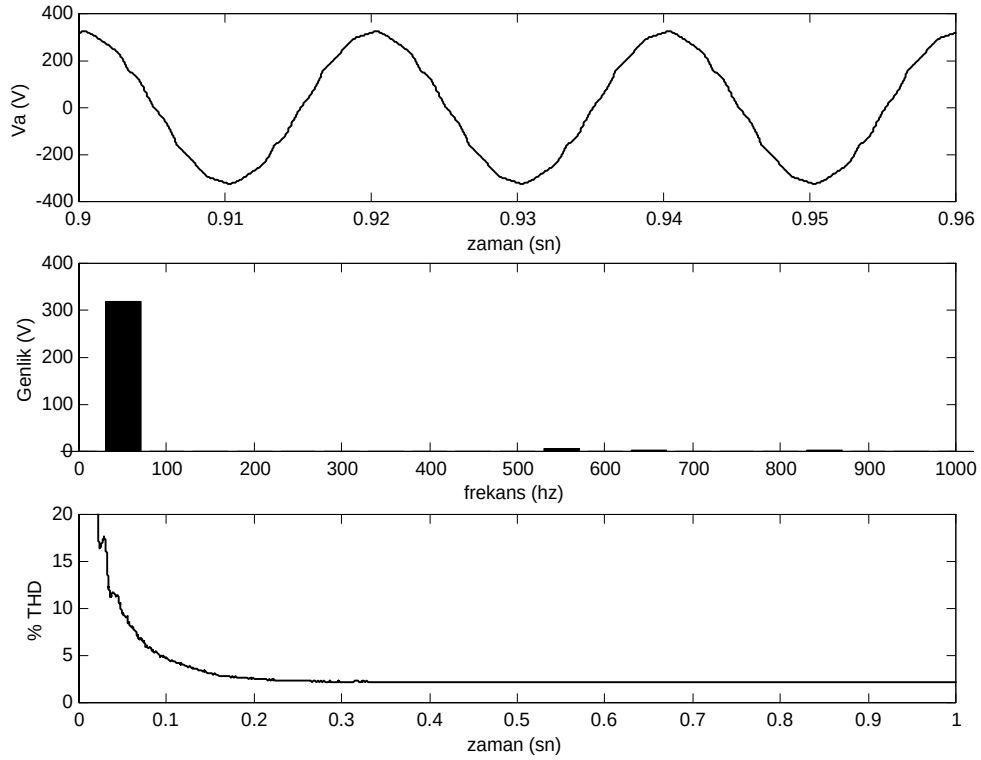
Şekil 5.11 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

Şekil 5.11 de 7. harmoniğin süzöğden sonra elde edilen gerilimin Őekli ve harmonik spektrumu gösterilmiřtir. Harmonik spektrumundan da göröldüğü gibi gerilimin 7. harmoniğı süzölmüřtür. Yöğ üzerine düřen gerilimin THD, %9 dur.

5.3.3 5. ve 7. Harmoniklerin Eliminasyonu

Evirici çıkışına, yukarıda ayrı ayrı verilen süzgeç devreleri, 5. ve 7. harmoniklerin birlikte elimine edilmesi amacıyla birlikte kullanılmıřtır.

Şekil 5.12 den de göröldüğü gibi, birlikte kullanılan bu süzgeç devreleri ile gerilimin harmonikleri önemli ölçüde azaltıldığı hem sinyalin Őeklinden hem de harmonik spektrumundan görölmektedir. Gerilimin THD, %2.2 olarak kabul edilebilir sınırlar içinde bulunmuřtur.



Şekil 5.12 5. ve 7. harmoniklerin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

5.4. Senkron Eksen Takımları Kullanılarak Harmonik Eliminasyonu

Bu yöntemde amaç, yük üzerine düşen gerilim, geri besleme ile alınarak önce durağan eksen takımına sonra elimine edilmesi istenilen harmonik derecesinin senkron eksen takımına dönüştürülüp, bu değeri sıfırlayacak bir kontrol algoritmasını oluşturmaktır. Yani senkron eksen takımlarını kullanarak, gerilimin harmonik bileşenlerinin d.a. değerlerini bularak, bir PI kontrolörle bu bileşenleri yok edilmeye çalışılacaktır.

Şekil 5.1 de gösterilen devrede, üç fazlı gerilim, durağan eksen takımında şu biçimde ifade edilebilir;

$$V_{abc} = \frac{2}{3}(V_{an} + aV_{bn} + a^2V_{cn}), \quad a = e^{j\frac{2\pi}{3}}, \quad a^2 = e^{j\frac{4\pi}{3}} \quad (5.12)$$

Üç fazlı, dengeli bir yüke sahip sistemde, oluşabilecek 1., 5., 7., 11., 13., harmoniklerin, anlık faz-nötr gerilimleri şu şekilde ifade edilebilir.

$$V_{an} = V_1 \sin(\omega_e t) + V_5 \sin(5\omega_e t) + V_7 \sin(7\omega_e t) + V_{11} \sin(11\omega_e t) + V_{13} \sin(13\omega_e t) + \dots \quad (5.13)$$

$$V_{bn} = V_1 \sin(\omega_e t - 2\pi/3) + V_5 \sin(5\omega_e t - 4\pi/3) + V_7 \sin(7\omega_e t - 2\pi/3) + V_{11} \sin(11\omega_e t - 4\pi/3) + V_{13} \sin(13\omega_e t - 2\pi/3) + \dots \quad (5.14)$$

$$V_{cn} = V_1 \sin(\omega_e t - 4\pi/3) + V_5 \sin(5\omega_e t - 2\pi/3) + V_7 \sin(7\omega_e t - 4\pi/3) + V_{11} \sin(11\omega_e t - 2\pi/3) + V_{13} \sin(13\omega_e t - 4\pi/3) + \dots \quad (5.15)$$

Burada, ω_e ana harmonik frekansı (1. senkron frekans), $V_1, V_2, V_3, V_4, \dots V_n$ harmonik gerilimlerin genlikleridir. Bu durumda durağan eksen takımı vektörü şöyle olur.

$$V_{abc} = V_1 e^{j(\omega_e t - \frac{\pi}{2})} + V_5 e^{-j(5\omega_e t - \frac{\pi}{2})} + V_7 e^{j(7\omega_e t - \frac{\pi}{2})} + V_{11} e^{-j(11\omega_e t - \frac{\pi}{2})} + V_{13} e^{j(13\omega_e t - \frac{\pi}{2})} \quad (5.16)$$

Durağan eksen takımındaki bir gerilim vektörü senkron eksen takımında tanımlanabilir. Kendi frekansında dönen bir senkron eksen takımında tanımlanan bir büyüklük sabit (d.a.) değer alacağından, denetim işlemleri daha basit bir yapıya bürünür.

Ana harmonik denetimi için ana frekansa karşı düşen senkron hızda dönen eksen takımı kullanılır. Bu durumda durağan eksen takımında V_1 olarak gösterilen ana harmonik gerilimlerinden oluşmuş vektör bileşeni $e^{-j\omega_e t}$ ile çarpılarak gerilim vektörünün 1. senkron eksen takımına dönüştürülmesi sağlanır. Bu durumda 1. senkron eksen takımındaki gerilim vektörü şöyle olur:

$$V^{e_1}_{abc} = e^{-j\omega_e t} (V_1 e^{j(\omega_e t - \frac{\pi}{2})} + V_5 e^{-j(5\omega_e t - \frac{\pi}{2})} + V_7 e^{j(7\omega_e t - \frac{\pi}{2})} + V_{11} e^{-j(11\omega_e t - \frac{\pi}{2})} + V_{13} e^{j(13\omega_e t - \frac{\pi}{2})}) \quad (5.17)$$

$$V^{e_1}_{abc} = V_1 e^{-j\frac{\pi}{2}} + V_5 e^{-j(6\omega_e t - \frac{\pi}{2})} + V_7 e^{j(6\omega_e t - \frac{\pi}{2})} + V_{11} e^{-j(12\omega_e t - \frac{\pi}{2})} + V_{13} e^{j(12\omega_e t - \frac{\pi}{2})} \quad (5.18)$$

Görüldüğü gibi 1. senkron eksen takımında gerilim vektöründe ana harmonik geriliminin değeri sabit bir değer almıştır.

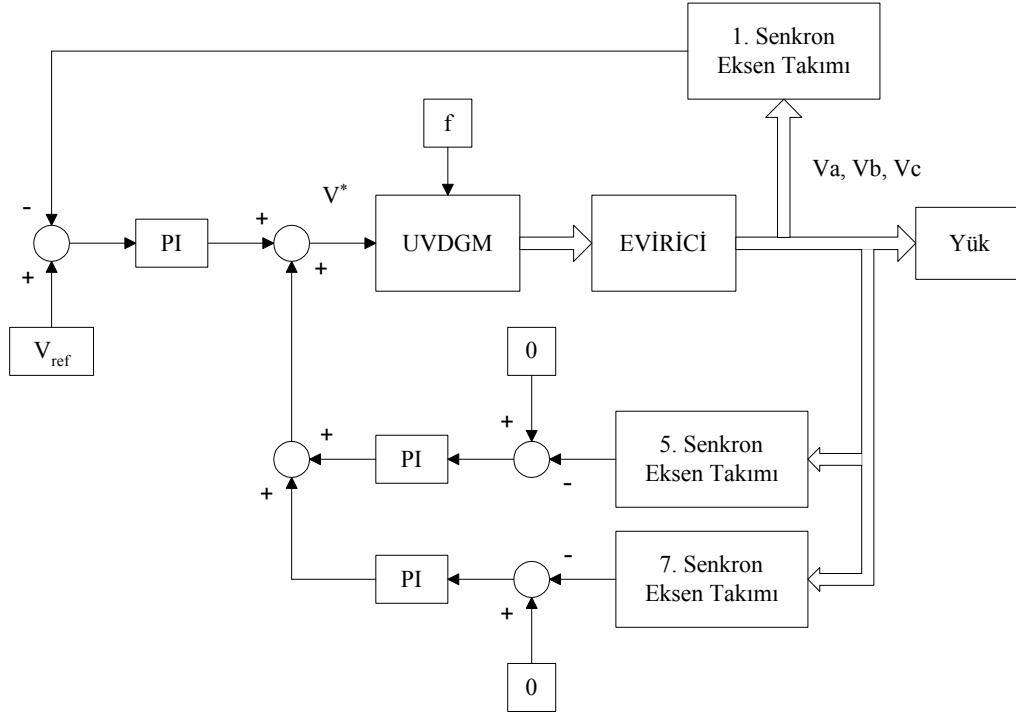
5. ve 7. senkron eksen takımlarına dönüşüm için de benzer yöntem kullanılabilir. Bunun için hesaplanan gerilim vektörü (V_{abc}), $e^{j5\omega_e t}$ ve $e^{-j7\omega_e t}$ çarpılır. Bu çarpımın sonunda aşağıdaki denklemler elde edilir.

$$V^{e_5}_{abc} = V_1 e^{j(6\omega_e t - \frac{\pi}{2})} + V_5 e^{j\frac{\pi}{2}} + V_7 e^{j(12\omega_e t - \frac{\pi}{2})} + V_{11} e^{-j(6\omega_e t - \frac{\pi}{2})} + V_{13} e^{j(18\omega_e t - \frac{\pi}{2})} \quad (5.19)$$

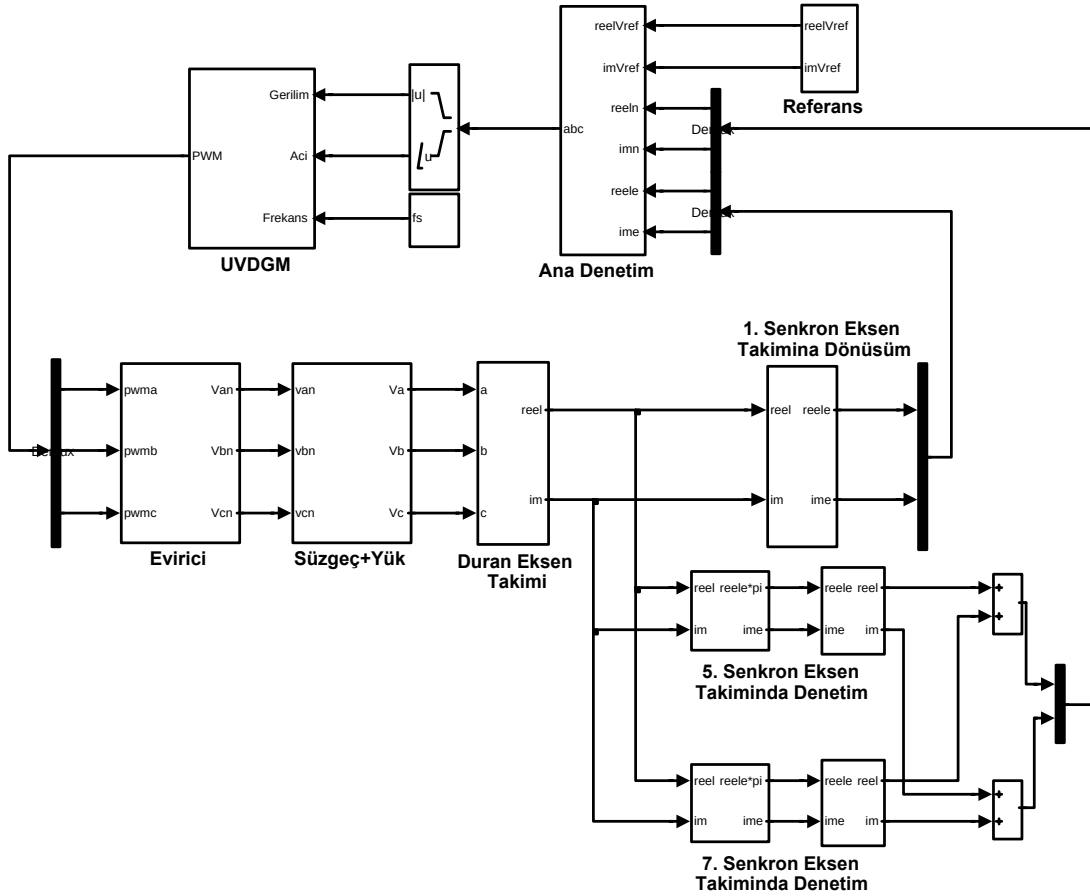
$$V^{e_7}_{abc} = V_1 e^{-j(6\omega_e t - \frac{\pi}{2})} + V_5 e^{-j(12\omega_e t - \frac{\pi}{2})} + V_7 e^{-j\frac{\pi}{2}} + V_{11} e^{-j(18\omega_e t - \frac{\pi}{2})} + V_{13} e^{j(6\omega_e t - \frac{\pi}{2})} \quad (5.20)$$

Bu denklemlerden de görüldüğü gibi 5. ve 7. senkron eksen takımlarına ait gerilim denklemlerinde, bu harmonik değerleri sabit kalmışlardır.

Şekil 5.13 de yapılacak olan kontrol algoritmasının blok şeması, Şekil 5.14 de ise bu algoritmaya karşılık gelen Matlab/Simulink modeli gösterilmiştir.



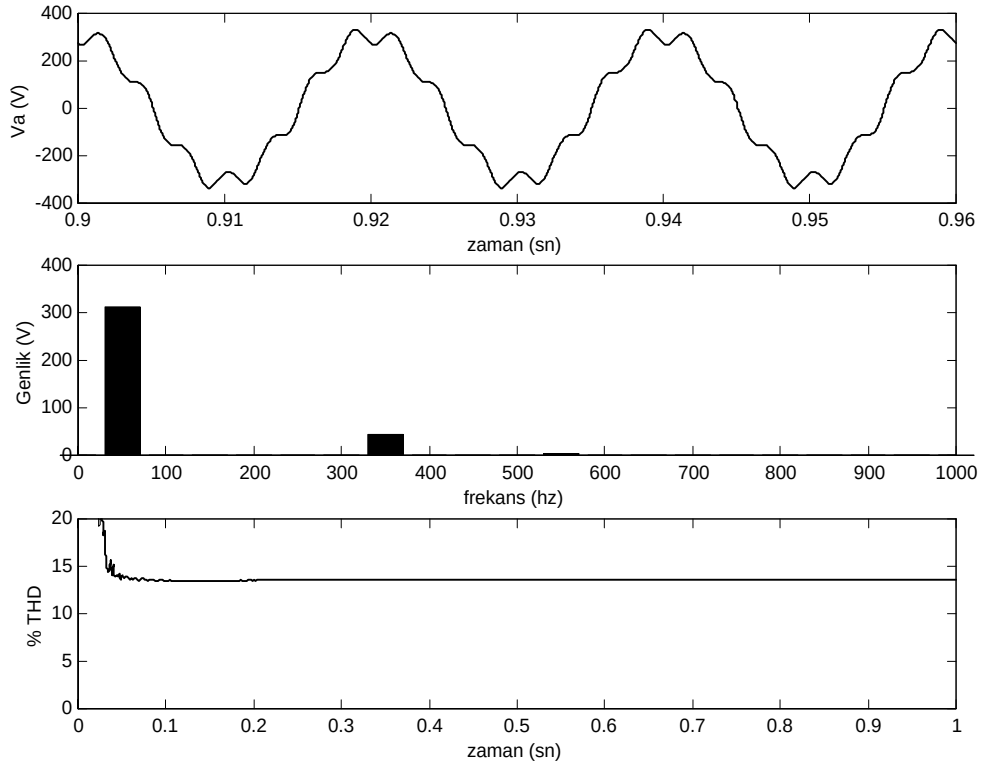
Şekil 5.13 Senkron eksen takımlarıyla yapılan harmonik eliminasyonun blok şeması.



Şekil 5.14 Senkron eksen takımlarıyla yapılan harmonik eliminasyonun Matlab/Simulink şeması.

5.4.1 5. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu

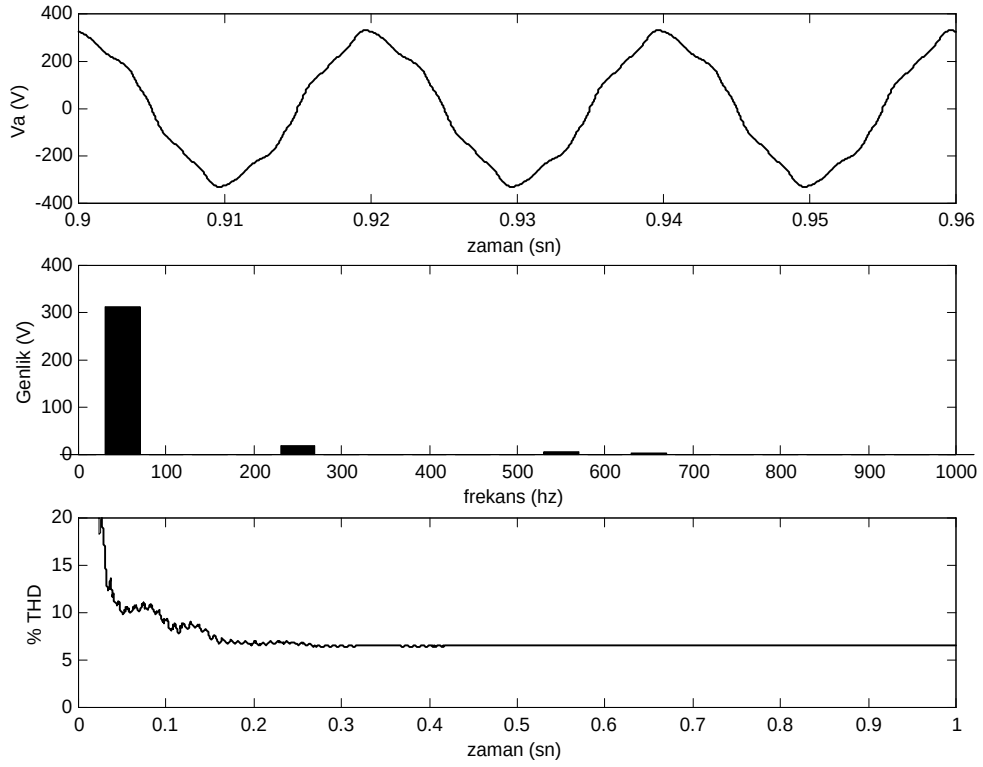
Sadece 5. harmoniğin eliminasyonu için yapılan benzetimde, evirici çıkış geriliminin 5. senkron eksen takımındaki d.a. bileşenini sıfır yapacak şekilde üretilen kontrol işaretini, evirici referans geriliminden işaretinden çıkarılmıştır. Sonuçta, Şekil 5.15’den de görüldüğü gibi 5. harmonik elimine edildiği görülmektedir. Gerilimin THD, %13.6 olarak bulunmuştur.



Şekil 5.15 5. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

5.4.2 7. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu

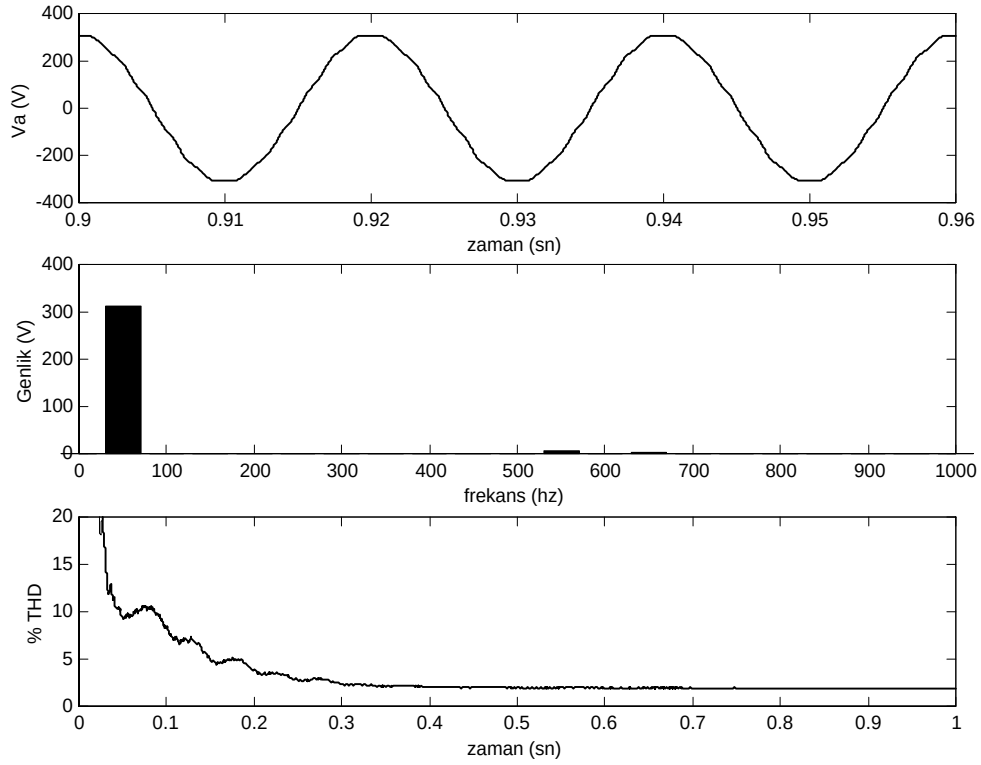
Sadece 7. harmoniği elimine etmek için yapılan benzetim de olumlu sonuç vermiştir. Şekil 5.16 da, harmonik spektrumuna ait şekilden de görüldüğü gibi 7. harmonik elimine edilmiş ve gerilimin THD, %6.5 olarak bulunmuştur.



Şekil 5.16 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

5.4.3 5. ve 7. Senkron Eksen Takımını Kullanarak Harmonik Eliminasyonu

Bu analizde 5. ve 7. harmonikleri elimine etmek amacıyla evirici süzgeç çıkışından alınan üç faz gerilim, 5. ve 7. senkron eksen takımlarına dönüştürülüp, burada bulunan sabit değerler, ayrı ayrı sıfırlayacak şekilde PI denetleyiciden geçirilmiştir. Elde edilen denetim işareti, evirici referans işaretinden çıkarılmıştır. Sonuçta, Şekil 5.17’den de görüldüğü gibi 5. ve 7 harmonikler elimine edilmiştir. THD, önemli ölçüde azaltılarak %1.9 olarak bulunmuştur.



Şekil 5.17 5. ve 7. harmoniğin eliminasyonu ile elde edilen gerilim, harmonikleri ve THD.

Aşağıdaki tabloda pasif süzgeç devreleri ve senkron eksen takımlarının ayrı ayrı kullanılmasıyla elimine edilen harmonik gerilimlerinin THD tablosu verilmiştir.

Tablo 5.2 % THD'nun eliminasyon yöntemlerine göre dağılımı.

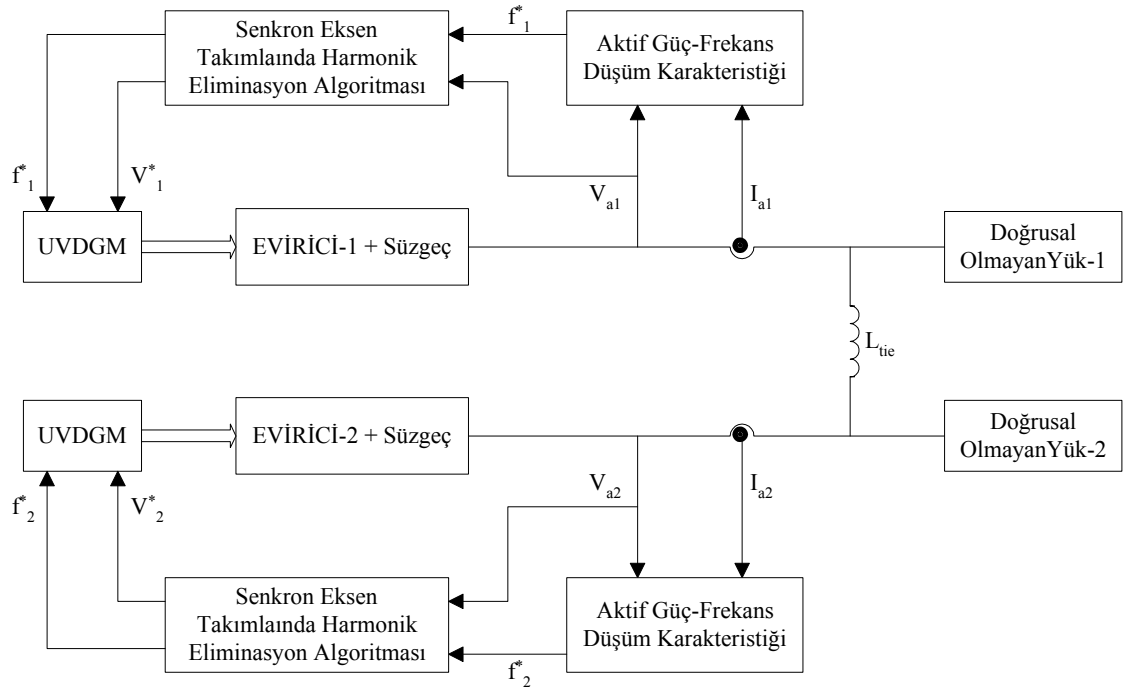
% THD (Van)	Pasif Süzgeç İle	Senkron Eksen Takımları İle
5. Harmoniğin Eliminasyonu	10.8	13.6
7. Harmoniğin Eliminasyonu	9	6.5
5. ve 7. Harmoniğin Eliminasyonu	2.2	1.9

Pasif süzgeçler kullanılarak da olumlu sonuçlar alınabilmesine karşılık bu yöntem, süzgeç devrelerinde kullanılacak elemanların değerlerine karşı oldukça hassastır. Bu devrelerde kullanılan bobinler, manyetik alanlar oluşturacağından, bu alanların birbirlerini etkilemesiyle oluşacak ortak endüktansların, bobin değerlerini değiştirmesiyle, süzgeçler gerekli performansı gösterememe durumu da ortaya çıkabilir. Ayrıca süzgeç devreleri kurulum maliyetini artırırken sistemin hacmini de artırmış olur. Bu sebeplerden dolayı yapılan benzetimlerde pasif süzgeçler iyi sonuç vermesine rağmen uygulamalarda çok da elverişli bir yöntem değildir. Buna karşılık senkron eksen takımlarının kullanılmasıyla, harmoniklerin yazılım olarak elimine edilmesi, yukarıda açıklanan dezavantajların çoğunu gidermektedir.

5.5 Doğrusal Olmayan Yüklerle Oluşturulan Dağınkı Güç Sistemi

Bu kısımda doğrusal olmayan yüklerin kullanıldığı, iki evirici ile oluşturulan dağınkı güç sisteminde yük paylaşımı incelenecektir. Önceki bölümlerde anlatılan yük paylaşımı algoritmasının kullanılacağı sistemde, doğrusal olmayan yüklerin neden olacağı harmonikli gerilimler elimine edilerek, yük üzerine düzgün bir sinüzoidal gerilimin düşmesi de sağlanacaktır.

Kabul edilebilir sınırlarda THD'na sahip bir gerilimi elde edebilmek için yukarıda açıklanan, senkron eksen takımları kullanılarak harmonik eliminasyon yöntemi kullanılmıştır. Şekil 5.18 de her iki eviriciye uygulanacak olan algoritma gösterilmiştir.



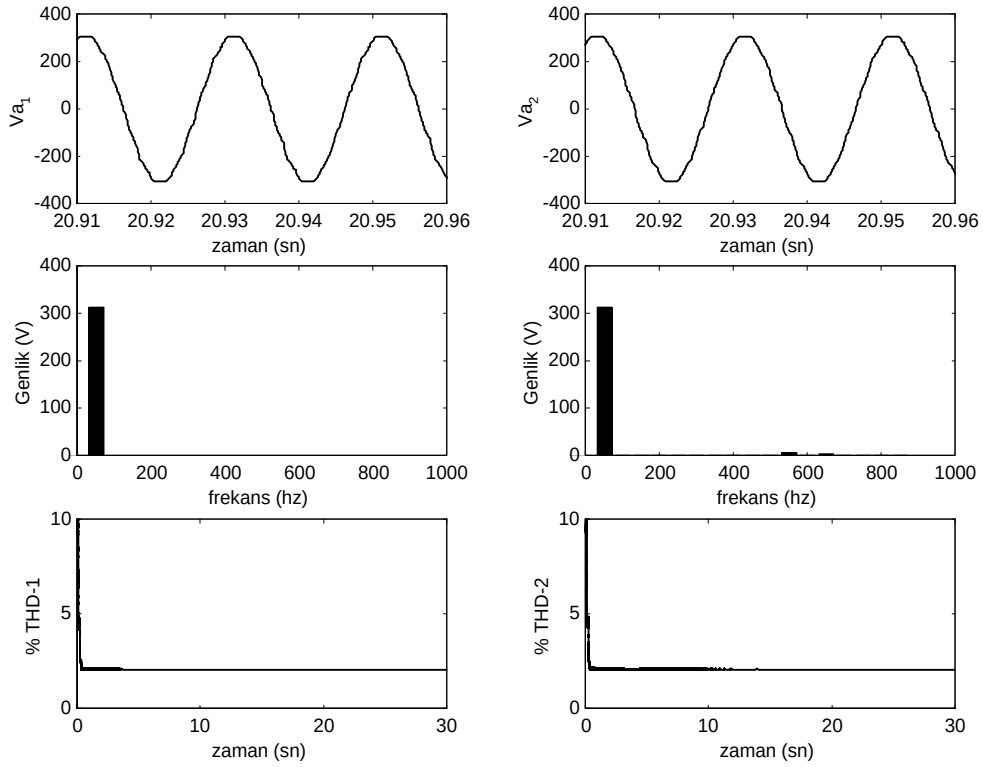
Şekil 5.18 Yük paylaşımı ve senkron eksen takımlarıyla harmonik eliminasyon algoritmalarının dağınkı güç sistemine birlikte uygulanması

4. bölümde de anlatıldığı gibi, paralel çalışma ve yük paylaşımı için eviricinin fazlarından birinin süzgeç çıkış gerilim ve akımı ile aktif gücü hesaplanır. Düşüm karakteristiğinde bu güç değişimine karşılık gelen evirici frekans ayar değeri (f^*) bulunur. Aynı fazın gerilimi ile bu frekans, gerilimin senkron eksen takımlarına dönüşümünde de kullanılacaktır. Yukarıda açıklanan harmonik eliminasyon algoritması ile eviriciye uygulanacak gerilimin ayar değeri (V^*) bulunarak UVDGM' na, f^* ile birlikte uygulanır.

Analizi yapılacak sistemde yük ve süzgeç elemanlarının değerleri için, bölümün başında verilen parametreler kullanılmıştır. Ara bağlantı endüktansı $L_{tie} = 10\text{mH}$ değerindedir.

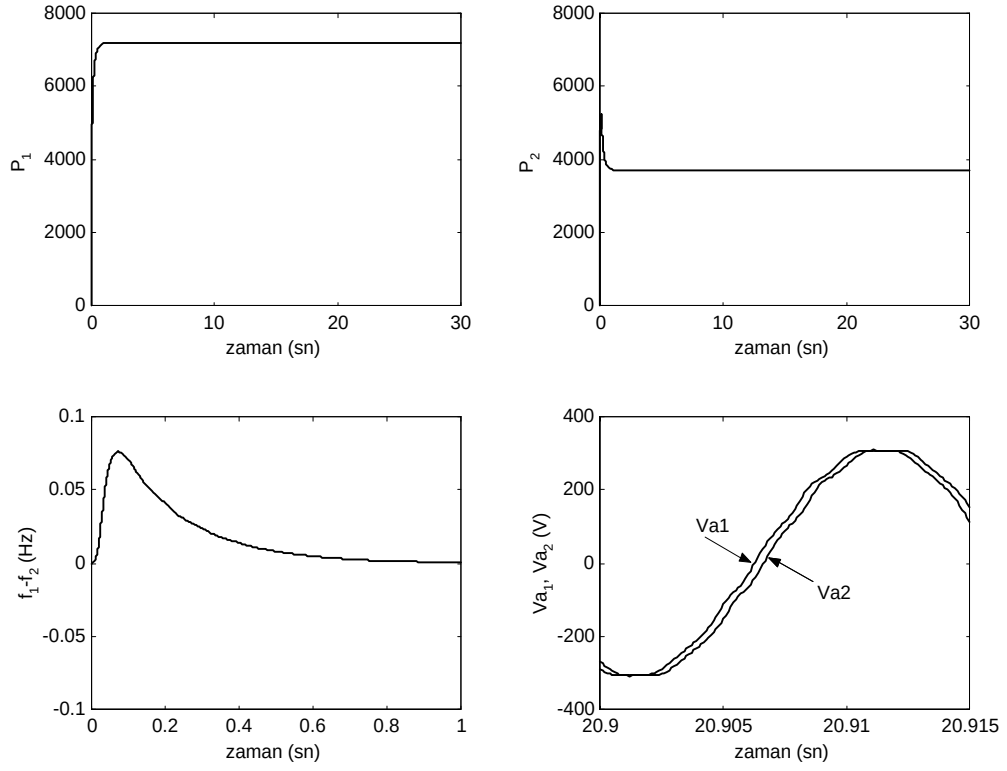
Eviricilerin aktif-güç frekans düşüm karakteristiklerinin eğimleri $b_1/b_2 = -0,0001/-0,0002(\text{rad/sn})/W$, $k_{\text{res}}P_{\text{Ri-1}}/k_{\text{res}}P_{\text{Ri-2}} = 2000/1000$ olarak seçilmiştir. Düşüm katsayılarından da anlaşılacağı gibi birinci evirici, ikinci eviricinin iki katı gücünde seçilmiştir.

Aşağıdaki şekillerde, her iki eviriciye ait a fazının gerilim, harmonik bileşenleri ile %THD değeri ve eviricilerin sisteme verdikleri güç ile frekans değişimleri verilmiştir.

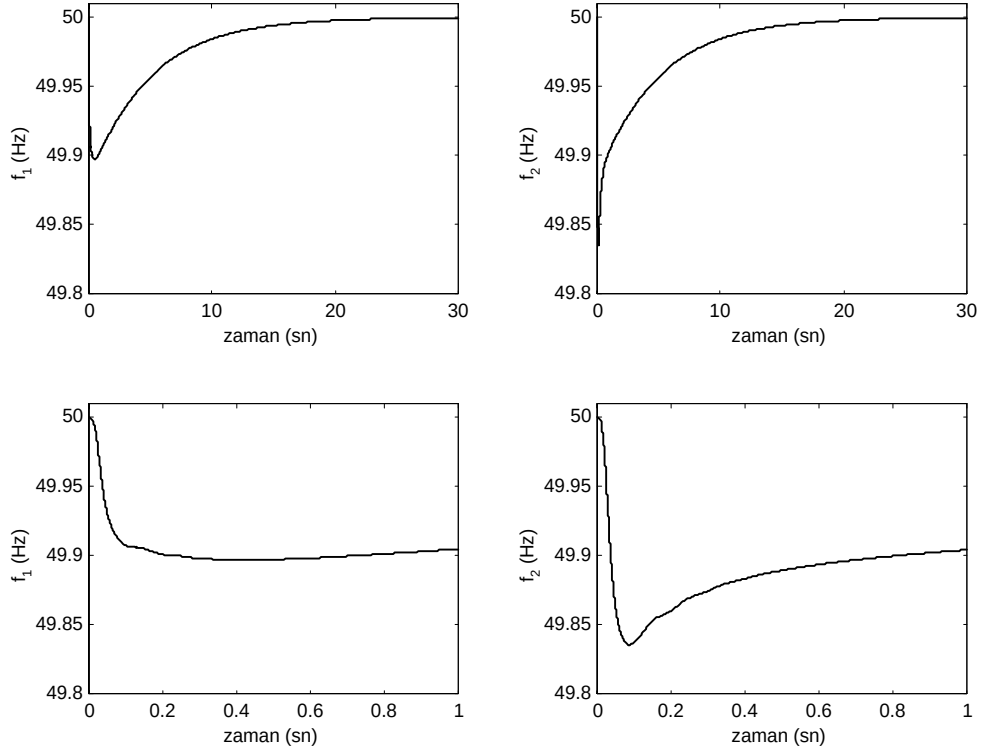


Şekil 5.19 Birinci ve ikinci eviricinin bir fazının gerilimi, harmonikleri ve THD.

Şekil 5.19 dan görüldüğü gibi, sistemde iki doğrusal olmayan yük olmasına rağmen, uygulanan eliminasyon algoritmasıyla, yük üzerine düzgün bir sinüzoidal gerilim uygulanabilmektedir. Her iki eviricinin süzgeç çıkış gerilimlerinin 5. ve 7. harmonik bileşenleri yok edilerek THD'nu yaklaşık %2 ye indirgenerek kabul edilebilir sınır içinde tutulmuştur.



Şekil 5.20 Birinci ve ikinci eviricinin sisteme verdikleri güçler, frekansları arasındaki fark ve faz gerilimleri.



Şekil 5.21 Birinci ve ikinci eviricinin frekansları.

Şekil 5.20 de eviricilerin sisteme verdikleri güçler görülmektedir. Bu değerler yaklaşık 7180/3650W olup birinci evirici, ikinciye göre iki kat gücünde yüklendiği görülmektedir. Yük paylaşımındaki küçük hata, 4. bölümde verilen frekans düzenleme algoritmasından kaynaklanmaktadır. Bu şekilde ayrıca eviricilerin frekansları arasındaki fark da gösterilmiştir. Bu fark başlangıç anında artarak ara bağlantı hattından güç akışını sağlamaktadır. Bu güç değeri dolayısıyla eviricilerin sisteme verdikleri güçler sürekli durum değerlerine kavuştuklarında, bu fark sıfırlanarak, eviricilerin süzgeç çıkış gerilimleri arasındaki faz farkı sabitlenecektir. Gerilimler arasındaki bu faz farkı yine Şekil 5.20 de gösterilmiştir.

Şekil 5.21 de ise eviricilerin frekansları gösterilmiştir. Eviricilerin yüklenmesiyle önceden düşüm katsayısıyla belirlenen oranda düşen frekanslar, frekans düzenleme algoritmasının da etkisiyle zamanla nominal değerine gelmektedir. Frekanslardaki düşümün daha net görülebilmesi için aynı şekilde zaman eksenini genişletilerek de verilmiştir.

6. SONUÇ

Hassas ve kritik önemdeki yükler için gerek görülen güç akışında devamlılık ve güç kalitesi gibi kavramlar, günümüzde bu tür yüklerin artış göstermesiyle oldukça önem kazanmıştır. Bu yaklaşım doğrultusunda bu tezde, oluşturulan dağınk güç sisteminde, eviricilerin paralel çalıştırılması ve bu eviricilerin yük paylaşım algoritmaları ile denetimini sağlayan benzetim çalışmaları ve deneysel uygulamalar yapılmıştır. Ayrıca dağınk çalışan güç sisteminde doğrusal olmayan yüklerin neden oldukları harmoniklerin elimine edilmesiyle ilgili incelemeler yapılmıştır.

Enterkonnekte güç sistemlerinde kullanılmakta olan yük-frekans düşüm yönteminin, paralel çalışan evirici sistemlerinde kullanılmasının önemli avantajı vardır. Böyle bir yapıda, eviricilere sabit frekans ayar değerleri verildiğinde, bu değerler arasında herhangi bir nedenle küçük de olsa bir fark oluşması, zamanla eviricilerin çıkış gerilimleri arasındaki faz farkının giderek açılmasına neden olacaktır. 2. bölümde açıklandığı gibi, bu farkın artması eviriciler arasında büyük bir güç akışının akması anlamına gelir ki bu olay ünitelerde aşırı akım hatasına yol açacaktır. Düşüm karakteristiği, frekansın ayar değerinde bir esneklik sağladığından böyle bir hata oluşmayacaktır. Bu, eviricilerin paralel çalıştırabilmesi açısından önemlidir.

Bu yöntemin bir diğer avantajı, farklı nominal güç değerlerindeki eviricileri paralel çalıştırılabilme olanağıdır. Bununla beraber sistemin toplam yükü, farklı güçlerde olan ünitelere güçleri oranında paylaştırılabilmektedir. Ayrıca bu yöntemde denetleyici, sadece kendi ünitesinin çıkış büyüklüklerini geri besleme olarak kullandığından, üniteler arasında bir haberleşme hattının kullanılmasına gerek kalmaz ki, bunun sayesinde, sistemin dağınk çalışması sağlanır.

Yük-frekans düşüm yönteminin uygulandığı, paralel çalışan ünitelerin oluşturduğu dağınk yapı için kararlılık analizi yapılmıştır. Bu analiz sonucunda aktif güç-frekans düşüm katsayısının negatif olduğu her değer için sistemin kararlı olduğu gösterilmiştir. Ancak bu katsayı için sınırlayıcı parametreler de vardır. Mutlak değer olarak bu katsayının büyük seçilmesi, sistemin dinamik davranışını hızlandırırken, yük değişimi durumunda geçici de olsa sistem frekansının çok sapmasına neden olacağı açıkça anlaşılmaktadır.

Eviriciler arasında aktif yükün paylaşımı, her bir evirici frekansının ,yük-frekans düşüm karakteristiğini tarafından belirlenen miktarda değiştirilmesiyle yapılmaktadır. Frekans düzenleme algoritması ile değişen frekansının, tekrar nominal değerine getirildiği gösterilmiştir. Frekans düzenleme katsayısı için de 3. bölümde anlatıldığı gibi bir sınırlama vardır. Bu

katsayının büyük seçilmesi, deęişen sistem frekansının nominal deęerine hızlı bir şekilde dönmesini saęlanılırken, yük paylaşımında oransal olarak sapmalar meydana gelecektir.

Aktif güç-frekans düşüm yöntemine benzer mantıkla yapılan reaktif güç-gerilim düşüm karakteristięinin paralel çalışan ünitelere uygulanması ile sistemin reaktif yükü de eviriciler arasında istenilen oranda paylaştırılmıştır. Reaktif güç-gerilim düşüm katsayısı için de bir sınırlama getirilebilir. 3.2 denkleminde de ifade edildięi gibi, üniteler arasındaki reaktif güç akışı, bu ünitelerin gerilimlerinin genlikleri arasındaki farkla orantılıdır. Bu katsayı ne kadar büyük olursa, üniteler arasındaki reaktif güç akışı imkânı da o kadar fazla olur. Ancak bu durumda eviricilerin çıkış gerilimleri, bu katsayıyla orantılı olarak düşecektir. Eęer düşük seçilirse, üniteler arasındaki reaktif güç akışı, belli bir sınır içinde kalacak ve reaktif yük paylaşımı istenilen oranda gerçekleştiremeyebilecektir. Bu nedenlerle bu katsayı, gerilimdeki düşümün kabul edilebilir sınırdaki olacak şekilde büyük seçilmelidir.

Yapılan analizlerin ardından, eviricilere aktif güç-frekans ve reaktif güç-gerilim düşüm karakteristikleri uygulanarak etkileri gözlenmiştir. Aktif güç-frekans düşümü kullanılarak, eşit güçlü eviricilerin paralel çalıştırılabilmesi saęlanmıştır. Eviriciler farklı güçlerde seçilerek aktif ve reaktif yük paylaşımları ayrı ayrı ve ikisi birlikte yapılmıştır. Bu uygulamalarda eviriciler sistemin toplam yükünü, kendi güçleriyle orantılı olarak başarılı bir şekilde paylaşmışlardır. Böylece eviricilerin optimal bir güç seviyesinde çalışması saęlanmıştır.

Benzetim algoritmalarının gerçek zamanda uygulaması, oluşturulan deney setinde gerçekleştirilmiştir. Deney seti yükler, süzgeç elemanları, eviriciler ve bu eviricilerin çalışmasını saęlayan devrelerden oluşturulmuştur. Evirici çıkışlarından geri beslemeleri alıp denetim algoritmalarında kullanarak gerekli anahtarlama işaretlerini üretmek için, dSPACE firmasının ürettięi DS1103 denetleyici kartı kullanılmıştır. Deneysel çalışmalardan, benzetim sonuçlarını doğrulayacak nitelikte başarılı sonuçlar elde edilmiştir.

Güç akışındaki devamlılık ve optimal güç seviyesinde çalışma konusunda elde edilen sonuçların yanında, güç kalitesinin de önemli bir kavram olduęu belirtilmiştir. Bu bağlamda, paralel çalışan sistemlerde, özellikle doğrusal olmayan yüklerin neden olduęu sinyal bozulmalarını (harmonikleri) elimine edecek bir denetim yöntemi önerilmiştir.

Bu yöntemde, evirici çıkış geriliminin, elimine edilmesi istenilen harmoniğe göre senkron eksen takımıdaki karşılığı bulunup, bu deęeri yok edecek denetim işareti, klasik PI denetleyiciyle elde edilerek eviriciye gerilim ayar deęeri olarak uygulanmıştır. Uygulanan denetim algoritmasıyla elimine edilmesi istenilen harmonikler başarılı bir şekilde yok edilmiştir. Sunulan bu yöntem, doğrusal olmayan yükleri içeren daęınık güç sisteminde, yük-frekans düşüm yöntemiyle birlikte kullanılmıştır. Bu denetim algoritması ile hem sistemin toplam yükünün eviriciler arasında istenilen oranda paylaştırılabilmesi saęlanmış, hem de sistemde

oluşan harmonikler elimine edilmiştir. Sistemdeki geriliminin THD değeri, IEEE–519 standartlarında belirtilen sınırlar içinde tutulmuştur.

Sonuç olarak, hassas ve kritik önemdeki yükler için önemli kavramlar olan *güç akışının devamlılığı, evirici ünitelerinin optimal bir seviyede çalışması ve güç kalitesi* konusunda etkili sonuçlar elde edilmiştir. Yüklerin sisteme tek bir noktadan bağlanmaması ve sistemde haberleşme hattının kullanılmaması ile dağıtık paralel çalışma sağlanmıştır. Eviriciler paralel çalıştırılırken güç akışında devamlılık, aktif güç-frekans ve reaktif güç-gerilim düşüm yöntemleri ile eviricilerin optimal güç seviyesinde çalışması, benzetim ve deneysel uygulamalarla başarılmıştır. Ayrıca sistemdeki harmoniklerin eliminasyonu ile güç kalitesindeki artış arzu edilen performans kriterlerine uygun olarak, benzetimsel olarak gösterilmiştir.

İleride ülkemizde mikro şebeke sistemlerinin yaygınlaşması ile bu yaklaşımlar gündeme gelecek ve önemi artacaktır.

6.1 Öneriler

- Dağıtılmış olarak çalışan bir mikro şebeke sisteminin, ana şebekeye bağlanması ve ayrılması zamanlarında, yük üzerinde kesinti ve faz kayması gibi oluşabilecek etkilerin incelenmesi ve gözlenebilecek olumsuz etkilerin giderilebilmesi için, denetleyici devreler ve algoritmaların tasarlanması önerilir.
- Dağıtılmış bir sistemde, bir ünitenin devre dışı kalması durumunda sistemdeki diğer üniteler, güç akışını devam ettirebilir. Ancak yeni bir ünitenin ağ yapısına dâhil olması incelenmesi gereken bir konudur. Bağlantı sırasında, yeni ünite ile sistemin birbirlerine göre olan faz farkları sistemin işleyişini etkileyecektir. Yeni ünite sistemle aynı fazda iken dâhil olursa, yeni ünitenin ve sistemin sürekli durum frekansı aynı olacağından, yüklerin değeri ve üniteler birbirlerine göre olan güç oranları ne olursa olsun, üniteler arasında faz ve frekans farkı olmayacağından, sistemdeki güç akışında bir değişme olmayacaktır.
- Frekans düzenleme algoritmasına benzer bir mantıkla, reaktif güç-gerilim düşüm karakteristiğinin, ünitelerin gerilimleri arasındaki genlik farkı sabit kalacak şekilde kaydırılması yapılabilir. Bu sayede, genlikler arasındaki farkın sabit kalmasıyla reaktif yük paylaşımı devam ederken, gerilimin nominal değerinden fazlaca uzaklaşmamış olunur. Bununla ilgili yapılabilecek bir çalışma güç kalitesindeki genlik parametresi açısından önemli olacaktır.
- Harmonik eliminasyon yönteminde gerilim harmoniklerini hesaplamak için dalgacık dönüşümünden yararlanılan bir çalışma yapılabilir. Dalgacık kuramı ile geçici durumlardaki harmonik bileşenler çok hızlı olarak hesaplanabilmektedir. Bu tekniğin harmonik eliminasyon işlemini hızlandırması ve duyarlılığı arttırması beklenmektedir.

KAYNAKLAR

1. Lasseter R., 2000, Microgrids, Power Engineering Society Winter Meeting, IEEE, vol.1, 27-31 Jan. 2002, 305–308.
2. Venkataramanan G., Illindala M., 2002, Microgrids and sensitive loads, Power Engineering Society Winter Meeting, IEEE, vol.1, 27-31 Jan. 2002, 315–322.
3. Marnay C., Javier R. F., Afzal S.S., 2001, Shape of the Microgrid, Power Engineering Society Winter Meeting, IEEE, vol.1, 28 Jan.-1 Feb. 2001, 150–153.
4. Meliopoulos A., 2002, Challenges in simulation and design of microgrids, in Proc. IEEE Power Eng. Society Winter Meeting, vol.1, New York USA, 309–314.
5. Lasseter R., Piagi P., 2000, Providing premium power through distributed sources, in Proceedings of the 33rd Annual Hawaii International Conference on Systems Sciences IEEE, Jan. 2000, 1437–1445.
6. Lasseter R., A. Akhil A., Marnay C., Meliopoulos A., 2002, Integration of distributed energy resources, The CERTS MicroGrid Concept, CERTS, April 2002.
7. J. Holtz J., Werner K.H., 1990, Multi-inverter UPS system with redundant load sharing control, IEEE Trans. on Industrial Electronics, Dec. 1990, 506–513.
8. Kawabata T., Sashida N., Yamamoto Y., Ogasawara K., Yamasaki Y., 1990, Parallel processing inverter system, In International Power Electronics Conf. (IPEC), Tokyo Japan, 107–114.
9. Platts J., Aubyn J.St., 1992, Uninterruptible Power Supplies, Peter Peregrinus Ltd., London, for the Institution of Electrical Engineers (IEE).
10. Ashdown B., Poulin J., 1993, Distributed power a solution for the 90's, In International Telecommunications Energy Conf. (INTELEC), vol.2, Paris France, 47–51.

11. Krans A., Bouwknecht K., 1991, A control strategy for the redundant parallel operation of an ensemble of static ups systems of the parallel type, In Eur. Power Electronics Conf., Florence Italy, 3148–3152.
12. Wong D., Bouwknecht K., 1989, The design and operation of three-phase static parallel uninterruptible power supplies, In Eur. Power Electronics Conf., Aachen Germany, 1109–1113.
13. Oshima H., Miyazawa Y., Hirata A., 1991, Parallel redundant ups with instantaneous pwm control, In International Telecommunications Energy Conf. (INTELEC), Kyoto Japan, 436–442.
14. Holtz J., Lotzkat W., Werner K.H., 1988, A high-power multitransistor-inverter uninterruptible power supply system, IEEE Trans. on Power Electronics, July 1988, 278–285.
15. Kawabata T., Higashino S., 1988, Parallel operation of voltage source inverters, IEEE Trans. on Industry Applications, March/April 1988, 281–287.
16. Broeck H., Boeke U., 1988, A simple method for parallel operation of inverters, in Proc. IEEE-INTELEC, 143–150.
17. Lee C. S., et al., 1998, Parallel U.P.S. with an instantaneous current sharing control, in Proc. IEEE-IECON, vol. 1, 568–573.
18. Shanxu D., et al., 1999, Parallel operation control technique of voltage source inverters in UPS, IEEE-PEDS'99, July 1999, 883–887.
19. Chen J.F., Chu C.L., 1995, Combination voltage controlled and current controlled PWM inverters for UPS parallel operation, IEEE Trans. on, vol. 10, no 5, 547–558.
20. Mistry K., Silverman E., Taylor T., Willis R., 1989, Telecommunications power architectures: Distributed or centralized, In International Telecommunications Energy Conf. (INTELEC), Florence Italy, 1–11.

21. Murray W.E., Feiner L.J., Flores R.R., 1992, Evaluation of All-Electric Secondary Power for Transport Aircraft, NASA Contractor Report 189077, January 1992.
22. Yamashita H., 1990, Uninterruptible power supply systems in NTT, In International Telecommunications Energy Conf. (INTELEC), Florida USA, 412–418.
23. Takeba H., Kiyohara T., Mori S., 1991, Design for the uninterruptible power supply system at the NHK broadcasting center, In International Telecommunications Energy Conf. (INTELEC), Kyoto Japan, 449–452.
24. Chandorkar M.C., Divan D.M., Banerjee B., 1994, Control of distributed UPS system, In IEEE Power Electronics Specialists Conf. (PESC), Taiwan, 197–204.
25. Chung Y.H., et al., 1991, Parallel operation of voltage source inverters by real-time digital pwm control, In Eur. Power Electronics Conf., Florence Italy, 58–63.
26. Wood A.J., Wollenberg B.F., 1984, Power generation, operation and control, John Wiley & Sons.
27. Cohn N., 1984, Control of generation and power flow on interconnected power systems, John Wiley & Sons.
28. Bergen A.R., 1986, Power System Analysis, Prentice-Hall.
29. Xing Y., Huang L., Sun S., Yan Y., 2002, Novel control for redundant parallel UPS's with instantaneous current sharing, in Proc. Power Conv. Conf., Osaka Japan, 959–963.
30. Byun Y. B., et al., 2000, Parallel operation of three-phase UPS inverters by wireless load sharing control,” in Proc. IEEE INTELEC, 526–532.
31. Tuladhar A., Jin H., Unger T., Mauch K., 1997, Parallel operation of single phase inverters with no control interconnections, Proc. IEEE, APEC'97, vol. 1, 94–100.

32. Tuladhar A., Jin H., Unger T., Mauch K., 2000, Control of parallel inverters in distributed ac power systems with consideration of line impedance effect, *IEEE Trans. on IA*, Vol.36, No.1, 131–138.
33. Chandorkar M.C., Divan D.M., Adapa R., 1993, Control of parallel connected inverters in stand-alone ac supply systems, *IEEE Trans. on Industry Applications*, January/February 1993.
34. Chandorkar M.C., Divan D.M., Hu Y., Banerjee B., 1994, Novel architectures and control of distributed UPS systems, In *Applied Power Electronics Conf. (APEC) Florida USA* 683–689.
35. Guerrero J. M., García L.V., Matas J., Miret J., 2002, Steady-state invariant-frequency control of parallel redundant uninterruptible power supplies,” in *Proc. IEEE-IECON’02 Conf.*, 274–277.
36. Kusko A., 1989, *Emergency/standby power system*, New York:McGraw-Hill.
37. Boost M.A., Ziogas P.D., 1989, Toward a zero-output impedance UPS system, *IEEE Transactions on Industrial Application*, vol. 25, no.3, May/June 1989, 408–418.
38. Borup U., Blaabjerg J.F., Enjeti P.N., 2001, Sharing of nonlinear load in parallel connected three-phase converters, *IEEE Transactions on Industrial Electronics*, vol. 37, no.6, November/December 2001, 1817–1823.
39. Prodanovic M., Green T.C., 2003, Control and filter design of three-phase inverters for High Power Quality Grid Connection, *IEEE Transactions on Industrial Application*, vol. 18, January 2003, 373–380.
40. Das J.C., 2002, *Power system analysis: short circuit load flow and harmonics*, NY USA.
41. Tzou Y.Y., Lin S.Y., 1998, Fuzzy-tuning current vector control of a three phase PWM inverter for high performance ac drives, *IEEE Transactions on Industrial Electronics*, vol. 45, October 1998, 728–791.

42. Shyr K.K., Shieh H.J., 1995, Variable structure current control for induction motor drives by space voltage vector PWM, *IEEE Transactions on Industrial Electronics*, vol. 42, December 1995, 572–578.
43. Lin B.R., Hoft R.G., 1993, Power electronics inverter control with neural networks, in *Proc. IEEE-APEC*, 128–134.
44. Lin B.R., Hoft R.G., 1993, Real-time digital control of pwm inverter with fuzzy logic compensator for nonlinear loads, *IEEE*, 862–869.
45. Sun X., et al., 2002, Analogue implementation of a neural network controller for UPS inverter applications, *IEEE Transactions On Power Electronics*, Vol. 17 No. 3, May 2002, 305–313.
46. Hwang R.C., Liang T.J., Chen J. W., 1997, Neural networks controlled PWM inverter, in *Proc. IEEE-INTELEC'97*, 201–206.
47. Lin B.R., 1997, Analysis of neural and fuzzy power electronic control, *IEE Proc.-Sci. Meas. Technology.*, Vol. 144, No. 1, January 1997, 25–33.
48. Abdel-Rahim N.M., Elshafei A.L., 2002, Hierarchical fuzzy-logic control for a single-phase voltage-source UPS inverter, *IEEE*, 262–267.
49. Osterhoiz H., 1995, Simple fuzzy control of a PWM inverter for a UPS system, *IEEE*, 565–570.
50. Jouanne A., Enjeti P.N., Lucas D. J., 1996, DSP control of high power UPS systems feeding nonlinear loads, *IEEE Transactions on Industrial Electronics*, vol. 42, no.1, February 1996, 121–125.
51. Gannett R.A., Sozio J.C., Boroyevich D., 2002, Application of synchronous and stationary frame controllers for unbalanced and non-linear load compensation in 4-leg inverters, *IEEE* 1038–1043.

52. Zhang R., 1998, High performance power converter systems for nonlinear and unbalanced load/source, Dissertation, Virginia Tech.
53. Hsu P., Behnke M., 1998, A three-phase synchronous frame controller for unbalanced load, Proceedings of the IEEE Power Electronics Specialists Conference, vol. 2, 1369–1374.
54. Draft Report for CERTS, Year 2000 Testing of Capstone and Honeywell MTGs During Load Changes, Southern California Edison, Irvine, Feb, 2001.
55. Illindala M., Venkataramanan G., 2002, Control of distributed generation systems to mitigate load and line imbalances, in Proc. IEEE PESC'02, 2013–2018.
56. Green T., Prodanovic M., 2003, Control of inverter-based microgrids, Electric Power Syst. Res., Special Issue Distributed Generation.
57. Liang J., Green T., Weiss G., Zhong Q.C., 2003, Decoupling control of the active and reactive power for a grid-connected three-phase dc-ac inverter, in Proc. Eur. Contr. Conf., Cambridge, MA, U.K., Sept. 2003.
58. Wallace A.R., Harrison G.P., 2003, Planning for optimal accommodation of dispersed generation in distribution networks, 17th International conference on Electricity Distribution, CIRED, May 2003, Barcelona, Spain.
59. Suauss P., Engler A., 2003, AC coupled PV hybrid systems and Microgrids - Slate of the Art and Future Trends, 3rd World Conference on Photovoltaic Energy Conversion, Osaka, Japan, May 2003.
60. Zang H., Chandorkar M.C., Venkataramanan G., 2003, Development of Std. Switchgear for utilize interconnection in a microgrid, Power and Energy Systems PES, Feb 2003, Palm Springs, CA.
61. Dimeas A. Hatziagyriou N.D., 2004, A multiagent system for microgrids, in Proc. IEEE PES General Meeting, PESGM2004 Denver, CO, Jun. 2004.

62. Alibhai Z., et al., 2004, Coordination of distributed energy resources, Proc. of NAFIPS, North American Fuzzy Information Processing Society, Banff, AB, Canada, June 2004.
63. Marnay C., Bailey O., 2004, The CERTS Microgrid and the Future of the Macrogrid, CERTS, Aug 2004.
64. Lasseter R.H., Piagi P., 2004, Microgrid: A Conceptual Solution, CERTS, June 2004.
65. Papathanassiou S., et al., 2004, Operation of a prototype microgrid system based on microsources equipped with fast-acting power electronics interfaces, in Proc. 31th PESC, Aachen Germany, Jun. 2004.
66. Papathanassiou S., Hatziargyriou N., Strunz K., 2005, A benchmark LV microgrid for steady state and transient analysis, in Proc. CIGRE Symp. Power Systems with Dispersed Generation , Athens Greece, Apr. 2005.
67. Tsikalakis A., Hatziargyriou N.D., 2005, Economic scheduling functions of a microgrid participating in energy markets, in Proc. CIGRE Symp. Power Systems with Dispersed Generation, Athens Greece, Apr. 2005.
68. Katiraei F., Iravani M.R., Lehn P.W., 2005, Micro-grid autonomous operation during and subsequent to islanding process, IEEE Trans. on Power Delivery, vol. 20, no. 1, Jan. 2005, 248–257
69. Dimeas A., Hatziargyriou N.D., 2005, Operation of a Multiagent System for Microgrid Control, IEEE Trans. on Power Sys., vol. 20, no. 3, Aug 2005, 1447–1455
70. Carpentier J., 1985, Modern automatic generation control (point of view of a utility engineer), Electric Power and Energy Systems, April 1985, 81–91.
71. Jaleeli N., et al., 1992, Under-standing automatic generation control, IEEE Trans. on Power Systems, Aug 1992, 1106–1122.
72. Bose B.K., 2002, Modern power electronic and ac drivers, Prentice-hall, inc.

73. Rashid M.H., 2001, Power electronics handbook.
74. Parlak K.Ş., Aydemir M.T., Özdemir M., 2005, Active power sharing and frequency restoration in parallel operated inverters, Elma'2005, Sept 2005 Sofia Bulgaria, vol. 2, 448–452.
75. Hava A.M., Kerkman R.J., Lipo T.A., 1999, Simple analytical and graphical methods for Carrier based PWM-VSI drives, IEEE Transactions on Power Electronics, Vol. 14, 49–61.
76. Tuncer S., 2004, Uzay vektör darbe genişlik modülasyonunu kullanan beş seviyeli inverter tasarımı ve uygulaması, Doktora tezi, Fırat üniversitesi Fen Bilimleri Enstitüsü.
77. Implementing Space Vector Modulation with the ADMC40 1, Analog devices inc., January 2000.
78. Erickson R.W., Maksimovic D., 2004, Fundamentals of power electronics, Kluwer academic/plenum publishers.

ÖZGEÇMİŞ

Koray Şener PARLAK

Fırat Üniversitesi
Teknik Bilimler Melek Yüksekokulu
Endüstriyel Elektronik Programı
23119, Elazığ

Tel : 424 – 2370000 – 4397

E.posta : kparlak@firat.edu.tr

- 1974** Diyarbakır’da doğdu.
- 1992 – 1996** Fırat Üniversitesi Mühendislik Fakültesi Elektrik – Elektronik bölümünden mezun oldu.
- 1996 – 1998** Elazığ Teknik ve Anadolu Meslek Lisesinde Teknik Öğretmen olarak çalıştı
- 1996 – 1999** Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik-Elektronik Mühendisliği Anabilim Dalında “**Tek Fazlı Yardımcı Sargılı Asenkron Motorda Devir Yönü ve Hız Kontrolü**” konusunda yaptığı tez çalışması ile Yüksek Lisans eğitimini tamamladı.
- 2000 – ...** Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik – Elektronik Mühendisliği Anabilim Dalında doktora tez çalışmasına başladı.
- 1998 – ...** Fırat Üniversitesi, Teknik Bilimler Meslek Yüksekokulu Endüstriyel Elektronik Programında öğretim görevlisi olarak çalışmaktadır.

6N137

■ Features

1. Super high speed response
(t_{PHL} , t_{PLH} : TYP. 45ns at $R_L = 350\Omega$)
2. Isolation voltage between input and output
 V_{iso} : 2 500V_{rms}
3. Low input current drive (I_{FHL} : MAX. 5mA)
4. Instantaneous common mode rejection voltage
 CM_H : TYP. 500V / μs
5. LSTTL and TTL compatible output
6. Recognized by UL , file No. E64380

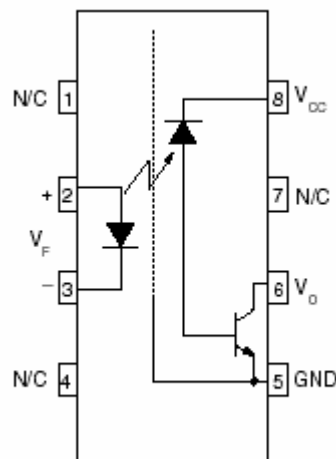
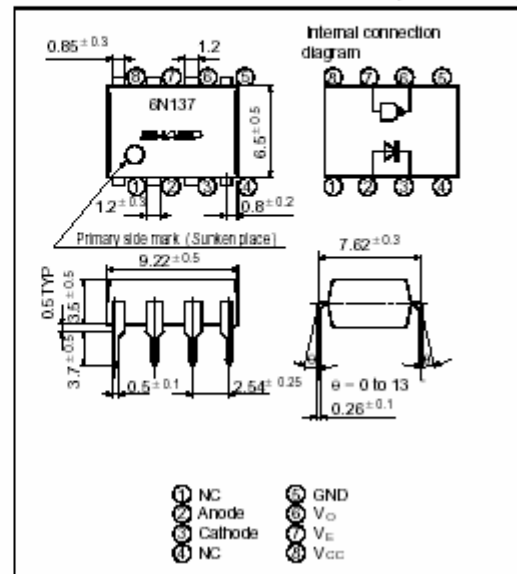
■ Applications

1. High speed interfaces for computer peripherals, microcomputer systems
2. High speed line receivers
3. Noise reduction
4. Interfaces for data transmission equipment

Super High Speed Response OPIC Photocoupler

■ Outline Dimensions

(Unit : mm)



Truth Table

Input	Enable	Output
H	H	L
L	H	H
H	L	H
L	L	H

L: Logic (0) H: Logic (1)

EK-2 ÖLÜ ZAMAN ENTEGRESİ



Inverter Interface and Digital Deadtime Generator for 3-Phase PWM Controls

Type	Package	Configuration	Temp. Range
IXDP630 PI	18-Pin Plastic DIP	RC Oscillator	-40°C to +85°C
IXDP631 PI	18-Pin Plastic DIP	Crystal Oscillator	-40°C to +85°C

This 5 V HCMOS integrated circuit is intended primarily for application in three-phase, sinusoidally commutated brushless motor, induction motor, AC servomotor or UPS PWM modulator control systems. It injects the required deadtime to convert a single phase leg PWM command into the two separate logic signals required to drive the upper and lower semiconductor switches in a PWM inverter. It also provides facilities for output disable and fast overcurrent and fault condition shutdown.

In the IXDP630, deadtime programming is achieved by an internal RC oscillator. In the IXDP631, programming is achieved by use of a crystal oscillator. An alternative for both the IXDP630/631 is with an external clock signal. Because of its flexibility, the IXDP630/631 is easily utilized in a variety of brushed DC, trapezoidally commutated brushless DC, hybrid and variable reluctance step and other more exotic PWM motor drive power and control circuit designs.

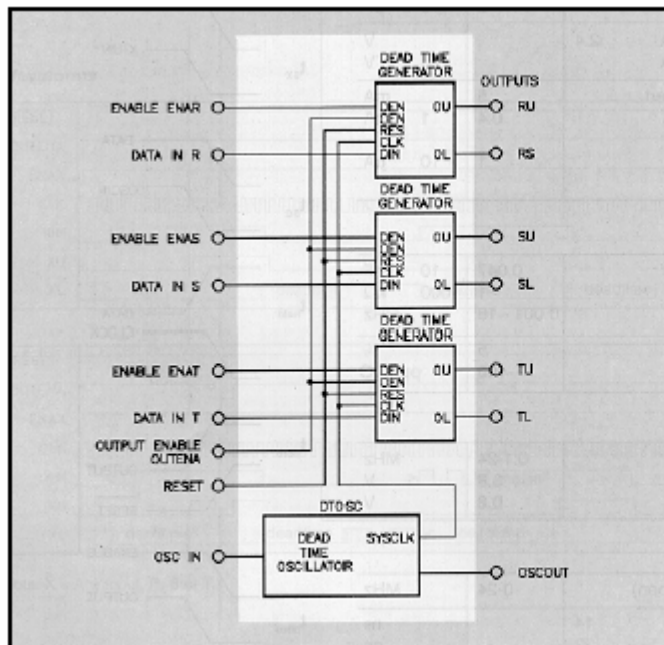
Features

- 5 V HCMOS logic implementation maintains low power at high speed
- Schmitt trigger inputs and CMOS logic levels improve noise immunity
- Simultaneously injects equal deadtime in up to three output phases
- Replaces 10-12 standard SSIMSI logic devices
- Allows a wide range of PWM modulation strategies
- Directly drives high speed optocouplers

Applications

- 1- and 3- Phase Motion Controls
- 1- and 3- Phase UPS Systems
- General Power Conversion Circuits
- Pulse Timing and Waveform Generation
- General Purpose Delay and Filter
- General Purpose Three Channel "One Shot"

Block Diagram IXDP 630/IXDP 631



IXYS reserves the right to change limits, test conditions and dimensions.

Pin Description IXDP630



Pin Description IXDP631



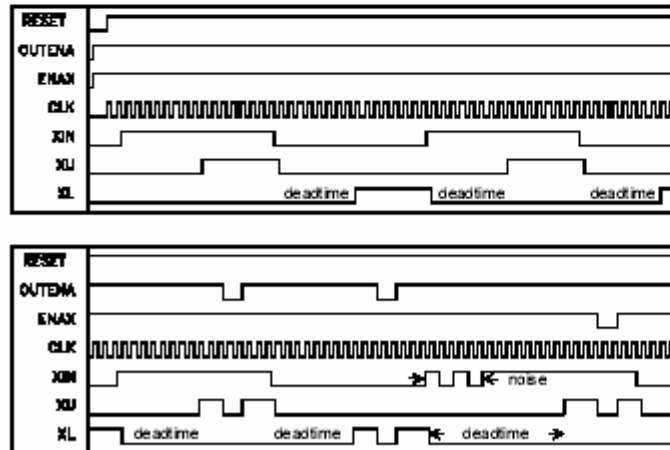
Sym. Pin Description

R	1	R, S and T are the three single-phase inputs. Each input is expanded into two outputs to generate non-overlapping drive signals, RU/RL, SU/SL, and TU/TL. The delay from the falling edge of one line to the rising edge of the other is a function of the clock.
S	3	
T	5	
ENAR	2	High logic input will enable the outputs, as set by the proper input phase. The ENA (R,S,T) signals control the drive output lines. A low logic input will force both controlled outputs to a low logic level.
ENAS	4	
ENAT	6	
OUT ENA	7	High logic level will enable all outputs to their related phase. The OUTENA simultaneously controls all outputs. Low input logic level will inhibit all outputs (low).
RESET	8	The RESET signal is active low. When a logic low RESET is applied, all outputs will go low. After releasing the RESET command within the generated delay, the outputs will align with the phase input level after the programmed delay interval.

Sym. Pin Description

GND	9	CIRCUIT GROUND - 0 Volts
RCIN or XTLIN	10	The first node of the clock network. For the IXDP630, the RC input is applied to RCIN. For the IXDP 631, the crystal oscillator is applied to XTLIN. If an external clock is to be supplied to the chip it should be connected to this pin.
OSC OUT	11	This is the output node of the oscillator. It is connected indirectly to the RCIN or XTLIN pins when using the internal oscillator as described in the applications information. It is not recommended for external use.
TL	12	After the appropriate delay, the external drive outputs (R,S, T) U are in phase with their corresponding inputs; (R,S, T)L are the complementary outputs.
TU	13	
SL	14	
SU	15	
RL	16	
RU	17	
V _{cc}	18	Voltage Supply +5 V $\pm$ 10 %

Waveforms



Note: X = Any input, R, S or T.

This diagram shows the normal operation of the IXDP630/631 after the RESET input is released. The DEADTIME is the 8 Clock periods between XU and XL when both XU and XL are a "0". The length of the DEADTIME is fixed at 8 times the period of CLK.

The diagram shows OUTENA and ENAX asynchronously forcing the XU Output and the XL Output to the off state. OUTENA will force all three channels to the off state. ENAX (where X is one of the three channels) will only force the XU and XL Outputs of that channel to the off state. Note that because ENAX is asynchronous with respect to the internal clock and deadtime counters, when ENAX goes HI whatever state the deadtime counter was in immediately propagates to the output. This figure also shows that noise at the XIN input will be filtered before the XU Output or XL Output will become active, which may extend the deadtime.

Selecting Components for a Specific Requirement

Deadtime in the IXDP630/631 is exactly 8 clock periods: $DT = 8/f_{clk}$. Once the worst case (minimum) deadtime has been determined (from Power switching component manufacturer data sheets, drive circuit analysis, breadboard measurements, etc.) the clock frequency is calculated: $f_{clk(max)} = 8/DT(min)$.

This is the highest allowable clock frequency, including the effects of initial accuracy, tolerance, temperature coefficient, etc. When choosing oscillator components, special attention to resistor and capacitor construction is mandatory.

Oscillator Design

There are two versions of the deadtime generator. They have distinctly different internal oscillator designs to serve different applications. In either case, however, the internal oscillator can be disabled by simply leaving its external components off. An HCMOS compatible clock up to 24 MHz can be fed directly into the RCIN or XTIN pin.

IXDP630 RC Oscillator Design

The IXDP630 uses a Schmitt trigger inverter oscillator (Fig. 3). Two external components, R_{OSC} and C_{OSC} , determine the clock frequency and consequently the deadtime. This design allows a significant cost reduction over a standard crystal oscillator, but entails a trade-off in frequency accuracy. The initial accuracy and drift are a function of the external component tolerance and temperature coefficients, supply voltage, and IXDP630 internal parameters. At frequencies under 1 MHz,

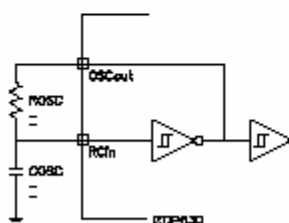


Fig. 3: IXDP630 internal Schmitt Trigger inverter oscillator (R_{OSC} , C_{OSC} are external)

assuming the external components were perfect, the IXDP630 would introduce an initial accuracy error of 5%, and a temperature dependence of -400 ppm. The shift in frequency over the V_{CC} range 4.5 V to 5.5 V is typically less than 5%.

At higher frequencies and with resistor values below 1 k Ω , the IXDP630 internal parameters become more influential factors. This results in greater frequency variation from one device to another, as well as with temperature and supply voltage variations. If high accuracy is a requirement, the IXDP631 with a crystal oscillator would be the better choice.

Oscillator frequency vs. R_{OSC} and C_{OSC} is shown in Fig. 4. For an analytical method of setting the oscillator, the design equation is for operation below 1 MHz approximately:

$$f_{OSC} \approx \frac{0.95}{C_{OSC} R_{OSC}}$$

For operation above 1 MHz,

$$f_{OSC} \approx \frac{0.95}{C_{OSC} (R_{OSC} + 30) + 3 \times 10^{-9}}$$

IXDP631 Precision Crystal Oscillator Design

The IXDP631 uses a more common standard internal crystal oscillator design. For proper operation the crystal must be of the parallel resonant type, resonating at the crystal's fundamental frequency. Fig. 5 illustrates the recommended oscillator configuration. Note the external components required. The capacitors are needed to achieve the calibrated crystal frequency (their value is determined by the crystal manufacturer), and the resistor is necessary to assure that the circuit starts in every case. While the circuit will **usually** operate without these extra parts, this is not recommended.

The crystal oscillator in the IXDP631 is significantly more accurate than the RC oscillator in the IXDP630. The total tolerance (including effects of initial accuracy, temperature, supply voltage, drift, etc.) is better than ± 100 ppm. This improves the accuracy and repeatability of the desired deadtime, but at the added expense of a crystal.

Which version is appropriate for your application? That depends on how you are willing to trade off component cost for deadtime accuracy.

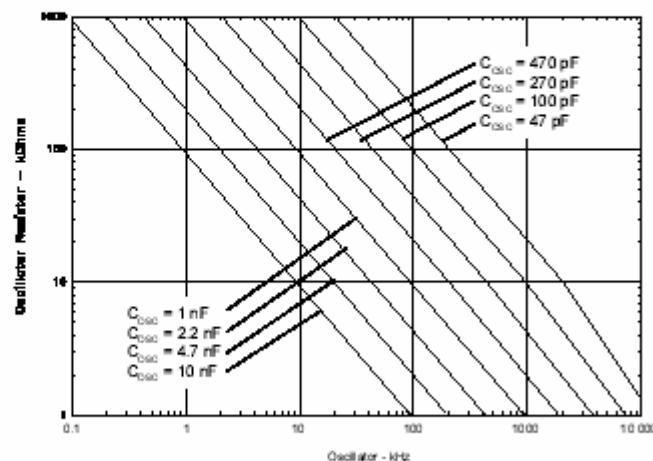


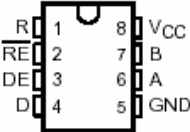
Fig. 4: Oscillator frequency component selection for IXDP630.

SN65176B, SN75176B
DIFFERENTIAL BUS TRANSCEIVERS

SLLS101D – JULY 1985 – REVISED APRIL 2003

- Bidirectional Transceivers
- Meet or Exceed the Requirements of ANSI Standards TIA/EIA-422-B and TIA/EIA-485-A and ITU Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . . ± 60 mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . $12\text{ k}\Omega$ Min
- Receiver Input Sensitivity . . . ± 200 mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operate From Single 5-V Supply

SN65176B . . . D OR P PACKAGE
SN75176B . . . D, P, OR PS PACKAGE
(TOP VIEW)



Function Tables

DRIVER

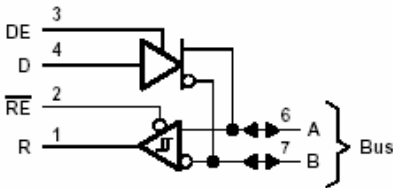
INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

RECEIVER

DIFFERENTIAL INPUTS A-B	ENABLE RE	OUTPUT R
$V_{ID} \geq 0.2\text{ V}$	L	H
$-0.2\text{ V} < V_{ID} < 0.2\text{ V}$	L	?
$V_{ID} \leq -0.2\text{ V}$	L	L
X	H	Z
Open	L	?

H = high level, L = low level, ? = indeterminate,
X = irrelevant, Z = high impedance (off)

logic diagram (positive logic)



EK-4 ASIPM EVİRİCİ

MITSUBISHI SEMICONDUCTOR <Application Specific Intelligent Power Module>

PS11034

FLAT-BASE TYPE
INSULATED TYPE

PS11034



INTEGRATED FUNCTIONS AND FEATURES

- Converter bridge for 3 phase AC-to-DC power conversion.
- 3 phase IGBT inverter bridge configured by the latest 3rd. generation IGBT and diode technology.
- Inverter output current capability 10 (Note 1):

Type Name	Motor Rating	Io (100%)	Io (150%; 60sec)
PS11034	0.75 kW/200V AC	5.0A _{rms}	7.5A _{rms}

(Note 1) : The inverter output current is assumed to be sinusoidal and the peak current value of each of the above loading cases is defined as : $I_{OP} = I_O \times \sqrt{2}$, $T_C < 100^\circ\text{C}$

INTEGRATED DRIVE, PROTECTION AND SYSTEM CONTROL FUNCTIONS:

- **P-Side IGBTs:** Drive circuit, high-level-shift circuit, bootstrap circuit supply scheme for Single Control-Power-Source drive, and under-voltage (UV) protection.
- **N-Side IGBTs:** Drive circuit, DC-Link current sense and amplifier circuits for overcurrent protection, control-supply under-voltage protection (UV), and fault output (Fo) signaling circuit.
- **Fault Output:** N-side IGBT short circuit (SC), over-current (OC), and control supply under-voltage (UV).
- **Inverter Analog Current Sense:** N-Side IGBT DC-Link Current Sense.
- **Input Interface:** 5V CMOS/TTL compatible, Schmitt Trigger input, and Arm-Shoot-Through interlock protective function.

APPLICATION

Acoustic noise-less 0.75kW/200V AC Class 3 phase inverters, motor control applications, and motors with built-in small size inverter package

PACKAGE OUTLINES

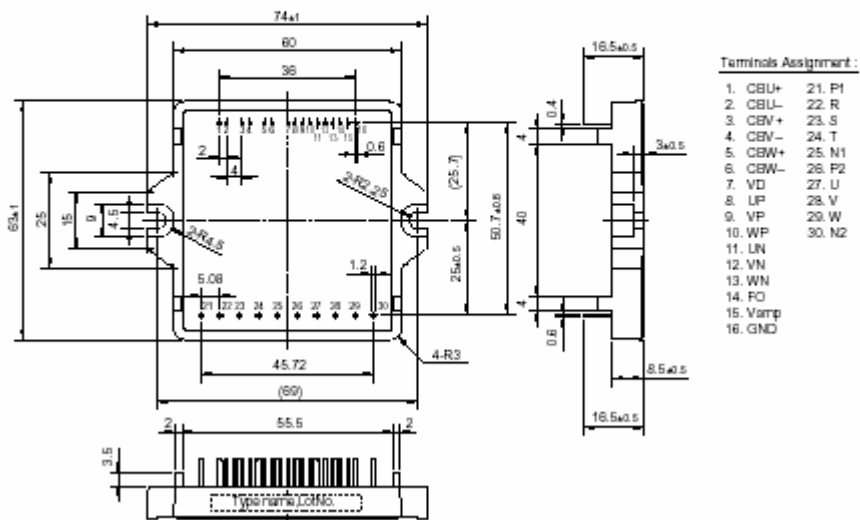
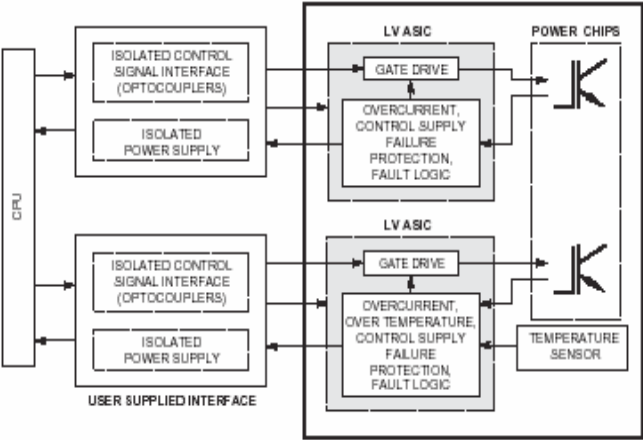
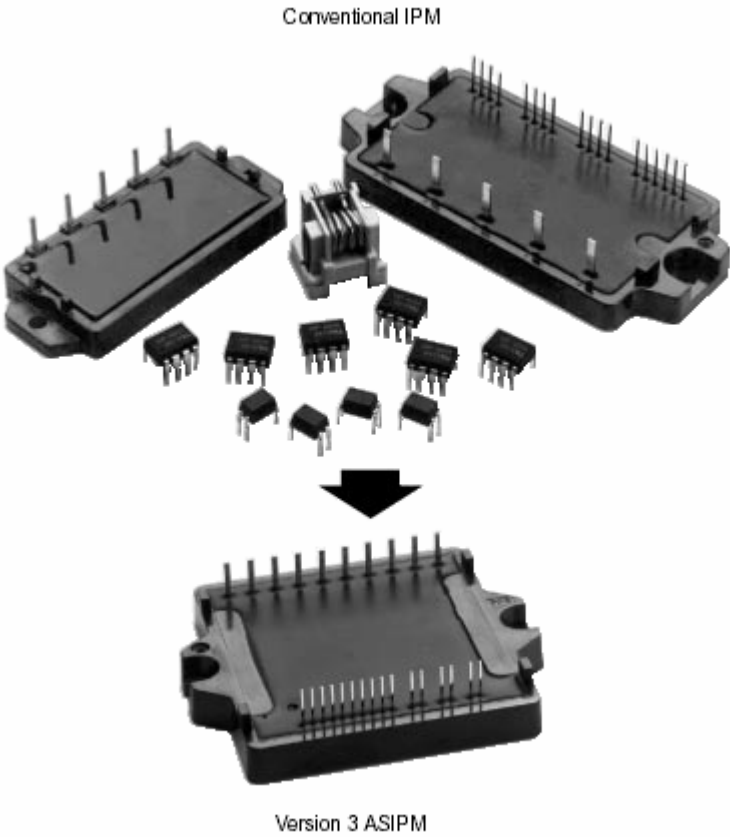
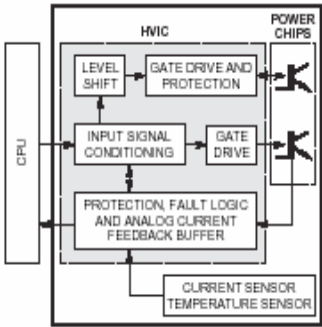


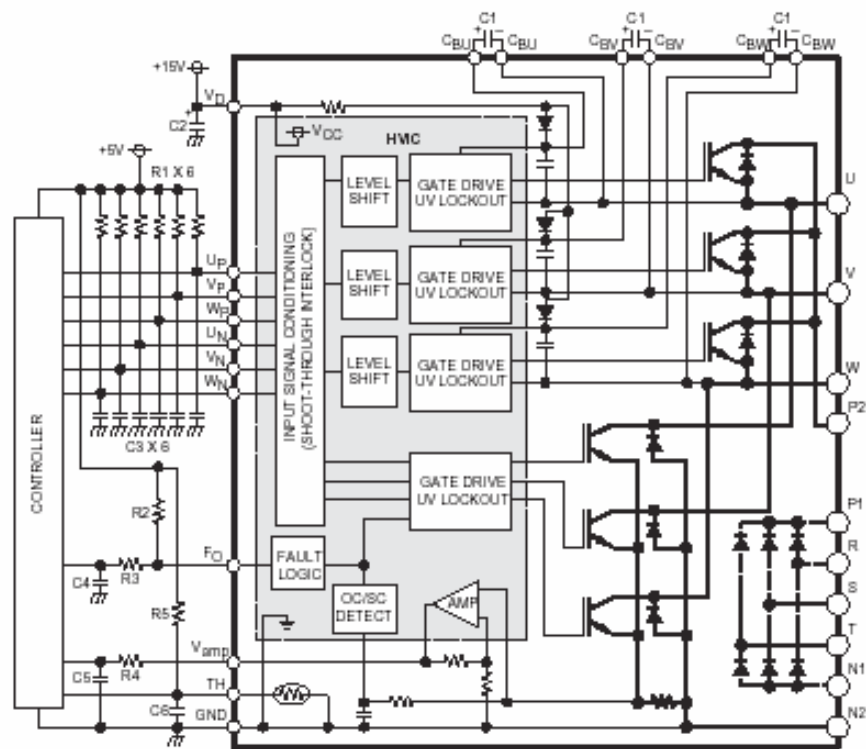
Figure 1.1 Conventional IPM



(4) Improved manufacturability resulting from lower external component count.

Figure 1.2 Version 3 ASIPM





Component Selection:

Design	Typ. Value	Description
C1	10-100µF, 50V	Bootstrap supply reservoir – Electrolytic, long life, low impedance, 105°C (Note 4)
C2	10-100µF, 50V	Control power supply filter – Electrolytic, long life, low impedance, 105°C (Note 5)
C3	100-1000pF, 50V	Input signal noise filter – Multilayer ceramic (Note 1)
C4	100-1000pF, 50V	Fault signal noise filter – Multilayer ceramic (Note 1)
C5	1000pF, 50V	Analog current feedback signal filter – Multilayer ceramic (Note 3)
C6	.22µF, 50V	Temperature sensor noise filter – Multilayer ceramic (Note 1)
R1	5.1k ohm	Control input pull-up resistor (Note 1, Note 2)
R2	5.1k ohm	Fault output signal pull-up resistor (Note 3)
R3	100 ohm-10k ohm	Fault output noise filter (Note 1)
R4	10k ohm	Analog current feedback signal filter (Note 3)
R5	10k ohm	Temperature sensor biasing resistor

Notes:

- 1) To prevent control signal oscillations minimize wiring length to controller (~2cm). Additional RC filtering (C3, C4, C5, C6) may be required. If filtering is added be careful to maintain proper dead-time.
- 2) Internal HVC provides high voltage level shifting allowing direct connection of all six driving signals to the controller.
- 3) FQ output is an open collector type. This signal should be pulled high with 5.1k ohm resistor (R2).
- 4) Bootstrap supply capacitors must be adjusted depending on the PWM frequency and technique.
- 5) Local decoupling filter capacitor must be connected as close as possible to the module pins.

EK-5 GERİLİM VE AKIM ALGILAYICILAR

Voltage Transducer LV 25-P

For the electronic measurement of voltages : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high voltage) and the secondary circuit (electronic circuit).



$$I_{PN} = 10 \text{ mA}$$

$$V_{PN} = 10 \dots 500 \text{ V}$$



Electrical data

I_{PN}	Primary nominal r.m.s. current	10	mA
I_P	Primary current, measuring range	0 .. ± 14	mA
R_M	Measuring resistance	R_{Mmax} R_{Mmin}	
	with $\pm 12 \text{ V}$	@ $\pm 10 \text{ mA}_{rms}$	30 190 Ω
		@ $\pm 14 \text{ mA}_{rms}$	30 100 Ω
	with $\pm 15 \text{ V}$	@ $\pm 10 \text{ mA}_{rms}$	100 350 Ω
		@ $\pm 14 \text{ mA}_{rms}$	100 190 Ω
I_{SN}	Secondary nominal r.m.s. current	25	mA
K_M	Conversion ratio	2500 : 1000	
V_C	Supply voltage ($\pm 5\%$)	$\pm 12 \dots 15$	V
I_C	Current consumption	10 (@ $\pm 15 \text{ V}$) + I_S	mA
V_d	R.m.s. voltage for AC isolation test ¹⁾ , 50 Hz, 1 mn	2.5	kV

Accuracy - Dynamic performance data

X_G	Overall Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	@ $\pm 12 \dots 15 \text{ V}$	± 0.9	%
		@ $\pm 15 \text{ V}$ ($\pm 5\%$)	± 0.8	%
ϵ_L	Linearity		< 0.2	%
I_O	Offset current @ $I_P = 0$, $T_A = 25^\circ\text{C}$		Typ	Max
I_{OT}	Thermal drift of I_O	0°C .. +25°C	± 0.06	± 0.25 mA
		+25°C .. +70°C	± 0.10	± 0.35 mA
t_r	Response time ²⁾ @ 90 % of V_{Pmax}		40	μs

General data

T_A	Ambient operating temperature	0 .. +70	°C
T_S	Ambient storage temperature	-25 .. +85	°C
R_P	Primary coil resistance @ $T_A = 70^\circ\text{C}$	250	Ω
R_S	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
m	Mass	22	g
	Standards ³⁾	EN 50178	

Notes : ¹⁾ Between primary and secondary

²⁾ $R_i = 25 \text{ k}\Omega$ (L/R constant, produced by the resistance and inductance of the primary circuit)

³⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) voltage transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

Principle of use

- For voltage measurements, a current proportional to the measured voltage must be passed through an external resistor R_i which is selected by the user and installed in series with the primary circuit of the transducer.

Advantages

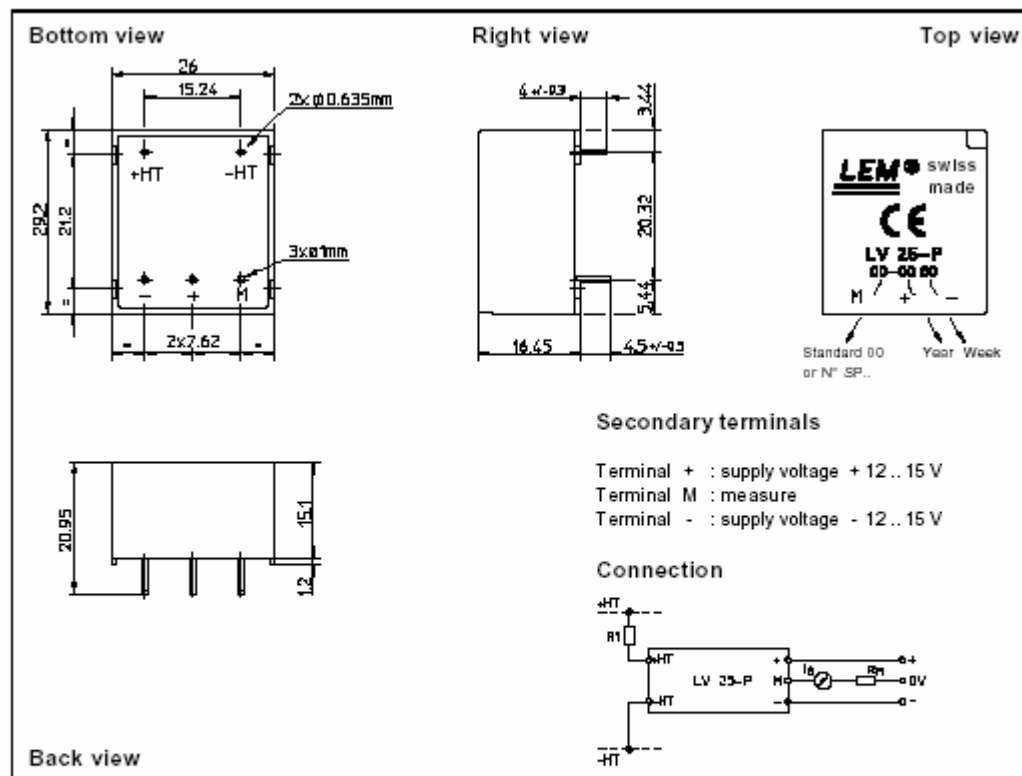
- Excellent accuracy
- Very good linearity
- Low thermal drift
- Low response time
- High bandwidth
- High immunity to external interference
- Low disturbance in common mode.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Power supplies for welding applications.

981125/14

Dimensions LV 25-P (in mm, 1 mm = 0.0394 inch)



Mechanical characteristics

- General tolerance ± 0.2 mm
- Fastening & connection of primary 2 pins
0.635 x 0.635 mm
- Fastening & connection of secondary 3 pins $\varnothing 1$ mm
- Recommended PCB hole 1.2 mm

Remarks

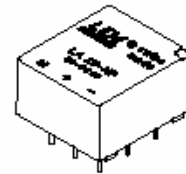
- I_s is positive when V_p is applied on terminal +HT.
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.

Current Transducer LA 25-NP

For the electronic measurement of currents : DC, AC, pulsed, mixed, with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



$I_{PN} = 5-6-8-12-25 \text{ A}$



Electrical data					
I_{PN}	Primary nominal r.m.s. current	25	At		
I_P	Primary current, measuring range	0 .. ± 36	At		
R_M	Measuring resistance	R_{Mmin}	R_{Mmax}		
	with $\pm 15\text{ V}$	@ $\pm 25\text{ At}_{max}$	100	320	Ω
		@ $\pm 36\text{ At}_{max}$	100	190	Ω
I_{SN}	Secondary nominal r.m.s. current	25	mA		
K_N	Conversion ratio	1-2-3-4-5 : 1000			
V_C	Supply voltage ($\pm 5\%$)	± 15	V		
I_C	Current consumption	$10 + I_S$	mA		
V_d	R.m.s. voltage for AC isolation test, 50 Hz, 1 mn	2.5	kV		
V_b	R.m.s. rated voltage ¹⁾ , safe separation	600	V		
	basic isolation	1700	V		

Accuracy - Dynamic performance data					
X	Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	± 0.5	%		
ϵ_L	Linearity	< 0.2	%		
I_0	Offset current ²⁾ @ $I_P = 0$, $T_A = 25^\circ\text{C}$	Typ Max			
I_{OM}	Residual current ³⁾ @ $I_P = 0$, after an overload of $3 \times I_{PN}$	± 0.05 ± 0.15	mA		
I_{OT}	Thermal drift of I_0	$0^\circ\text{C} \dots +25^\circ\text{C}$	± 0.06 ± 0.25	mA	
		$+25^\circ\text{C} \dots +70^\circ\text{C}$	± 0.10 ± 0.35	mA	
t_r	Response time ⁴⁾ @ 90 % of I_{Pmax}	< 1	μs		
di/dt	di/dt accurately followed	> 50	A/ μs		
f	Frequency bandwidth (-1 dB)	DC .. 150	kHz		

General data			
T _A	Ambient operating temperature	0 .. +70	°C
T _S	Ambient storage temperature	- 25 .. + 85	°C
R _p	Primary resistance per turn @ T _A = 25°C	< 1.25	mΩ
R _s	Secondary coil resistance @ T _A = 70°C	110	Ω
R _{is}	Isolation resistance @ 500 V, T _A = 25°C	> 1500	MΩ
m	Mass	22	g
	Standards ⁵⁾	EN 50178	

Notes : ¹⁾ Pollution class 2

²⁾ Measurement carried out after 15 mn functioning

³⁾ The result of the coercive field of the magnetic circuit

⁴⁾ With a di/dt of 100 A/ μs

⁵⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) multi-range current transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

Advantages

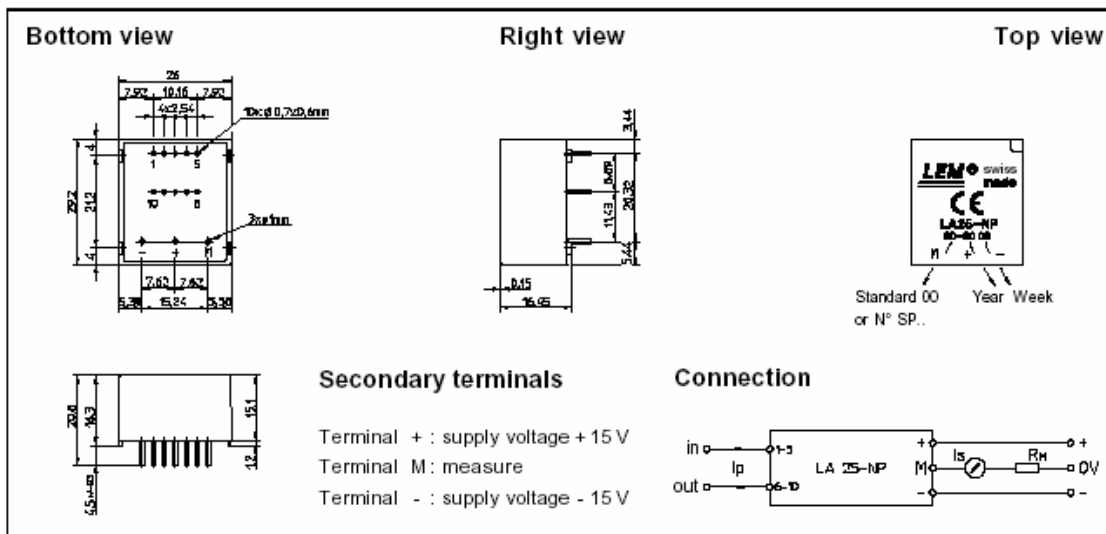
- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

980909/8

Dimensions LA 25-NP (in mm, 1 mm = 0.0394 inch)



Number of primary turns	Primary current		Nominal output current I_{SN} [mA]	Turns ratio K_N	Primary resistance R_p [mΩ]	Primary insertion inductance L_p [μH]	Recommended connections
	nominal I_{PN} [A]	maximum I_P [A]					
1	25	36	25	1/1000	0.3	0.023	
2	12	18	24	2/1000	1.1	0.09	
3	8	12	24	3/1000	2.5	0.21	
4	6	9	24	4/1000	4.4	0.37	
5	5	7	25	5/1000	6.3	0.58	

Mechanical characteristics

- General tolerance ± 0.2 mm
- Fastening & connection of primary 10 pins 0.7 x 0.6 mm
- Fastening & connection of secondary 3 pins Ø 1 mm
- Recommended PCB hole 1.2 mm

Remarks

- I_s is positive when I_p flows from terminals 1, 2, 3, 4, 5 to terminals 10, 9, 8, 7, 6
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.