



FPGA TABANLI PROGRAMLANABİLİR DEVRE KARTI TASARIMI

YÜKSEK LİSANS TEZİ

Adem KESKİN

Danışman

Doç. Dr. İsmail KOYUNCU

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Temmuz 2022

AFYON KOCATEPE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

YÜKSEK LİSANS TEZİ

FPGA TABANLI PROGRAMLANABİLİR DEVRE KARTI
TASARIMI

Adem KESKİN

Danışman

Doç. Dr. İsmail KOYUNCU

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI

Temmuz 2022

TEZ ONAY SAYFASI

Adem KESKİN tarafından hazırlanan “FPGA Tabanlı Programlanabilir Devre Kartı Tasarımı” adlı tez çalışması lisansüstü eğitim ve öğretim yönetmeliğinin ilgili maddeleri uyarınca 27 / 07 / 2022 tarihinde aşağıdaki jüri tarafından **oy birliği / oy çokluğu** ile Afyon Kocatepe Üniversitesi Fen Bilimleri Enstitüsü **Elektrik Elektronik Mühendisliği Anabilim Dalı’nda YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Danışman : Doç. Dr. İsmail KOYUNCU

Başkan : Prof. Dr. Yüksel OĞUZ
Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi **İmza**

Üye : Doç. Dr. İsmail KOYUNCU
Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi **İmza**

Üye : Dr. Öğretim Üyesi Muhammet Üsâme ÖZİÇ
Pamukkale Üniversitesi, Teknoloji Fakültesi **..... İmza**

Afyon Kocatepe Üniversitesi
Fen Bilimleri Enstitüsü Yönetim Kurulu’nun
..... /..... /..... tarih ve
..... sayılı kararıyla onaylanmıştır.

.....

Prof. Dr. İbrahim EROL
Enstitü Müdürü

BİLİMSEL ETİK BİLDİRİM SAYFASI

Afyon Kocatepe Üniversitesi

Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içindeki bütün bilgi ve belgeleri akademik kurallar çerçevesinde elde ettiğimi,
- Görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- Başkalarının eserlerinden yararlanılması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu,
- Atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- Kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- Ve bu tezin herhangi bir bölümünü bu üniversite veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

27 / 07 / 2022

İmza

Adem KESKİN

ÖZET

Yüksek Lisans Tezi

FPGA TABANLI PROGRAMLANABİLİR DEVRE KARTI TASARIMI

Adem KESKİN

Afyon Kocatepe Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. İsmail KOYUNCU

FPGA (Field Programmable Gate Array (Alanda Programlanabilir Kapı Dizileri)) çipleri, ilk üretimden sonra ihtiyaç duyulan yapıya bağlı olarak programlanabilir tümleşik devrelerdir. FPGA çipleri tekrar tekrar programlanabilme, yüksek performans, hızlı ilk üretim, paralel sinyal işleme ve düşük güç tüketimi gibi özelliklere sahiptirler. Bu özelliklerinden dolayı ASIC (Application Specific Integrated Circuit (Uygulamaya Özel Tümleşik Devre)), CPU (Central Process Unit (Merkezi İşlem Birimi)) ve GPU (Graphics Processing Unit (Grafik İşlemci Birimi)) gibi diğer sayısal platformlara göre oldukça önemli avantajları üstünde barındırmaktadır. Bunun sonucu olarak başta savunma sanayi olmak üzere kriptoloji, görüntü ve ses işleme, yapay zekâ, uydu ve radar haberleşmesi, tüketici elektroniği, tıp elektroniği gibi birçok alanda yaygın bir şekilde kullanılmaktadır. Ancak FPGA devre kartları yüksek teknoloji içerdiğinden yurt dışından hazır olarak yüksek maliyetler ile ithal edilmektedir. Ayrıca hali hazırda kullanımda olan FPGA devre kartlarının üzerinde genel uygulamalarda kullanılmayan donanımlar bulunabilmektedir. Bu iki durum maliyet açısından büyük bir engel olarak karşımıza çıkmaktadır. Dahası FPGA tabanlı tasarımların ülkemizde daha fazla kullanım alanı bulmasını ve gelişiminin hızlanmasını önemli ölçüde yavaşlatmaktadır.

Sunulan tez çalışmasında üzerinde mühendislik alanındaki temel sayısal uygulama ve tasarımların gerçek zamanlı FPGA tabanlı olarak gerçekleştirilebilmesi için gerekli donanım elemanlarına sahip yeni ve yerli bir FPGA devre kartı tasarlanması amaçlanmıştır. FPGA geliştirme kartının maliyetinin düşürülmesi amacı ile üzerindeki donanım minimum seviyede tutulmuştur. FPGA geliştirme kartının elektronik devre

izimlerinde Altium PCB Design Software & Tools programı kullanılmıřtır. Tasarlanan FPGA geliřtirme kartının test edilebilmesi amacı ile Xilinx ISE Design Tools programı ile VHDL (Very High Speed Integrated Circuit Hardware Description Language-ok Yksek Hızlı Tmleřik Devre Donanımı Tanımlama Dili) dilinde rnek sayısal sistem tasarımı projeleri kodlanmıřtır. rnek sayısal sistem tasarımı projelerinin Place-Route iřleminin ardından elde edilen bitstream dosyaları JTAG (Joint Test Action Group (Ortak Test Eylem Grubu)) ara yz ile FPGA ipine yklenmiřtir. Ykleme iřleminin ardından rnek sayısal sistem tasarımı projelerinin FPGA geliřtirme kartı zerinde bařarılı bir řekilde alıřtıęı gzlemlenmiřtir.

Bu tez alıřmasında sunulan tasarım ile, hali hazırda dıřa baęımlı bir řekilde yurtdıřından temin edilerek ok yksek maliyetler ile kullanılan FPGA geliřtirme kartlarına alternatif olarak daha dřk maliyet ile mhendislik eęitim ve uygulamalarında kullanılabilecek yerli bir FPGA geliřtirme kartı bařarılı bir řekilde gerekleřtirilmiřtir.

2022, xvi + 74 sayfa

Anahtar Kelimeler: FPGA, VHDL, XILINX, JTAG.

ABSTRACT

M.Sc. Thesis

FPGA BASED PROGRAMMABLE CIRCUIT DESIGN

Adem KESKİN

Afyon Kocatepe University

Graduate School of Natural and Applied Sciences

Department of Electrical and Electronics Engineering

Supervisor: Assoc. Prof. İsmail KOYUNCU

FPGA (Field Programmable Gate Array) chips are programmable integrated circuits depending on the structure needed after the first production. FPGA chips have features such as reprogrammability, high performance, fast initial generation, parallel signal processing and low power consumption. Due to these features, it has significant advantages over other digital platforms such as ASIC (Application Specific Integrated Circuit), CPU (Central Processing Unit) and GPU (Graphics Processing Unit). As a result, it is widely used in many fields such as cryptology, image and sound processing, artificial intelligence, satellite and radar communication, consumer electronics, medical electronics, especially in the defense industry. However, since FPGA circuit boards contain high technology, they are readily imported from abroad with high costs. In addition, there may be hardware that is not used in general applications on FPGA circuit boards that are currently in use. These two situations appear to be a major obstacle in terms of cost. Moreover, it significantly slows down the use of FPGA-based designs in our country and the acceleration of their development.

In the presented thesis, it is aimed to design a new native FPGA circuit board with the necessary hardware elements in order to realize the basic digital applications and designs in the field of engineering on a real-time FPGA-based basis. In order to reduce the cost of the FPGA development board, the hardware on it is kept to a minimum. Altium PCB Design Software & Tools program was used in the electronic circuit drawings of the FPGA development board. In order to test the designed FPGA

development board, sample digital system design projects were coded in VHDL (Very High Speed Integrated Circuit Hardware Description Language) language with Xilinx ISE Design Tools program. The bitstream files obtained after the Place-Route process of the sample digital system design projects were loaded onto the FPGA chip with the JTAG (Joint Test Action Group) interface. After the installation process, it has been observed that the sample digital system design projects work successfully on the FPGA development board.

With the design presented in this thesis, a domestic FPGA development board that can be used in engineering education and applications with a lower cost as an alternative to the FPGA development boards that are currently used with very high costs by being imported from abroad has been successfully developed.

2022, xvi + 74 pages

Keywords: FPGA, VHDL, XILINX, JTAG.

TEŞEKKÜR

Tez çalışması süresince maddi ve manevi her türlü desteğini esirgemeyen aynı zamanda tez amacının belirlenmesinde ve tez aşamalarında bilgi birikimini ve tecrübelerini benimle paylaşan saygı değer danışman hocam Sayın Doç. Dr. İsmail KOYUNCU 'ya en içten samimi duygularıyla teşekkürlerimi sunarım.

Tez çalışmalarım boyunca ihtiyaç duyduğum noktalarda yardımlarını esirgemeyen Sayın Dr. Öğretim Üyesi Murat ALÇIN hocama teşekkür etmeyi borç bilirim. Ayrıca yüksek lisans eğitimim boyunca her konuda öneri ve eleştirileriyle yardımlarını gördüğüm hocalarıma ve arkadaşlarıma en içten duygularıyla teşekkürlerimi sunarım.

Bu tez çalışması boyunca maddi ve manevi desteklerini esirgemeyen, hep yanımda olduklarını hissettiren aileme teşekkür ederim.

Adem KESKİN
Afyonkarahisar 2022

İÇİNDEKİLER DİZİNİ

	Sayfa
ÖZET	iii
ABSTRACT	v
TEŞEKKÜR	vii
İÇİNDEKİLER DİZİNİ	viii
SİMGELER ve KISALTMALAR DİZİNİ	xi
ŞEKİLLER DİZİNİ	xiii
ÇİZELGELER DİZİNİ	xv
RESİMLER DİZİNİ.....	xvi
1. GİRİŞ	1
2. LİTERATÜR BİLGİLERİ	4
3. MATERYAL ve METOT	7
3.1 Sayısal Tasarım Platformları.....	7
3.1.1 CPU	7
3.1.2 GPU	8
3.1.3 ASIC Çipleri	9
3.1.4 FPGA Çipleri	10
3.2 FPGA Çiplerinin Avantajları	13
3.3 FPGA Çiplerinin Yapısı.....	15
3.3.1 Mantık Hücresi.....	15
3.3.2 Giriş Çıkış Blokları (I/O Blokları)	16
3.3.3 Ara Bağlantılar.....	17
3.4 Programlanabilir Mantık Devreleri	17
3.4.1 Basit Programlanabilir Mantık Devreleri	18
3.4.2 Karmaşık Programlanabilir Mantık Devreleri	18
3.5 FPGA Tasarım Dilleri.....	19
3.5.1 Verilog.....	19
3.5.2 VHDL	20
3.5.2.1 VHDL Temel Bölümleri	20
3.6 FPGA Programlama Yöntemleri	21
3.6.1 ISP	21
3.6.2 JTAG	22
3.7 Devre Kartı Tasarımı	24

3.7.1 PCB Tasarım Yazılımları	24
3.7.2 Devre Bileşenleri.....	25
3.7.2.1 Tasarımda Kullanılan FPGA Çipi	25
3.7.2.2 Montaj Displayi	25
3.7.2.3 Montaj Regülatörleri.....	26
3.7.2.4 Montaj Kristali.....	27
3.7.2.5 Montaj Transistörleri	27
3.7.2.6 Montaj Headerları.....	27
3.7.2.7 Montaj Micro B USB portu.....	28
3.7.2.8 Montaj Butonları.....	29
3.7.2.9 Montaj LED'leri	29
3.7.2.10 Montaj Dirençleri.....	30
3.7.2.11 Montaj Kondansatörleri	30
3.7.2.12 Montaj Anahtarları.....	30
3.7.3 Elektronik Devrenin Çizim Süreci.....	31
4. BULGULAR.....	36
4.1 FPGA Devre Kartının Prototipi.....	36
4.1.1 Devre Kartı Maliyet Hesabı.....	38
4.1.2 Farklı FPGA Geliştirme Kartlarına Ait Fiyat Analizi.....	39
4.2 FPGA Geliştirme Kartı Uygulamaları	43
4.2.1 FPGA Geliştirme Kartı LED Yakma Uygulaması.....	43
4.2.2 FPGA Geliştirme Kartı Yarım Toplayıcı Uygulaması.....	46
4.2.3 FPGA Geliştirme Kartı Üzerinde Yukarı Sayıcı Uygulaması.....	51
5. TARTIŞMA ve SONUÇ	55
6. KAYNAKLAR	57
EKLER	63
EK 1. XC2C64A datasheet	63
EK 1. (Devam) XC2C64A datasheet	64
EK 1. (Devam) XC2C64A datasheet	65
EK 1. (Devam) XC2C64A datasheet	66
EK 1. (Devam) XC2C64A datasheet	66
EK 2. 48 MHz Kristal datasheet	67
EK 2. (Devam) 48 MHz Kristal datasheet.....	68
EK 3. AMS1117 (SOT 223 paket) datasheet.....	69

EK 4. SMD BC807 datasheet	70
EK 5. Dörtlü 7 Segment Display datasheet	71
EK 6. Micro B USB Port datasheet	72
EK 6. SMD Kondansatör (1206 paketi) datasheet	73
EK 7. SMD Direnç (1206 paketi) datasheet	74
ÖZGEÇMİŞ.....	75



SİMGELER ve KISALTMALAR DİZİNİ

Simgeler

Ω	Ohm
₺	TL (Türk Lirası)
μ	Mikro

Kısaltmalar

ADC	Analog Sayısal Dönüştürücü (Analog to Digital Converter)
ALU	Aritmetik Mantık Birimi(Arithmetic Logic Unit)
AR-GE	Araştırma Geliştirme
ASIC	Uygulamaya Özel Tümlşik Devre (Application Specific Integrated Circuit)
CLB	Konfigüre Edilebilir Mantıksal Blok (Configurable Logic Block)
CPLD	Karmaşık Programlanabilir Mantık Cihazı (Complex Programmable Logic Device)
CPU	Merkezi İşlem Birimi (Central Processing Unit)
DSP	Sayısal Sinyal İşlemciler (Digital Signal Processing)
F	Farad
F-CCMs	FPGA Tabanlı Özel Amaçlı Bilgisayarlar (FPGA-based Custom Computing Machines)
FPGA	Alanda Programlanabilir Kapı Dizileri (Field Programmable Gate Array)
GND	Toprak (Ground)
GPU	Grafik İşleme Birimi (Graphics Processing Unit)
HDL	Donanım Tanımlama Dili (Hardware Description Language)
IEEE	Elektrik ve Elektronik Mühendisleri Enstitüsü (Institute of Electrical and Electronics Engineers)
IP-Core	Fikri Mülkiyet Çekirdeği (Intellectual Properties-Core)
ISE	Entegre Yazılım Ortamı (Integrated Software Environment)
ISP	Sistem İçi Programlama (In System Programming)
JTAG	Ortak Test Eylem Grubu (Joint Test Action Group)
LED	Işık Yayan Diyot (Light Emitting Diode)
LUT	Değer Tablosu (Look-Up-Table)
MHz	Mega Hertz
n	Nano
OpenCL	Açık Kaynak Programlama Dili (Open Computing Language)
PCB	Baskılı Devre Kartı (Printed Circuit Board)
PLD	Programlanabilir Mantık Cihazları (Programmable Logic Device)
PMB	Programlanabilen Mantıksal Bloklar
PROM	Programlanabilir Salt Okunur Bellek (Programmable Read Only Memory)
RTL	Kaydedici Transfer Dili (Register Transfer Language)
SMD	Yüzey Montaj Cihazı (Surface Mount Device)
SoC	Çip Üzerinde Sistem (System on Chip)

Kısaltmalar (Devam)

SPLD	Basit Programlanabilir Mantık Cihazı (Simple Programmable Logic Device)
USB	Evrensel Seri Veriyolu (Universal Serial Bus)
VCC	Ortak Kollektördeki Voltaj (Voltage Across Common Collector)
VHDL	Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili (Very High Speed Integrated Circuit Hardware Description Language)
VHSIC	Çok Yüksek Hızlı Entegre Devre (Very High Speed Integrated Circuit)
μP	Mikro İşlemci (Micro Processor)



ŞEKİLLER DİZİNİ

	Sayfa
Şekil 3.1 Örnek bir CPU.	8
Şekil 3.2 Örnek bir GPU.	9
Şekil 3.3 Bir CPU ve GPU'nun temel yapı taşları.	9
Şekil 3.4 Örnek bir ASIC çipi.	10
Şekil 3.5 Xilinx Artix-7 FPGA kartı.	11
Şekil 3.6 FPGA çiplerinin kullanım alanlarının dağılımını gösteren grafik.	13
Şekil 3.7 FPGA üreten firmaların pazar payları (FPGA Market share c. 2010).	13
Şekil 3.8 FPGA çiplerinin paralel işlem yapma mantığı (Çelik, 2013).	14
Şekil 3.9 Sayısal Donanım platformlarının karşılaştırılması (Zhuanlan, 2022).	15
Şekil 3.10 Mantık Hücresi (Akpolat 2015).	16
Şekil 3.11 FPGA Yapısı (Koyuncu 2008).	17
Şekil 3.12 SPLD mimari yapısı.	18
Şekil 3.13 CPLD mimari yapısı.	19
Şekil 3.14 VE kapısının davranışını tanımlayan VHDL kaynak kodu ve bu kodun ana yapıları.	21
Şekil 3.15 JTAG bağlantı şeması.	22
Şekil 3.16 ISE iMPACT ile VHDL programın FPGA çipine yüklenmesi.	24
Şekil 3.17 XILINX XC2C64A-7-VQ44 numaralı FPGA çipi.	25
Şekil 3.18 14 mm dörtlü ortak anot display.	26
Şekil 3.19 SOT-223 paket Regülatör (Linear Technology Corporation 2002).	26
Şekil 3.20 48 MHz SMD tip kristal (Analog Devices, Inc. 2011).	27
Şekil 3.21 SOT-23 kılıf SMD BC807 transistörü.	27
Şekil 3.22 1x10 dişi header.	28
Şekil 3.23 1x6 erkek header.	28
Şekil 3.24 Micro B USB portu.	28
Şekil 3.25 SMD buton.	29
Şekil 3.26 SMD LED.	29
Şekil 3.27 R1206 paket yapısında SMD direnç.	30
Şekil 3.28 C1206 paket yapısında SMD kondansatör.	30
Şekil 3.29 Sürgülü On/Off anahtarı.	31
Şekil 3.30 FPGA çipinin Besleme, Giriş-Çıkış(I/O), JTAG pin bağlantı şeması.	32

Şekil 3.31 Port çıkışları, kristal, power LED'i ve reset butonu bağlantı şeması.	33
Şekil 3.32 Switch, buton ve LED bağlantı şeması.	33
Şekil 3.33 Display, micro USB ve voltaj regülatörleri bağlantı şeması.	34
Şekil 3.34 FPGA tabanlı programlanabilir devre kartının üstten üç boyutlu gösterimi. 35	
Şekil 4.1 LED yakma sayısal uygulamasına ait VHDL kodu.	44
Şekil 4.2 LED yakma sayısal uygulamasına ait RTL şeması.	44
Şekil 4.3 LED yakma sayısal uygulamasına ait teknoloji şeması.	45
Şekil 4.4 LED yakma sayısal uygulamasına ait .ucf dosyası kodu.	45
Şekil 4.5 Yarım toplayıcı sayısal uygulamasına ait VHDL kodu.	47
Şekil 4.6 Yarım toplayıcı uygulamasına ait RTL şeması.	47
Şekil 4.7 Yarım toplayıcı sayısal uygulamasına ait teknoloji şeması.	48
Şekil 4.8 Yarım toplayıcı sayısal uygulamasına ait .ucf dosyası kodu.	48
Şekil 4.9 Yarım toplayıcı devresinin Xilinx XC2C64A-7 FPGA çipi kaynak kullanım bilgileri.	49
Şekil 4.10 Yukarı sayıcı uygulamasına ait VHDL kodu.	51
Şekil 4.11 Yukarı sayıcı uygulamasına ait RTL şeması.	52
Şekil 4.12 Yukarı sayıcı uygulamasına ait teknoloji şeması.	52
Şekil 4.13 Yukarı sayıcı uygulamasına ait .ucf dosyası kodu.	53

ÇİZELGELER DİZİNİ

	Sayfa
Çizelge 4.1 Tasarlanan devre kartına ait toplam maliyet hesabı.	38
Çizelge 4.2 Farklı FPGA geliştirme kartlarına ait maliyet listesi.	39
Çizelge 4.3 Farklı FPGA geliştirme kartlarına ait donanımsal özellikler	40



RESİMLER DİZİNİ

	Sayfa
Resim 3.1 JTAG programmer ile FPGA çipine programın yüklenmesi.	23
Resim 4.1 Tasarlanan FPGA devre kartının üstten görünümü.	36
Resim 4.2 Tasarlanan FPGA devre kartının alttan görünümü.	37
Resim 4.3 C-Mod C2 FPGA geliştirme kartı.	40
Resim 4.4 Cmod A7-35T FPGA geliştirme kartı.	41
Resim 4.5 Basys3 FPGA geliştirme kartı.	41
Resim 4.6 Arty Board A7-35T FPGA geliştirme kartı.	42
Resim 4.7 Zybo Z7-10 FPGA geliştirme kartı.	42
Resim 4.8 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen LED yakma uygulaması.	46
Resim 4.9 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yarım toplayıcı uygulaması (giriş1=1 giriş2=0 durumu).	50
Resim 4.10 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yarım toplayıcı uygulaması (giriş1=1 giriş2=1 durumu).	50
Resim 4.11 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yukarı sayıcı uygulaması (örnek durum1).	54
Resim 4.12 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yukarı sayıcı uygulaması (örnek durum2).	54

1. GİRİŞ

FPGA (Field Programmable Gate Array-Alanda Programlanabilir Kapı Dizileri) çipleri, silikon üretiminin tamamlanmasının ardından tasarımcının ihtiyaç duyduğu veya tasarlamak istediği sisteme bağlı olarak iç yapısının değiştirilerek programlanabilmesini sağlayan yarı iletken teknolojiye sahip tümleşik devrelerdir. FPGA çipleri paralel çalışma (parallel processing), hızlı ilk üretim, yüksek performans ve tekrar tekrar programlanabilme gibi özellikleriyle ön plana çıkmaktadır. Bu gibi nedenlerden dolayı FPGA çipleri, diğer sayısal platformlara göre önemli avantajlar sunmaktadır.

FPGA çipleri çok yüksek hızlara sahip olmasından günümüzde birçok farklı uygulamaların gerçekleştirilmesine olanak sağlamaktadır. Bu çipler aynı zamanda “çip üzerinde sistem” (System On a Chip (SoC)) şeklinde de adlandırılmakta ve gerek görülmesi halinde diğer çiplerle birlikte daha büyük sistemlerin bir parçası olarak da çalışabilmektedirler.

Genel amaçlı üretildikten sonra farklı sistemler için özel programlanabilen FPGA çipleri, gerçek zamanlı çalışma becerisine sahiptirler. FPGA çipleri, kişisel bilgisayarlara kıyasla daha düşük seviyede çalışma frekanslarına sahip olmalarına karşılık paralel çalışma ve sisteme özel tasarım gibi artılarından dolayı kişisel bilgisayarlardan çok hızlı bir biçimde işlemleri yapabilmektedirler.

FPGA çiplerinin bir önemli avantajı, çip üzerinde tasarımı yapılan sistemin birden çok kopyası çalıştırılabilmekte ve bu şekilde çok yüksek hız kazançları sağlanabilmektedir. FPGA tabanlı tasarımların diğer önemli bir avantajı ise IP-core (Intellectual Properties-core) yapıları oluşturularak modüler bir sayısal tasarım ve hazır kütüphane dosyaları ile birlikte çok hızlı bir tasarım sürecinin sağlanmasıdır. Örneğin, bir mikroişlemci IP-core yapısında FPGA çipine gömülebilmektedir.

FPGA çipleri başta savunma sanayi olmak üzere kriptoloji, görüntü ve ses işleme, yapay zekâ, uydu ve radar haberleşmesi, tüketici elektroniği, tıp elektroniği gibi birçok alanda kullanılmaktadır. Fakat hali hazırda ülkemizde kullanılan FPGA geliştirme

kartları dışa bağımlı olarak yurtdışından temin edilmektedir. Bu nedenle ilgili FPGA geliştirme kartları çok yüksek maliyetler ile elde edilmekte ve bu alanda çalışmak isteyen mühendis ve araştırmacıların FPGA geliştirme kartlarına ulaşması oldukça zorlaşmaktadır.

Ayrıca kullanımda olan geliştirme kartları üzerinde, gerçekleştirilmek istenilen uygulamalar için gerekli olmayan donanımlar bulundurabilmektedir. Bu iki husus maliyet açısından büyük bir engel oluşturmaktadır.

Sunulan tez çalışması kapsamında hali hazırda yüksek maliyetler ile ithal edilen yüksek teknoloji ürünü FPGA geliştirme kartlarına alternatif olarak dışa bağımlılığı azaltmak amacı ile düşük maliyetli yerli bir FPGA geliştirme kartı tasarlanmıştır. Tez kapsamında geliştirilen yerli FPGA geliştirme kartı ile bu pazardaki ihtiyacın karşılanması hedeflenmiştir. Ayrıca yerli FPGA geliştirme kartı tasarımı ile ülkemizde ilgili sektörün teknolojik olarak daha da iyileştirilmesi ve dünya FPGA pazarında ülkemizin de yer alması amaçlanmıştır.

Bu tez çalışması FPGA tabanlı programlanabilir devre kartı tasarımını gerçekleştirmek amacıyla beş bölüme ayrılmıştır. Birinci bölümde neden yerli bir FPGA kartı tasarımına ihtiyaç duyulduğu hakkında bilgiler verilmiştir. İkinci bölümde ise FPGA çipi kullanılarak yapılmış çalışmalar incelenmiştir.

Üçüncü bölümde farklı sayısal platformlar incelenmiştir. Bu sayısal platformların karşılaştırılması yapılarak; FPGA çipinin diğer platformlardan üstünlükleri hakkında bilgiler verilmiştir. Ayrıca FPGA çipinin yapısı incelenerek programlama mantığı ile ilgili yöntemler anlatılmıştır. Üçüncü bölümün sonunda ise üretilen FPGA devre kartının tasarım süreci ve kart bileşenleri hakkında bilgiler verilmiştir.

Dördüncü bölümde üretilen FPGA kartının prototipi oluşturulmuştur. Programlanabilir FPGA devre kartının maliyeti hakkında bilgiler verilmiştir. Farklı FPGA geliştirme kartlarının fiyatları ile karşılaştırma yapılmıştır. Kart üzerinde LED yakma, yarım toplayıcı ve yukarı sayıcı uygulamaları denenmiş ve sonrasında uygulamaların kart

üzerinde düzgün çalışabilirliđi ispatlanmıřtır.

Beřinci bölümde ise üretilen devre kartının ne tür gereksinimleri karşılayabileceđi değeriendirilmiřtir. Ayrıca ileride FPGA kart tasarımı ile yapılabilecek çalışmaları hakkında öneriler sunulmuřtur.



2. LİTERATÜR BİLGİLERİ

Sayısal tasarımlar, CPU ve mikroişlemci gibi sıralı olarak çalışan sayısal platformlar yerine FPGA çiplerinde çalıştırıldıklarında performans açısından ciddi avantajlar sağlamaktadır. Bu nedenle günümüzde yoğun bir şekilde çok farklı alanlarda FPGA çipleri kullanılmakta ve her geçen gün bu çiplere olan ilgi artmaktadır. Ancak yoğun bir şekilde özellikle savunma sanayii ve yapay zekâ gibi alanlarda kullanılmakta olan FPGA geliştirme kartlarının tamamı ülkemize ithal edilmektedir. Bu nedenle bu durum ülkemiz için ekonomik açıdan ciddi bir yük oluşturmaktadır. Ayrıca FPGA geliştirme kartlarının yerli olarak üretiminin ve AR-GE çalışmalarının yapılması da oldukça önem arz etmektedir. Hayata geçirilecek her milli ve yerli çalışma, bu alanda yapılan harcamaların ülke ekonomisine geri dönmesini sağlayabilecektir. Ayrıca ilgili kartların ülkemizde daha ekonomik üretilmesi sağlanarak ithal kartların teknoloji transferinden kaynaklanan maliyetlerine göre çok daha ekonomik çözümler üretilmiş olunacaktır. FPGA tabanlı uygulamalar günümüzde savunma sanayii, haberleşme, endüstriyel elektronik, gerçek zamanlı yapay zekâ uygulamaları ve tüketici elektroniği ürünleri başta olmak üzere pek çok alanda yaygın bir şekilde kullanılmaktadır.

Ancak ulusal açıdan bakıldığında bu alanlarda kullanılan FPGA tabanlı geliştirme kartlarının üretimi gerçekleştirilmemektedir. Bunun yerine tamamen dışa bağımlı bir şekilde bu kartların tamamı ülkemize yüksek maliyetler ile ithal edilmektedir. Sunulan tez çalışması ile hali hazırda dışa bağımlı olarak yurtdışından temin edilen FPGA geliştirme kartlarına alternatif olarak daha düşük maliyet ile gömülü sistem tasarımlarında ve mühendislik uygulamalarında kullanılabilecek yerli bir FPGA geliştirme kartı tasarımı gerçekleştirilmiştir. Literatürde yapılmış olan FPGA tabanlı tasarımlara örnek olarak Akkoyun yaptığı tez çalışmasında, FPGA tabanlı bir platformda dokunmatik LCD ekranların kullanılması çalışmasını gerçekleştirmiştir. FPGA tabanlı platformun, maliyet açısından düşük ve performans bakımından hızlı olmasını hedeflemiştir. Yaptığı tasarımda, dokunmatik ekranlı kullanıcı ara yüzünün insan ile etkileşimini seri port kullanarak sağlamıştır. Çalışmanın sonunda FPGA tabanlı sistemlerde kolay ve hızlı çalışan yapıyı oluşturmayı başarmıştır (Akkoyun 2011).

Az yaptığı tez çalışmasında, farklı konumlarda bulunan kullanıcıların birbiriyle şifreli olarak resim, mesaj ve ses bilgisi iletimini düşük güç tüketimi ile ve düşük maliyet ile FPGA tabanlı olarak tasarımını gerçekleştirmiştir. Ayrıca aynı sistemde ara yüz programı üzerinden kullanıcıların şifreli ya da şifresiz iletişim kanallarından istediğini seçim yapabilmelerini sağlayabilmiştir.

Algoritmanın şifre çözme ve şifreleme işlemlerinin donanım olarak gerçekleştirmesini FPGA çipi üzerinde yapmıştır. VHDL programlama dilini kullanmıştır. Yazılım teknikleri ve geliştirdiği mimari ile kullandığı sistemin literatürde tavsiye edilen diğer sistem tasarımlarına kıyasla çok daha az güç tükettiğini ispatlamıştır (Az 2014).

Özgür yaptığı tez çalışmasında, radar sinyallerini işleme algoritmalarını, sayısal aşağı indirgeme, sinyal sıkıştırma, doppler işleme ve sayısal hüzmeleme işlemlerini GPU ve FPGA platformlarını ayrı ayrı deneyerek karşılaştırmıştır. Bu algoritmaları GPU platformunda OpenCL, FPGA platformunda ise Xilinx System Generator kullanarak gerçekleştirmiştir. Yaptığı tasarım içindeki benzetim modelinde sinyalin doppler frekansı, sinyalin menzili ve varış yönü tahmin edilebilmektedir. Çalışmanın sonunda veri işlemenin gerçek zamanlı gerçekleştirmesinde FPGA çiplerinin GPU çiplerine oranla çok daha fazla avantajlı olduğunu ispatlamıştır (Özgür 2014).

Tengilimoğlu yaptığı tez çalışmasında, tekrardan yapılandırılabilir sistem mimarileri üzerinde çalışmıştır. Örnek bir uygulama olarak gerçek zamanlı çalışan hedef tespit ve takip sisteminde donanımsal olarak hızlandırma maksadıyla kullanılan FPGA çipinde kısmi tekrardan yapılandırma tekniğini uygulamıştır. Tasarladığı sistemde FPGA çipinin kaynak kullanımının daha da etkin olmasını sağlayabilmiş ve aynı şekilde güç tüketimini de azaltmayı başarmıştır (Tengilimoğlu 2014).

Sinha ve Lotia yaptığı çalışmalarında, birbirinden farklı sayısal modülasyon tekniklerinin FPGA çipi üzerinde uygulamış ve bu tasarımlarda bit hata oranlarını incelemiştir. Tasarımı gerçekleştirirken FPGA çipleri kullanarak verimli ve kararlı veri aktarımını sağlamak için farklı kodlama, veri sıkıştırma, kod çözme algoritmaları ve

sinyal üzerindeki gürültüyü filtreleme teknikleri üzerinde çalışmışlardır. Modölatörlerin tasarımını VHDL dilinde ve VHSIC (Çok Yüksek Hızlı Entegre Devre (Very High Speed Integrated Circuit)) donanımı ile yüksek hızlarda FPGA çipi üzerinde gerçekleştirmişlerdir. Tasarımı işlevsellik olarak Xilinx 13.2 ortamında elde ettikleri benzetim sonuçları üzerinden incelemişlerdir. Uygulamalarda kullandıkları sayısal modölatörlerin en az bit hata oranı ve en düşük dijital blok sayısı ile FPGA çipleri üzerinde gerçekleştirilebildiğini ispatlamışlardır (Sinha ve Lotia 2015).



3. MATERYAL ve METOT

3.1 Sayısal Tasarım Platformları

Günümüzde sayısal sinyallerin işlenmesi amacı ile birçok farklı sayısal sinyal işleme platformları kullanılmaktadır.

Her sayısal platformun kendisine has özellikleri bulunmakta ve bu özellikler dikkate alınarak sayısal sistem tasarımları gerçekleştirilmektedir. Ancak kullanılan bu sayısal platformların her birinin diğer platformlara göre avantajları ve dezavantajları bulunmaktadır.

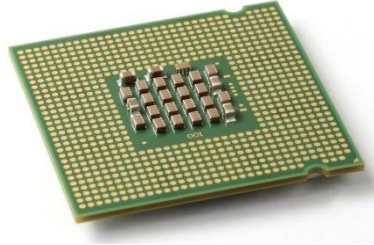
3.1.1 CPU

CPU (Central Processing Unit (Merkezi İşlem Birimleri)), bilgisayarda komutların anakart üzerinden diğer çevresel bileşenlere aktarılmasında görev almaktadır. Bilgisayarın beyni olarak kabul edilmektedir.

İlk mikroişlemci “Intel 4004” 1969 yılında üretilmiştir ve içerisinde 2300 adet transistör bulundurmaktadır. Moore Yasası (Moore, 1998) mikroşlemcilerdeki transistörlerin sayısının her geçen yıl ikiye katlanacağını öngörmüştür. 2000’li yıllara kadar CPU çiplerindeki transistör miktarının yükselişi ile performansın da arttığı kabul ediliyordu. 2004 yılından sonra artık mikroşlemcilerde transistör sayısı artış gösterse de CPU saat hızları önemli oranda bir artış göstermediği gözlenmiştir (Ergün ve Sayar, 2014). Bunun en büyük sebebi ise CPU için gereken güç artışı olmuştur. Bu problemi ortadan kaldırmak için ise bir çip içerisine birden fazla CPU eklenmeye başlanmıştır. “KILL” kuralı (Agarwal, A. ve Levy, M.,2007), CPU mimarisinde performans artışı için transistör sayısını artırmak değil birden fazla işlemci kullanılması gerektiğini öngörmüştür.

CPU diğer sayısal tasarım platformlarına göre çok yönlü bir çiptir. Çok yönlü olması birçok işlevi yapabileceği anlamına gelmektedir. Bu çok yönlülüğün getirdiği

dezavantajlar da bulunmaktadır. CPU'lar fazla güç tüketmektedirler ve bazı işlevlerde daha özel çiplere göre daha yavaş çalışmaktadırlar. Şekil 3.1'de örnek bir CPU çipi görülmektedir.



Şekil 3.1 Örnek bir CPU.

Günümüzde veri kümelerinin büyümesi ile CPU çipleri üzerinde yapılan hesaplamalar yetersiz kalmaktadır. Artık CPU çipleri yerini, verileri paralel işleyen GPU (Graphics Processing Unit(Grafik İşleme Birimi)) çiplerine bırakmaktadır. Bunun sonucunda da verileri paralel işleyerek sistemlerin daha hızlı çalışmasını sağlayan GPU çiplerinin kullanımı zorunlu hale gelmiştir.

3.1.2 GPU

GPU çiplerinin ilk örnekleri sadece iki boyutlu grafikleri işleyebilmekteydiler. Daha sonraları GPU çiplerine piksel gölgeleme ve 3 boyutlu grafik işleme özelliği eklenerek geliştirilmiştir. Piksel gölgeleme ve OpenCL (Açık Kaynak Programlama Dili (Open Computing Language)) kullanılarak bilimsel hesaplamalar GPU üzerinde uygulanabilir hale gelmiştir. 2005 yılında NVIDIA firması çok karmaşık hesaplamaları yapabilen GPU çipi ve programlama arabirimi üretmiştir (Sandersand ve Kandrot 2010). Şekil 3.2'de örnek bir GPU çipi görülmektedir.



Şekil 3.2 Örnek bir GPU.

Şekil 3.3’te CPU ve GPU çiplerinin temel yapı taşları gösterilmiştir. Yeşil renk ile gösterilenler ALU (Aritmetik Mantık Birimi(Arithmetic Logic Unit)) birimini temsil etmektedir (NVIDIA Corporation, 2014). Şekilde de görüldüğü gibi bir GPU, CPU ile karşılaştırıldığında aritmetik mantık biriminde daha fazla transistör bulundurmaktadır. Bu durum GPU çipinin işlemleri daha hızlı yapmasını sağlamaktadır. Bununla birlikte GPU çipinde CPU çipine oranla daha fazla çekirdek bulunmaktadır. Bu özelliği ise GPU çiplerinin CPU çilerine göre daha fazla paralel işlem yapabilme özelliği sağlamaktadır.



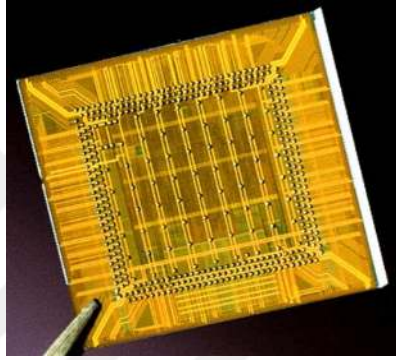
Şekil 3.3 Bir CPU ve GPU’nun temel yapı taşları.

3.1.3 ASIC Çipleri

ASIC (Application Specific Integrated Circuit (Uygulamaya Özgü Tümleşik Devre)), sadece belirli bir mantık işlevi için tasarlanmış özel bir silikon çip anlamına

gelmektedir. Diğer çiplerden farklı olarak, ASIC yalnızca gerçekleştirilmek için inşa edildiği görevi yerine getirebilmektedir. ASIC çipleri değiştirilememekte ve bir sistemde hata ayıklamak için kullanılamamaktadırlar.

ASIC teknolojisi sayesinde önemli miktarda devre tek bir çip içine dahil edilebilmiştir. Bu özelliği diğer teknolojilere kıyasla maliyetin daha düşük olmasını sağlamaktadır. Ayrıca ASIC çipleri diğer sayısal tasarımlara kıyasla çok daha küçük bir boyuta sahiptir ve daha az güç tüketirler. Bu özellikleri sayesinde performans ve ekonomiklik açısından öne çıkmaktadır. Şekil 3.4'te örnek bir ASIC çipi görülmektedir.



Şekil 3.4 Örnek bir ASIC çipi.

3.1.4 FPGA Çipleri

FPGA, alanda programlanabilir kapı dizileridir. Üretiminden sonra tasarımcının istenen fonksiyona göre donanım yapısı ihtiyacına göre gerçekleştirilecek mantıksal fonksiyonlar FPGA çipinde sentezlenerek çalıştırılmaktadır. FPGA çipleri, ilk üretimde ASIC çiplerine göre üstünlükleri vardır. Bunlardan en önemlisi FPGA çiplerinin tekrar tekrar programlanabilme özelliğinin olmasıdır. ASIC çiplerinin ise ilk tasarımda zorluğu vardır ve tasarlandıktan sonraki içyapısı sabit kalıp değiştirilememektedir. Diğer bir deyişle tasarımda yapılan olası bir hatadan dolayı ASIC çipleri bir daha kullanılamaz hale gelmektedir. FPGA çipinde ise tekrar tekrar programlanabilme özelliği vardır (Koyuncu 2008). Şekil 3.5'te Xilinx firmasına ait Artix-7 FPGA kartı gösterilmiştir.



Şekil 3.5 Xilinx Artix-7 FPGA kartı.

FPGA çiplerinin programlanabilir olması, silikon üretiminin tamamlanmasının ardından çip içerisine bir sistem tasarımının yapılabileceği anlamına gelmektedir. Böylelikle FPGA çipinin üretimi tamamlandıktan sonra da sistem tasarımcısının istediği şekilde çipin yapısında değişiklik yaparak tasarımını tamamlama imkânı sağlanmaktadır (Kuon vd. 2007).

FPGA çiplerinin yapısında bulunan transistörler birbirinden bağımsız olarak üretilmiştir. Bundan dolayı FPGA içindeki transistör yapıları tasarım esnasında bağlanabilmekte ve tasarımlar bu şekilde gerçekleştirilebilmektedir. Ayrıca paralel işlem yapabilmesi test edilip doğrulanabilmesi gibi birçok özelliğinden dolayı son yıllarda kullanımını oldukça artırmıştır (Akpolat 2015).

FPGA çipleri yüksek kapasitedeki hızlara sahip olmakla beraber çok farklı uygulamaların gerçekleştirilmesi amacıyla yaygınlıkla kullanılmaktadır. Bu çipler “çip üzerinde sistem” (System On a Chip (SoC)) şeklinde de adlandırılmakta ve gerek duyulması halinde diğer çiplerle beraber daha büyük sistemlerin bir parçası olarak da çalışabilmektedirler (Munden 2005).

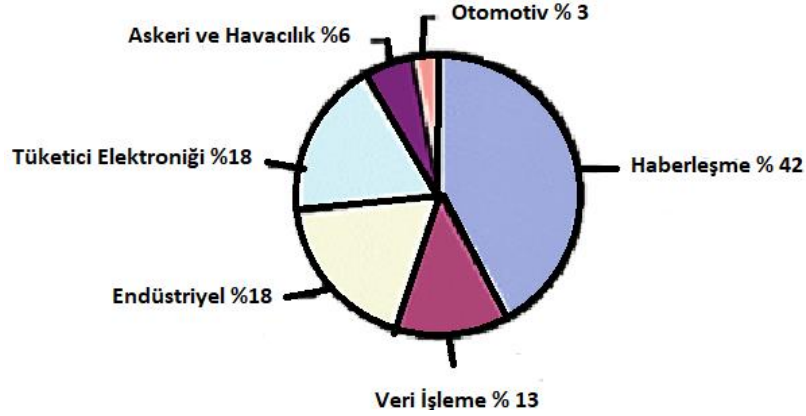
Genel amaçlı üretildikten sonra istenilen sistem için özel olarak programlanabilen FPGA çipleri, GHz seviyesinde çalışma frekansına çıkabilmektedirler. FPGA çiplerinin çalışma frekansı, kişisel bilgisayarlardan daha düşük olmasına karşılık paralel çalışma

ve sisteme özel tasarımların yapılabilmesi gibi birçok avantajlarından dolayı kişisel bilgisayarlara göre çok daha hızlı çalışabilmektedirler (Şahin ve Koyuncu 2011).

FPGA tabanlı sayısal tasarımların bir diğer önemli avantajı ise IP-Core (Fikri Mülkiyet Çekirdeği (Intellectual Properties-Core)) yapıları oluşturulup; hazır kütüphane dosyaları kullanılarak çok hızlı bir tasarım süreci gerçekleştirilebilmektedir. Örneğin, bir mikroişlemci IP-core şeklinde bir FPGA çipinin içerisine gömülebilmektedir. Aynı zamanda, genel amaçlı bir bilgisayar ve bu bilgisayara bağlı olarak çalışan üzerinde birçok FPGA çipi barındıran FPGA tabanlı Özel Amaçlı Bilgisayarlar (FPGA-based Custom Computing Machines (F-CCMs)) ile sayısal tasarımlar yapılarak çok yüksek hızlarda çalışabilen platformlar oluşturulabilmektedir (Şahin vd 2000).

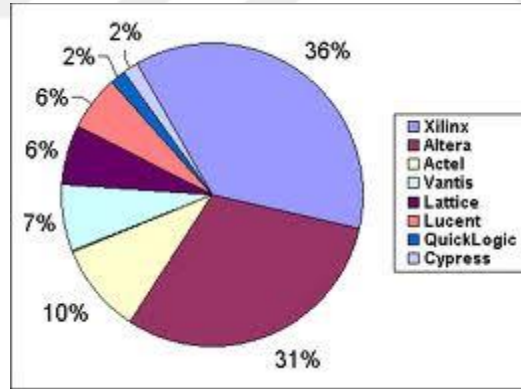
FPGA çipleri günümüzde sinyal işleme (Diao vd. 2018), ses tanıma (Rodriguez-Orozco vd. 2018), kontrol (Özkan vd 2011), yapay sinir ağları (Libano vd. 2018), kaotik sistem tasarımı (Koyuncu vd 2014), hidrojen üretim sistemleri (Yılmaz vd. 2019), uzay araçları (Schafer vd. 2009), kriptoloji (Ismail vd 2017), rasgele sayı üreteçleri (Bakiri vd. 2018), sözde rasgele sayı üreteçleri (Dong vd 2019), modülasyon (Mohammed ve Abdullah 2020), gerçek rasgele sayı üreteçleri (Alçın vd 2019), kaotik osilatör tasarımları (Tlelo-Cuautle vd. 2019) (Rajagopal vd. 2018), görüntü işleme (Koyuncu vd 2015), modelleme (Tuntaş 2015), güvenli iletişim (Savran 2017), robotik (Bargsten ve Fernandez 2020), tıp (Abdullah ve Younis 2019), savunma sistemleri (Drozd and Kapulin 2018) gibi birçok alanda çok yaygın olarak kullanılmaktadır. FPGA çiplerine birçok program yüklenerek çalıştırılabilmektedir (Yılmaz, 2008).

Şekil 3.6'da FPGA çiplerinin kullanım alanlarının dağılımı gösterilmiştir. Şekilde görüldüğü gibi haberleşme alanında %42, endüstriyel alanında %18, tüketici elektroniği alanında %18, veri işleme alanında %13, savunma ve havacılık alanında %6, otomotiv alanında %3'lük kullanıma sahiptir.



Şekil 3.6 FPGA çiplerinin kullanım alanlarının dağılımını gösteren grafik.

Günümüzde FPGA çipleri üreten birçok firma bulunmaktadır. Bunların başlıcaları Xilinx, Altera, Actel, Vantis, Lattice ve Lucent firmalarıdır. FPGA çipleri her firmada farklı isimler altında üretilmektedir. Örnek olarak Xilinx firması Spartan, Kintex, Virtex gibi isimler kullanırken, Altera firması ise Cyclone ve Stratix gibi isimler kullanmaktadır. Şekil 3.7’de FPGA üreten firmaların dünya üzerindeki pazar payları görülmektedir.



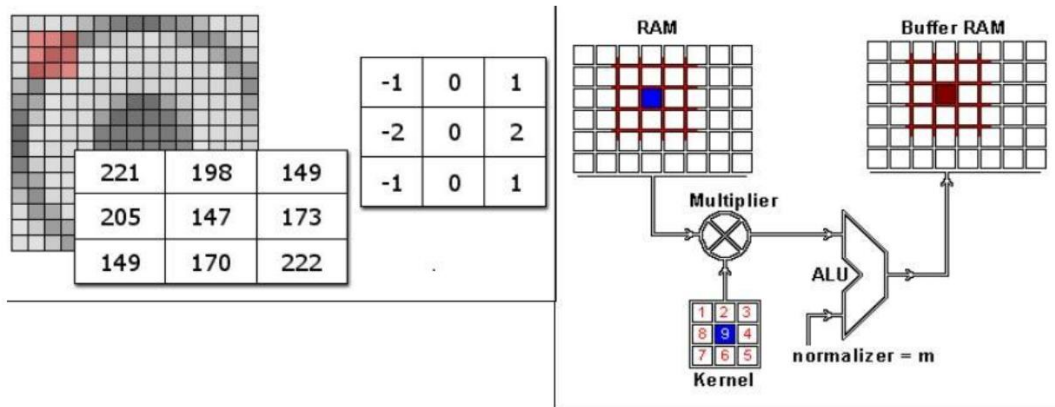
Şekil 3.7 FPGA üreten firmaların pazar payları (FPGA Market share c. 2010).

3.2 FPGA Çiplerinin Avantajları

FPGA çiplerinin, ASIC (Application Specific Integrated Circuit) gibi diğer sayısal platformlardan ayıran en önemli özelliği, donanım yapısının tasarımda isteğe göre defalarca değiştirilebilmesidir. Örneğin; ASIC gibi sayısal platformlarda üretilen bir cihaz, hatalı üretilmişse bu cihazın doğru çalışması mümkün olmamaktadır. FPGA

ipleri ile retilen bir cihaz ise hatalı retilse bile, donanım yapısı deęiştirilerek hata dzeltilip tekrar alıřtırılabilir. Bařka bir řekilde ifade edilmek gerekirse FPGA ipinin retiminin tamamlanmasından sonra da ip zerinde sayısal bir sistemin tasarımı yapılabilir (řeker vd. 2018). Bu durum kullanıcıya esneklik aısından byk bir avantaj saęlamaktadır.

FPGA iplerinin bařka nemli bir zellięi ise, dięer sayısal platformlardan farklı olarak iřlemleri paralel olarak yapabilmektedir. Paralel iřlem yapabilme birok iřlemin aynı anda yapılabilmesi anlamına gelmektedir. rnek olması aısından grnt iřleme uygulamalarında sıka kullanılan konvolsyon 9 iřlemi verilebilir. Konvolsyon iřlemi yapılırken grnt matris deęerlerinin, 3x3 boyutundaki konvolsyon ekirdeęi ile iřleme tabi tutulmaktadır. Sinyal bu řekilde iřlenmek istenildięinde, her bir konvolsyon iřlemi iin grnt matrisindeki 9 deęerin (resim karesi) alınması gerekmektedir. FPGA dıřındaki sayısal platformlar kullanıldığında bu resim karesindeki 9 deęer sırayla alınmakta, konvolsyon iřlemi uygulanmakta ve iřlem sonunda ikinci resim karesi alınmaktadır (elik, 2013). Buradan da anlařılacaęı gibi FPGA haricindeki platformlarda bir iřlem sonlanmadan dięer iřleme geilememektedir. FPGA iplerinin paralel iřlem yapabilmesi sayesinde, aynı anda birok resim karesi alınabilmekte ve konvolsyon iřlemine tabi tutulabilmektedir. Bu tarz uygulamaların FPGA ipleri ile yapılması, dięer sayısal platformlara gre hız aısından olduka avantajlı bir durum oluřturmaktadır. řekil 3.8’de FPGA iplerinin grnt iřlemede paralel alıřmasının mantıęı grlmektedir.



řekil 3.8 FPGA iplerinin paralel iřlem yapma mantıęı (elik, 2013).

FPGA çipleri 1980’den itibaren piyasaya girmelerine rağmen genel amaçlı Merkezi İşlem Birimi (Central Process Unit (CPU)), Grafik İşlemci Birimi (Graphics Processing Unit (GPU)) ve hatta Uygulamaya Özgü Tümlşik Devreler (Application Specific Integrated Circuit (ASIC)) ile rekabet edebilmeyi ve birçok artı özelliği ile onların önüne geçmeyi başarabilmiştir (Sass vd. 2010).

Şekil 3.9’da görüldüğü gibi esneklik ve kullanım kolaylığı açısından CPU ve GPU öne çıksa da ASIC ve FPGA performans açısından daha ileride durmaktadır. ASIC ve FPGA çiplerini kendi arasında kıyasladığımızda ise FPGA çiplerinin ASIC çiplerine göre esneklik ve kullanım kolaylığı açısından öne çıktığı görülmektedir.



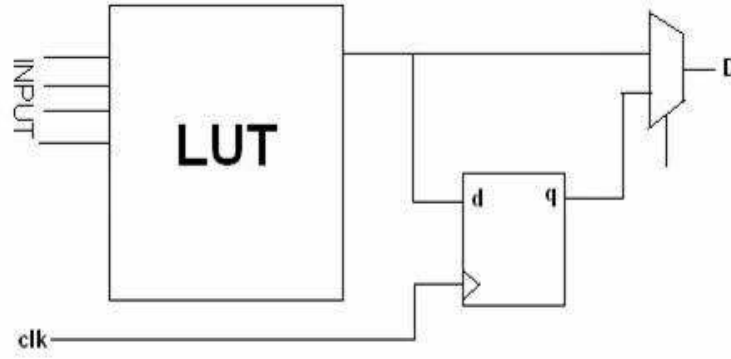
Şekil 3.9 Sayısal Donanım platformlarının karşılaştırılması (Zhuanlan, 2022).

3.3 FPGA Çiplerinin Yapısı

FPGA çipleri temelde üç ana bileşenden oluşmaktadır. Bunlar mantıksal bloklar, ara bağlantılar ve giriş/çıkış bloklarıdır.

3.3.1 Mantık Hücresi

Bir mantık hücresi FPGA çipinin en temel kısmını oluşturmaktadır. İç yapısına baktığımızda LUT (Look-Up-Table), Flip-Flop ve 2x1 mux (multiplexer) denilen kısımlardan oluşmaktadır. LUT mantıksal bir işlemi gerçekleştiren küçük belleklerdir (Koyuncu 2008). Şekil 3.10’da mantık hücresinin yapısı görülmektedir.



Şekil 3.10 Mantık Hücresi (Akpolat 2015).

3.3.2 Giriş Çıkış Blokları (I/O Blokları)

Giriş/Çıkış blokları FPGA çipinin iç yapısında bulunan sinyaller arası bağlantıları ve FPGA çipinin pinleri arasındaki bağlantıları sağlamaktadır. Giriş/Çıkış pinleri çift yönlü biçimde programlanabilmekte ve FPGA çipinin türüne göre giriş/çıkış pinlerinin sayısı değişmektedir (Koyuncu 2008). Çevre birimleri ile FPGA tasarımı arasındaki veri alışverişi bu pinler sayesinde sağlanmaktadır. Bu pinlerin programlanabilir olması ile ihtiyaç duyulması halinde değişken olarak çıkış, giriş ya da iki yönlü (giriş-çıkış) olarak ayarlanabilmektedir (Şeker 2019).

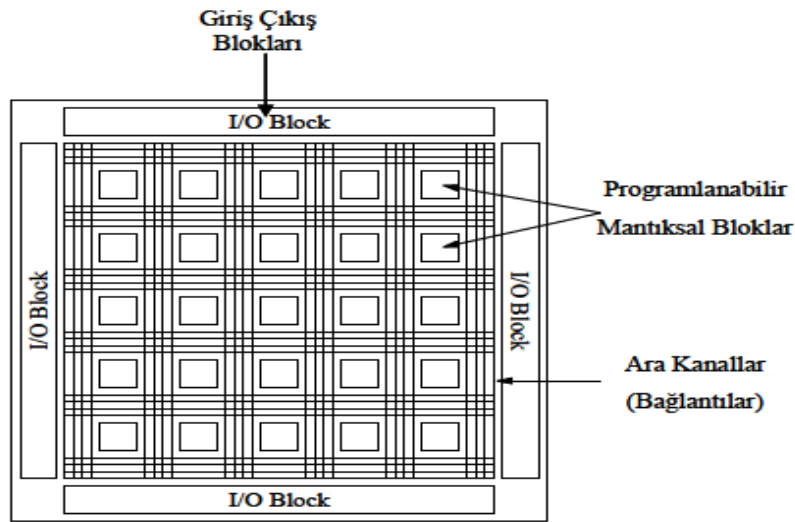
FPGA çipi üstünde ek olarak saat (clock) pinleri, güç pinleri, konfigürasyon pinleri ve kullanıcı pinleri bulunmaktadır (Silahtar 2018). FPGA çipinde pinler kullandıkları yere göre farklı kategorilere ayrılmaktadır. Güç pinleri FPGA çipinin güç ve toprak hattının bağlantısının yapıldığı pinlerdir. Konfigürasyon pinleri FPGA çipine program yüklenmesi için ayrılmış özel pinlerdir. Clock pinleri ise saat darbesi için ayrılmış özel pinlerdir. Kullanıcı pinleri tasarım sırasında istenilen şekilde ayarlanabilen I/O (Input/Output (giriş/çıkış)) pinleridir (Akpolat 2015).

Giriş-çıkış blokları, sayısal tasarıma bağlı olarak hem giriş hem de çıkış bloğu olarak kullanılabilir. CLB (Konfigüre Edilebilir Mantıksal Blok (Configurable Logic Block)) yapıları içerisinde mantıksal blok, hafıza ve çarpıcı elemanları bulunmaktadır. Ara bağlantılar; hafıza, giriş-çıkış blokları, mantıksal blok ve çarpıcı elemanları arasındaki bağlantıyı oluşturan programlanabilir yapılardır (Şahin 2010).

Programlanabilir giriş / çıkış blokları, temelde çip üzerindeki mantık hücreleri ile harici pinler arasındaki ara yüzü oluştururlar. Genelde bu bloklar çipin etrafında düzenlenir (Özpolat, 2017).

3.3.3 Ara Bağlantılar

Ara bağlantılar mantık hücreleri arasındaki bağlantı ile giriş/çıkış blokları arasında bağlantıyı sağlamaktadır. Daha geniş anlamıyla ara bağlantılar hem PMB (Programlanabilen Mantıksal Bloklar) bloklarının kendi aralarında hem de giriş-çıkış blokları ile PMB bloklarının arasındaki bağlantıların sağlanmasında kullanılmaktadır. Bu bağlantı kanalları programlanabilir oldukları için esnek bir yapıya sahiptirler (Lortoğlu 2019). Şekil 3.11’de FPGA çipinin temel yapısı görülmektedir.



Şekil 3.11 FPGA Yapısı (Koyuncu 2008).

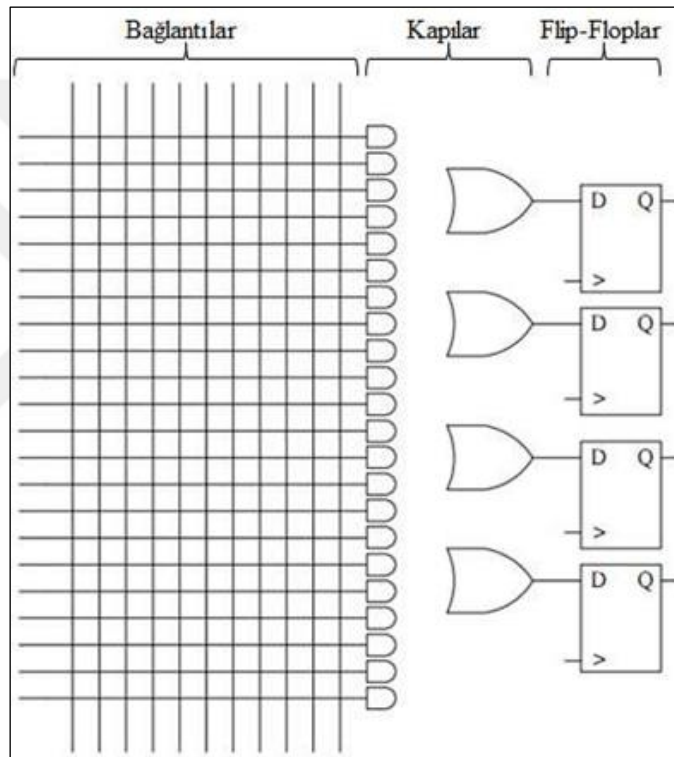
3.4 Programlanabilir Mantık Devreleri

FPGA çiplerinin gelişim sürecinde; programlanabilir mantık elemanları, ilk basamağı oluşturmaktadır (Taşçı 2011). PLD (Programmable Logic Device (Programlanabilir mantık cihazları)) temel olarak AND, OR, NOT mantık kapılarını ve flip-flopları içeren sayısal devre yapılarıdır.

PLD'ler temelde iki kısımda incelenmektedir. Bunlar SPLD (Simple PLD (Basit PLD)) ve CPLD (Complex PLD (Karmaşık PLD)).

3.4.1 Basit Programlanabilir Mantık Devreleri

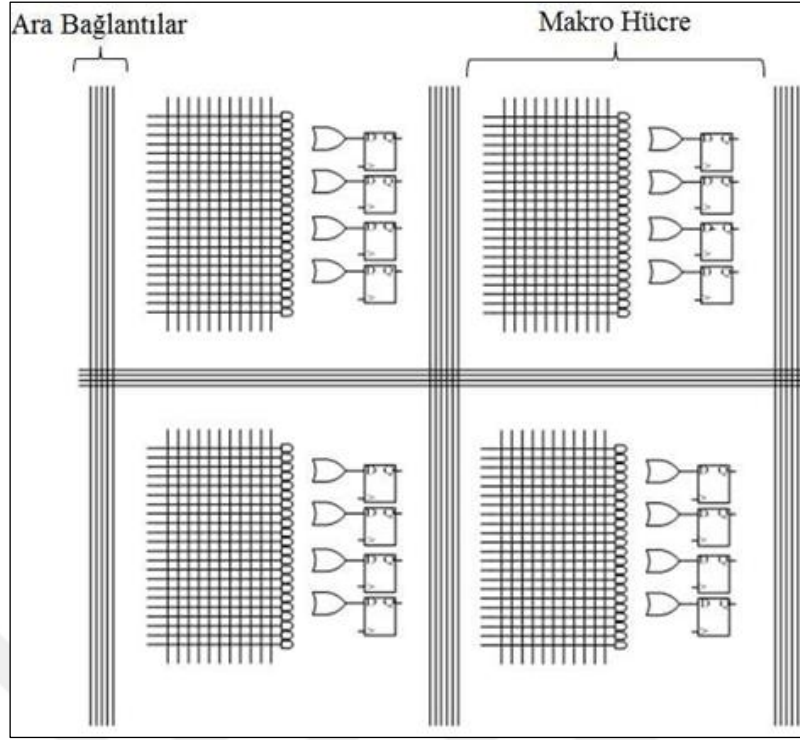
SPLD'nin içerisinde az sayıda mantık hücresi bulunmaktadır. Bir SPLD aygıtının yapısında genellikle 4 ile 22 arasında programlanabilir hücre barındırmaktadır. Şekil 3.12'de SPLD'nin mimari yapısı verilmiştir (Çetin 2014).



Şekil 3.12 SPLD mimari yapısı.

3.4.2 Karmaşık Programlanabilir Mantık Devreleri

SPLD'lerle karmaşık devrelerin tasarımında zorluk yaşanması durumundan dolayı birçok SPLD bloklarının birleştirilmesiyle CPLD mimarisi oluşturulmuştur. Aynı zamanda SPLD blokları arasında haberleşme mümkün hale gelmiştir. Şekil 3.13'de CPLD mimari yapısı verilmiştir (Çetin 2014, Gürsoy 2016).



Şekil 3.13 CPLD mimari yapısı.

Bu tez çalışması için yapacağımız devre kartında CPLD mantığında çalışan Xilinx firmasının 44 pinli XC2C64A çipi kullanılmıştır.

3.5 FPGA Tasarım Dilleri

FPGA çiplerinde tasarımlar, şematik yöntemler kullanılarak ya da HDL (Hardware Description Language (Donanım Tanımlama Dili)) kullanılarak gerçekleştirilmektedir. Genelde küçük ölçekli tasarımlar için şematik yöntemler, orta ve büyük ölçekli tasarımlar için ise HDL kullanılmaktadır. HDL içerisinde en fazla tercih edilen donanım tanımlama dilleri Verilog ve VHDL dilleridir. VHDL dili 1987 tarihinde IEEE standardı olarak kabul edilmiş, 1993 ve 2000 yıllarında güncellenerek geliştirilmiştir. Bunlardan başka Handel-C, System C dilleri az da olsa kullanılmaktadır (Koyuncu vd. 2019).

3.5.1 Verilog

Verilog HDL, hem davranış hem de bir yapı tanımlama dilidir. Bunun anlamı, yapılan sayısal tasarımın bir Verilog HDL modelini oluşturmak için devrenin işlevsel

açıklaması ile bileşenler ve bunların arasındaki bağlantıları kullanabileceğimizdir. Verilog HDL'in programlama kodları, sinyali doğru bir şekilde modelleyebilir (Savran, 2017). Bunun nedeni, Verilog HDL'de, doğru bir sinyal modeli oluşturmak için gecikme ve çıkış gücünün ilkelerinin sağlanmasıdır. Sinyal değeri farklı yoğunluklarda olabilir ve çok çeşitli bulanıklık değerleri ayarlanarak belirsiz koşulların etkisi azaltılabilir (Thomas vd. 2002).

3.5.2 VHDL

Donanım, bilgisayarlar gibi karmaşık elektronik yapıları, mantık kapılarını ve onların içindeki entegre devreleri tanımlar. VHDL ise bu donanımları tanımlayan çok yüksek hızlarda çalışabilen programlama dilidir.

Dosya veri nesnesi, sayısal tasarımın içerisinde VHDL kodlama dili kullanılarak bir veri üzerinde okuma ya da yazma işleminin gerçekleştirilmesini sağlamaktadır (Kösten ve Çavuşlu 2015).

Bu tez çalışmasında VHDL dili kullanılarak sayısal tasarımlar yapılmıştır.

3.5.2.1 VHDL Temel Bölümleri

VHDL başlıca dört temel bölümden oluşmaktadır.

Entity (Giriş), yapılan tasarımın en temelde olan blok yapısıdır. Uygulamada bir mantık fonksiyonun bütün giriş/çıkış portlarının tanımlandığı ve dış dünya ile bağlantısının sağlandığı bölümdür. Her tasarımın mutlaka bir entity bloğu olmak zorundadır.

Architecture (Mimari), tasarımın nasıl davranacağını belirlediği bölümdür. Bir tasarım birden çok mimariye sahip olabilir. Bu mimariler yapısal, davranışsal ve veri akışı olmak üzere üç ayrı şekilde tanımlanabilir.

Package (Paket), bu bölümde entity bloğu içerisindeki tanımlamalardan bir grup

oluşturulur. Bu durum bir sonraki farklı tasarımlarda hazır kullanım kolaylığı sağlanmaktadır.

Konfigürasyon, alt bileşenlerin bir araya gelerek tam bir tasarımın nasıl oluşturulduğunu gösteren yapıdır (Akpolat 2015). Şekil 3.14'te VE kapısının VHDL kaynak kodu ve bu kodun ana yapıları görülmektedir (Sarıtış ve Karataş 2013).

Paket Bildirimi	<pre>library ieee; use ieee.std_logic_1164.all;</pre>
Entity	<pre>entity VE_KAPI is port (A: in std_logic; B: in std_logic; C: out std_logic); end VE_KAPI;</pre>
Architecture	<pre>architecture Davranis of VE_KAPI is begin C <= A and B; end Davranis;</pre>
Konfigürasyon	<pre>Configuration Ve_Konfig of VE_KAPI is for Davranis end for; end configuration Ve_Konfig;</pre>

Şekil 3.14 VE kapısının davranışını tanımlayan VHDL kaynak kodu ve bu kodun ana yapıları.

3.6 FPGA Programlama Yöntemleri

Bir FPGA çipini programlamak için ISP (Sistem içi programlama (In System Programming)), ya da JTAG (Ortak Test Eylem Grubu (Joint Test Action Group)) arabirimi kullanılabilir. JTAG arabirimi, FPGA çipinin pinlerine doğrudan ulaşımı sağlayan bir tekniktir ve diğer yöntemlere göre maliyet açısından daha ekonomik olmaktadır. Bu tez çalışmasında üretilen FPGA tabanlı programlanabilir devre kartımızda JTAG arabirimi ile programlama yapılmıştır.

3.6.1 ISP

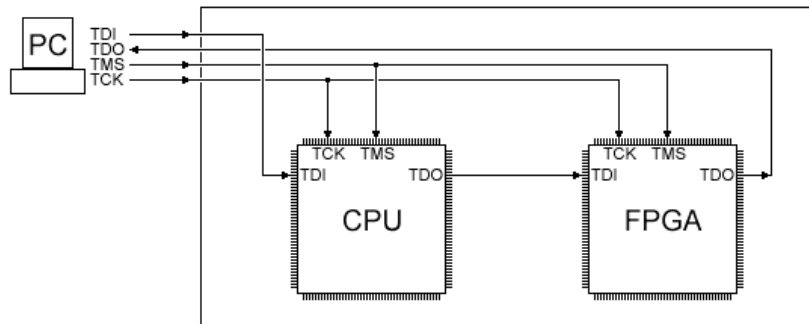
ISP devre içi seri programlama olarak da adlandırılmaktadır. Bazı programlanabilir

mantık cihazlarının, mikrodenetleyicilerin ve diğer sayısal gömülü sistemlerin tekrar programlanabilmesine olanak sağlayabilmektedir. Farklı sayısal platformlarda yazılım güncellemelerinin çipe aktarılması işlemi de ISP ile yapılabilmektedir.

3.6.2 JTAG

JTAG, 1980'lerde elektronik kartların üretiminde oluşabilecek hataları düzeltmek amacıyla oluşturulmuş bir IEEE standardıdır. JTAG, aynı zamanda mikro denetleyiciler ve CPLD'ler veya FPGA'lar gibi birçok aygıtları programlamak için de kullanılan bir arabirimdir.

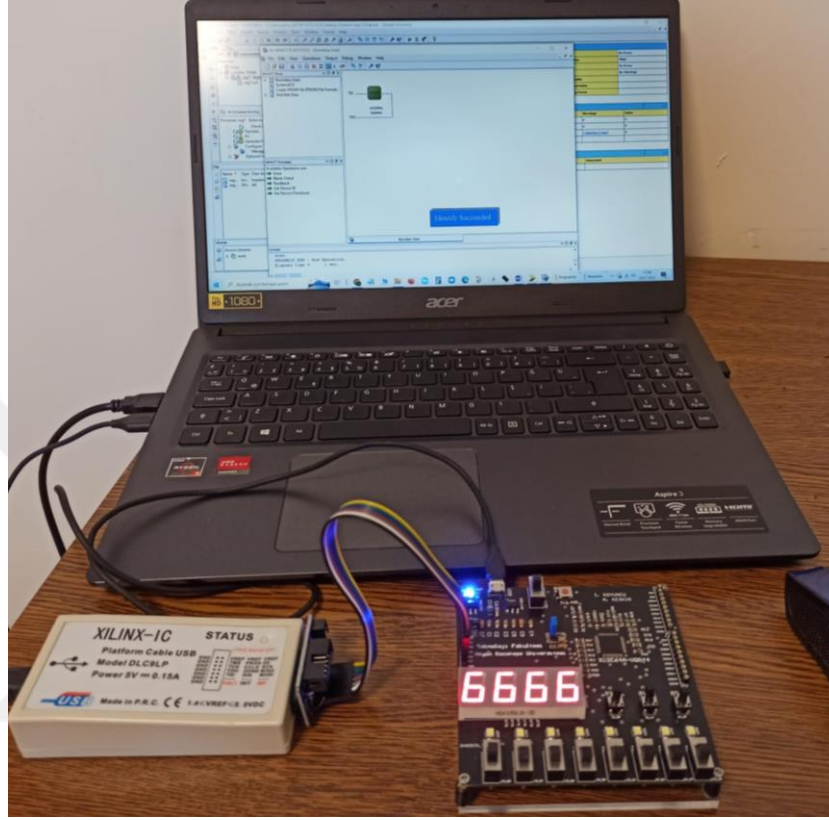
Entegrelerin üzerlerinde pin adı verilen birçok bağlantı noktası bulunur. Bu pinler entegrelerin birbiriyle ve dış birimlerle haberleşmesini sağlar. Eğer çok pinli bir devre üretiyorsanız, pinler arasındaki bağlantıların doğruluğunu kontrol etmek zorunluluğunuz vardır. Herhangi bir pindeki bağlantı hatası bütün devrenin olumsuz çalışmasına sebep olabilecektir. JTAG, entegrenin tüm pinlerini giriş ya da çıkış olarak tanımlayabilir. Bu şekilde pinlere sinyal gönderip, gelen veriyi okuyarak sistem bağlantılarını kontrol etmiş olur. Şekil 3.15'te JTAG bağlantı şeması görülmektedir.



Şekil 3.15 JTAG bağlantı şeması.

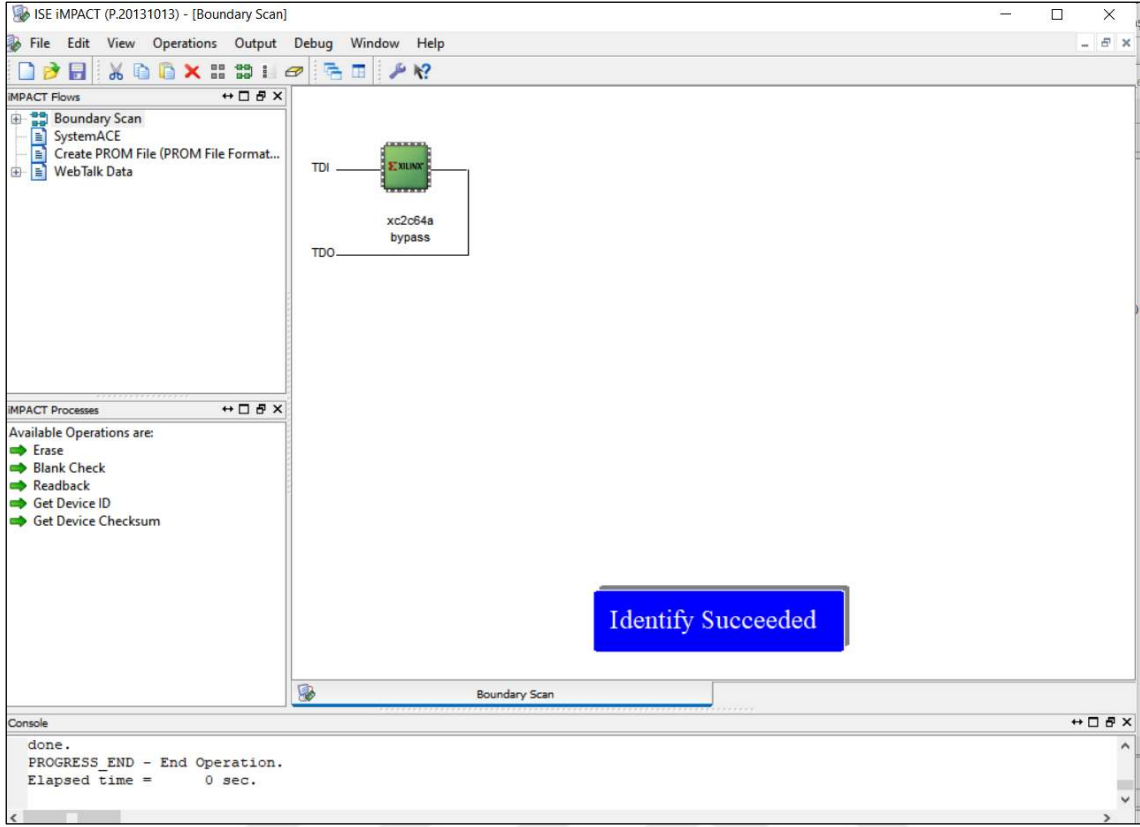
JTAG bağlantısı, temelde dört adet lojik sinyalden oluşmaktadır. Bunlar TDO, TDI, TMS ve TCK sinyalleridir. TDO, veri çıkışını test etmektedir. TDI, pinlere veri girişi yapmaktadır. TMS, test için mod seçimi yapmaktadır. TCK ise test için gerekli saat sinyalini sağlamaktadır.

JTAG programmer, FPGA çipi ile XILINX ISE iMPACT programı arasında elektriksel bağlantının kurulmasını sağlamaktadır. Resim 3.1’de JTAG programmer kullanarak FPGA çipine program yüklemek için yapılan bağlantı görülmektedir.



Resim 3.1 JTAG programmer ile FPGA çipine programın yüklenmesi.

Şekil 3.16’da ISE iMPACT arayüzü kullanılarak VHDL kodunun FPGA çipine yüklenildiği görülmektedir.



Şekil 3.16 ISE iMPACT ile VHDL programın FPGA çipine yüklenmesi.

3.7 Devre Kartı Tasarımı

3.7.1 PCB Tasarım Yazılımları

PCB (Printed Circuit Board (Baskılı Devre Kartı)) tasarım programları, kullanıcıların elektronikte kendi donanım ürünlerini oluşturmalarına yardımcı olmaktadır. Uygulamalarda teknolojik gelişmelerle birlikte baskılı devre kartları da üretilmeye başlanmıştır. Proteus ve Eagle'ın yanı sıra Altium Designer gibi birçok PCB tasarım yazılımları bulunmaktadır. Bu programların hepsi aynı görevi yapsalar da, bazı detay farkları bulunmaktadır. Bu farklılıklar, kullanıcının o programı tercihinde etkilidir. Bu farklılıklar, basit arayüz, geniş kütüphane, hata analizi, simülatöre sahip olma ve satın alma maliyeti olarak sıralanabilmektedir.

Basit devrelerin çiziminde bütün programlar yeterli gelebilmektedir. FPGA çipleri gibi ayrıntılara sahip profesyonel devrelerin tasarımı için Altium Designer daha işlevsel bir

program olarak görülmektedir. Bunun en geçerli sebebi detaylı olarak hata analizi yapması ve üretimden sonra karşılaşılabilecek herhangi bir hatadan kaçınmayı sağlamasıdır. Kullanıcılar PCB çiziminden önce ayarlanabilen kurallar ile 3D arasında geçişler ve 2 boyutlu tasarım, devre elemanlarının grafik analizi vb. simülasyon işlemlerini gerçekleştirebilmektedir. Bu tez çalışmasında üretilen devre kartının çizimi Altium Designer programı yardımıyla gerçekleştirilmiştir.

3.7.2 Devre Bileşenleri

3.7.2.1 Tasarımda Kullanılan FPGA Çipi

Sunulan bu tez çalışmasında, üzerinde mühendislik alanındaki temel sayısal uygulama ve tasarımların gerçek zamanlı FPGA tabanlı olarak gerçekleştirilebilmesi için gerekli donanım elemanlarına sahip yeni bir yerli FPGA devre kartı tasarlanmıştır. Tasarımda XILINX firmasına ait XC2C64A-7-VQ44 ailesine ait FPGA çipi seçilmiştir. XC2C64A çipi 33 adet I/O, 3 adet GND, 4 adet VCC, 4 adet JTAG pini olmak üzere 44 adet pin bulundurmaktadır. Yüksek performans ve düşük güç gerektiren uygulamalar için ideal bir çiptir. Şekil 3.17’de XC2C64A-7-VQ44 FPGA çipi görülmektedir.



Şekil 3.17 XILINX XC2C64A-7-VQ44 numaralı FPGA çipi.

3.7.2.2 Montaj Displayi

Devre kartında gösterge olarak 14mm dörtlü ortak anot display kullanılacaktır. Bu display, dört adet ortak anotlu 7 segment displayin bir paket içerisine yerleştirilmesiyle

oluşturulmuştur. Üzerinde 0-9 aralığında rakamları gösterebilen bir komponenttir. Zamanlayıcı, sayıcı uygulamaları gibi tasarımlarda kullanışlı bir LCD display ürünüdür. Şekil 3.18’de dörtlü ortak anot display görülmektedir.



Şekil 3.18 14 mm dörtlü ortak anot display.

3.7.2.3 Montaj Regülatörleri

Regülatör olarak STMicroelectronics firmasına ait AMS1117-3.3 ve AMS1117-1.8 seri numaralı iki adet regülatör kullanılmıştır.

AMS1117-3.3 çıkışında 3.3 volt sabit gerilim veren regülatör entegresidir. Bu entegre giriş beslemesini USB portundan almaktadır.

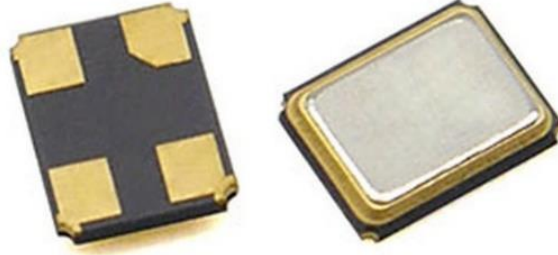
AMS1117-1.8, çıkışında 1.8 volt sabit gerilim veren regülatör entegresidir. Bu entegre giriş beslemesini AMS1117-3.3 entegresinin çıkışından almaktadır. Şekil 3.19’da tasarımda kullanılan SOT-223 paket yapılı regülatör entegreleri görülmektedir.



Şekil 3.19 SOT-223 paket Regülatör (Linear Technology Corporation 2002).

3.7.2.4 Montaj Kristali

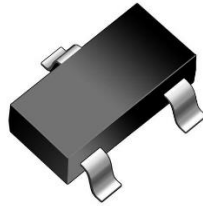
Kristal elemanı olarak 48 MHz SMD tip kristal kullanılmıştır. 48 MHz Kristal 1 nolu I/O pinine bağlanmıştır. Frekans kararlılığını arttırmak için kristalin besleme gerilimine paralel 0,1 μ F kondansatör bağlanmıştır. Şekil 3.20’de 48 MHz SMD Kristal görülmektedir.



Şekil 3.20 48 MHz SMD tip kristal (Analog Devices, Inc. 2011).

3.7.2.5 Montaj Transistörleri

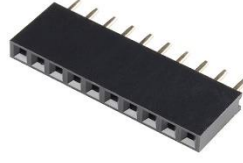
Dörtlü ortak anot displayi sürmek için dört adet SMD BC807 transistör kullanılmıştır. BC807 Transistörler PNP tiptedirler. Şekil 3.21’de SOT-23 kılıf yapısına sahip SMD BC807 görülmektedir.



Şekil 3.21 SOT-23 kılıf SMD BC807 transistörü.

3.7.2.6 Montaj Headerları

Tasarlanan kart üzerinde ilave giriş-çıkış elemanlarının bağlanabileceği iki adet dişi 1x10 header ve programlama için JTAG pinlerinin bağlandığı bir adet erkek 1x6 header kullanılmıştır. Şekil 3.22’de 1x10 dişi header görülmektedir.



Şekil 3.22 1x10 dişi header.

Şekil 3.23’de 1x6 erkek header görülmektedir.



Şekil 3.23 1x6 erkek header.

3.7.2.7 Montaj Micro B USB portu

Devre kartının besleme gerilimini sağlamak için Micro B USB portu kullanılmıştır. Micro B USB port, cep telefonu ve tablet gibi cihazlarda da çokça kullanılmasından maliyet açısından diğer port çeşitlerinden daha ekonomik olmaktadır. Ayrıca bu şekilde USB port olan her yerde kart kolaylıkla çalıştırılabilecektir. Şekil 3.24’te tasarımda kullanılan Micro B USB port görülmektedir.



Şekil 3.24 Micro B USB portu.

3.7.2.8 Montaj Butonları

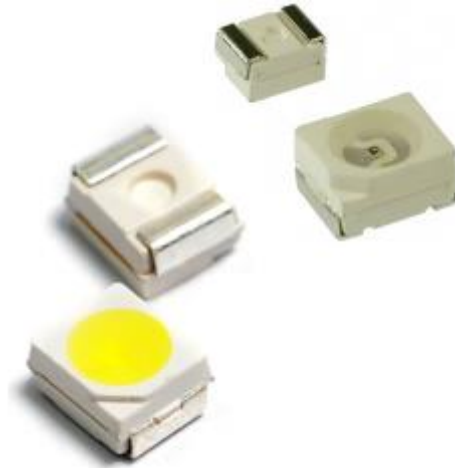
Kart üzerinde programı sıfırlamak için bir adet ve buton içeren uygulamalar için ise ilave üç adet SMD buton kullanılmıştır. Şekil 3.25'te SMD buton görülmektedir.



Şekil 3.25 SMD buton.

3.7.2.9 Montaj LED'leri

Sayısal tasarımlarda çıkış pinlerindeki lojik "0" ve "1" durumlarını görebilmek için kart üzerinde SMD LED elemanları kullanılmıştır. Kullanılan SMD LED'ler 1210 paketinde seçilmiştir. Şekil 3.26'da SMD LED'ler görülmektedir.



Şekil 3.26 SMD LED.

3.7.2.10 Montaj Dirençleri

Devre kartının boyut olarak küçük olabilmesi için SMD dirençler kullanılmıştır. SMD dirençler için R1206 paketi uygun görülmüştür. Şekil 3.27’de R1206 paket yapısında SMD direnç görülmektedir.



Şekil 3.27 R1206 paket yapısında SMD direnç.

3.7.2.11 Montaj Kondansatörleri

Tasarlanan kartın daha ergonomik olması için yüzeye monte seramik SMD kondansatörler kullanılmıştır. Kullanılacak kondansatörler C1206 paket yapısındadır. Şekil 3.28’de C1206 paket yapısına sahip SMD kondansatör görülmektedir.



Şekil 3.28 C1206 paket yapısında SMD kondansatör.

3.7.2.12 Montaj Anahtarları

Tasarlanacak devre kartı üzerinde 8 adet on/off konuma sahip anahtarlar kullanılmıştır. Anahtarın boyu 12,7 mm, eni 6,7 mm, yüksekliği 13,4 mm ve anahtarın pinleri arası mesafe 4,7 mm’dir. Şekil 3.29’da sürgülü On/Off anahtarı görülmektedir.



Şekil 3.29 Sürgülü On/Off anahtarı.

3.7.3 Elektronik Devrenin Çizim Süreci

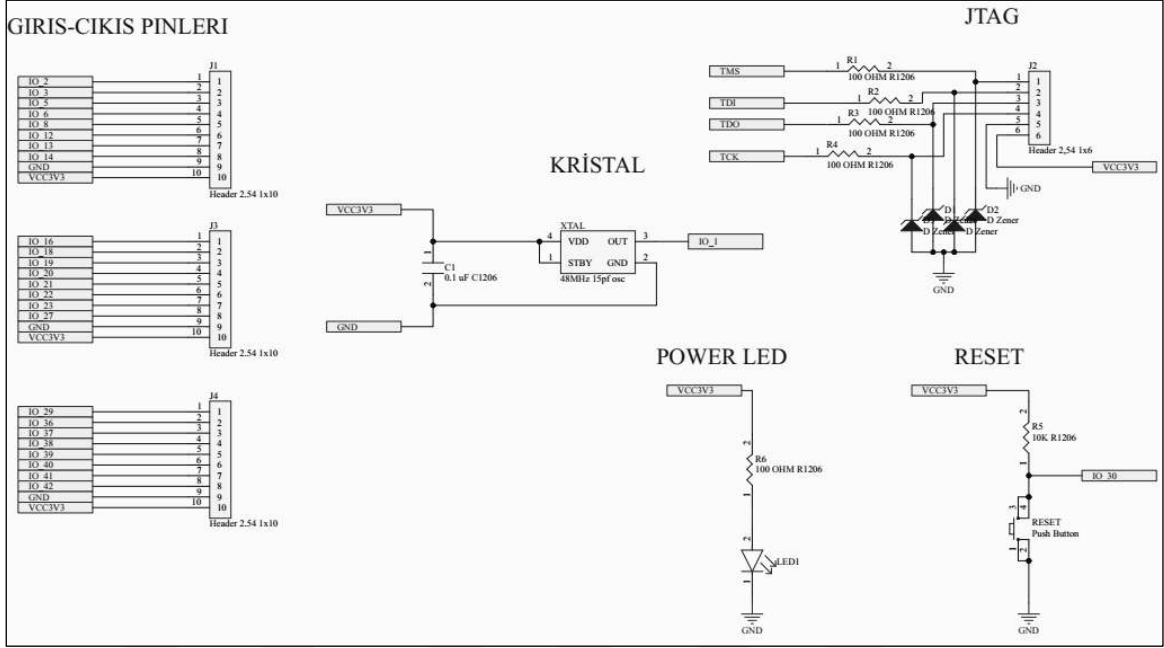
Devre tasarımında dikkat edilmesi gereken bazı hususlar bulunmaktadır. Bunlardan bazıları devrenin çalışması için gerekli gerilimi sağlayacak regülatör seçimi, sayısal devre için gerekli saat sinyali üretecek osilatör seçimi, çizilecek bakır yolların kalınlığının belirlenmesi, devre komponentlerinin kart üzerindeki yerlerinin tespit edilmesidir.

Regülatörler, girişten verilen sinyalin gerilimini çıkışa sabit voltajda veren devrelerdir. Genel olarak regülatörler iki gruba ayrılmaktadır. Bunlar doğrusal ve anahtarlama regülatörlerdir.

Anahtarlama regülatörler doğrusal regülatörlere göre daha verimlidirler. Buna rağmen karmaşık yapıları sebebiyle ekonomik değildirler. Doğrusal Regülatörler ise basit bir yapıya sahiptirler ve düşük maliyetlidirler.

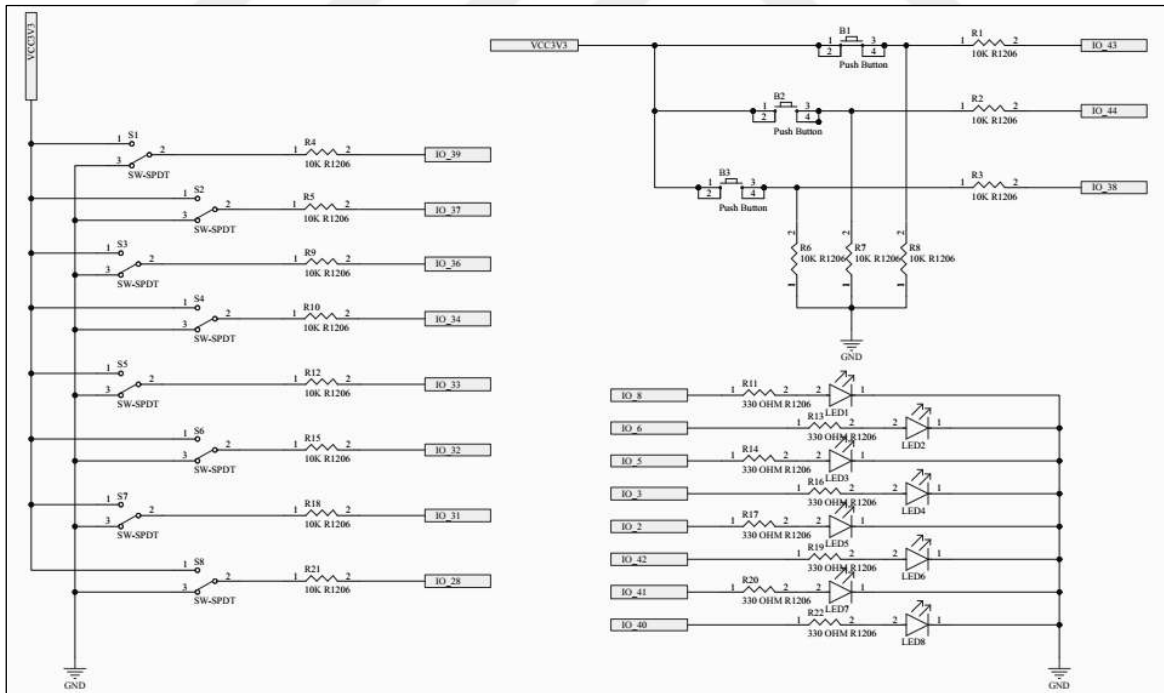
Yaptığımız çalışmada doğrusal regülatörler kullanılmıştır. Regülatörlerin veri sayfasından faydalanılarak tasarıma uygun filtre kondansatörler seçilmiştir.

Osilatörler, ayar verilen frekansta veya istenilen bir frekansta sürekli sabit çıkış verebilen devrelerdir. Bu sebeple, girişi olmayan devrelerdir. Kristal osilatörler, diğer



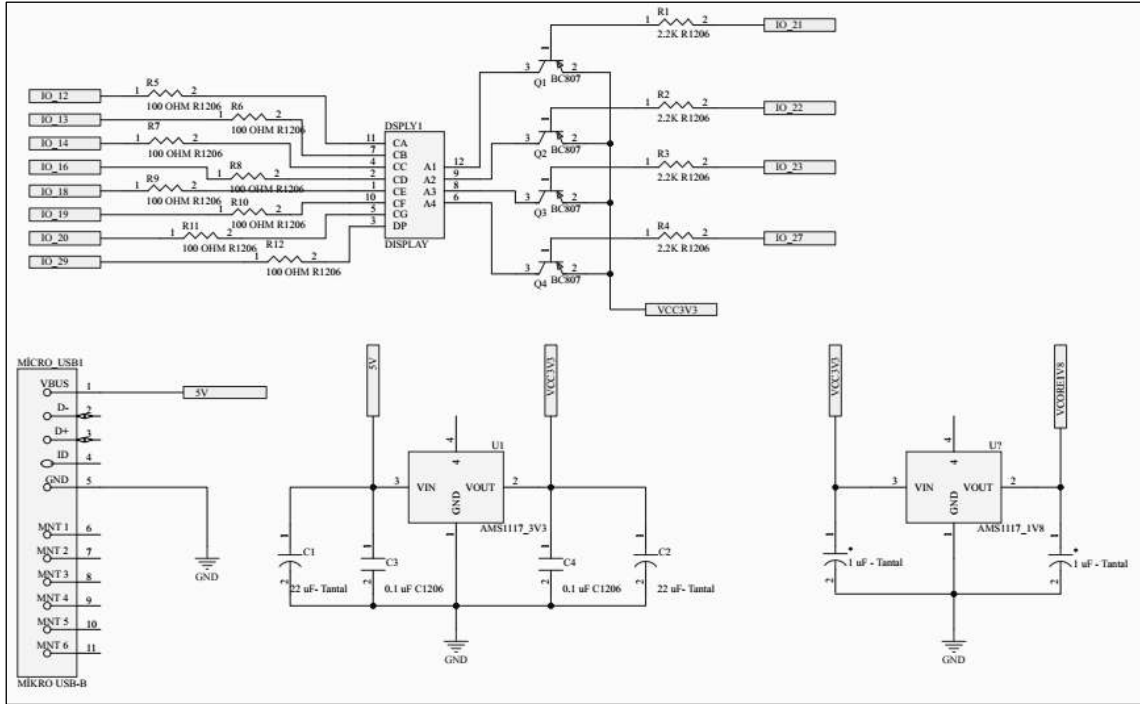
Şekil 3.31 Port çıkışları, kristal, power LED'i ve reset butonu bağlantı şeması.

Şekil 3.32'de switch, buton ve LED bağlantılarına ait devre şeması görülmektedir.



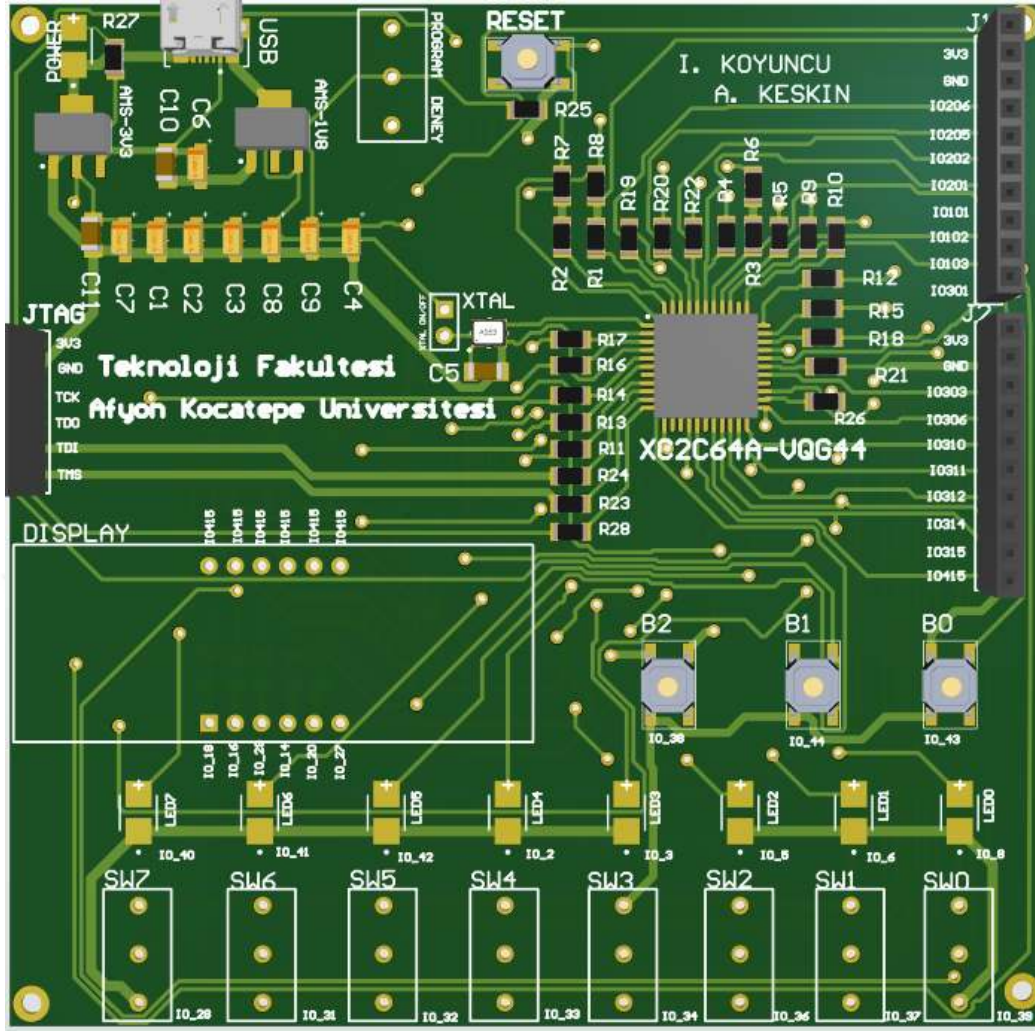
Şekil 3.32 Switch, buton ve LED bağlantı şeması.

Şekil 3.33'de Display, micro USB ve voltaj regülatörleri bağlantı şeması verilmiştir.



Şekil 3.33 Display, micro USB ve voltaj regülatörleri bağlantı şeması.

Şekil 3.34’te FPGA geliştirme kartının Altium Designer programı yardımıyla alınan üç boyutlu gösterimi verilmiştir.



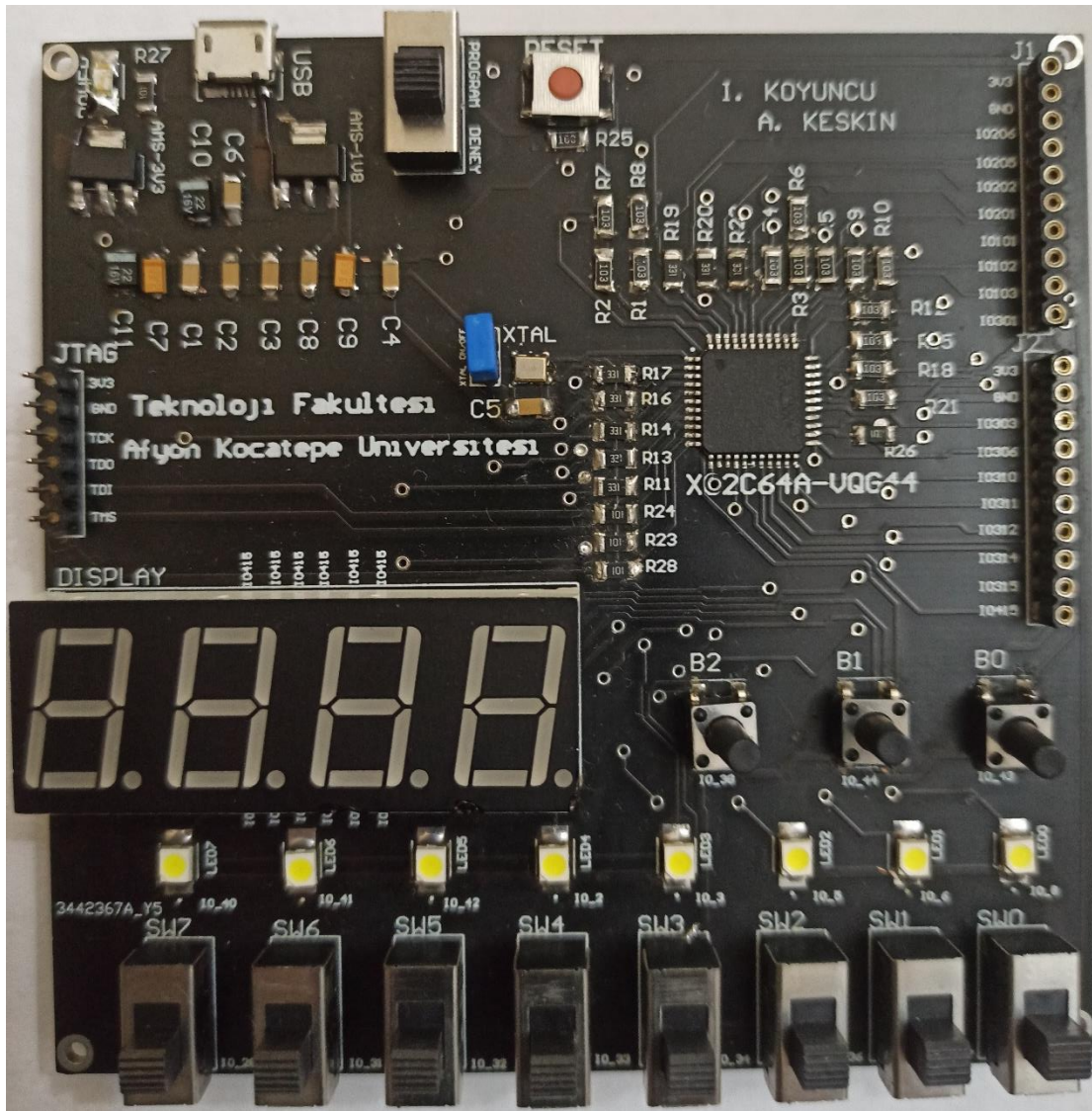
Şekil 3.34 FPGA tabanlı programlanabilir devre kartının üstten üç boyutlu gösterimi.

4. BULGULAR

4.1 FPGA Devre Kartının Prototipi

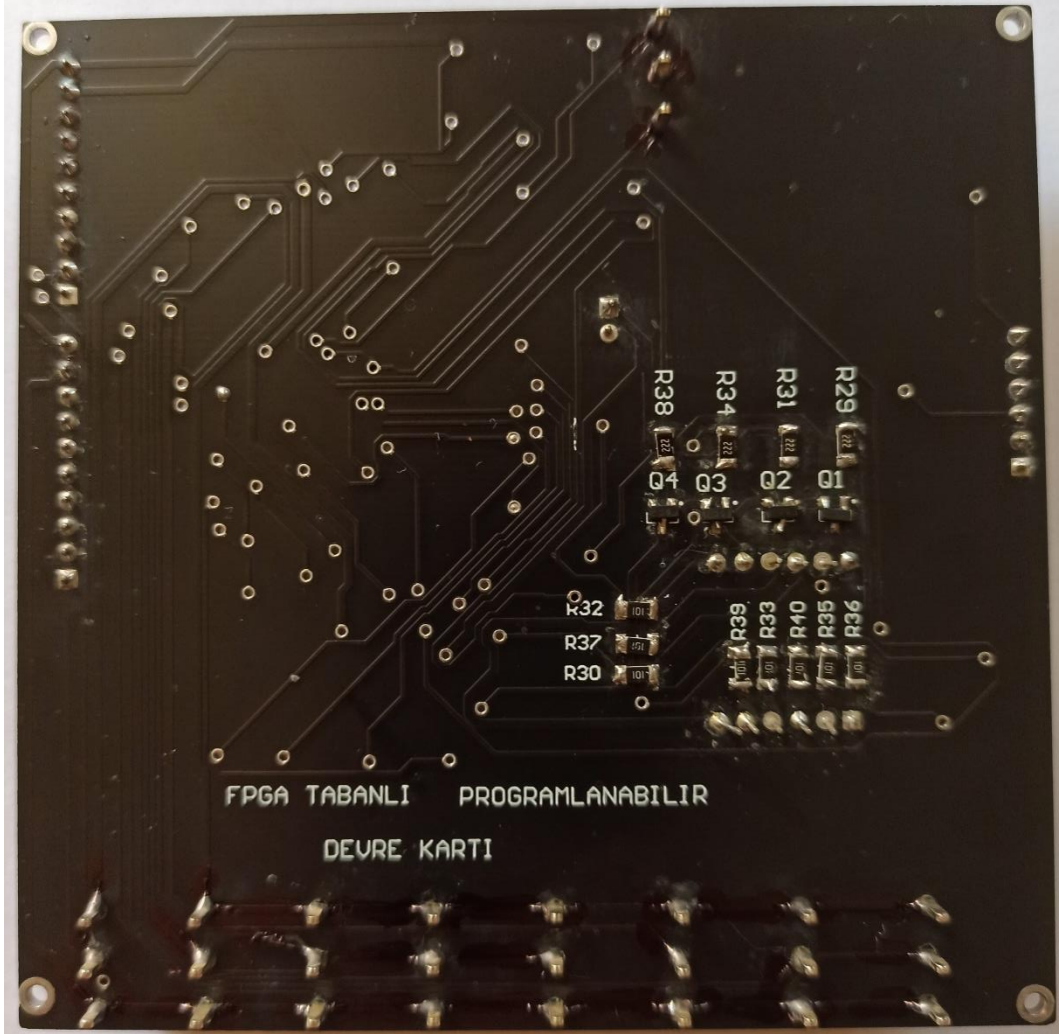
Devrenin prototipi hazır hale getirilmiştir. Prototip devre üzerinde program yüklenerek uygun çıkış değerleri alınmıştır.

Resim 4.1’de devre kartının üretim aşamasından sonraki halinin üstten görünümü verilmiştir.



Resim 4.1 Tasarlanan FPGA devre kartının üstten görünümü.

Resim 4.2’de devre kartının üretim aşamasından sonraki halinin alttan görünümü verilmiştir.



Resim 4.2 Tasarlanan FPGA devre kartının alttan görünümü.

Devrenin prototipinin montaj işlemi yapıldıktan sonra tasarımlar için kullanıma hazır hale getirilmiştir. Uygulama ve geliştirme işlemlerine bundan sonra devre kartı üzerinde bulunan FPGA çipinin programlanması ile devam edilmiştir. Programlama işlemi, Xilinx ISE Design Tools programı kullanılarak JTAG-programmer cihazı bağlantı portları ile gerçekleştirilmiştir.

Devre prototipinin program modu ve deney modu olmak üzere iki modu bulunmaktadır.

VHDL kodlarının çipe yüklenmesi için program modu seçilmektedir. FPGA çipinin programlanması bu modda gerçekleşmektedir.

Programın çipe yüklenmesi tamamlandıktan sonra deney moduna geçilmekte ve I/O pinleri etkinleştirilmektedir. Programlamada Xilinx ISE içerisinde bulunan ISE iMPACT arayüzü kullanılmıştır.

Tasarımımızda FPGA aygıtına yazılımı yüklemek için JTAG arabirimi kullanılmıştır. JTAG arabirimi IEEE 1149.1 Standardını kullandığı için Xilinx ISE programı ile uyumlu çalışmaktadır.

Tasarımda JTAG bağlantı portu üzerindeki pinlerin dizilimi JTAG programmer cihazındaki uygun pinlerle karşılıklı olmasına dikkat edilmiştir. Böylelikle yanlış bir bağlantının önüne geçilmiştir.

4.1.1 Devre Kartı Maliyet Hesabı

Devre kartını oluşturan bileşenlerin birim fiyatları teker teker eklenerek toplam maliyet hesaplanmıştır. Çizelge 4.1’de toplam maliyet hesabı görülmektedir.

Çizelge 4.1 Tasarlanan devre kartına ait toplam maliyet hesabı.

Komponentin Adı	Birim Fiyatı	Adedi	Toplam Fiyatı
100 Ω SMD Direnç	0,08 ₺	13	1,04 ₺
330 Ω SMD Direnç	0,08 ₺	8	0,64 ₺
10 K Ω SMD Direnç	0,08 ₺	15	1,20 ₺
2,2 K Ω SMD Direnç	0,08 ₺	4	0,32 ₺
100nF SMD Kondansatör	0,46 ₺	3	1,38 ₺
4,7 nF SMD Kondansatör	0,45 ₺	4	1,80 ₺
1 μ F SMD Kondansatör	1,93 ₺	2	3,86 ₺
22 μ F SMD Kondansatör	3,34 ₺	2	6,68 ₺
SMD LED Beyaz	0,34 ₺	8	2,72 ₺

Çizelge 4.1 (Devam) Tasarlanan devre kartına ait toplam maliyet hesabı.

SMD LED Mavi	0,34 ₺	1	0,34 ₺
48 MHz Kristal	29,30 ₺	1	29,30 ₺
SMD BC 807	0,30 ₺	4	1,20 ₺
Anahtar	3,50 ₺	9	31,50 ₺
Micro USB	3,17 ₺	1	3,17 ₺
Header	1,40 ₺	3	4,20 ₺
Display	12,76 ₺	1	12,76 ₺
AMS 1117 1.8V	3,37 ₺	1	3,37 ₺
AMS 1117 3.3V	4,18 ₺	1	4,18 ₺
Buton	1,56 ₺	4	6,24 ₺
FPGA Çipi	44,20 ₺	1	44,20 ₺
PCB	25,40 ₺	1	5,46 ₺
TOPLAM MALİYET			185,50 ₺

* Malzemelerin alındığı tarihteki Dolar kuru 13,65 ₺'dir.

4.1.2 Farklı FPGA Geliştirme Kartlarına Ait Fiyat Analizi

Çizelge 4.2'de farklı FPGA geliştirme kartlarına ait fiyat listesi görülmektedir.

Çizelge 4.2 Farklı FPGA geliştirme kartlarına ait maliyet listesi.

FPGA Geliştirme Kartları	Birim Fiyatı
Cmod C2	397,80 ₺
Cmod A7-35T	2.072,73 ₺
Basys 3	3.533,18 ₺
Arty Board A7-35T	3.663,91 ₺
Zybo Z7-10	5.841,32 ₺

* Çizelgedeki fiyatlar alındığında Dolar kuru 17,76 ₺'dir.

Çizelge 4.3'de farklı FPGA geliştirme kartlarına ait donanımsal özellikler belirtilmiştir.

Çizelge 4.3 Farklı FPGA geliştirme kartlarına ait donanımsal özellikler.

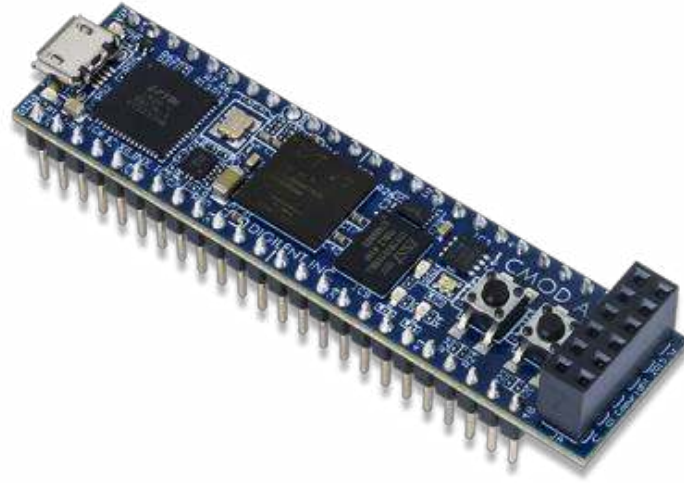
FPGA Geliştirme Kartları	FPGA çipi	Saat Frekansı	Kart Üzerindeki Donanımlar
Cmod C2	XC2C64A-7VQG44	159 Mhz	33 adet I/O pini
Cmod A7-35T	CX7A35T-1CPG236C	464 MHz	USB-JTAG port, 3 adet LED, 2 adet buton, 44 dijital I/O ve 2 analog input pini
Basys 3	XC7A35T1 CPG236C	450 MHz	16 adet anahtar, 16 adet LED, 5 adet buton, 1 adet 4'lü 7-segment display, 4 adet Pmod port, 1 adet VGA çıkış, 1 adet Serial Flash, 1 adet USB-JTAG port
Arty Board A7-35T	XC7A35TI CSG324-1L	450 MHz	4 adet anahtar, 5 adet Buton, 8 adet LED, 4 adet Pmod port, 1 adet Ethernet portu, 1 adet USB-JTAG port
Zybo Z7-10	Xilinx Zynq™-7000	766 MHz	5 adet p-mod port, 8 adet buton, 4 adet anahtar, 3 adet ses portu, 2 adet HDMI portu, 1 adet Ethernet portu, 1 adet Serial flash, 1 adet micro USB, 1 adet sd micro portu

Resim 4.3'te Digilent firmasına ait C-Mod C2 FPGA geliştirme kartı görülmektedir. Bu kart, tasarladığımız FPGA devre kartına donanım olarak en yakın benzerliktedir. Üzerinde sadece FPGA çipi ve regüle devresi bulundurmasına karşılık fiyat olarak tasarladığımız karttan çok daha fazla maliyete sahiptir.



Resim 4.3 C-Mod C2 FPGA geliştirme kartı.

Resim 4.4'de deney bordu üzerinde çalıştırılabilen Cmod A7-35T FPGA geliştirme kartı görülmektedir.



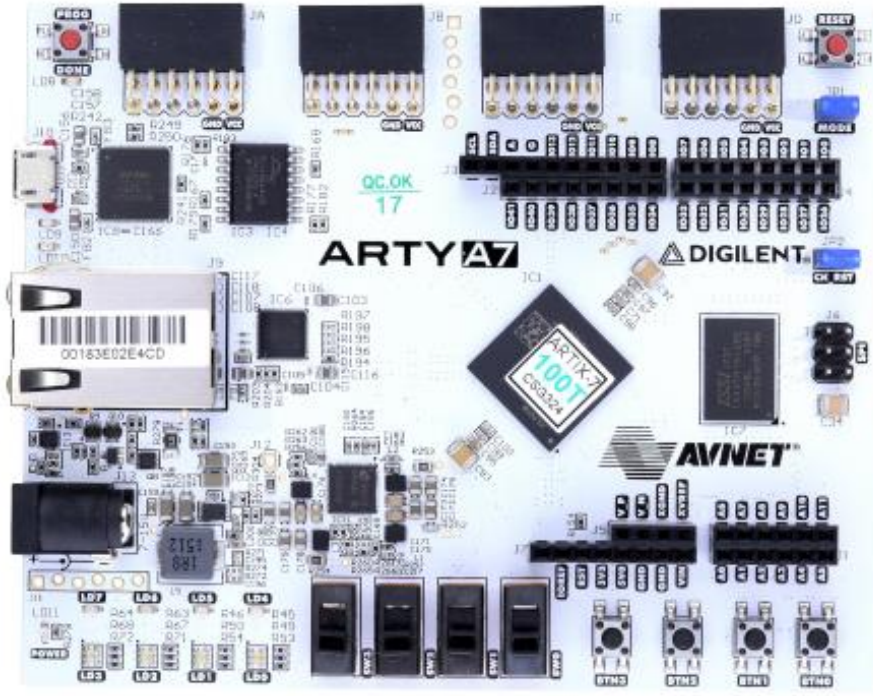
Resim 4.4 Cmod A7-35T FPGA geliştirme kartı.

Şekil 4.5’te üniversitelerde çok sık olarak kullanılan FPGA geliştirme kartlarından Basys3 FPGA geliştirme kartı görülmektedir.



Resim 4.5 Basys3 FPGA geliştirme kartı.

Resim 4.6’da Digilent firmasına ait Arty Board A7-35T FPGA geliştirme kartı görülmektedir.



Resim 4.6 Arty Board A7-35T FPGA geliştirme kartı.

Resim 4.7’de Digilent firmasına ait Zybo Z7-10 FPGA geliştirme kartı görülmektedir.



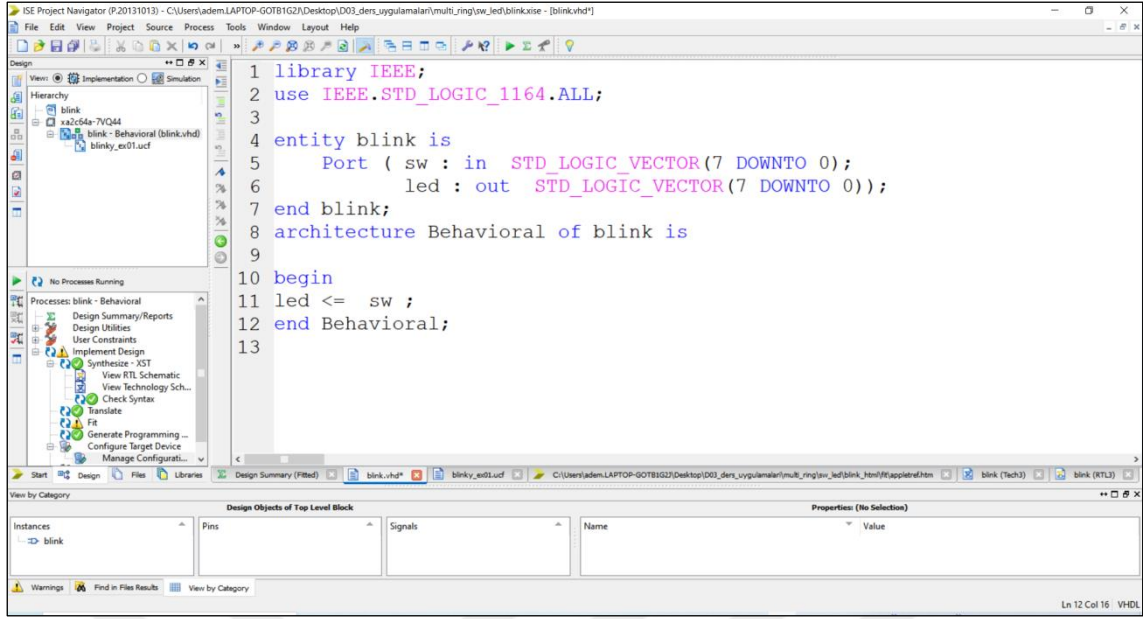
Resim 4.7 Zybo Z7-10 FPGA geliştirme kartı.

4.2 FPGA Geliştirme Kartı Uygulamaları

Bu bölümde tez kapsamında yerli olarak tasarlanan FPGA geliştirme kartı üzerinde sayısal uygulamalar gerçekleştirilmiştir. Gerçekleştirilen tasarımlar öncelikle Xilinx ISE Design Tools programı kullanılarak VHDL dilinde kodlanmıştır. Ardından tasarımın RTL şeması ve teknoloji şeması çıkarılmıştır. Sonraki aşamada FPGA çipine ait pin atamaları gerçekleştirilmiş ve her projeye ait .ucf dosyası oluşturulmuştur. Bu işlemden sonra her projeye ait bitstream dosyası Generate Programming File aracı kullanılarak elde edilmiştir. Bu aşamada tasarımın çalışması için kullanılan Xilinx XC2C64A-7 çipine ait kaynak kullanım bilgileri elde edilmiş ve bu bilgiler sunulmuştur. Son aşamada ise ISE iMPACT aracı kullanılarak elde edilen bitstream dosyası FPGA çipine yüklenmiştir. Yükleme işleminin ardından tasarlanan FPGA geliştirme kartının beklendiği gibi başarılı bir şekilde çalıştığı gözlemlenmiştir. Tasarlanan FPGA geliştirme kartı üzerinde gerçekleştirilen uygulamalara ait görüntüler sunulmuştur.

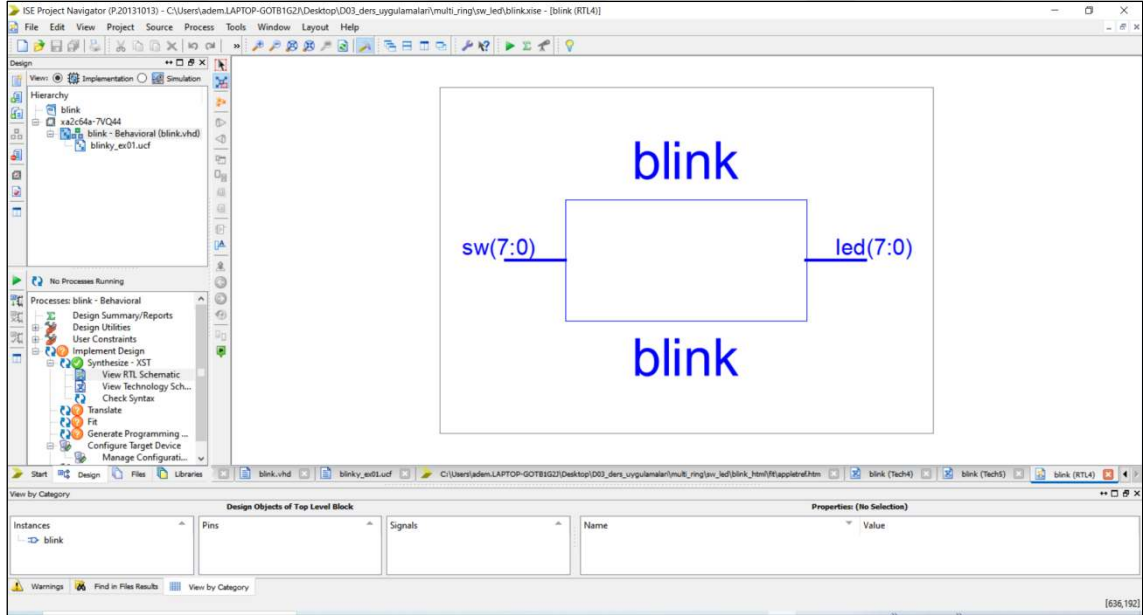
4.2.1 FPGA Geliştirme Kartı LED Yakma Uygulaması

Tez kapsamında yerli olarak tasarlanan FPGA geliştirme kartının test edilebilmesi için kart üzerindeki anahtar (switch) ve LED'ler kullanılarak anahtar ile LED yakma sayısal uygulaması gerçekleştirilmiştir. Gerçekleştirilen tasarım öncelikle Xilinx ISE Design Tools programı kullanılarak VHDL dilinde kodlanmıştır. Şekil 4.1'de tasarıma ait VHDL kodu verilmiştir.

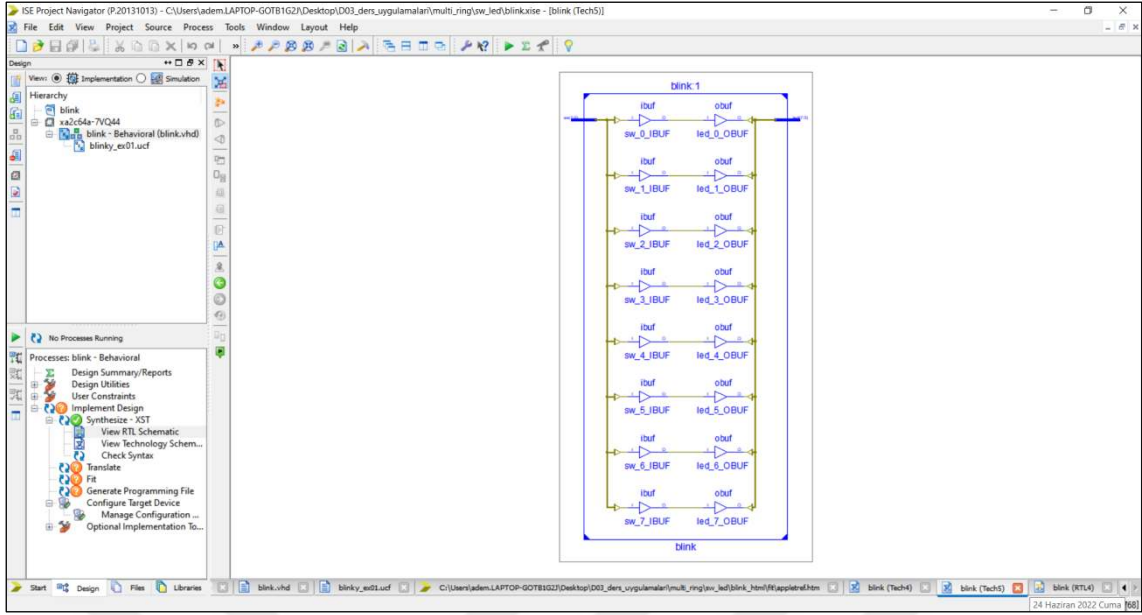


Şekil 4.1 LED yakma sayısal uygulamasına ait VHDL kodu.

Şekil 4.2’de FPGA geliştirme kartında tasarlanan LED yakma uygulamasına ait RTL şeması ve Şekil 4.3’de teknoloji şeması verilmiştir.



Şekil 4.2 LED yakma sayısal uygulamasına ait RTL şeması.



Şekil 4.3 LED yakma sayısal uygulamasına ait teknoloji şeması.

Sonraki aşamada FPGA çipine ait pin atamaları gerçekleştirilmiş ve LED yakma uygulamasına ait .ucf dosyası oluşturulmuş ve ilgili dosya görünümü Şekil 4.4'de verilmiştir.

```

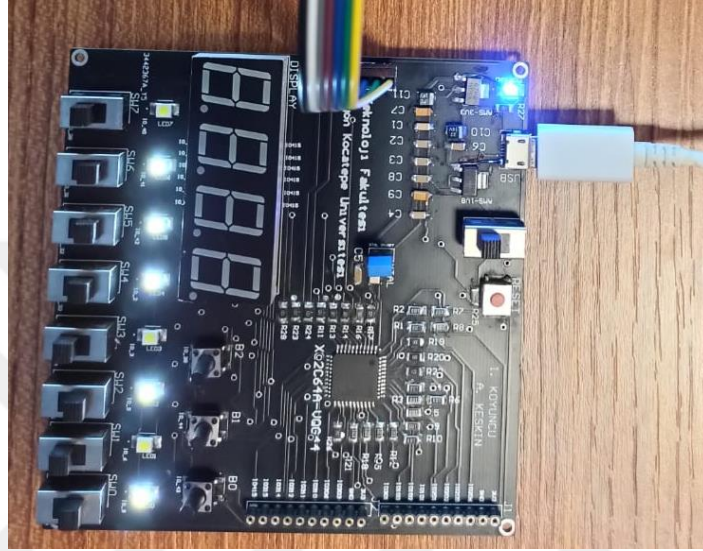
1 #PACE: Start of Constraints generated by PACE
2
3 #PACE: Start of PACE I/O Pin Assignments
4 NET "led[0]" LOC = "8" ;
5 NET "sw[0]" LOC = "39" ;
6 NET "led[1]" LOC = "6" ;
7 NET "sw[1]" LOC = "37" ;
8 NET "led[2]" LOC = "5" ;
9 NET "sw[2]" LOC = "36" ;
10 NET "led[3]" LOC = "3" ;
11 NET "sw[3]" LOC = "34" ;
12 NET "led[4]" LOC = "2" ;
13 NET "sw[4]" LOC = "33" ;
14 NET "led[5]" LOC = "42" ;
15 NET "sw[5]" LOC = "32" ;
16 NET "led[6]" LOC = "41" ;
17 NET "sw[6]" LOC = "31" ;
18 NET "led[7]" LOC = "40" ;
19 NET "sw[7]" LOC = "28" ;
20
21 #PACE: Start of PACE Area Constraints
22

```

Şekil 4.4 LED yakma sayısal uygulamasına ait .ucf dosyası kodu.

Bu işlemten sonra LED yakma uygulamasına ait bitstream dosyası Generate

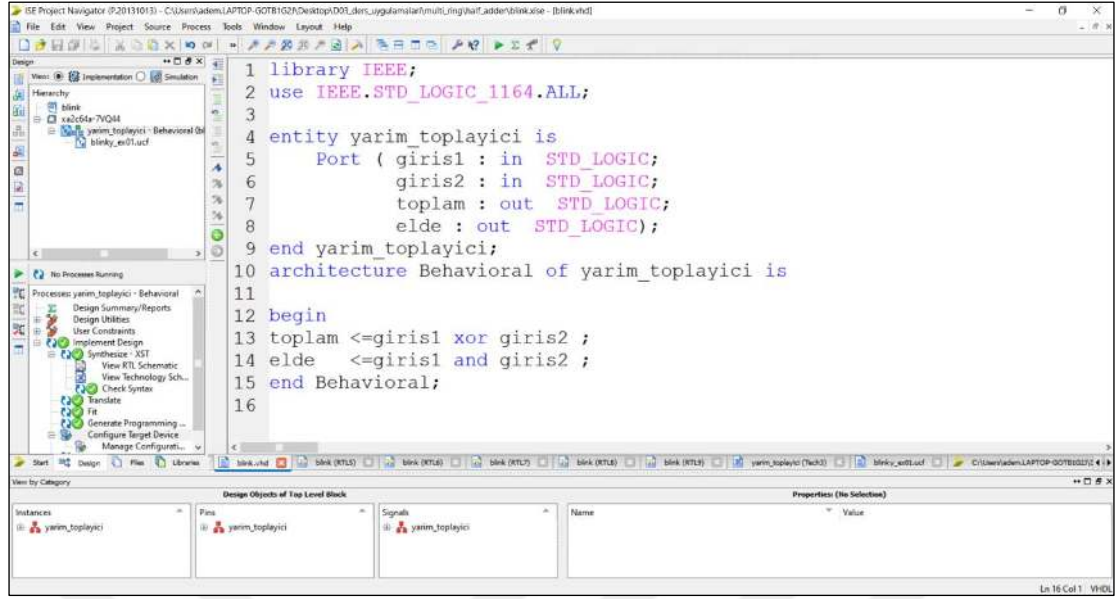
Programming File aracı kullanılarak elde edilmiştir. ISE iMPACT aracı kullanılarak LED yakma uygulamasında elde edilen bitstream dosyası FPGA çipine yüklenmiştir. Yükleme işleminin ardından tasarlanan FPGA geliştirme kartının beklendiği biçimde başarılı bir şekilde çalıştığı gözlemlenmiştir. Tasarlanan FPGA geliştirme kartı üzerinde gerçekleştirilen LED yakma uygulamasına ait görüntü Resim 4.8’de sunulmuştur.



Resim 4.8 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen LED yakma uygulaması.

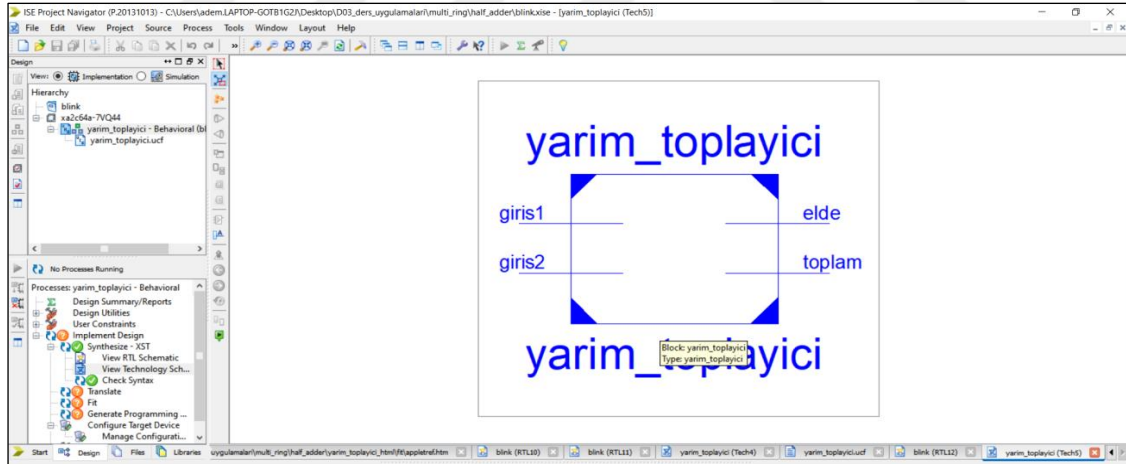
4.2.2 FPGA Geliştirme Kartı Yarım Toplayıcı Uygulaması

Tez kapsamında yerli olarak tasarlanan FPGA geliştirme kartının test edilebilmesi için kart üzerindeki anahtar (switch) ve LED’ler kullanılarak yarım toplayıcı sayısal uygulaması gerçekleştirilmiştir. Gerçekleştirilen tasarım öncelikle Xilinx ISE Design Tools programı kullanılarak VHDL dilinde kodlanmıştır. Tasarıma ait VHDL kodu Şekil 4.5’te verilmiştir.

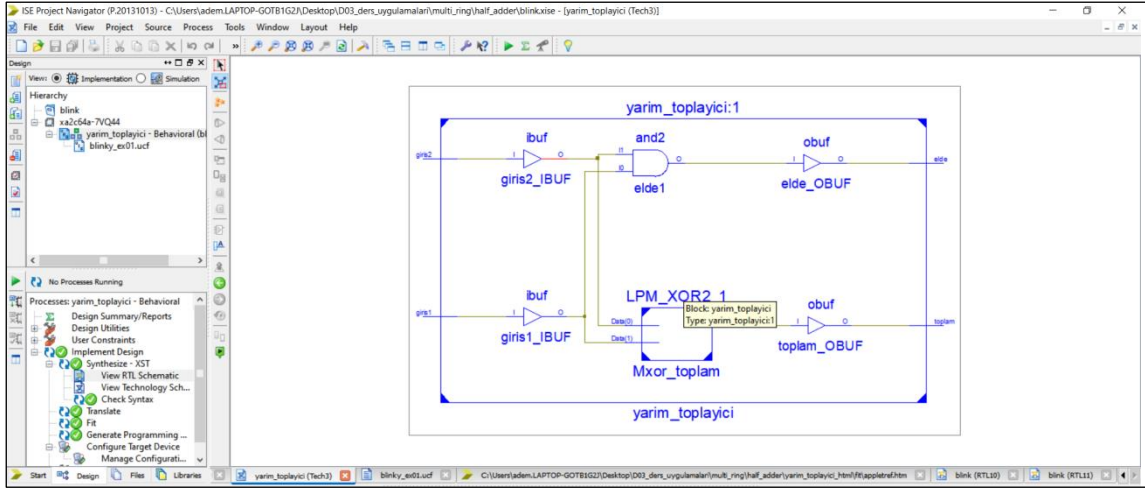


Şekil 4.5 Yarım toplayıcı sayısal uygulamasına ait VHDL kodu.

Şekil 4.6’da FPGA geliştirme kartında tasarlanan yarım toplayıcı uygulamasına ait RTL şeması ve Şekil 4.7’de teknoloji şeması verilmiştir.



Şekil 4.6 Yarım toplayıcı uygulamasına ait RTL şeması.



Şekil 4.7 Yarım toplayıcı sayısal uygulamasına ait teknoloji şeması.

Sonraki aşamada FPGA çipine ait pin atamaları gerçekleştirilmiş ve yarım toplayıcı uygulamasına ait .ucf dosyası oluşturulmuştur. Şekil 4.8’de .ucf dosyasının kodu görülmektedir.

```

1 #PACE: Start of Constraints generated by PACE
2
3 #PACE: Start of PACE I/O Pin Assignments
4 NET "giris1" LOC = "39" ;
5 NET "giris2" LOC = "37" ;
6 NET "toplam" LOC = "8" ;
7 NET "elde" LOC = "6" ;
8
9
10 #PACE: Start of PACE Area Constraints
11
12 #PACE: Start of PACE Prohibit Constraints
13
14 #PACE: End of Constraints generated by PACE
15

```

Şekil 4.8 Yarım toplayıcı sayısal uygulamasına ait .ucf dosyası kodu.

Şekil 4.9’da yarım toplayıcı devresinin Xilinx XC2C64A-7 çipi üzerinde gerçekleştirildiğinde FPGA çipine ait kaynak kullanım bilgileri verilmiştir.



CPLD Reports



Fitter Report
[Summary](#)
[Errors/Warnings](#)
[Logic](#)
[Inputs](#)
[Function Blocks](#)
[Equations](#)
[Pin List](#)
[Compiler Options](#)
[Text Report](#)
[Help](#)

Fitter Report
Timing Report

Summary

Design Name	yarim_toplayici
Fitting Status	Successful
Software Version	P.20131013
Device Used	XA2C64A-7-VQ44
Date	6-24-2022, 4:26PM

RESOURCES SUMMARY

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
8/64 (13%)	3/224 (2%)	0/64 (0%)	10/33 (31%)	2/160 (2%)

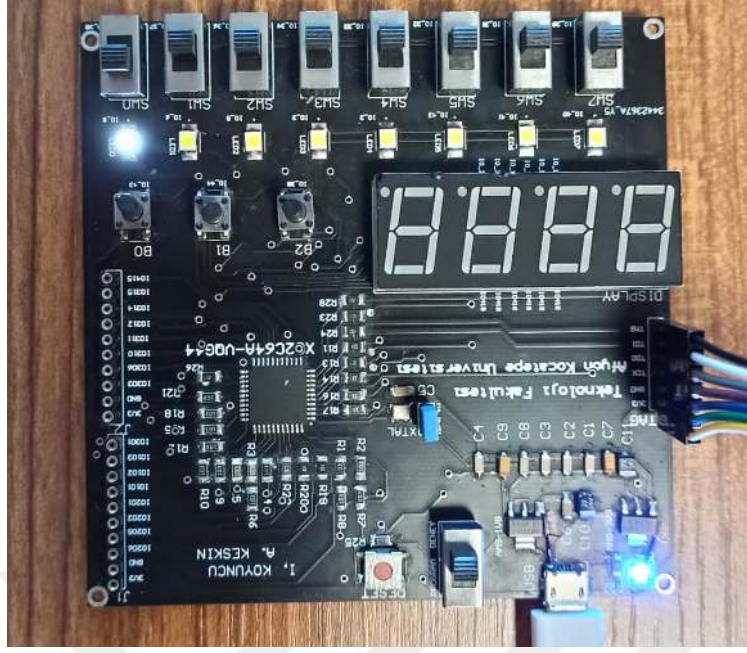
PIN RESOURCES

Signal Type	Required	Mapped	Pin Type	Used	Total
Input	2	2	I/O	10	26
Output	8	8	GCK/IO	0	3
Bidirectional	0	0	GTS/IO	0	4
GCK	0	0	GSR/IO	0	1
GTS	0	0	DGE/IO	0	-1
GSR	0	0			

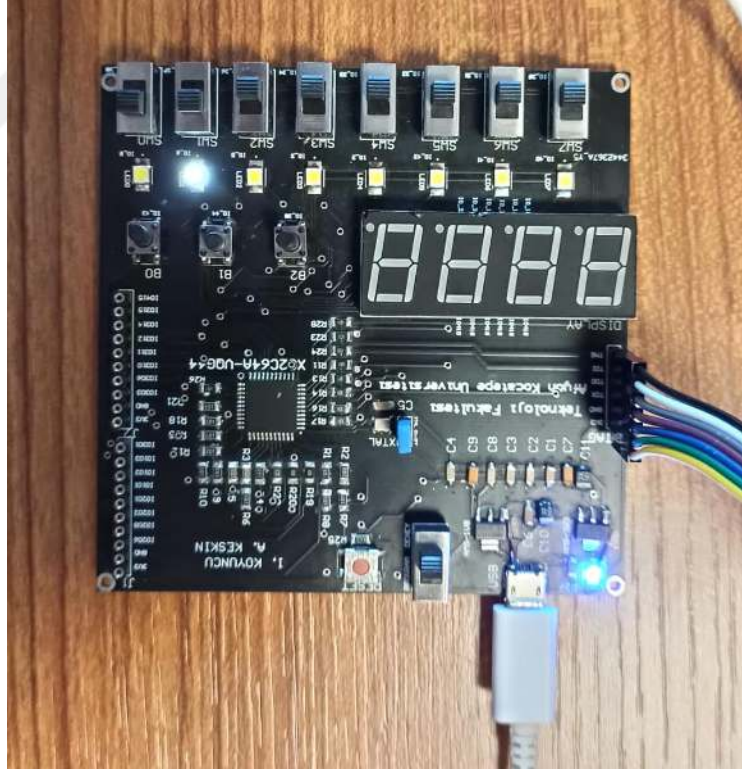
Equation Display Style

Şekil 4.9 Yarım toplayıcı devresinin Xilinx XC2C64A-7 FPGA çipi kaynak kullanım bilgileri.

Bu işlemten sonra yarım toplayıcı uygulamasına ait bitstream dosyası Generate Programming File aracı kullanılarak elde edilmiştir. ISE iMPACT aracı kullanılarak LED yakma uygulamasında elde edilen bitstream dosyası FPGA çipine yüklenmiştir. Yükleme işleminin ardından tasarlanan FPGA geliştirme kartının beklendiği biçimde başarılı bir şekilde çalıştığı gözlemlenmiştir. Tasarlanan FPGA geliştirme kartı üzerinde gerçekleştirilen uygulamalara ait görüntü Resim 4.9'da ve Resim 4.10'da sunulmuştur.



Resim 4.9 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yarım toplayıcı uygulaması (giriş1=1 giriş2=0 durumu).



Resim 4.10 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yarım toplayıcı uygulaması (giriş1=1 giriş2=1 durumu).

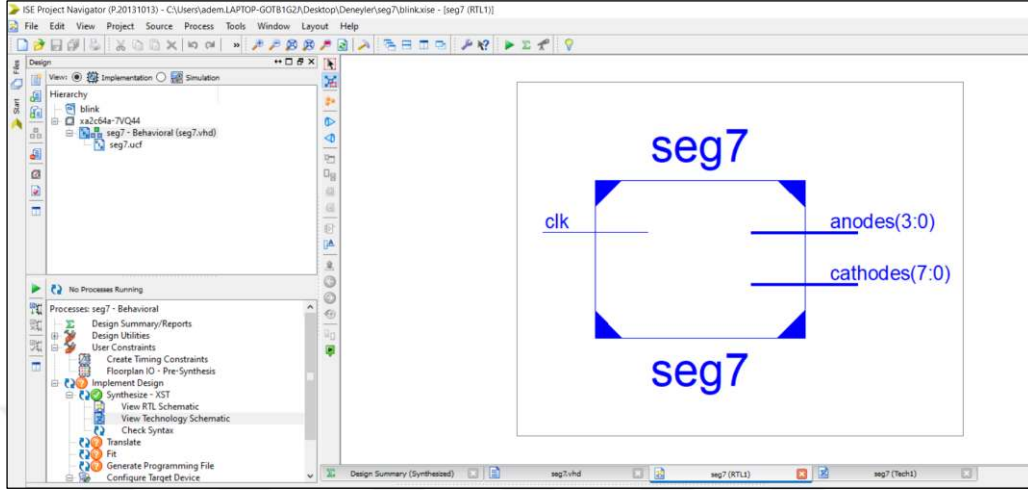
4.2.3 FPGA Geliştirme Kartı Üzerinde Yukarı Sayıcı Uygulaması

Tez kapsamında yerli olarak tasarlanan FPGA geliştirme kartının test edilebilmesi için kart üzerindeki dörtlü yedi segment display kullanılarak yukarı sayıcı uygulaması gerçekleştirilmiştir. Gerçekleştirilen tasarım öncelikle Xilinx ISE Design Tools programı kullanılarak VHDL dilinde kodlanmıştır. Şekil 4.10'da tasarıma ait VHDL kodu verilmiştir.

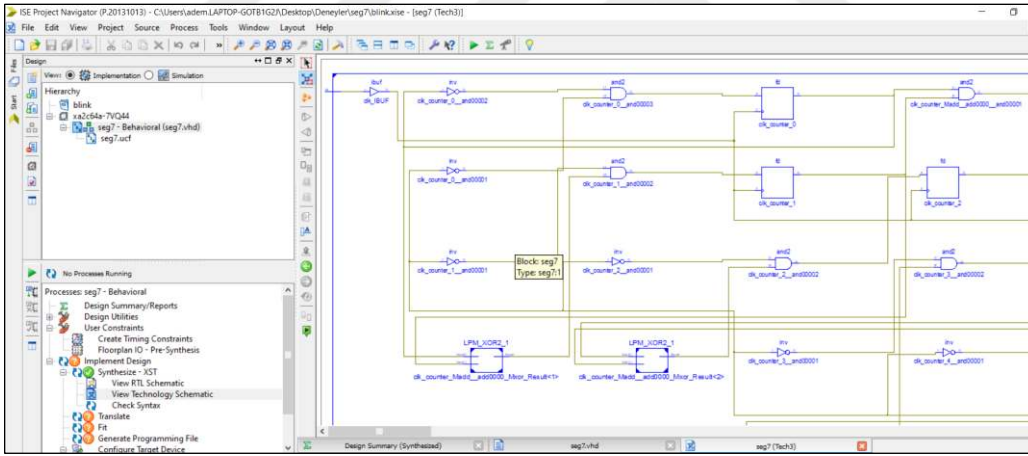
```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  entity seg7 is
4      Port ( clk : in  STD_LOGIC;
5            anodes : out  STD_LOGIC_VECTOR (3 downto 0);
6            cathodes,led : out  STD_LOGIC_VECTOR (7 downto 0));
7  end seg7;
8  architecture Behavioral of seg7 is
9  signal clk_counter : natural range 0 to 48000000 :=0 ;
10 signal counter : natural range 0 to 10 :=0;
11 begin
12     process(clk)
13     begin
14         if rising_edge(clk) then
15             clk_counter <= clk_counter + 1;
16             if clk_counter >= 48000000 then
17                 clk_counter <= 0;
18                 counter <= counter +1;
19                 if counter>9 then
20                     counter <=0;
21                 end if; end if; end if;     end process;
22     process(counter)
23     begin
24         case counter is
25             when 0 => cathodes <= "11000000";    --0
26             when 1 => cathodes <= "11111001";    --1
27             when 2 => cathodes <= "10100100";    --2
28             when 3 => cathodes <= "10110000";    --3
29             when 4 => cathodes <= "10011001";    --4
30             when 5 => cathodes <= "10010010";    --5
31             when 6 => cathodes <= "10000010";    --6
32             when 7 => cathodes <= "11111000";    --7
33             when 8 => cathodes <= "10000000";    --8
34             when 9 => cathodes <= "10010000";    --9
35             when others => cathodes <= "11111111";
36         end case;     end process;
37     anodes <= "0000";    led<=x"00";
38 end Behavioral;
```

Şekil 4.10 Yukarı sayıcı uygulamasına ait VHDL kodu.

Şekil 4.11’de FPGA geliştirme kartında tasarlanan yukarı sayıcı uygulamasına ait RTL şeması ve Şekil 4.12’de teknoloji şeması verilmiştir.

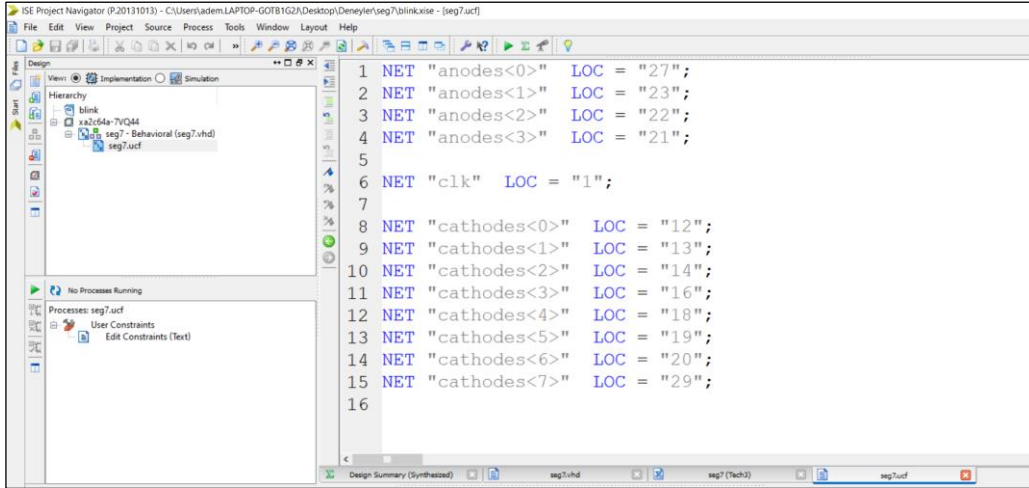


Şekil 4.11 Yukarı sayıcı uygulamasına ait RTL şeması.



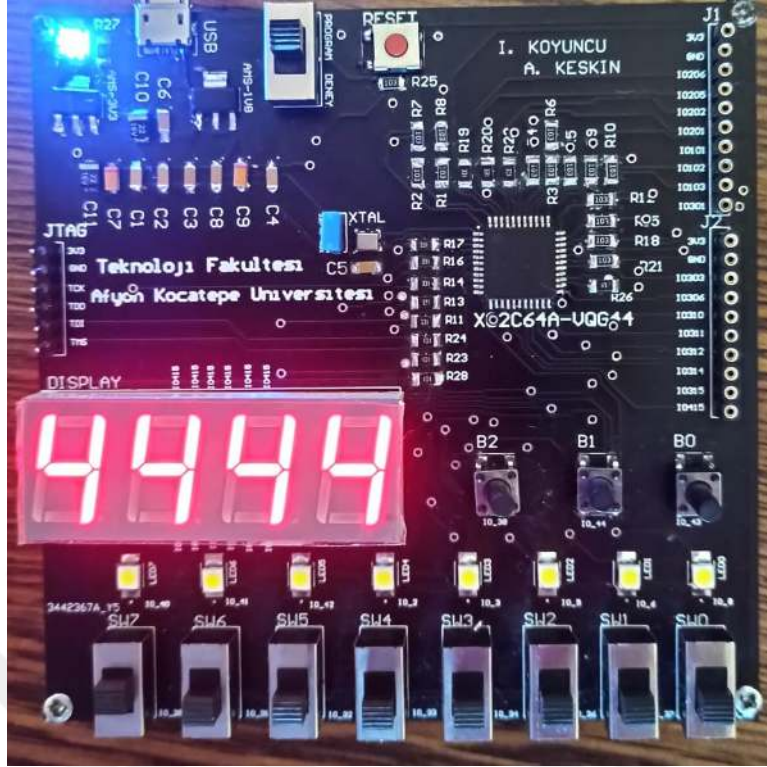
Şekil 4.12 Yukarı sayıcı uygulamasına ait teknoloji şeması.

Sonraki aşamada FPGA çipine ait pin atamaları gerçekleştirilmiş ve yukarı sayıcı uygulamasına ait .ucf dosyası oluşturulmuştur. Şekil 4.13’te .ucf dosyasının kodu görülmektedir.

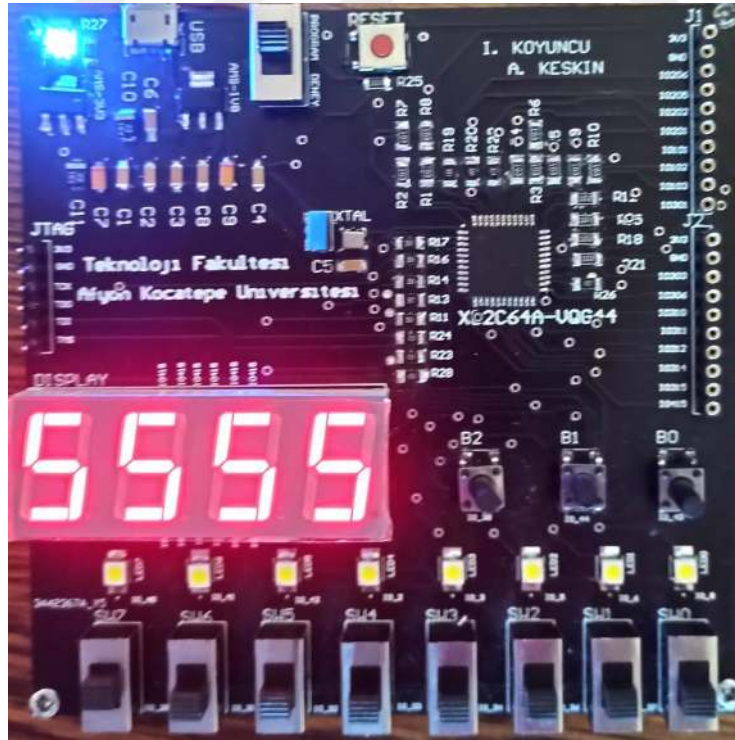


Şekil 4.13 Yukarı sayıcı uygulamasına ait .ucf dosyası kodu.

Bu işlemden sonra yukarı sayıcı uygulamasına ait bitstream dosyası Generate Programming File aracı kullanılarak elde edilmiştir. ISE Impact aracı kullanılarak yukarı sayıcı uygulamasında elde edilen bitstream dosyası FPGA çipine yüklenmiştir. Yükleme işleminin ardından tasarlanan FPGA geliştirme kartının istenilen biçimde başarılı bir şekilde çalıştığı gözlemlenmiştir. Tasarlanan FPGA geliştirme kartı üzerinde gerçekleştirilen uygulamalara ait görüntü Resim 4.11’de ve Resim 4.12’de sunulmuştur.



Resim 4.11 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yukarı sayıcı uygulaması (örnek durum1).



Resim 4.12 Tasarlanan FPGA devre kartı üzerinde gerçekleştirilen yukarı sayıcı uygulaması (örnek durum2).

5. TARTIŞMA ve SONUÇ

FPGA çipleri tekrar tekrar programlanabilme, yüksek performans, hızlı ilk üretim, paralel sinyal işleme ve düşük güç tüketimi gibi özelliklere sahip olmasından dolayı ASIC, CPU ve GPU gibi diğer sayısal platformlara göre oldukça önemli avantajları üstünde barındırmaktadırlar. Bunun sonucu olarak savunma sanayi, kriptoloji, görüntü ve ses işleme, yapay zekâ, uydu ve radar haberleşmesi, tüketici elektroniği, tıp elektroniği gibi birçok alanda yaygın bir şekilde kullanılmaktadır.

Günümüzde farklı sayısal uygulamalar için geliştirilmiş birçok devre kartı tasarımları bulunmaktadır. Bu tasarımlar ticari ortamlarda veya akademik çalışmalarda yerini almaktadır. Kullanılan sayısal platformlar, FPGA tabanlı sistemlere göre hız ve işlevsellik açısından çok yavaş kalmaktadır. Bu durum artık sayısal tasarımların FPGA tabanlı yapılmasını zorunlu hale getirmektedir.

Yüksek teknoloji içeren FPGA tabanlı sistemlerin yerli olmaması, maliyeti olumsuz yönde etkilemektedir. Aynı zamanda kullanımda olan FPGA devre kartlarının üzerinde, genel uygulamalarda gerek duyulmayan donanımların bulunması da maliyeti arttırmaktadır.

Sunulan tez çalışması ile mühendislik alanındaki temel sayısal tasarımların gerçek zamanlı olarak FPGA tabanlı uygulanabilmesi için gerekli donanıma sahip yerli bir FPGA devre kartı tasarlanmıştır. FPGA geliştirme kartını daha uygun maliyet ile üretebilmek için kart üzerindeki donanımlar temel seviyede tutulmuştur. Geliştirme kartına ait PCB'yi oluşturmak için Altium PCB Design Software & Tools programından yararlanılmıştır. Kartın test edilebilmesi amacı ile Xilinx ISE Design Tools programı ile örnek sayısal sistem tasarım projeleri VHDL dilinde kodlanmıştır. Örnek sayısal sistem tasarımların Place-Route işleminin ardından elde edilen bitstream dosyaları JTAG arayüzü kullanılarak FPGA çipine yüklenmiştir. Yükleme işleminin ardından örnek sayısal sistem tasarımlarının FPGA geliştirme kartı üzerinde amaçlanan şekilde çalıştığı gözlemlenmiş ve örnek uygulamaların sonuçları çalışmada sunulmuştur.

Bu tez çalışmasında sunulan yerli bir FPGA geliştirme kartı tasarımı ile hali hazırda çok yüksek maliyetler ile yurtdışından temin edilerek kullanılan FPGA geliştirme kartlarına alternatif olarak çok daha düşük maliyet ile mühendislik çalışmalarında temel uygulamalar için kullanılabilecek yerli bir FPGA geliştirme kartı başarılı bir şekilde gerçekleştirilmiştir.

Gelecekte yapılacak çalışmalarda, bu tez çalışmasındaki FPGA kart tasarımı örnek alınarak daha gelişmiş sayısal tasarımlar oluşturulabilir. Gerçekleştirilen tasarımlar seri üretime alınarak hem yurt içi hem de yurt dışı pazarında yerini alabilir. Böylelikle hem ülke ekonomisinin gelişmesine hem de yerli teknolojilerin gelişmesine ciddi katkılar sağlanabilir.

6. KAYNAKLAR

- Abdullah, H. T., Younis, B. M., 2019, FPGA Based Bone Fracture Detector, IOP Conference Series: Materials Science and Engineering, 745, Article number 012052.
- Agarwal, E., Levy, M., 2007, The kill rule for multicore, In Proc. IEEE/ACM Design Automation Conf.(DAC), San Diego, CA, USA, 750-753.
- Akkoyun, F., 2011, FPGA Tabanlı Dokunmatik Ekranlı Kullanıcı Arabirimi Tasarlanması ve Gerçekleştirilmesi. Kocaeli Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, Kocaeli.
- Akpolat, A. N., 2015, FPGA Tabanlı Nesne Algılama, Yüksek Lisans Tezi, Fırat Üniversitesi Fen Bilimleri Enstitüsü.
- Alçın, M., Koyuncu, I., Tuna, M., Varan, M., Pehlivan, I., 2019, A novel high speed Artificial Neural Network-based chaotic True Random Number Generator on Field Programmable Gate Array. International Journal of Circuit Theory and Applications, 47, 365-378.
- Analog Devices Inc., 2011, 2.5 V to 5.5 V Octal Voltage Output 8-/10-/12-Bit DACs in 16-Lead TSSOP, AD5308/AD5318/AD5328. D02812-0-4/11Rev. F. Norwood, USA.
- Az, I., 2014, Fpga Tabanlı Şifreli Kablosuz Haberleşme Sistemi, Yüksek Lisans Tezi, İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü.
- Bakiri, M., Guyeux, C., Couchot, J. F., Oudjida, A. K., 2018, Survey on hardware implementation of random number generators on FPGA. Theory and experimental analyses. Computer Science Review, 27, 135-153.
- Bargsten, V., de Gea Fernández, J., 2020, Distributed computation and control of robot motion dynamics on FPGAs, International Journal of SN Applied Sciences, 2, Article number 1239.

- Çelik, A. R., 2013, Görüntü İşleme Algoritmalarının FPGA Donanımı Üzerinde Gerçeklenmesi, Yüksek Lisans Tezi, Kahramanmaraş Sütçü İmam Üniversitesi, Fen Bilimleri Enstitüsü, Kahramanmaraş, 338755.
- Çetin, O., 2014, Yapay sinir ağlarının uyarlanabilir donanımsal yapılarda gerçekleştirilmesi, Doktora Tezi, Sakarya Üniversitesi, Fen Bilimleri Enstitüsü, Sakarya.
- Diao, L., Tang, J., Loh, P. C., Yin, S., Wang, L., Liu, Z., 2018, An efficient DSP–FPGA-based implementation of hybrid PWM for electric rail traction induction motor control. IEEE Transactions on Power Electronics, 33, 3276-3288.
- Dong, E., Yuan, M., Du, S., Chen, Z., 2019, A new class of Hamiltonian conservative chaotic systems with multistability and design of pseudo-random number generator. Applied Mathematical Modelling, 73, 40-71.
- Droz, O. V., Kapulin, D. V., 2018, The device of secure data transmission based on Magma crypto algorithm with implementation on FPGA. In 2018 Moscow Workshop on Electronic and Networking Technologies, 1-5.
- Ergün, U., Sayar, A., 2014, Fonksiyonel Programlama Dilleri ile Paralel Programlama, Niğde Üniversitesi Mühendislik Bilimleri Dergisi, 3, 1-15.
- Gürsoy, H., 2016, FPGA tabanlı otomatik kontrol sistemleri geliştirme. Yüksek Lisans Tezi, Hacettepe Üniversitesi, Fen Bilimleri Enstitüsü, Ankara.
- İsmail, S. M., Said, L. A., Rezk, A. A., Radwan, A. G., Madian, A. H., Abu-Elyazeed, M. F., vd., 2017, Generalized fractional logistic map encryption system based on FPGA. AEU-International Journal of Electronics and Communications, 80, 114-126.
- Koyuncu, İ., 2008, Grafik Sistemleri İçin FPGA Cihazlarında Çalışmak Üzere Tasarlanmış Matris Çarpım Motoru, Yüksek Lisans Tezi, Düzce Üniversitesi Fen Bilimleri Enstitüsü.
- Koyuncu, İ., Ozcerit, A. T., Pehlivan, I., 2014, Implementation of FPGA-based real time novel chaotic oscillator. Nonlinear Dynamics, 77, 49-59.

- Koyuncu, İ., Çetin, Ö., Katırcıoğlu, F., Tuna, M., 2015, Edge dedection application with FPGA based Sobel operator. In 2015 23rd Signal Processing and Communications Applications Conference, 1829-1832.
- Kösten, M., Çavuşlu, M., 2015, VHDL ile Sayısal Tasarım ve FPGA Uygulamaları, Kodlab Yayıncılık, İstanbul.
- Kuon, I., Tessier, R., Rose, J., 2007, FPGA architecture: survey and challenges. Foundations and Trends in Electr. Design Autom., 2, 135–253.
- Libano, F., Rech, P., Tambara, L., Tonfat, J., Kastensmidt, F., 2018, On the reliability of linear regression and pattern recognition feedforward artificial neural networks in FPGAs. IEEE Transactions on Nuclear Science, 65, 288-295.
- Linear Technology Corporation, 2002, 800mA Low Dropout Positive Regulators Adjustable and Fixed 2.85V, 3.3V, 5V. LT 0410, Rev D. USA.
- Lortoğlu, M., 2019, FPGA tabanlı yapay sinir ağı kullanılarak buğday türlerinin sınıflandırılması, KTO Karatay Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, Konya.
- Mohammed, R. K., Abdullah, H. A., 2020, Implementation of digital and analog modulation systems using FPGA, Analog Modul Indonesian Journal of Electrical Engineering and Computer Science, 18, 485-493.
- Moore, G. E., 1998, "Cramming more components onto integrated circuits", Proceedings of the IEEE, 86, 82-85.
- Munden, R., 2005, ASIC and FPGA verification: a guide to component modeling. Morgan Kaufmann Publ., Elsevier, San Francisco, USA.
- Özgür, M., 2014, Radar sinyal işleme algoritmalarının FPGA ve GPU üzerinde uygulanmasının başarımlı analizi, Yüksek Lisans Tezi, TOBB Ekonomi ve Teknoloji Üniversitesi Fen Bilimleri Enstitüsü.
- Özkan, İ. A., Sarıtaş, İ., Herdem, S., 2011, Manyetik filtreler için FPGA tabanlı bulanık kontrolör tasarımı, Selçuk Teknik Dergisi, 10, 271-284.
- Özpolat, E., 2017, FPGA Tabanlı Fır Filtre Tasarımı, Fırat Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, Elazığ.

- Rajagopalan, S., Rethinam, S., Deepika, A. N., Priyadarshini, A., Jyothirmai, M., Rengarajan, A., 2017, Design of boolean chaotic oscillator using CMOS technology for true random number generation. In 2017 International conference on Microelectronic Devices, Circuits and Systems (ICMDCS), 1-6.
- Rodríguez-Orozco, E., García-Guerrero, E., Inzunza-Gonzalez, E., López-Bonilla, O., Flores-Vergara, A., Cárdenas-Valdez, J., vd., 2018, FPGA-based chaotic cryptosystem by using voice recognition as access key. Electronics, 7, 414.
- Sahin, I., 2010, A 32-bit floating-point module design for 3D graphic transformations. Sci. Research and Ess., 5, 3070–3081.
- Sandersand, J., Kandrot, E., 2010, CUDA by Example: An Introduction to General Purpose GPU Programming, NVIDIA Corporation, Boston, ISBN 978-0-13-138768-3.
- Sarıtaş, E., Karataş, S., 2013, Her Yönüyle FPGA ve VHDL, Palme Yayıncılık, Ankara.
- Savran, İ., 2017, Donanım Tanımlama Dili VHDL ve FPGA Uygulamaları, Papatya Yayıncılık Eğitim, İstanbul.
- Sass, R., Schmidt, A.W.G., 2010, Embedded Systems Design with Platform FPGAs: Principles and Practices, Morgan Kaufmann, Amsterdam, Hollanda.
- Schafer, B. C., Takenaka, T., Wakabayashi, K., 2009, Adaptive simulated annealer for high level synthesis design space exploration. In 2009 International Symposium on VLSI Design, Automation and Test, 106-109.
- Silahtar, O., 2018, FPGA Tabanlı Kaos Senkronizasyonu İçin Denetleyici Tasarımı. Yüksek Lisans Tezi, Van Yüzüncü Yıl Üniversitesi, Fen Bilimleri Enstitüsü, Van.
- Sinha, A. Lotia, P., 2015, A study on FPGA based digital modulators. International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering, 4, 1935-1942.
- Şahin, İ., Gloster, C., Doss, C., 2000, Feasibility of floating-point arithmetic in reconfigurable computing systems. Military and Aerospace Applications of Programmable Devices and Techn. Conf., Washington DC.

- Şahin, İ., Koyuncu, İ., 2011, A new module design for 3D graphic transformations using generated floating-point core units. I. Rev. on Modelling and Sim., 4, 691–698.
- Şeker, H. İ., 2019, IQ-Math sayı standartlarında FPGA-tabanlı kaotik osilatörün tasarımı ve gerçekleştirilmesi, Afyon Kocatepe Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, Afyon.
- Şeker, H. İ., Tuna, M., Koyuncu, İ., 2018, Design and Implementation of FPGA-Based Mexican Hat Wavelet for Real-Time Wavelet Transforming. 3rd International Conference on Engineering Technology and Applied Sciences, in (ICETAS), Skopje-Macedonia, 168-173.
- Taşçı, M., 2011, FPGA Kontrollü Robotik Göz. Yüksek Lisans Tezi, Balıkesir Üniversitesi, Fen Bilimleri Üniversitesi, Balıkesir.
- Tengilimoğlu, B. Bazlamaççı, C. F., 2014, Partial reconfiguration on a real-time target detection and tracking system. In 2014 22nd Signal Processing and Communications Applications Conference, 1130-1133.
- Texas Instruments, 2015, ADC128S022 8-Channel, 50 kSPS to 200 kSPS, 12-Bit A/D Converter. SNAS334F. Dallas, Texas, USA.
- Thomas, D.E., Moorby P.R., 2002, Verilog Donanım Tanımlama Dili, Kluwer Akademik Yayıncılık, US.
- Tlelo-Cuautle, E., Guillén-Fernández, O., de Jesus Rangel-Magdaleno, J., Melendez-Cano, A., Nuñez-Perez, J. C., de la Fraga, L. G., 2019, FPGA Implementation of Chaotic Oscillators, Their Synchronization, and Application to Secure Communications. In Re.
- Tuntas, R., 2015, The Modeling and Hardware Implementation of Semiconductor Circuit Elements by Using ANN and FPGA, Acta Physica Polonica Series a, 128, 78-81.
- Xilinx, 2003, Platform Flash In-System Programmable Configuration PROMs. DS123(v2.1), USA.

Yılmaz, N., 2008, Alan Programlamalı Kapı Dizileri (FPGA) Üzerinde Bir YSA'nın Tasarlanması ve Donanım Olarak Gerçekleştirilmesi, Selçuk Üniversitesi, Fen Bilimleri Enstitüsü, Yüksek Lisans Tezi, Konya.

Yılmaz, C., Koyuncu, I., Alçın, M., Tuna, M., 2019, Artificial Neural Networks based thermodynamic and economic analysis of a hydrogen production system assisted by geothermal energy on Field Programmable Gate Array, International Journal of Hydrogen Energy, 44, 17443-17459.

İnternet Kaynakları

- 1- <http://github.com>, 24.11.2020
- 2- <http://tr.wikipedia.org>, 24.11.2020
- 3- http://labhcurien.univstetienne.fr/cryptarchi/HECTOR_TRNG_designs, 15.01.2021
- 4- <https://numato.com/kb/cpld-vs-fpga-differences-one-use/>, 08.10.2020
- 5- <https://www.elprocus.com/complex-programmable-logic-device-cpld-architecture-applications/>, 08.10.2020
- 6- <https://www.xilinx.com/products/boards-and-kits/device-family/nav-artix-7.html/>, 23.06.2022
- 7- http://www.xilinx.com/publications/prod_mktg/zynq7000/Zynq-7000-combined-product-table.pdf, 09.06.2021
- 8- <https://zhuanlan.zhihu.com/p/40964886>, 05.07.2022
- 9- http://docs.nvidia.com/cuda/pdf/CUDA_C_Programming_Guide.pdf, 06.07.2022



XC2C64A CoolRunner-II CPLD

DS311 (v2.3) November 19, 2008

Product Specification

Features

- Optimized for 1.8V systems
 - As fast as 4.6 ns pin-to-pin logic delays
 - As low as 15 μ A quiescent current
- Industry's best 0.18 micron CMOS CPLD
 - Optimized architecture for effective logic synthesis
 - Multi-voltage I/O operation — 1.5V to 3.3V
- Available in multiple package options
 - 44-pin VQFP with 33 user I/Os
 - 48-land QFN with 37 user I/Os
 - 56-ball CP BGA with 45 user I/Os
 - 100-pin VQFP with 64 user I/Os
 - Pb-free available for all packages
- Advanced system features
 - Fastest in system programming
 - 1.8V ISP using IEEE 1532 (JTAG) interface
 - IEEE1149.1 JTAG Boundary Scan Test
 - Optional Schmitt-trigger input (per pin)
 - Two separate I/O banks
 - RealDigital 100% CMOS product term generation
 - Flexible clocking modes
 - Optional DualEDGE triggered registers
 - Global signal options with macrocell control
 - Multiple global clocks with phase selection per macrocell
 - Multiple global output enables
 - Global set/reset
 - Efficient control term clocks, output enables, and set/resets for each macrocell and shared across function blocks
 - Advanced design security
 - Optional bus-hold, 3-state, or weak pullup on selected I/O pins
 - Open-drain output option for Wired-OR and LED drive
 - Optional configurable grounds on unused I/Os
 - Mixed I/O voltages compatible with 1.5V, 1.8V, 2.5V, and 3.3V logic levels
 - PLA architecture
 - Superior pinout retention
 - 100% product term routability across function block
 - Hot pluggable

Refer to the CoolRunner™-II family data sheet for architecture description.

Description

The CoolRunner-II 64-macrocell device is designed for both high performance and low power applications. This lends power savings to high-end communication equipment and high speed to battery operated devices. Due to the low power stand-by and dynamic operation, overall system reliability is improved.

This device consists of four Function Blocks inter-connected by a low power Advanced Interconnect Matrix (AIM). The AIM feeds 40 true and complement inputs to each Function Block. The Function Blocks consist of a 40 by 56 P-term PLA and 16 macrocells which contain numerous configuration bits that allow for combinational or registered modes of operation.

Additionally, these registers can be globally reset or preset and configured as a D or T flip-flop or as a D latch. There are also multiple clock signals, both global and local product term types, configured on a per macrocell basis. Output pin configurations include slew rate limit, bus hold, pull-up, open drain, and programmable grounds. A Schmitt trigger input is available on a per input pin basis. In addition to storing macrocell output states, the macrocell registers can be configured as "direct input" registers to store signals directly from input pins.

Clocking is available on a global or Function Block basis. Three global clocks are available for all Function Blocks as a synchronous clock source. Macrocell registers can be individually configured to power up to the zero or one state. A global set/reset control line is also available to asynchronously set or reset selected registers during operation. Additional local clock, synchronous clock-enable, asynchronous set/reset, and output enable signals can be formed using product terms on a per-macrocell or per-Function Block basis.

A DualEDGE flip-flop feature is also available on a per macrocell basis. This feature allows high performance synchronous operation based on lower frequency clocking to help reduce the total power consumption of the device.

The CoolRunner-II 64-macrocell CPLD is I/O compatible with standard LVTTTL and LVC MOS18, LVC MOS25, and LVC MOS33 (see Table 1). This device is also 1.5V I/O compatible with the use of Schmitt-trigger inputs.

Another feature that eases voltage translation is I/O banking. Two I/O banks are available on the CoolRunner-II 64A macrocell device that permit easy interfacing to 3.3V, 2.5V, 1.8V, and 1.5V devices.

EK 1. (Devam) XC2C64A datasheet

XC2C64A CoolRunner-II CPLD



Pin Descriptions

Function Block	Macrocell	PC44 ⁽¹⁾	VQ44	QFG48	CP56	VQ100	I/O Banking
1	1	44	38		F1	13	Bank 2
1	2	43	37	5	E3	12	Bank 2
1	3	42	36	4	E1	11	Bank 2
1	4	-	-		-	10	Bank 2
1	5	-	-		-	9	Bank 2
1	6	-	-		-	8	Bank 2
1	7	-	-		-	7	Bank 2
1	8	-	-		-	6	Bank 2
1(GTS1)	9	40	34	2	D1	4	Bank 2
1(GTS0)	10	39	33	1	C1	3	Bank 2
1(GTS3)	11	38	32	48	A3	2	Bank 2
1(GTS2)	12	37	31	47	A2	1	Bank 2
1(GSR)	13	36	30	46	B1	99	Bank 2
1	14	-	-		A1	97	Bank 2
1	15	-	-		C3	94	Bank 2
1	16	-	-		-	92	Bank 2
2	1	1	39	6	G1	14	Bank 1
2	2	2	40	7	F3	15	Bank 1
2	3	-	-	8	-	16	Bank 1
2	4	-	-	9	-	17	Bank 1
2	5	3	41	10	H1	18	Bank 1
2	6	4	42		G3	19	Bank 1
2(GCK0)	7	5	43	11	J1	22	Bank 1
2(GCK1)	8	6	44	12	K1	23	Bank 1
2	9	-	-		K4	24	Bank 1
2(GCK2)	10	7	1	13	K2	27	Bank 1
2	11	-	-		-	28	Bank 1
2	12	8	2	14	K3	29	Bank 1
2	13	9	3	15	H3	30	Bank 1
2	14	-	-		K5	32	Bank 1
2	15	-	-		-	33	Bank 1
2	16	-	-		-	34	Bank 1

EK 1. (Devam) XC2C64A datasheet



XC2C64A CoolRunner-II CPLD

Pin Descriptions (Continued)

Function Block	Macrocell	PC44 ⁽¹⁾	VQ44	QFG48	CP56	VQ100	I/O Banking
3	1	35	29	45	C4	91	Bank 2
3	2	34	28	44	A4	90	Bank 2
3	3	33	27	43	C5	89	Bank 2
3	4	-	-		A7	81	Bank 2
3	5	-	-	39	C8	79	Bank 2
3	6	29	23	38	A8	78	Bank 2
3	7	-	-		A9	77	Bank 2
3	8	-	-		-	76	Bank 2
3	9	-	-	37	A5	74	Bank 2
3	10	28	22	36	A10	72	Bank 2
3	11	27	21	35	B10	71	Bank 2
3	12	26	20	34	C10	70	Bank 2
3	13	-	-		D8	68	Bank 2
3	14	25	19	33	E8	67	Bank 2
3	15	24	18	32	D10	64	Bank 2
3	16	-	-		-	61	Bank 2
4	1	11	5	17	K6	35	Bank 1
4	2	12	6	18	H5	36	Bank 1
4	3	-	-		K7	37	Bank 1
4	4	-	-		-	39	Bank 1
4	5	-	-		H7	40	Bank 1
4	6	-	-		-	41	Bank 1
4	7	14	8	20	H8	42	Bank 1
4	8	-	-		-	43	Bank 1
4	9	-	-		-	49	Bank 1
4	10	-	-	24	K8	50	Bank 1
4	11	18	12	25	H10	52	Bank 1
4	12	-	-	26	-	53	Bank 1
4	13	19	13	27	G10	55	Bank 1
4	14	20	14	28	-	56	Bank 1
4	15	22	16		F10	58	Bank 1
4	16	-	-	30	E10	60	Bank 1

1. This is an obsolete package type. It remains here for legacy support only.
2. GTS = global output enable, GSR = global set reset, GCK = global clock.
3. GCK, GSR, and GTS pins can also be used for general purpose I/Os.

EK 1. (Devam) XC2C64A datasheet

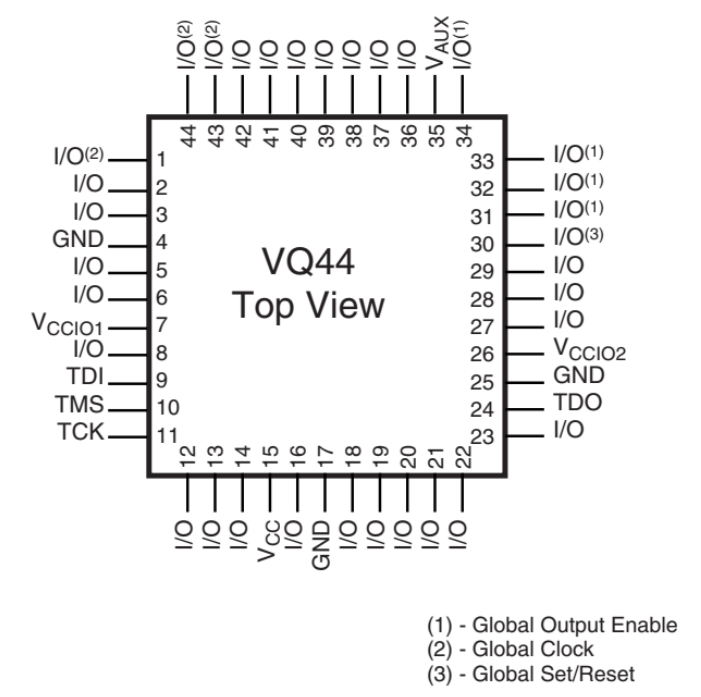
XC2C64A Global, JTAG, Power/Ground, and No Connect Pins

Pin Type	PC44 ⁽¹⁾	VQ44	QFG48	CP56	VQ100
TCK	17	11	23	K10	48
TDI	15	9	21	J10	45
TDO	30	24	40	A6	83
TMS	16	10	22	K9	47
V _{CCAUX} (JTAG supply voltage)	41	35	3	D3	5
Power internal (V _{CC})	21	15	29	G8	26,57
Power bank 1 I/O (V _{CCIO1})	13	7	19	H6	38, 51
Power bank 2 I/O (V _{CCIO2})	32	26	42	C6	88, 98
Ground	10, 23, 31	4,17,25	16, 31, 41	H4, F8, C7	21, 31, 62, 69, 84,100
No connects					20, 25, 44, 46, 54, 59, 63, 65, 66, 73, 75, 80, 82, 85, 86, 87, 93, 95, 96
Total user I/O	33	33	37	45	64

1. This is an obsolete package type. It remains here for legacy support only.

EK 1. (Devam) XC2C64A datasheet

Package Pinout Diagrams



EK 2. 48 MHz Kristal datasheet

3.3Vdc CMOS SMD CRYSTAL CLOCK OSCILLATOR

ASE SERIES

Moisture Sensitivity Level (MSL) –1



RoHS
Compliant



> FEATURES:

- Low height 1.0mm max
- Tri-state function
- Low current consumption
20mA max for 200MHz
- Low RMS jitter 5ps max
- Suitable for RoHS reflow
- Available for tight stability option

> APPLICATIONS:

- CCD clock for VTR camera
- Equipment connected to PC or PC cards
- PDA, wireless communication.
- Laptop, SSD (Solid State Drive)

> STANDARD SPECIFICATIONS:

Parameters	Minimum	Typical	Maximum	Units	Notes
Frequency Range	0.625	-----	200	MHz	
Operating Temperature	-10	-----	+70	°C	STD (See options)
Storage Temperature	-55	-----	+125	°C	
Overall Frequency Stability	-100	-----	+100	ppm	See options
Supply Voltage (Vdd)	+3.135	3.3	+3.465	V	
Supply Current (Idd)	-----	2.5	7	mA	0.5 ~ 20 MHz
	-----	4.4	13		20.1 ~ 40.0 MHz
	-----	6.5	19		40.01 ~ 60.0 MHz
	-----	12.7	24		60.01 ~ 75.0 MHz
	-----	7.4	20		75.01 ~ 80.0 MHz
	-----	7.4	25		80.01 ~ 133.0MHz
	-----	11.7	30		133.01 ~ 200.0 MHz
Symmetry @ 1/2Vdd	45	50	55	%	0.5 ~ 80.0MHz
	40	50	60		80.01 ~ 200.0MHz
Rise and Fall Time (Tr/Tf)	-----	2.5	4.0	ns	0.5 ~ 20 MHz
	-----	2.4	4.0		20.1 ~ 40.0 MHz
	-----	2.4	4.0		40.01 ~ 60.0 MHz
	-----	2.3	4.0		60.01 ~ 75.0 MHz
	-----	1.5	4.0		75.01 ~ 133.0 MHz
	-----	1.9	4.0		133.01 ~ 200.0 MHz
Output Load	-----	-----	15	pF	CMOS
Output Voltage (VOH)	0.9* Vdd	-----	-----	V	
Output Voltage (VOL)	-----	-----	0.1* Vdd	V	
Start-up Time	-----	1	2.0	ms	0.5 ~ 20 MHz
	-----	1	2.0		20.1 ~ 40.0 MHz
	-----	1	2.0		40.01 ~ 60.0 MHz
	-----	1	2.0		60.01 ~ 75.0 MHz
	-----	1.2	2.0		75.01 ~ 133.0 MHz
	-----	1.5	2.0		133.01 ~ 200.0 MHz
Tri-state function (Stand-by)	"1" (VIH≥0.7*Vdd) or Open: Oscillation; "0" (VIH<0.3*Vdd) : No oscillation/Hi Z				
Peak to Peak Jitter	-----	28	-----	ps	Reference only. Contact ABRACON for the Jitter
RMS Jitter:	-----	3.2	5	ps	0.5 ~ 20 MHz
	-----	3.2	5		20.1 ~ 40.0 MHz
	-----	3.2	5		40.01 ~ 60.0 MHz
	-----	3.2	5		60.01 ~ 75.0 MHz
	-----	2.2	5		75.01 ~ 133.0 MHz
	-----	2.2	5		133.01 ~ 200.0 MHz
Aging at 25°C (first year)	-3	-----	+3	ppm	
Stand-by Current:	-----	-----	10	μA	

EK 2. (Devam) 48 MHz Kristal datasheet

➤ OPTIONS & PART IDENTIFICATION:

(Left blank if standard)

ASE - MHz - - -

Frequency in MHz
e.g. 0.625MHz
24.576MHz
14.31818MHz
26.000MHz
200.000MHz

Operating Temp.
E: 0°C ~ +50°C
D: -10°C ~ +60°C
E: -20°C ~ +70°C
F: -30°C ~ +70°C
N: -30°C ~ +85°C
L: -40°C ~ +85°C

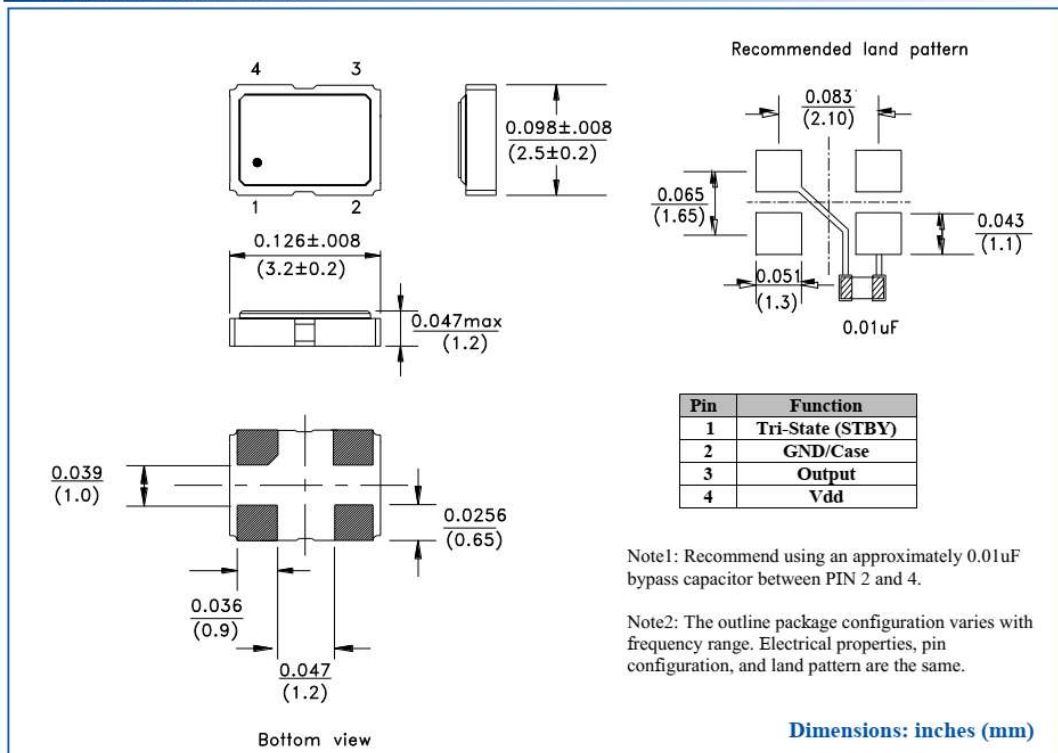
Contact ABRACON for wider temperature range.

Overall Freq. Stability
J(*): ±20ppm
R: ±25ppm
K: ±30ppm
H: ±35ppm
B: ±40ppm
C: ±50ppm

*: Temp options I, D, E, and -10°C to +70°C only

Packaging
Blank: Bulk
T: 1000pcs/Reel
T2: 250pcs/Reel
T3: 3000pcs/Reel

➤ OUTLINE DIMENSIONS:



ABRACON IS
ISO9001:2008
CERTIFIED

ABRACON
CORPORATION

Visit www.abracon.com for Terms & Conditions of Sale **Revised: 07.15.12**
30332 Esperanza, Rancho Santa Margarita, California 92688
tel 949-546-8000 fax 949-546-8001 www.abracon.com

Advanced Monolithic Systems

AMS1117

1A LOW DROPOUT VOLTAGE REGULATOR

RoHs Compliant

FEATURES

- Three Terminal Adjustable or Fixed Voltages*
1.5V, 1.8V, 2.5V, 2.85V, 3.3V and 5.0V
- Output Current of 1A
- Operates Down to 1V Dropout
- Line Regulation: 0.2% Max.
- Load Regulation: 0.4% Max.
- SOT-223, TO-252 and SO-8 package available

APPLICATIONS

- High Efficiency Linear Regulators
- Post Regulators for Switching Supplies
- 5V to 3.3V Linear Regulator
- Battery Chargers
- Active SCSI Terminators
- Power Management for Notebook
- Battery Powered Instrumentation

GENERAL DESCRIPTION

The AMS1117 series of adjustable and fixed voltage regulators are designed to provide up to 1A output current and to operate down to 1V input-to-output differential. The dropout voltage of the device is guaranteed maximum 1.3V, decreasing at lower load currents.

On-chip trimming adjusts the reference voltage to 1.5%. Current limit is set to minimize the stress under overload conditions on both the regulator and power source circuitry.

The AMS1117 devices are pin compatible with other three-terminal SCSI regulators and are offered in the low profile surface mount SOT-223 package, in the 8L SOIC package and in the TO-252 (DPAK) plastic package.

ORDERING INFORMATION:

PACKAGE TYPE			OPERATING JUNCTION TEMPERATURE RANGE
TO-252	SOT-223	8L SOIC	
AMS1117CD	AMS1117	AMS1117CS	-40 to 125° C
AMS1117CD-1.5	AMS1117-1.5	AMS1117CS-1.5	-40 to 125° C
AMS1117CD-1.8	AMS1117-1.8	AMS1117CS-1.8	-40 to 125° C
AMS1117CD-2.5	AMS1117-2.5	AMS1117CS-2.5	-40 to 125° C
AMS1117CD-2.85	AMS1117-2.85	AMS1117CS-2.85	-40 to 125° C
AMS1117CD-3.3	AMS1117-3.3	AMS1117CS-3.3	-40 to 125° C
AMS1117CD-5.0	AMS1117-5.0	AMS1117CS-5.0	-40 to 125° C

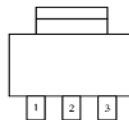
*For additional available fixed voltages contact factory.

PIN CONNECTIONS

3 PIN FIXED/ADJUSTABLE VERSION

- 1- Ground/Adjust
- 2- V_{OUT}
- 3- V_{IN}

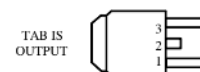
SOT-223 Top View



8L SOIC Top View



TO-252 FRONT VIEW



EK 4. SMD BC807 datasheet



Plastic-Encapsulate Transistors

FEATURES

Ideally suited for automatic insertion
epitaxial planar die construction
complementary NPN type available(BC817)

BC807-16 (PNP)

BC807-25 (PNP)

BC807-40 (PNP)

Marking

BC807-16	BC807-25	BC807-40
5A	5B	5C

MAXIMUM RATINGS (TA=25°C unless otherwise noted)

Parameter	Symbol	Value	Unit
Collector-Base Voltage	V_{CBO}	-50	V
Collector-Emitter Voltage	V_{CEO}	-45	V
Emitter-Base Voltage	V_{EBO}	-5	V
Collector Current -Continuous	I_C	-500	mA
Collector Power Dissipation	P_C	300	mW
Junction Temperature	T_J	150	°C
Storage Temperature	T_{stg}	-55 to +150	°C



ELECTRICAL CHARACTERISTICS (Tamb=25°C unless otherwise specified)

Parameter	Symbol	Test conditions	Min	Max	Unit
Collector-base breakdown voltage	V_{CBO}	$I_C = -10\mu A, I_E = 0$	-50		V
Collector-emitter breakdown voltage	V_{CEO}	$I_C = -10mA, I_B = 0$	-45		V
Emitter-base breakdown voltage	V_{EBO}	$I_E = -1\mu A, I_C = 0$	-5		V
Collector cut-off current	I_{CBO}	$V_{CB} = -45V, I_E = 0$		-0.1	μA
Collector cut-off current	I_{CEO}	$V_{CE} = -40V, I_B = 0$		-0.2	μA
Emitter cut-off current	I_{EBO}	$V_{EB} = -4V, I_C = 0$		-0.1	μA
DC current gain	807-16 807-25 807-40	$h_{FE}(1)$ $V_{CE} = -1V, I_C = -100mA$	100 160 250	250 400 600	
Collector-emitter saturation voltage	$V_{CE(sat)}$	$I_C = -500mA, I_B = -50mA$		-0.7	V
Base-emitter saturation voltage	$V_{BE(sat)}$	$I_C = -500mA, I_B = -50mA$		-1.2	V
Transition frequency	f_T	$V_{CE} = -5V, I_C = -10mA$ $f = 100MHz$	100		MHz

EK 5. Dörtlü 7 Segment Display datasheet

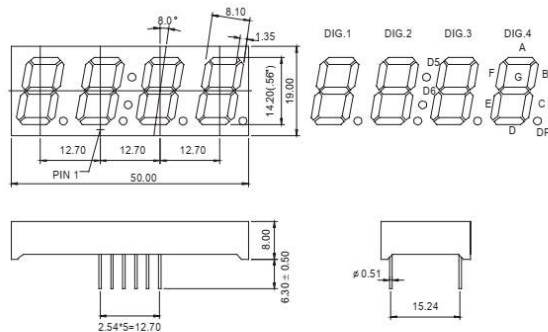
MCD Electronics Inc.

Innovative Solutions With Light

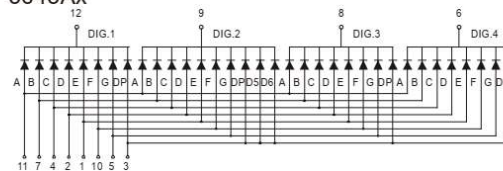


5643Ax-Bx (QUAD DIGIT LED DISPLAY)

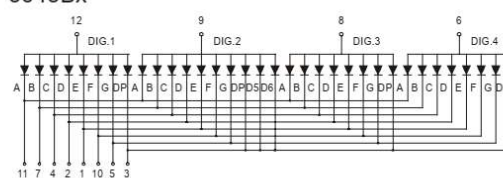
5643 Series



5643Ax



5643Bx



Features:

*0.56 INCH HIGH CHARACTER.

*EXCELLENT CHARACTER APPEARANCE.

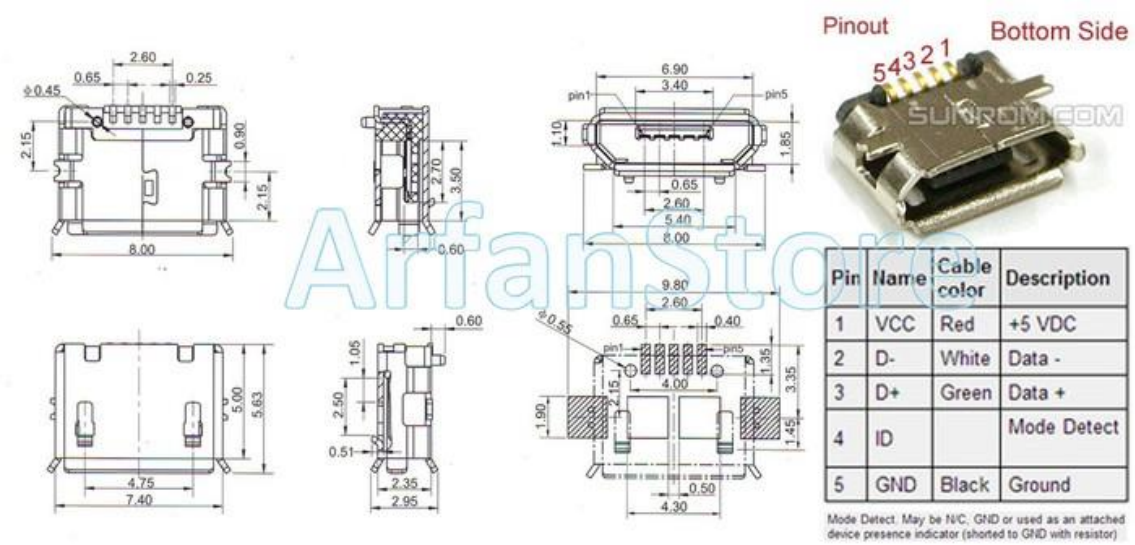
*COMMON CATHODE OR COMMON ANODE.

*I.C. COMPATIBLE.

*LOW POWER CONSUMPTION.

Part Number	EMITTED COLOR		Common Cathode or Common Anode	Peak Wavelength (nm)	Vf (v) Typ	If (mA)	Intensity Per Segment (mcd)	
							Min.	Typ.
5643AE	GaAsP/GaP	Hi.effi Red	Common Cathode	635	2.0	20	9	12
5643AG	GaP	Green		565	2.1	20	8	11
5643AY	GaAsP/GaP	Yellow		585	2.0	20	9	12
5643AS	GaAlAs	Super Red		660	1.8	20	10	13
5643AD	GaAlAs	Ultra Red		660	1.8	20	25	30
5643AUE	AlGaInP	Ultra Red		625	2.0	20	30	35
5643AUY	AlGaInP	Ultra Yellow		590	2.0	20	30	35
5643BE	GaAsP/GaP	Hi.effi Red	Common Anode	635	2.0	20	9	12
5643BG	GaP	Green		565	2.1	20	8	11
5643BY	GaAsP/GaP	Yellow		585	2.0	20	9	12
5643BS	GaAlAs	Super Red		660	1.8	20	10	13
5643BD	GaAlAs	Ultra Red		660	1.8	20	25	30
5643BUE	AlGaInP	Ultra Red		625	2.0	20	30	35
5643BUY	AlGaInP	Ultra Yellow		590	2.0	20	30	35

EK 6. Micro B USB Port datasheet



EK 6. SMD Kondansatör (1206 paketi) datasheet

Standard & High Capacitors

Feature

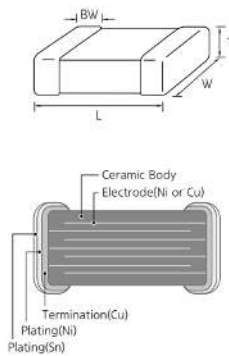


- Wide selection of size : from 0402(Inch) to 2220(Inch)
- Highly reliable tolerance and high speed automatic chip placement on PCBs
- Wide capacitance range
- Highly reliable performance
- Highly resistant termination metal
- Tape & reel for surface mount assembly

Application

- Mobile Phone
- DC-DC Converter
- Tablet devices
- PC (Laptop, Desktop)
- HDD /SSD board
- Display

Structure and Dimensions



Size Code	EIA Code	Dimension(mm)				
		L	W	T	Thickness Code	BW
05	0402	1.00±0.05	0.50±0.05	0.0975±0.0125(*)	L	0.25±0.075
		1.00±0.10	0.50±0.05	0.19±0.03(*)	X	0.25±0.10
		1.00±0.05	0.50±0.05	0.30±0.03(*)	3	
		1.00±0.05	0.50±0.05	0.50±0.05	5	0.30±0.20
10	0603	1.60±0.10	0.80±0.10	0.50±0.0/-0.1(*)	5	
		1.60±0.10	0.80±0.10	0.80±0.10	8	0.50±0.20/-0.30
21	0805	2.00±0.10	1.25±0.10	0.70±0.10(*)	7	
		2.00±0.10	1.25±0.10	0.80±0.10(*)	8	
		2.00±0.10	1.25±0.10	0.85±0.10	C	
		2.00±0.10	1.25±0.10	0.90±0.10(*)	9	
		2.00±0.10	1.25±0.10	1.15±0.10	M	
		2.00±0.10	1.25±0.10	1.25±0.10	F	
		2.00±0.15	1.25±0.15	1.25±0.15	Q	
		2.00±0.20	1.25±0.20	1.25±0.20	Y	
31	1206	3.20±0.20	1.60±0.20	0.60±0.10(*)	6	0.50±0.30
		3.20±0.15	1.60±0.15	0.85±0.15	C	
		3.20±0.20	1.60±0.20	0.85±0.10(*)	C	
		3.20±0.20	1.60±0.20	0.90±0.10(*)	9	
		3.20±0.20	1.60±0.20	1.10±0.10(*)	E	
		3.20±0.20	1.60±0.20	1.15±0.10(*)	M	
		3.20±0.20	1.60±0.20	1.15±0.10(*)	P	
		3.20±0.15	1.60±0.15	1.25±0.15	F	
32	1210	3.20±0.20	1.60±0.20	1.60±0.20	H	0.60±0.30
		3.20±0.30	2.50±0.20	0.85±0.10(*)	C	
		3.20±0.30	2.50±0.20	0.90±0.10(*)	9	
		3.20±0.30	2.50±0.20	1.60±0.20	H	
		3.20±0.30	2.50±0.20	1.80±0.20(*)	U	
		3.20±0.30	2.50±0.20	2.00±0.20	I	
42	1808	3.20±0.30	2.50±0.20	2.50±0.20	J	0.80±0.30
		4.50±0.40	2.00±0.20	1.25±0.20	F	
		4.50±0.40	2.00±0.20	1.40±0.20	G	
		4.50±0.40	2.00±0.20	2.00±0.20	I	
43	1812	4.50±0.40	3.20±0.30	1.25±0.20	F	0.80±0.30
		4.50±0.40	3.20±0.30	2.50±0.20	J	
		4.50±0.40	3.20±0.30	3.20±0.30	L	
55	2220	5.70±0.40	5.00±0.40	2.50±0.20	J	1.00±0.30
		5.70±0.40	5.00±0.40	3.20±0.30	L	

* Mark is only applicable to "L", "F", 12th code in part number.

EK 7. SMD Direnç (1206 paketi) datasheet

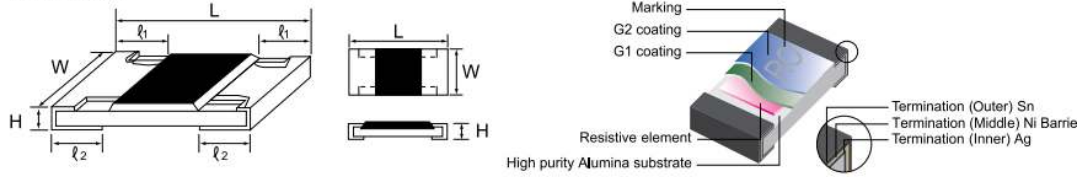
ROYALOHM

Thick Film Chip Resistors

Features

- Small size and light weight
- Suitable for both wave and reflow soldering
- Reduction of assembly costs

Dimension



Type	Power Rating at 70°C	Max Working Voltage/Current	Max Overload Voltage/Current	Dielectric Withstanding Voltage	Tolerance %	Resistance Range	Dimension (mm)				
							L	W	H	l ₁	l ₂
0201 (0603)	1/20W	0.5A	1A	-	Jumper	<50mΩ	0.60±0.03	0.30±0.03	0.23±0.03	0.10±0.05	0.15±0.05
		25V	50V	-	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
0402 (1005)	1/16W	1A	2A		Jumper	<50mΩ	1.00±0.10	0.50±0.05	0.35±0.05	0.20±0.10	0.25±0.10
		50V	100V	100V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
0603 (1608)	1/10W-S 1/16W	1A	2A		Jumper	<50mΩ	1.60±0.10	0.80 ^{+0.15} _{-0.10}	0.45±0.10	0.30±0.20	0.30±0.20
		75V	150V	300V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
0805 (2012)	1/8W-S 1/10W	2A	5A		Jumper	<50mΩ	2.00±0.15	1.25 ^{+0.15} _{-0.10}	0.55±0.10	0.40±0.20	0.40±0.20
		150V	300V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
1206 (3216)	1/4W-S 1/8W	2A	10A		Jumper	<50mΩ	3.10±0.15	1.55 ^{+0.15} _{-0.10}	0.55±0.10	0.45±0.20	0.45±0.20
		200V	400V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
1210 (3225)	1/2W-SS 1/3W-S 1/4W	2A	10A		Jumper	<50mΩ	3.10±0.10	2.60±0.15	0.55±0.10	0.50±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
1812	1/2W 3/4W-S	2A	10A		Jumper	<50mΩ	4.50±0.20	3.20±0.20	0.55±0.20	0.50±0.20	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ					
2010 (5025)	3/4W-S 1/2W	2A	10A		Jumper	<50mΩ	5.00±0.10	2.50±0.15	0.55±0.10	0.60±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					
2512 (6432)	1W	2A	10A		Jumper	<50mΩ	6.35±0.10	3.20±0.15	0.55±0.10	0.60±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω ~ 10MΩ 1Ω ~ 10MΩ 1Ω ~ 10MΩ					