



**FPGA TABANLI UZAKTAN PROGRAMLANABİLİR VE
GÖZLEMLENEBİLİR DEVRE KARTI TASARIMI VE UYGULAMASI**

YÜKSEK LİSANS TEZİ

Buğra DAĞCI

Danışman

Prof. Dr. İsmail KOYUNCU

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Şubat 2025

AFYON KOCATEPE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

YÜKSEK LİSANS TEZİ

**FPGA TABANLI UZAKTAN PROGRAMLANABİLİR VE
GÖZLEMLENEBİLİR DEVRE KARTI TASARIMI VE
UYGULAMASI**

Buğra DAĞCI

Danışman

Prof. Dr. İsmail KOYUNCU

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Şubat 2025

TEZ ONAY SAYFASI

Buğra DAĞCI tarafından hazırlanan “FPGA Tabanlı Uzaktan Programlanabilir ve Gözlemlenebilir Devre Kartı Tasarımı ve Uygulaması” adlı tez çalışması lisansüstü eğitim ve öğretim yönetmeliğinin ilgili maddeleri uyarınca 17 / 02 / 2025 tarihinde aşağıdaki jüri tarafından **oy birliği** ile Afyon Kocatepe Üniversitesi Fen Bilimleri Enstitüsü **Elektrik Elektronik Mühendisliği Anabilim Dalı’nda YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Danışman : Prof. Dr. İsmail KOYUNCU

Başkan : Prof. Dr. Enver ÇAVUŞ
Ankara Yıldırım Beyazıt Üniversitesi,
Mühendislik ve Doğa Bilimleri Fakültesi **İmza**

Üye : Prof. Dr. Yüksel OĞUZ
Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi **İmza**

Üye : Prof. Dr. İsmail KOYUNCU
Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi **İmza**

Afyon Kocatepe Üniversitesi
Fen Bilimleri Enstitüsü Yönetim Kurulu’nun
..... / / tarih ve
..... sayılı kararıyla onaylanmıştır.

.....

Prof. Dr. Bekir YALÇIN

Enstitü Müdürü

BİLİMSEL ETİK BİLDİRİM SAYFASI

Afyon Kocatepe Üniversitesi

Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada;

- Tez içindeki bütün bilgi ve belgeleri akademik kurallar çerçevesinde elde ettiğimi,
- Görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- Başkalarının eserlerinden yararlanılması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu,
- Atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- Kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- Ve bu tezin herhangi bir bölümünü bu üniversite veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

17 / 02 / 2025

Buğra DAĞCI

ÖZET

Yüksek Lisans Tezi

FPGA TABANLI UZAKTAN PROGRAMLANABİLİR VE GÖZLEMLENEBİLİR DEVRE KARTI TASARIMI VE UYGULAMASI

Buğra DAĞCI

Afyon Kocatepe Üniversitesi

Fen Bilimleri Enstitüsü

Elektrik Elektronik Mühendisliği Anabilim Dalı

Danışman: Prof. Dr. İsmail KOYUNCU

FPGA (Field Programmable Gate Array - Alanda Programlanabilir Kapı Dizileri) çipleri, yüksek performans, paralel işleme kabiliyeti ve düşük güç tüketimi gibi avantajlar sunmaktadır. Bu özellikleriyle savunma sanayi, yapay zekâ, tıp elektroniği ve haberleşme gibi alanlarda sıkça tercih edilmektedir. Ancak genellikle yüksek maliyetli ve özel gereksinimlere uymayan yurt dışı donanımlarına bağımlılık söz konusu olmaktadır. Yerli ve özelleştirilebilir FPGA kartlarının geliştirilmesi, bu nedenle hem esneklik hem de maliyet avantajı sağlamada kritik bir ihtiyaç haline gelmektedir.

Sunulan tez çalışmasında, uzaktan programlanabilir ve gözlemlenebilir bir FPGA geliştirme kartı tasarlanmıştır. Tasarımda Xilinx XC3S50AN FPGA çipi ve ESP32 mikrodenetleyici kullanılmıştır. ESP32, FPGA çipini; reset, trigger ve 4 bit veri sinyalleri ile kontrol etmektedir. Web arayüzü, HTML (HyperText Markup Language - Hipermetin İşaretleme Dili) ve JavaScript kullanılarak oluşturulmuştur. Kullanıcı canlı yayın paneli üzerinden devreyi izleyebilmektedir. Aynı zamanda kod panelinden oluşturulan çalışmaları indirebilmekte veya e-posta gönderebilmektedir. Gönderilen e-posta içeriğine tasarlanan UCF (User Constraints File - Kullanıcı Kısıt Dosyası) içeriği de yerleştirilmektedir. Ayrıca Google Drive üzerinden bit uzantılı dosyalar yüklenebilmektedir. Python kodu, bu dosyaları algılayarak JTAG (Joint Test Action Group - Ortak Test Eylem Grubu) üzerinden FPGA çipine yüklemekte ve programlama süreci ortalama 7.579 s'de tamamlanmaktadır.

Bu tez çalışmasında, LED (Light Emitting Diode - Işık Yayan Diyot) yakma, yarım toplayıcı, tam toplayıcı, mod4 sayıcı, 7 parçalı gösterge ile aşağı-yukarı sayıcı ve bit kaydırıcı gibi uygulamalar başarıyla test edilmiştir. Sistem, Yönetici, Laboratuvar ve Kullanıcı yetkilendirme tipleriyle güvenli bir kullanım sunmaktadır.

Sunulan bu çalışma ile, yüksek maliyetli ithal FPGA geliştirme kartlarına alternatif olarak geliştirilen yerli FPGA geliştirme kartı ile programlanabilir ve uygulamaya göre tasarım çıkışları gözlemlenebilir bir FPGA tabanlı uzaktan kontrollü laboratuvar uygulaması başarılı bir şekilde gerçekleştirilmiştir.

2025, xvi + 170 sayfa

Anahtar Kelimeler: FPGA, VHDL, Xilinx, Uzaktan Programlama, Geliştirme Kartı.

ABSTRACT

M.Sc. Thesis

FPGA BASED REMOTE PROGRAMMABLE AND MONITORABLE CIRCUIT BOARD DESIGN AND APPLICATION

Buğra DAĞCI

Afyon Kocatepe University

Graduate School of Natural and Applied Sciences Department of Electrical and

Electronics Engineering

Supervisor: Prof. İsmail KOYUNCU

FPGA (Field Programmable Gate Array) chips offer advantages such as high performance, parallel processing capability, and low power consumption. Due to these features, they are widely used in fields such as defense, artificial intelligence, medical electronics, and communications. However, dependence on high-cost foreign hardware that does not always meet specific requirements remains a challenge. The development of domestic and customizable FPGA boards has thus become a critical necessity to provide both flexibility and cost efficiency.

In this thesis study, a remotely programmable and observable FPGA development board has been designed. The design incorporates the Xilinx XC3S50AN FPGA chip and the ESP32 microcontroller. The ESP32 controls the FPGA chip through reset, trigger, and 4-bit data signals. The web interface has been developed using HTML (HyperText Markup Language) and JavaScript. Users can monitor the circuit via a live streaming panel. Additionally, they can download compiled projects from the code panel or send them via email, with the designed UCF (User Constraints File) content included in the email. Furthermore, bit files can be uploaded through Google Drive, and a Python script detects these files and programs the FPGA chip via JTAG (Joint Test Action Group), completing the programming process in an average of 7.579 seconds.

In this study, various applications such as LED (Light Emitting Diode) control, half adder, full adder, mod-4 counter, up-down counter with a 7-segment display, and bit shifter have been successfully tested. The system ensures secure usage with different authorization levels for Administrator, Laboratory, and User access.

This study successfully implements an FPGA-based remotely controlled laboratory application, providing a viable alternative to high-cost imported FPGA development boards. The developed domestic FPGA development board enables programmability and real-time observation of design outputs, contributing to more flexible and cost-effective FPGA applications.

2025, xvi + 170 pages

Keywords: FPGA, VHDL, Xilinx, Remote Programming, Development Board.

TEŞEKKÜR

Tez çalışmam boyunca maddi ve manevi her türlü desteğini esirgemeyen; tez amacının belirlenmesinden sonuçlanmasına kadar olan süreçte bilgi birikimini, deneyimlerini ve değerli önerilerini paylaşarak bana yol gösteren kıymetli danışman hocam, Sayın Prof. Dr. İsmail KOYUNCU'ya en içten teşekkürlerimi ve minnettarlığımı sunarım.

Tez çalışmalarım boyunca maddi ve manevi desteklerini esirgemeyen, hep yanımda olduklarını hissettiren aileme teşekkür ederim.

Buğra DAĞCI
Afyonkarahisar 2025

İÇİNDEKİLER DİZİNİ

	Sayfa
ÖZET	iii
ABSTRACT.....	v
TEŞEKKÜR.....	vii
İÇİNDEKİLER DİZİNİ	viii
SİMGELER ve KISALTMALAR DİZİNİ.....	x
ŞEKİLLER DİZİNİ	xiii
ÇİZELGELER DİZİNİ	xv
RESİMLER DİZİNİ	xvi
1. GİRİŞ	1
2. LİTERATÜR BİLGİLERİ	5
3. MATERYAL ve METOT	40
3.1 FPGA Çipleri	41
3.1.1 FPGA Çiplerinin Yapısı	42
3.1.1.1. Programlanabilir Mantık Hücreleri	42
3.1.1.2. Giriş / Çıkış Blokları	44
3.1.1.3. Ara Bağlantılar ve Bellek	46
3.1.1.4. Saat Yönetim Birimleri	47
3.1.1.5. Genel Yerleşim	50
3.1.2 FPGA Çiplerinin Avantajları	51
3.1.2.1. Yeniden Programlanabilirlik	51
3.1.2.2. Paralel İşlem Kapasitesi	52
3.1.2.3. Performans ve Esneklik.....	53
3.1.3 Programlanabilir Mantık Devreleri	54
3.1.4 FPGA Tasarım Dilleri	57
3.1.4.1. VHDL	58
3.1.4.2. Verilog	59
3.1.5 FPGA Programlama Yöntemleri.....	62
3.1.5.1. ISP	63
3.1.5.2. JTAG.....	63
3.1.5.3. Harici Bellekten Önyükleme	64
3.1.5.4. Kısmi Yeniden Programlama.....	64
3.1.5.5. Mikroişlemci (SoC) Tabanlı Programlama	65

3.1.5.6. Diğer Programlama Seçenekleri ve Gelişmiş Yaklaşımlar.....	66
3.2 ESP32 Geliştirme Modülleri.....	66
3.2.1 ESP32'nin Yapısı	68
3.2.2 ESP32'nin Avantajları	68
3.2.3 ESP32 Programlama ve Entegrasyonu.....	70
3.3 Site Arayüzü.....	71
3.4 Devre Kartı Tasarımı	73
3.4.1 PCB Tasarım Programları	74
3.4.2 Devre Bileşenleri	75
3.4.2.1. Tasarımda Kullanılan FPGA Çipi.....	75
3.4.2.2. Güç Yönetimi ve Bağlantı Elemanları	78
3.4.2.3. Pasif Bileşenler.....	80
3.4.2.4. Aktif Bileşenler.....	82
3.4.2.5. Haberleşme ve Arayüz Bileşenleri	83
3.4.2.6. Göstergeler ve Anahtarlar	86
3.4.2.7. Diğer Bileşenler.....	88
3.4.3 Devre Çizim Süreci	90
4. BULGULAR.....	98
4.1 FPGA Devre Kartının Prototipi.....	98
4.1.1 Tasarlanan Geliştirme Kartının Maliyet Hesabı.....	100
4.1.2 Farklı FPGA Geliştirme Kartlarının Fiyat ve Özellikler Karşılaştırması	102
4.2 İnternet Üzerinden Programlama ve Gözlemleme.....	103
4.2.1 Site Arayüzü Yazılımları ve Devre Entegrasyonu	105
4.2.2 Genel Uygulama Senaryosu	111
4.2.3 Uygulama Sonuçları ve Analiz	115
5. TARTIŞMA ve SONUÇ	123
6. KAYNAKLAR	125
ÖZGEÇMİŞ.....	138
EKLER	140

SİMGELER ve KISALTMALAR DİZİNİ

Simgeler

s	Saniye
Ω	Ohm
₺	TL (Türk Lirası)
G	Giga
M	Mega
K	Kilo
μ	Mikro
n	Nano
p	Piko
H	Henry
mm	Milimetre
Hz	Hertz
F	Farad

Kısaltmalar

API	Uygulama Programlama Arayüzü (Application Programming Interface)
ASIC	Uygulamaya Özel Tümleşik Devre (Application Specific Integrated Circuit)
BRAM	Blok Rastgele Erişimli Bellek (Block Random-Access Memory)
CAN	Denetleyici Alan Ağı (Controller Area Network)
CLB	Konfigüre Edilebilir Mantıksal Blok (Configurable Logic Block)
CLP	Bulut Laboratuvar Platformu (Cloud Laboratory Platform)
CMOS	Tamamlayıcı Metal-Oksit Yarı İletken (Complementary Metal-Oxide-Semiconductor)
CMU	Saat Yönetim Birimleri (Clock Management Units)
CPLD	Karmaşık Programlanabilir Mantık Cihazı (Complex Programmable Logic Device)
CPU	(Complex Programmable Logic Device)
CSR	Kontrol ve Durum Kaydı (Control and Status Register)
CSS	Basamaklı Stil Sayfaları (Cascading Style Sheets)
DCM	Dijital Saat Yöneticisi (Digital Clock Manager)
DLL	Gecikme Kilitlemeli Döngü (Delay-Locked Loop)
DSP	Dijital Sinyal İşleme (Digital Signal Processing)
EEPROM	Merkezi İşlem Birimi (Central Processing Unit)
	Elektronik Olarak Silinebilir Programlanabilir Salt Okunur Bellek (Electrically Erasable Programmable Read-Only Memory)
EPP	Gelişmiş Paralel Bağlantı Noktası (Enhanced Parallel Port)
ESA	Avrupa Uzay Ajansı (European Space Agency)
FFT	Hızlı Fourier Dönüşümü (Fast Fourier Transform)
FTF	FPGA Test Akışı (FPGA Test Flow)

FPGA	Alanda Programlanabilir Kapı Dizileri (Field Programmable Gate Array)
GUI	Grafiksel Kullanıcı Arayüzü (Graphical User Interface)
GPGPU	Genel Amaçlı Grafik İşleme Birimi (General-Purpose Graphics Processing Unit)
GPIO	Genel Amaçlı Giriş/Çıkış (General-Purpose Input/Output)
GUI	Grafiksel Kullanıcı Arayüzü (Graphical User Interface)
HDL	Donanım Tanımlama Dili (Hardware Description Language)
HDMI	Yüksek Çözünürlüklü Multimedya Arayüzü (High-Definition Multimedia Interface)
HLS	Yüksek Seviyeli Sentez (High-Level Synthesis)
HPC	Yüksek Performanslı Bilgi İşlem (High-Performance Computing)
HREF	Hipermetin Referansı (Hypertext Reference)
HSTL	Yüksek Hızlı Alıcı-Verici Mantığı (High-Speed Transceiver Logic)
HSYNC	Yatay Senkronizasyon (Horizontal Synchronization)
HTML	Hipermetin İşaretleme Dili (HyperText Markup Language)
I2C	Entegreler Arası Haberleşme (Inter-Integrated Circuit)
IEEE	Elektrik ve Elektronik Mühendisleri Enstitüsü (Institute of Electrical and Electronics Engineers)
I/O	Giriş-Çıkış Blokları (I/O Blocks)
IoT	Nesnelerin İnterneti (Internet of Things)
ISP	Sistem İçi Programlama (In System Programming)
JTAG	Ortak Test Eylem Grubu (Joint Test Action Group)
LED	Işık Yayan Diyot (Light Emitting Diode)
LUT	Değer Tablosu (Look-Up-Table)
LVDS	Düşük Gerilim Diferansiyel Sinyalleme (Low-Voltage Differential Signaling)
Mbps	Saniyede Megabit (Megabits per second)
OER	Açık Eğitim Kaynakları (Open Educational Resources)
PaaS	Hizmet Olarak Platform (Platform as a Service)
PC	Kişisel Bilgisayar (Personal Computer)
PCB	Baskılı Devre Kartı (Printed Circuit Board)
PDA	Kişisel Dijital Asistan (Personal Digital Assistant)
PLL	Faz Kilitlemeli Döngü (Phase-Locked Loop)
QoS	Hizmet Kalitesi (Quality of Service)
RemEduLa	FPGA Tasarım Teknolojisi için Uzaktan Eğitim Laboratuvarı (Remote Educational Laboratory for FPGA Design Technology)
RF	Radyo Frekansı (Radio Frequency)
RGB	Kırmızı, Yeşil, Mavi (Red, Green, Blue)
RLA	Uzaktan Laboratuvar Erişimi (Remote Laboratory Access)
RLMS	Uzaktan Laboratuvar Yönetim Sistemi (Remote

	Laboratory Management System)
SBC	Tek Kartlı Bilgisayar (Single Board Computer)
SMD	Yüzey Montaj Cihazı (Surface Mount Device)
SMT	Yüzey Montaj Teknolojisi (Surface Mount Technology)
SoC	Çip Üzerinde Sistem (System on Chip)
SPI	Seri Çevresel Arayüz (Serial Peripheral Interface)
SPLD	Basit Programlanabilir Mantık Aygıtları (Simple Programmable Logic Devices)
SRAM	Statik Rastgele Erişimli Bellek (Static Random-Access Memory)
TCP/IP	İletim Kontrol Protokolü / İnternet Protokolü (Transmission Control Protocol / Internet Protocol)
TEE	Güvenilir Yürütme Ortamı (Trusted Execution Environment)
TTL	Transistör-Transistör Mantığı (Transistor-Transistor Logic)
UART	Evrensel Asenkron Alıcı-Verici (Universal Asynchronous Receiver/Transmitter)
UCF	Kullanıcı Kısıt Dosyası (User Constraints File)
USB	Evrensel Seri Veri Yolu (Universal Serial Bus)
VGA	Video Grafik Dizisi (Video Graphics Array)
VHDL	Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili (Very High-Speed Integrated Circuit Hardware Description Language)
VIO	Sanal Giriş/Çıkış (Virtual Input/Output)
VM	Sanal Makine (Virtual Machine)
VSYNC	Dikey Senkronizasyon (Vertical Synchronization)

ŞEKİLLER DİZİNİ

	Sayfa
Şekil 2. 1 Hasmeian ve Riddley tarafından gerçekleştirilen çalışmadan bir ekran görüntüsü	6
Şekil 2. 2 Indrusiak ve arkadaşları tarafından gerçekleştirilen çalışmanın laboratuvar görüntüsü	7
Şekil 2. 3 NIU Laboratuvarı çalışmalarından örnek görüntü	8
Şekil 2. 4 Drutarosvský ve arkadaşları tarafından yapılan çalışmanın örnek görüntüsü	10
Şekil 2. 5 Morgan ve Cawley tarafından gerçekleştirilen çalışmadaki RemoteFPGA Lab'ın mimarisi	13
Şekil 2. 6 Ravanasa ve Hashemian tarafından yapılan çalışmadaki ilişkisi	14
Şekil 2. 7 Toyoda ve arkadaşları tarafından yapılan çalışmadaki hibrid bulut şematiği	18
Şekil 2. 8 Ali ve arkadaşlarının yapmış olduğu çalışmanın CLP Mimarisi	19
Şekil 2. 9 Schwandt ve Winzker tarafından gerçekleştirilen örnek demo çalışması	20
Şekil 2. 10 Al Qassem ve arkadaşları tarafından yapılan çalışmanın uygulama haritası	24
Şekil 2. 11 Oh ve arkadaşları tarafından yapılan çalışmanın çalışma diyagramı	26
Şekil 2. 12 Blochwitz ve arkadaşları tarafından yapılan local host çalışması ekran görüntüsü	28
Şekil 2. 13 Villar-Martínez ve arkadaşları tarafından yapılan çalışmanın laboratuvar mimarisi	31
Şekil 3. 1 FPGA mimarisinin genel yapısı	42
Şekil 3. 2 FPGA I/O blokları gösterimi.....	45
Şekil 3. 3 FPGA ara bağlantıları gösterimi	47
Şekil 3. 4 FPGA detaylı saat bölgesi görseli	49
Şekil 3. 5 VHDL dilinde tam toplayıcı tasarımı.....	59
Şekil 3. 6 Verilog dilinde tam toplayıcı tasarımı.....	60
Şekil 3. 7 ESP32-DevkitC pin çıkışları	67
Şekil 3. 8 Site tasarımında yönetici girişi sonrası ekran görüntüsü	72
Şekil 3. 9 FPGA şematik tasarımı 1. sayfası	91
Şekil 3. 10 FPGA şematik tasarımı 2. sayfası	92

Şekil 3. 11 FPGA şematik tasarımı 3. sayfası	93
Şekil 3. 12 FPGA şematik tasarımı 4. sayfası	94
Şekil 3. 13 FPGA şematik tasarımı 5. sayfası	94
Şekil 3. 14 FPGA şematik tasarımı 6. sayfası	95
Şekil 3. 15 FPGA geliştirme kartının 3 boyutlu görünümü	96
Şekil 4. 1 Sayfanın şifre girişi, rol belirleme fonksiyonlarının yazılımları	106
Şekil 4. 2 Sayfanın kod editörü fonksiyon yazılımı	107
Şekil 4. 3 Sayfanın butonlar, üçlü anahtar fonksiyonları yazılımları	107
Şekil 4. 4 Sayfanın veri gönderme, Google Drive yükleme fonksiyon yazılımları	108
Şekil 4. 5 Sayfada bulunan UCF tablosu yazılımları	109
Şekil 4. 6 FPGA otomatik programlayan Python yazılımı	110
Şekil 4. 7 Dosya iletimi süre analizleri için tasarlanan Python yazılımı	111
Şekil 4. 8 Kod paneli tasarımı	112
Şekil 4. 9 UCF tablo tasarımı	113
Şekil 4. 10 Site hazır programlar tasarımı	114
Şekil 4. 11 Site dosya yükleme tasarımı	114
Şekil 4. 12 Dosya yükleme örneği	117
Şekil 4. 13 Google Drive API metotlarının ortalama gecikme istatistikleri	119

ÇİZELGELER DİZİNİ

Sayfa

Çizelge 2. 1 Literatür karşılaştırmaları.....	35
Çizelge 4. 1 Tasarlanan devre kartına ait toplam maliyet	100
Çizelge 4. 2 Farklı FPGA geliştirme kartlarına ait maliyet listesi	102
Çizelge 4. 3 Farklı FPGA geliştirme kartlarına ait donanımsal özellikler	102
Çizelge 4. 4 Bit uzantılı dosyaların sistemdeki akış süreleri.....	117



RESİMLER DİZİNİ

Sayfa

Resim 2. 1 Ursutiu ve arkadaşları tarafından yapılan çalışmada kullanılan NI-ELVIS plaformu	11
Resim 2. 2 WebGL destekli tablet görüntüsü	15
Resim 3. 1 ESP32 örnek bir iot projesi gerçekleştirme görseli	69
Resim 3. 2 XILINX XC3S50AN-4TQG144C model FPGA çipi.....	77
Resim 3. 3 PAM2310'un devre üzerindeki fotoğrafı	78
Resim 3. 4 Güç jakının devre üzerindeki görünümü.....	79
Resim 3. 5 BC847 transistörü devre üzerindeki görünümü	82
Resim 3. 6 BC849 transistörü devre üzerindeki görünümü	83
Resim 3. 7 FTDI entegresinin devre üzerindeki görünümü.....	84
Resim 3. 8 UART - TTL dönüştürü entegrenin devre üzerindeki görünümü.....	85
Resim 3. 9 4'lü 7 parçalı gösterge görünümü.....	86
Resim 3. 10 Devre üzerindeki smd ledler	87
Resim 3. 11 Devrede kullanılan dip8 anahtar	88
Resim 4. 1 Tasarlanan FGPA devre kartının üstten görünümü	98
Resim 4. 2 Tasarlanan FGPA devre kartının alttan görünümü	99
Resim 4. 3 Devre gözlemekte kullanılan DJI osmo pocket 3	104
Resim 4. 4 Led yakma uygulaması görünümü.....	116
Resim 4. 5 7 parçalı gösterge ile yukarı aşağı sayıcı görünümü.....	116

1. GİRİŞ

Sayısal sistem tasarımı, savunma (Longwell vd. 2024, Vasavi vd. 2024), iletişim (Öztürk vd. 2018, Yadav vd. 2024), otomotiv (Carvalho vd. 2024, Koepp vd. 2024), tıbbi cihazlar (Yoo vd. 2021, Růžicka vd. 2024), havacılık (Yin vd. 2024, Zhang vd. 2024), robotik (Mazzetto vd. 2023, Pillai vd. 2023), yapay zekâ (Jawad vd. 2024, Lai vd. 2024), endüstriyel otomasyon (Guaillas vd. 2024) ve gömülü sistemler (Khan vd. 2024) başta olmak üzere pek çok endüstriyel ve akademik alanda yoğun bir şekilde kullanılmaktadır. Bu geniş kullanım yelpazesi, sayısal sistem tasarımının yüksek performans ve doğruluk gerektiren uygulamalarda sağladığı avantajlardan kaynaklanmaktadır. Özellikle gerçek zamanlı veri işleme (Juncheng vd. 2021), karmaşık kontrol mekanizmaları ve hızlı prototipleme süreçlerine yönelik ihtiyaçlar, sayısal sistem tasarımının önemini daha da artırmaktadır. Alanın kapsamlı ve disiplinler arası yapısı nedeniyle, üniversitelerdeki araştırma laboratuvarlarından (Óballe-Peinado vd. 2024) sanayi kuruluşlarına kadar birçok farklı kurum, sayısal sistem tasarımından faydalanmaktadır (Mayoz vd. 2020).

Bu kapsamda sıklıkla kullanılan sayısal sinyal işlemciler (DSP - Digital Signal Processors), yüksek hızda veri işleme, düşük güç tüketimi ve gerçek zamanlı hesaplama yeteneği sunmalarıyla öne çıkmaktadır (Wang ve Chen 2010). DSP tabanlı çözümler, özellikle ses ve görüntü işleme (Mishima vd. 2024), kablosuz haberleşme protokolleri ve radar uygulamaları gibi alanlarda etkin biçimde kullanılmaktadır (Xu vd. 2009). Yüksek hızda çalışabilmeleri ve belirli işlemler için optimize edilmiş olmaları, bu işlemcileri veri akışına dayalı uygulamalar açısından avantajlı kılmaktadır (Luo vd. 2011). Ancak sabit donanım mimarisine sahip olmaları, esneklik açısından dezavantaj oluşturmakta ve belirli algoritma gereksinimlerine göre özelleştirmenin sınırlı olması, değişen uygulamalara adaptasyonu zorlaştırmaktadır (Bilsby vd. 1998). Ayrıca bazı uygulamalarda yazılım tabanlı çözümlere kıyasla maliyet ve güç tüketimi açısından verimsiz kalabilmektedirler (Navabi 2005). Özellikle hızla değişen veri işleme ihtiyaçları ve uygulamaların giderek artan karmaşıklığı, yeniden yapılandırılabilir donanım çözümlerine duyulan ilgiyi büyötmektedir. Dolayısıyla sayısal sistem tasarımında, yüksek performans gerektiren ve değişen algoritmalara hızla uyum sağlama ihtiyacı bulunan uygulamalar için esnek mimarilerin önemi giderek artmaktadır (Neumann vd. 2008).

Bu noktada, FPGA (Field Programmable Gate Array - Alanda Programlanabilir Kapı Dizileri) tabanlı platformlar, üretim süreci tamamlandıktan sonra bile iç yapıları yeniden programlanabildiği için özellikle tercih edilmektedir (Karagedik vd. 2023). FPGA çipleri, çok sayıda programlanabilir mantık birimi ile bağlantı katmanlarına sahip olmaları sayesinde hem hız hem de esneklik sağlamaktadır (Qi vd. 2024). Söz konusu esneklik, savunma (Vasavi vd. 2024), otomotiv (Carvalho vd. 2024), telekomünikasyon (Firmansyah vd. 2024) ve robotik (Pillai vd. 2023) gibi geniş bir yelpazede yüksek performanslı hesaplama ihtiyaçlarını karşılayabilmekte ve aynı zamanda prototipleme çalışmalarını daha verimli hâle getirmektedir. Eğitim (Kosan vd. 2024) ve laboratuvar uygulamalarında ise FPGA çiplerinin yeniden yapılandırılabilir yapısı, öğrencilere ve araştırmacılara geniş deney ve tasarım özgürlüğü sunarak deneysel öğrenmeyi daha etkin kılmaktadır (Hashemian ve Riddley 2007). Böylece, sayısal sistem tasarımının hem endüstriyel hem de akademik boyutlarda çok yönlü ve sürdürülebilir bir gelişim ortamına kavuşması mümkün olmaktadır.

Bu tez çalışmasında, uzaktan programlanabilen ve gerçek zamanlı olarak gözlemlenebilen bir FPGA devre kartı geliştirilmektedir. Önerilen sistem, bir ESP32 DevKitC V4 modülünün reset, tetikleme (trigger) ve 4 bitlik veri hatları aracılığıyla FPGA üzerinde denetim kurmasına dayanmaktadır. Böylelikle FPGA üzerinde çalıştırılan tasarımlar, yalnızca yerel bir bilgisayardan (Hanafi ve Karim 2015) değil, aynı zamanda internet üzerinden de düzenlenebilmekte ve izlenebilmektedir. Tasarlanan platformun, özellikle eğitim kurumları ve laboratuvar ortamlarında kullanılmak üzere düşük gecikme süresi, kolay erişim ve çoklu uygulama desteği gibi temel gereksinimleri karşılaması amaçlanmaktadır.

Sistemin web tabanlı arayüzü, kullanıcıların FPGA kartına farklı şekillerde etkileşim kurmasını sağlayan bileşenlerle donatılmıştır. Kod paneli, geliştiricilere veya öğrencilere FPGA üzerinde derlenip çalıştırılacak özel tasarımları yazma olanağı tanımaktadır. UCF bölümü ise geliştiricinin pinlere özel isimlendirme yapma olanağı sunmaktadır. Hazır programlar bölümü, laboratuvar çalışmaları için önceden oluşturulmuş uygulamaları tek tıklamayla devreye alma imkânı sunarak özellikle ders ortamlarında hız ve basitlik sağlamaktadır. Dosya yükleme özelliği ise kullanıcılara FPGA çipine bit dosyaları ya da

farklı formatlardaki tasarımları gönderme fırsatı vermekte, dolayısıyla deneysel çalışmaların çeşitliliğini artırmaktadır. Tüm bu işlemlerin ortalama 7.579 s gibi kısa bir süre içinde tamamlanması, uzaktan erişimi pratik ve verimli kılmaktadır.

Geliştirilen hazır programlar arasında, sayısal tasarım eğitiminin temel taşları olan LED (Light Emitting Diode - Işık Yayan Diyot) yakma, yarım toplayıcı, tam toplayıcı, aşağı-yukarı sayıcı, flip-flop temelli mod4 sayıcı ve 7 parçalı gösterge ile ekran yönetimi gibi örnekler yer almaktadır. Söz konusu tasarımlar önce ayrı ayrı FPGA üzerinde sınanmış ve en kararlı kod sürümleri elde edildikten sonra tek bir yapıda birleştirilmiştir. Bu bütünleşik yapı, FPGA üzerinde çalıştırılacak uygulamanın, trigger ve data pinlerinin durumuna göre dinamik biçimde belirlenmesine olanak tanımaktadır. Böylece bir kullanıcı, web arayüzünden herhangi bir uygulamayı seçtiğinde, FPGA üzerindeki ilgili tasarım modülü etkinleşmekte ve canlı yayında sistemin tepki süreci gözlemlenebilmektedir.

Sistemin çok yönlü yapısı, farklı düzeydeki kullanıcıların ortak bir platformda çalışmalarını mümkün kılmak adına yetkilendirme kademeleri içermektedir. Bu kapsamda Yönetici, Laboratuvar ve Kullanıcı olmak üzere üç temel kullanıcı türü tanımlanmıştır. Yönetici konumundaki kişi, eğitimci rolünü temsil etmekte olup, sisteme tam yetkiyle müdahale etme ve içerik yönetme hakkına sahiptir. Laboratuvar rolünde tanımlanan kullanıcılar, araştırmacı kimliğiyle benzer esneklik seviyesine ulaşarak yeni uygulamalar geliştirebilmekte ve bunları FPGA kartına kolaylıkla yükleyebilmektedir. Kullanıcı rolündeki öğrenci ise sınırlandırılmış erişim düzeyine sahiptir. Örneğin, kendisine kısıtlanan dosya yükleme gibi fonksiyonları kullanamamaktadır. Bu yetkilendirme modeli hem sistemin güvenliğini sağlamayı hem de eğitimsel amaçlarla istenmeyen değişiklikleri engellemeyi hedeflemektedir.

Özetle, bu tez çalışmasıyla birlikte internet üzerinden erişilebilen, hızlı tepki veren ve farklı görev tiplerine kolayca uyarlanabilen bir FPGA tabanlı laboratuvar ortamı sunulmaktadır. Çalışmada öncelikle ilgili donanım-elektronik altyapısı ve yazılım modülleri ayrıntılı biçimde ele alınmaktadır. Bu sayede sistemin temel bileşenleri, tasarım mantığı ve çalışma prensipleri detaylandırılmaktadır. Ardından Python tabanlı bir yazılım

aracılığıyla web arayüzünden Google Drive'a gönderilen bit uzantılı dosyaların senkronizasyon süresi ile bu dosyaların FPGA çipine yüklenme süreleri analiz edilmiştir. Yapılan ölçümler, sistemin dosya aktarım hızlarını ve FPGA programlama sürecinin performansını anlamaya yönelik verilere ulaşılmasını sağlamıştır.

Gerçekleştirilen bu analizler sonucunda, uzaktan erişimli donanım geliştirme süreçlerinde senkronizasyon süresinin ve FPGA çipine yükleme hızının sistem verimliliği üzerindeki etkileri değerlendirilmiştir. Çalışmanın sağladığı bulgular, uzaktan erişimli FPGA sistemlerinin donanım tasarımına entegrasyonunu kolaylaştırarak mühendislik eğitiminde ve araştırma süreçlerinde kullanımını desteklemektedir. Ayrıca geliştirilen sistemin farklı FPGA platformlarına uyarlanabilmesi, modüler yapısının genişletilebilirliğini artırmakta ve ilerleyen çalışmalara yönelik esnek bir temel sunmaktadır. Böylece FPGA tabanlı sistemlerin uzaktan programlanabilirlik potansiyeli daha erişilebilir hale getirilmekte ve hem akademik hem de endüstriyel kullanım alanlarında yeni olanaklar yaratılması hedeflenmektedir.

2. LİTERATÜR BİLGİLERİ

Modern eğitimde teknolojinin sunduğu yenilikler, özellikle mühendislik ve tasarım derslerinde uygulamalı deneyimlerin edinilmesine yeni bir boyut kazandırmaktadır. Bu bağlamda, uzaktan erişim sağlayan laboratuvar sistemleri (Gil Vera vd. 2024), öğrencilere mekândan bağımsız bir öğrenme deneyimi sunarken, gerçek donanım ve yazılım araçlarıyla çalışabilme imkânı oluşturmaktadır. FPGA tabanlı programlanabilir eğitim kartlarının kullanıldığı bu tür sistemler (Jawad ve Hamad 2024), öğrencilere sadece teorik bilgi edinmenin ötesinde, karmaşık tasarım süreçlerini uzaktan yönetme ve denetleme fırsatı vermektedir. Öğrenciler, internet üzerinden erişebildikleri bu platformlar sayesinde, laboratuvar ortamına fiziksel olarak bağımlı olmadan, kendi hızlarında deney yapabilmekte ve tasarımlarını test edebilmektedirler. Bu çalışmada, FPGA tabanlı eğitim kartlarının uzaktan erişimle laboratuvar uygulamalarına katkıları ve sunduğu avantajlar kapsamlı bir şekilde incelenecektir.

Hashemian ve Riddley, dijital tasarım dersleri için uzaktan erişimle kullanılabilen FPGA tabanlı bir laboratuvar sistemi olan FPGA e-Lab'ı tanıtmaktadır (Hashemian ve Riddley 2007). Bu sistem, Xilinx Spartan-3E Starter Kit, National Instruments veri toplama donanımı ve LabView Grafik Kullanıcı Arayüzü (GUI - Graphical User Interface) bileşenlerinden oluşmakta ve internet üzerinden uzaktan erişim imkânı sunmaktadır. Microsoft XP Uzak Masaüstü bağlantısı aracılığıyla laboratuvar bilgisayarına erişim sağlanmakta ve öğrenciler, FPGA tasarım sürecinin çeşitli aşamalarını (tasarım girişi, simülasyon, sentez ve donanım yeniden yapılandırma gibi) uzaktan gerçekleştirebilmektedir. Tasarım süreci, donanım erişimi gerektirmeyen ve çevrimiçi olarak temin edilebilen yazılım araçlarıyla başlamaktadır. FPGA donanımının yeniden yapılandırılmasını ve test edilmesini gerektiren son aşamalarda ise sistem, uzaktan kontrol ve izleme için kullanılmaktadır. Şekil 2.1'de görüldüğü üzere LabView GUI, FPGA üzerindeki anahtarlar ve LED göstergeleri gibi bileşenlerin uzaktan kontrol edilmesini ve geri bildirim alınmasını sağlamaktadır.

FPGA e-Lab, öğrencilerin ve tasarımcıların laboratuvar deneyimlerini mekândan bağımsız olarak genişletmelerine olanak tanıyarak mühendislik eğitiminde esneklik ve

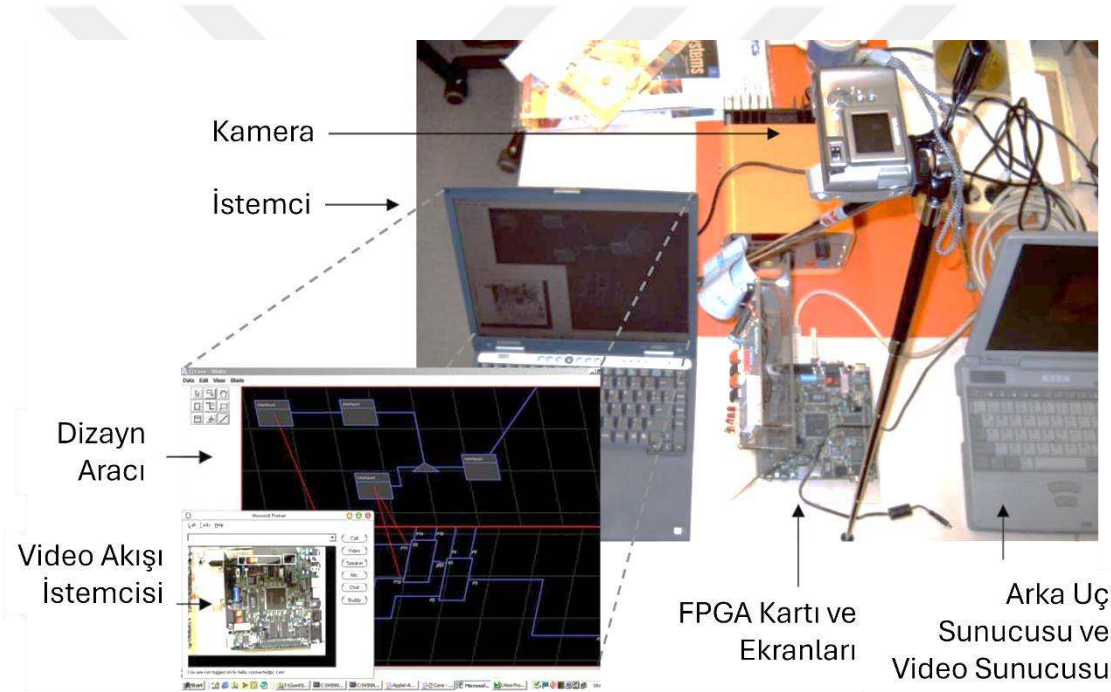
erişilebilirlik sağlamaktadır. Bu yapı, öğrencilere belirli ders saatleri dışında da laboratuvar ekipmanlarına erişim sunarak öğrenme sürecini zenginleştirmektedir. Ayrıca uzaktan erişim laboratuvarlarının verimli kullanımı için laboratuvar kuralları ve düzenlemeleri getirilmiş, laboratuvar yoğunluğunu azaltmak ve donanım paylaşımını optimize etmek gibi stratejiler önerilmiştir. Bu tür laboratuvarların, farklı eğitim kurumları arasında iş birliği yaparak daha gelişmiş ekipmanların ortak kullanılmasını sağlaması ve bu sayede eğitimde fırsat eşitliğini artırması da vurgulanmaktadır. FPGA e-Lab, mühendislik ve teknoloji eğitiminde uzaktan erişim teknolojilerinin nasıl entegre edilebileceğini ve bu sistemlerin eğitimdeki önemini göstermektedir.



Şekil 2. 1 Hasmeian ve Riddley tarafından gerçekleştirilen çalışmadan bir ekran görüntüsü (Hashemian ve Riddley 2007)

Indrusiak ve arkadaşları, endüstriyel uygulamalara yönelik olarak dijital elektronik sistemlerin tasarımı ve prototiplenmesi için geliştirilen FPGA tabanlı uzaktan erişilebilen laboratuvarların evrimini detaylandırmaktadır (Indrusiak vd. 2007). Çalışmada, uzaktan erişim sağlayan laboratuvarların genel mimarileri, donanım altyapıları ve kullanıcı arayüzlerinin entegrasyonu hakkında kapsamlı bir inceleme sunulmuştur. Sunulan yaklaşım, FPGA platformlarının uzaktan yapılandırılması, veri işleme ve simülasyon ortamları ile entegrasyonunu sağlamak için çeşitli soyutlama katmanlarının kullanılmasını içermektedir. İlk sürümde, FPGA kartlarının uzaktan yapılandırılmasını

mümkün kılmak için temel bir sunucu-müşteri mimarisi kullanılmıştır. Bu mimaride, FPGA çipine yapılandırma dosyaları TCP/IP (Transmission Control Protocol / Internet Protocol - İletim Kontrol Protokolü / İnternet Protokolü) soketleri üzerinden gönderilmekte ve sonuçlar video akışı ile gözlemlenmektedir. İkinci sürümde, FPGA platformlarının yeniden yapılandırma ve veri işleme işlemlerinin bir nesne yönelimli proxy aracılığıyla soyutlandığı ve Jini tabanlı bir middleware kullanılarak kullanıcıların FPGA platformları ile etkileşimlerinin basitleştirildiği bir sistem geliştirilmiştir. Üçüncü sürümde ise, FPGA platformlarının "donanım-döngü-içinde" modelleme ve simülasyon ortamları ile entegre edilmesi sağlanmıştır. Bu da tasarım sürecinde ardışık prototipleme ve sistem seviyesi modellerin gerçekçi koşullar altında doğrulanmasına olanak tanımıştır.

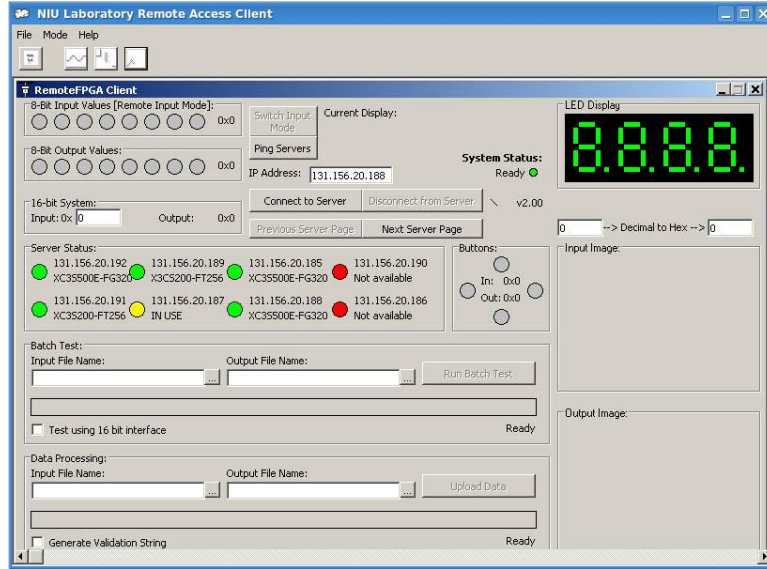


Şekil 2. 2 İndrusiak ve arkadaşları tarafından gerçekleştirilen çalışmanın laboratuvar görüntüsü (İndrusiak vd. 2007)

Şekil 2.2’de görülen uzaktan laboratuvarlar, kullanıcıların FPGA çipleri donanım yeniden yapılandırma sürecini ve veri işlemlerini yönetmelerini sağlayan LabView, Jini ve Ptolemy II gibi programlama dilleri ve araçlarını kullanarak eğitim ve araştırma faaliyetlerine esneklik ve erişilebilirlik katmaktadır. Çalışmada sunulan uzaktan laboratuvarlar, mühendislik ve bilgisayar bilimleri eğitiminde, tasarım sürecinin otomasyonu ve prototipleme faaliyetlerinin entegrasyonu açısından önemli bir eğitim

aracı olarak değerlendirilmektedir. Bu laboratuvarlar, öğrencilere ve tasarımcılara, karmaşık tasarım akışları ile sistem modüllerinin prototipleme ve doğrulama süreçlerini gerçek zamanlı olarak deneyimleme imkânı sunarak eğitimdeki yerini ve önemini pekiştirmektedir.

Hashemian ve Pearson, dijital donanım tasarım dersleri için düşük maliyetli ve dinamik bir uzaktan laboratuvar erişim metodolojisi sunmaktadır (Hashemian ve Pearson 2009). Bu sistem, internet üzerinden laboratuvarlara erişim sağlamak amacıyla yazılım tabanlı bir istemci-sunucu modeli kullanmaktadır. Sunulan metodoloji, kullanıcı ve laboratuvardaki FPGA kartı ile donatılmış bir sunucu PC (Personal Computer - Kişisel Bilgisayar) arasında iletişim kurulmasını sağlamaktadır. Sistem, birden fazla sunucu ve istemciyi entegre ederek her istemcinin sunuculardan, sunucu kullanılabilirliği, FPGA kart türleri ve sağlanan hizmetler gibi bilgileri almasını sağlamaktadır. Şu anda, Northern Illinois Üniversitesi'nde sekiz uzaktan erişim sunucusu hizmet vermekte ve üç dönem boyunca test edilmiştir. Şekil 2.3'te görülen sistem, FPGA donanımının sunduğu kaynaklarla sınırlı olmak kaydıyla, yeni özelliklerin eklenmesine olanak tanıyan oldukça dinamik bir yapıya sahiptir.



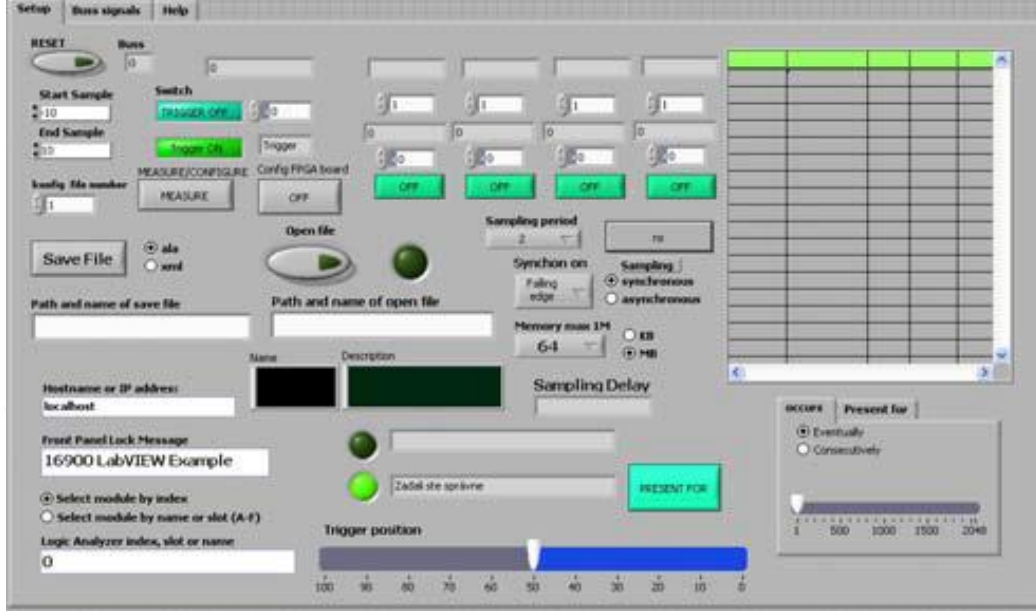
Şekil 2. 3 NIU Laboratuvarı çalışmalarından örnek görüntü (Hashemian ve Pearson 2009)

Bu RLA (Remote Laboratory Access - Uzaktan Laboratuvar Erişimi) sistemi, iki tür kaynak sunmaktadır. Tür 1 kaynaklar, donanım tasarım araçlarını, bir FPGA geliştirme

kartını ve istemci-sunucu GUI tabanlı bir iletişim sistemini içermektedir. Tür 2 kaynaklar, laboratuvar ekipmanlarını (osiloskoplar, sinyal jeneratörleri gibi) içermektedir. Tür 1 kaynaklar, öğrencilerin basit mantık devrelerinden karmaşık DSP (Digital Signal Processor - Dijital Sinyal İşleyici) ve iletişim uygulamalarına kadar çeşitli projeleri gerçekleştirmesine olanak tanımaktadır. Öğrenciler, GUI üzerinden ağdaki tüm sunucuların durumunu görebilmekte, mevcut sunucuyu seçip IP adresi girerek bağlantı kurabilmektedirler. Sistem, FPGA donanımı ve laboratuvar ekipmanlarının uzaktan yeniden yapılandırılması, test edilmesi ve hata ayıklanması gibi işlemleri destekleyerek mühendislik eğitimi için hem teorik hem de pratik bileşenleri içeren esnek bir öğrenme ortamı sunmaktadır.

Drutarovský ve arkadaşları, FPGA tabanlı kompleks yeniden yapılandırılabilir sistemlerin deneysel testleri için geliştirilen uzaktan erişilebilen bir laboratuvar sistemini tanıtmaktadır (Drutarovský vd. 2009). Bu sistem, internet üzerinden bir web arayüzü veya uzaktan masaüstü bağlantısı aracılığıyla öğrencilerin laboratuvar ekipmanlarına ve FPGA platformlarına tam erişim sağlamalarına imkân tanımaktadır. Altera FPGA geliştirme kitleri, Şekil 2.4'te görülen LabView tabanlı bir grafik kullanıcı arayüzü ve mantık analizörü, dijital depolama osiloskopu ve vektör sinyal jeneratörü gibi çeşitli test ve ölçüm cihazlarından oluşan bu laboratuvar, dijital tasarım ve sinyal işleme derslerinde kullanılmak üzere geliştirilmiştir. Donanım altyapısı, karmaşık FPGA tasarımlarının uzaktan test edilmesini ve hata ayıklanmasını mümkün kılacak şekilde düzenlenmiştir. Sistem, kullanıcıların FPGA tasarım projelerini bir tampon belleğe yüklemesine ve donanım kaynakları serbest kaldığında işleme almasına olanak tanıyan bir iş zamanlayıcı sistemi de içermektedir. Özellikle bu laboratuvarın donanım bileşenleri, Altera FPGA geliştirme kartları ve PC kontrollü ölçüm ekipmanlarını (örneğin, Agilent 16822A mantık analizörü ve Tektronix TDS2004 DSO) içermekte olup, öğrencilerin uzaktan gerçek donanım üzerinde deneyler yapmasına imkân tanımaktadır. Yazılım altyapısı ise uzaktan erişim sırasında ölçüm cihazlarının kontrolü ve veri transferi için LabVIEW platformunu kullanmaktadır. Ayrıca uzaktan kullanıcıların FPGA konfigürasyon dosyalarını yüklemelerine, dijital uyarı sinyalleri oluşturup yüklemelerine ve ölçüm sonuçlarını analiz etmelerine imkân sağlayan özel geliştirilmiş araçlar sunulmuştur. Bu laboratuvar sistemi, pahalı donanımlara uzaktan erişimi kolaylaştırarak donanım testlerini ve

prototipleme süreçlerini daha erişilebilir ve etkili hale getirmektedir. Böylece mühendislik eğitiminde pratik deneyimlerin zenginleştirilmesine katkı sağlamaktadır.



Şekil 2. 4 Drutarosvský ve arkadaşları tarafından yapılan çalışmanın örnek görüntüsü (Drutarovský vd. 2009)

Ursutiu ve arkadaşları, FPGA ve LabVIEW kullanarak uzaktan programlama ve izleme uygulamalarını detaylandıran bir çalışma sunmuşlardır (Ursutiu vd. 2009). National Instruments tarafından geliştirilen ve Resim 2.1’de verilen NI-ELVIS platformu, Xilinx Spartan-3E FPGA çipini kullanarak kullanıcıların donanım tanımlama dilleri olmaksızın FPGA çipleri programlayabilmelerine imkân tanımaktadır. LabVIEW FPGA modülü, grafiksel nesneler kullanarak FPGA giriş-çıkış birimlerini programlamaya olanak tanımaktadır. Bu yaklaşım, mühendislik eğitiminde karmaşık devre tasarımlarını uzaktan kontrol edebilmek için kullanışlı bir araç sağlamaktadır. Grafiksel programlama ve izleme yetenekleri, öğrencilerin ve mühendislerin uzaktan deney yapmalarına olanak sunarak eğitimi zenginleştirmektedir.

NI-ELVIS platformu ve Digital Electronics FPGA Kartı, kullanıcıların FPGA donanımına USB (Universal Serial Bus - Evrensel Seri Veri Yolu) bağlantısıyla bağlanmalarına ve devre tasarımlarını test etmelerine olanak tanımaktadır. Kart üzerindeki dijital ve analog giriş-çıkış modülleri, LED’ler ve düğmeler gibi birimler ile

kullanıcılar, devrelerinin çalışma durumunu uzaktan izleyebilmekte ve kontrol edebilmektedir. Ayrıca sistemin PDA (Personal Digital Assistant - Kişisel Dijital Asistan) ve TCP/IP protokolleri aracılığıyla mobil cihazlar üzerinden de izlenebilir olması, gerçek zamanlı kontrol ve geri bildirim sağlamak ve bu sayede kullanıcıların uzaktan denetim yapabilmesini mümkün kılmaktadır. Bu sistem, uzaktan erişim ve programlama alanında önemli bir yenilik sunmakta ve mühendislik eğitiminde uygulamalı öğrenme süreçlerini desteklemektedir.



Resim 2. 1 Ursutiu ve arkadaşları tarafından yapılan çalışmada kullanılan NI-ELVIS platformu (Ursutiu vd. 2009)

Wang ve Zhang tarafından sunulan çalışma, JTAG (Joint Test Action Group - Ortak Test Eylem Grubu) boundary-scan (Srinivas ve Sheshagiri 2017) teknolojisine dayalı uzaktan otomatik hata tespiti ve teşhisi üzerine odaklanmaktadır (Wang ve Zhang 2010). Elektronik cihazların artan karmaşıklığı ve güvenilirlik talepleri, uzaktan izleme ve teşhis sistemlerine olan ihtiyacı artırmıştır. Bu bağlamda önerilen sistem, bilgisayar ağı üzerinden birden fazla elektronik devrenin test edilmesine ve hata teşhisinin yapılmasına imkân tanımaktadır. IEEE (Institute of Electrical and Electronics Engineers - Elektrik ve Elektronik Mühendisleri Enstitüsü) 1149.1 standardına dayanan bu sistem, özellikle

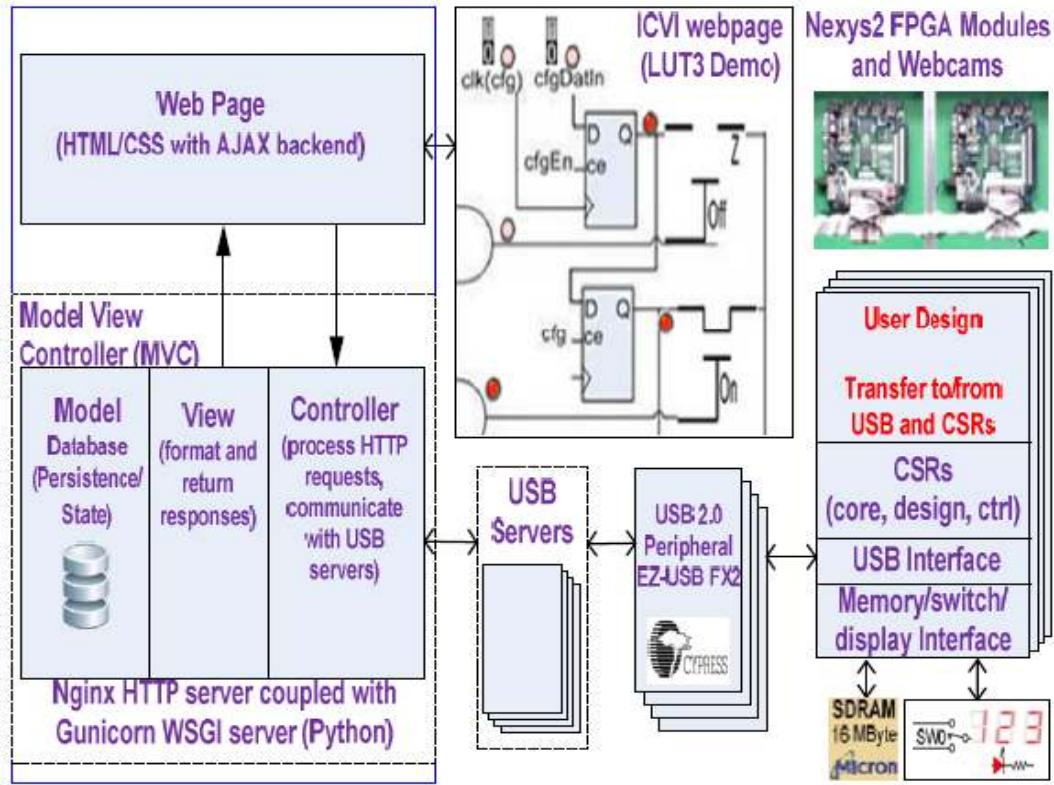
entegre devreler arasındaki bağlantı hatalarını tespit etmek için kullanılmış ve fiziksel bağlantı sorunlarının hızlı bir şekilde giderilmesine olanak sağlamıştır.

Sistem, Atmega128 mikrodenetleyici ve SN74ACT8990 test veri yolu denetleyicisi kullanarak uzaktan hedeflenen cihazın test edilmesini sağlamaktadır. TCP/IP tabanlı ağ iletişim modülü ile sistem, test komutlarını uzaktaki bilgisayara ileterek devrelerin işleyişini uzaktan izleyebilmekte ve hata durumunda ilgili modülü resetleyebilmektedir. Deney sonuçlarına göre sistem, yüksek performans ve gerçek zamanlı geri bildirim sunarak özellikle güvenilirlik ve hız gerektiren alanlarda geniş bir uygulama potansiyeline sahiptir. Bu teknoloji, elektronik sistemlerde hata teşhisinin etkin bir şekilde yapılmasını sağlamakta ve özellikle büyük ölçekli entegre devrelerde yüksek doğrulukta test sonuçları elde edilmesine olanak tanımaktadır.

Morgan ve Cawley, dijital sistem tasarımı ve yeniden yapılandırılabilir bilgisayar sistemleri eğitimi için geliştirilen web tabanlı bir uzaktan laboratuvar olan RemoteFPGA Lab'i tanıtmaktadır (Morgan ve Cawley 2011). Mimari yapısı Şekil 2.5'te görülen sistem, kullanıcıların gerçek zamanlı olarak bir FPGA üzerinde çalışan çeşitli dijital donanım sistemleriyle etkileşime girmesine olanak tanımaktadır. RemoteFPGA Lab, kullanıcıların kendi HDL (Hardware Description Language - Donanım Tanımlama Dili) tasarımlarını sisteme entegre etmelerine ve bu tasarımları RemoteFPGA tabanlı bir proje şablonunda sentezleyip uygulamalarına izin vermektedir. Kullanıcılar ayrıca sistem blok diyagramları üzerinde giriş kontrol simgeleri ve sinyal izleme göstergelerini yerleştirerek tasarımlarının farklı hiyerarşi seviyelerinde etkileşimli gerçek zamanlı donanım gösterimleri oluşturabilmektedir. Bu laboratuvar, mevcut uzaktan FPGA laboratuvar sistemlerine kıyasla geliştirilmiş görselleştirme ve etkileşim imkânı sunmakta ve eğitimde "yaparak öğrenme" yaklaşımını desteklemektedir.

RemoteFPGA Lab, Digilent Nexys 2 FPGA modüllerini destekleyen esnek bir mimariye sahiptir. Aynı zamanda kullanıcıya ayrılmış bir FPGA kaynağı ve ilişkili bir webcam ile gerçek zamanlı görüntü akışı sağlamaktadır. Sistem, kullanıcıların FPGA üzerindeki veri işlemlerini ve tasarım sinyallerini kontrol etmelerini sağlayan USB/Komut ve Durum Kaydı (CSR - Control and Status Register) komut/veri arayüzü kullanarak dijital

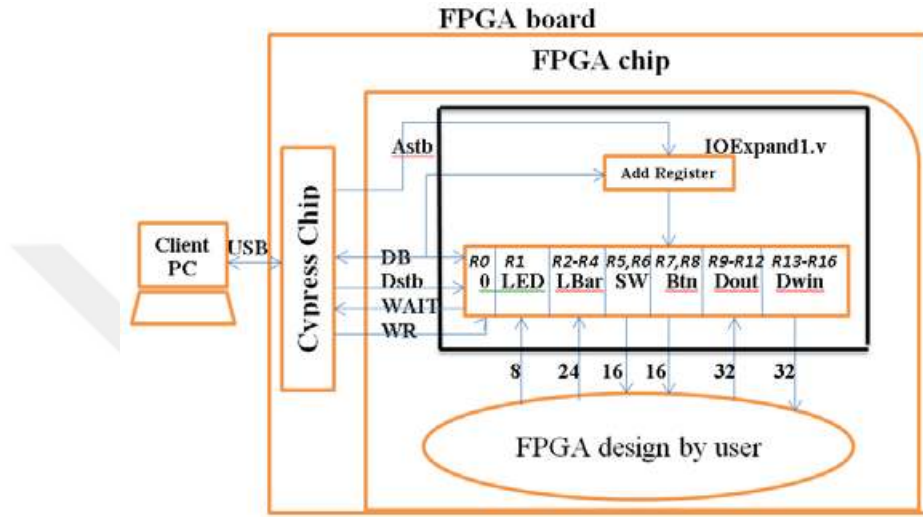
tasarımların uzaktan yapılandırılmasını ve test edilmesini mümkün kılmaktadır. Ayrıca laboratuvar, öğrencilere karmaşık dijital sistemlerin davranışlarını çeşitli hiyerarşi seviyelerinde inceleme ve anlama fırsatı sunarak mühendislik eğitiminde uzaktan laboratuvarların rolünü ve değerini güçlendirmektedir.



Şekil 2. 5 Morgan ve Cawley tarafından gerçekleştirilen çalışmadaki RemoteFPGA Lab'ın mimarisi (Morgan ve Cawley 2011)

Ravanasa ve Hashemian, FPGA tasarım laboratuvarlarına uzaktan erişim sağlayan yenilikçi bir sistem olan vLab'ı tanıtmaktadır (Ravanasa ve Hashemian 2014). vLab, bir sunucu üzerinden birden fazla kullanıcının aynı anda laboratuvara erişmesine imkân tanıyan çoklu erişim ve paralel işlem kapasitesine sahiptir. Sistem, EPP (Enhanced Parallel Port - Gelişmiş Paralel Bağlantı Noktası) protokolü ve Microsoft Windows Remote Desktop kullanarak yüksek hızda paralel işlem hizmetleri sunmaktadır. vLab, her kullanıcıya yönelik iki farklı arayüz sağlamaktadır. Biri, uzaktaki laboratuvarında bulunan fiziksel FPGA kartının görüntüsünü sağlayan bir GUI, diğeri ise kullanıcıların ihtiyaçlarına göre özelleştirilmiş FPGA yongasının yeteneklerini doğrudan kullanan bir arayüzdür. Sistem, tek bir kullanıcı için birden fazla FPGA kartını paralel olarak

kullanabilme yeteneğine sahip olup, bu sayede karmaşık endüstriyel projeler veya çoklu görev uygulamaları için uygundur. Kullanıcılar, FPGA üzerindeki veri işlemlerini ve tasarım sinyallerini kontrol etmek için Şekil 2.6'da verilen USB üzerinden EPP arayüzünü kullanarak dijital tasarımların uzaktan yapılandırılmasını ve test edilmesini gerçekleştirebilirler.

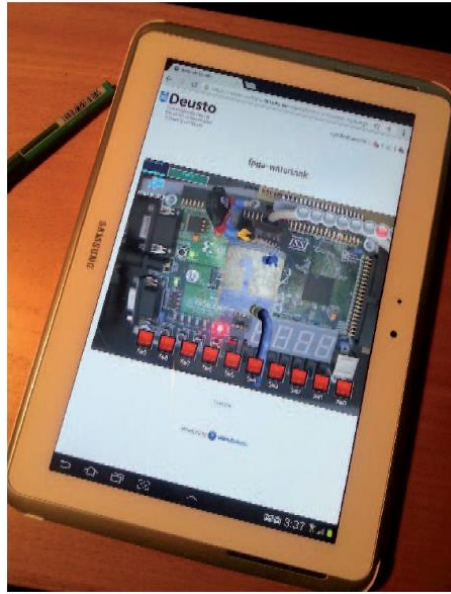


Şekil 2. 6 Ravanasa ve Hashemian tarafından yapılan çalışmadaki ilişkisi (Ravanasa ve Hashemian 2014)

VLab, önceki sürümü uLab'den daha gelişmiş bir sistem olup, iletişim kanalı olarak seri port yerine EPP protokolünü kullanarak veri hızını 24 Mbps (Megabits per second - Saniyede Megabit)'nin üzerine çıkarmaktadır. Bu yeni sistem, bir kullanıcıya birden fazla kartın bağlanmasına ve bunların herhangi bir ek donanım gerektirmeksizin programlanmasına olanak tanımaktadır. Ayrıca vLab, kullanıcıların FPGA kartlarını uzaktan programlaması ve izlemesi için Digilent Adept arayüzü ve özelleştirilmiş bir grafik kullanıcı arayüzü (GUI) kullanmaktadır. Bir sunucu, bağlı kartları otomatik olarak algılayabilir ve bir kart boşa çıktığında kullanıma sunabilmekte ve bu da laboratuvarın verimliliğini artırmaktadır. vLab'ın çift arayüzlü yapısı, uzaktan kullanıcıların yerel ve uzak veri transferlerini eşzamanlı olarak izlemelerine ve kontrol etmelerine olanak tanımaktadır. Bu esneklik, vLab'ı eğitim ortamları ve endüstriyel uygulamalar için güçlü bir araç haline getirmektedir.

Rodriguez-Gil ve arkadaşları, grafik teknolojilerinin kullanıldığı sanal, uzaktan ve hibrit

laboratuvarlar için modern bir yaklaşım sunan WebLab-FPGA-Watertank hibrit laboratuvarını tanıtmaktadır (Rodriguez-Gil vd. 2014). Bu laboratuvar, kullanıcıların bir FPGA cihazını uzaktan programlamasına ve bununla entegre edilmiş bir sanal ortamda kontrol sağlamasına olanak tanıyan bir WebLab-Deusto Remote Laboratory Management System (RLMS – Uzaktan Laboratuvar Yönetim Sistemi) çerçevesinde geliştirilmiştir. WebLab-FPGA-Watertank, HTML5'in Canvas ve WebGL gibi modern web teknolojilerini kullanarak gelişmiş 2 boyutlu ve 3 boyutlu grafiklerin sunulmasını sağlamaktadır. Kullanıcılar, herhangi bir tarayıcı eklentisi yüklemeye gerek duymadan sadece güncel bir web tarayıcısı kullanarak gerçek bir FPGA donanımını programlayabilir ve sanal bir su tankı modelini kontrol edebilmektedir. Bu hibrit laboratuvar, yüksek performanslı grafik gereksinimlerini karşılamak için WebGL'in donanım hızlandırma yeteneklerinden yararlanırken, mobil uyumluluk ve kolay dağıtım için Canvas desteği ile tamamlanmaktadır.



Resim 2. 2 WebGL destekli tablet görüntüsü (Rodriguez-Gil vd. 2014)

WebLab-FPGA-Watertank, kullanıcıların sanal ve gerçek dünyayı aynı anda deneyimlemesini sağlamak için tasarlanmış bir hibrit laboratuvardır. Kullanıcılar, gerçek bir FPGA kartı kullanarak su seviyesi sensörlerini ve pompa kontrollerini simüle eden bir su tankı modelini kontrol edebilmektedir. Resim 2.2’de bulunan WebGL destekli grafikler, yüksek kaliteli 3 boyutlu görselleştirme sağlamakta ve bu da laboratuvarın

potansiyel olarak daha karmaşık sanal dünyalara genişletilmesine olanak tanımaktadır. Ayrıca laboratuvar, platformlar arası uyumluluk ve güvenlik avantajları sunan, tamamen web tabanlı bir istemci gerektirmektedir. Bu yaklaşım, geleneksel bağımsız laboratuvar yazılımlarının sınırlamalarını aşarak eğitimde uzaktan laboratuvarların daha geniş bir kullanıcı kitlesine erişim sağlamasını mümkün kılmaktadır.

Gao ve arkadaşları tarafından sunulan çalışmada, FPGA çiplerinin kablosuz yapılandırılması için yüksek derecede entegre bir RF (Radio Frequency - Radyo Frekansı) devresi tasarlanmaktadır (Gao vd. 2015). Bu sistem, geleneksel kablolu veri iletim yöntemlerinin sınırlamalarını aşarak FPGA konfigürasyon verilerinin kablosuz olarak iletilmesini sağlamaktadır. Özellikle tehlikeli alanlar ya da erişimi zor bölgelerde kullanılan FPGA çipleri için kablosuz konfigürasyon önemli avantajlar sunmaktadır. Çalışmada, kablosuz RF vericisi ve alıcısı tasarlanmakta, ayrıca güç tüketimini azaltmak amacıyla bir uyandırma mekanizması eklenmektedir. RF devresi, düşük gürültü ve yüksek doğrulukta veri aktarımı yapabilen bir sistem olarak tasarlanmakta ve 0.18 mikron CMOS (Complementary Metal-Oxide-Semiconductor - Tamamlayıcı Metal-Oksit Yarı İletken) teknolojisi ile üretilmektedir.

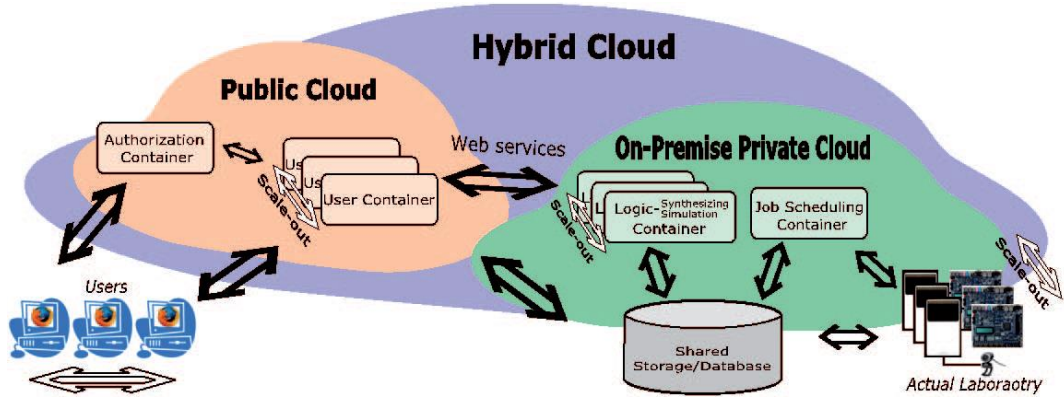
Bu kablosuz yapılandırma devresi, FPGA konfigürasyon kontrolörü, RF veri kanalı ve konfigürasyon hostu olmak üzere üç temel donanım bileşeninden oluşmaktadır. Sistem hem düşük güç tüketimi hem de yüksek doğrulukta veri aktarımı sağlamak amacıyla optimize edilmektedir. Kablosuz iletişimde kullanılan protokol olarak ZigBee standardına benzer bir yapı tercih edilmektedir. Özellikle farklı mesafelerden veri iletişimini sağlamak için vericinin çıkış gücü ayarlanabilir olarak tasarlanmaktadır. Bu sistem, FPGA çiplerinin yeniden programlanabilirlik avantajlarını genişletmekte ve kablolu sistemlere kıyasla daha esnek bir yapı sunmaktadır.

Fernandes ve arkadaşları, nükleer füzyon makinelerinde kullanılan FPGA tabanlı yeniden yapılandırılabilir modüller için uzaktan güncelleme yöntemini ele almaktadır (Fernandes vd. 2015). Bu modüller, özellikle nükleer ortamlarda, fiziksel erişimin kısıtlı olduğu durumlarda güvenli ve verimli bir şekilde FPGA güncellemelerinin yapılabilmesini sağlamaktadır. Çalışmada, FPGA konfigürasyon verilerinin uzaktan güncellenmesi için

Xilinx Quick Boot uygulama notuna dayanan bir yöntem geliştirilmiştir. Bu yöntem, PCI-express ağı kullanarak SPI (Serial Peripheral Interface - Seri Çevresel Arayüz) flash belleklerine yeni FPGA kodlarının yüklenmesini mümkün kılmakta ve sistemin güvenilirliğini artırmaktadır. Özellikle nükleer ortamlarda, insan müdahalesine gerek kalmadan uzaktan güncellemelerin yapılabilmesi, güvenlik açısından kritik bir avantaj sağlamaktadır.

Bu sistemde, FPGA çipleri genellikle sistem açılışı sırasında belleklerinde saklanan kodlarla yapılandırılmaktadır. Ancak nükleer ortamlarda bu tür donanımlara fiziksel erişim mümkün olmadığından, FPGA kodlarının uzaktan güncellenmesi gerekmektedir. PCIe protokolüne uyarlanmış bu yeni yöntem sayesinde, güncellenen FPGA kodları uzaktaki bir ana bilgisayar üzerinden SPI flash belleğe iletilmekte ve FPGA kodları otomatik olarak güncellenmektedir. Sistem, donanım yapılandırma hatalarını önlemek amacıyla, başarısız güncellemelerde FPGA çipinin önceki kodunu yükleyerek işlem güvenliğini sağlamaktadır. Bu yöntem, özellikle nükleer füzyon cihazlarında kullanılan modüllerde uzaktan programlama ve izleme süreçlerini güvenli ve etkili bir şekilde gerçekleştirmekte, gelecekteki büyük ölçekli nükleer projelerde uygulanabilirlik potansiyeline sahip olmaktadır..

Toyoda ve arkadaşları, hibrit bulut üzerinde çalışan yarı otomatik FPGA deneyleri gerçekleştiren FPGA tabanlı bir uzaktan laboratuvar sistemi sunmaktadır (Toyoda vd. 2016). Bu sistemde, kullanıcılar tarafından hazırlanan Verilog HDL tasarım dosyaları ve FPGA test akış dosyaları, hibrit buluta yüklenerek mantık sentezi, mantık simülasyonu ve FPGA çalıştırma gibi bir dizi görevin otomatik olarak başlatılması sağlanmaktadır. Kullanıcılar sadece yüksek seviyede Verilog HDL tasarımları ve FPGA cihaz ayar parametrelerini hazırlarken, geriye kalan tüm işlemler uzaktan laboratuvar yöneticisi tarafından gerçekleştirilir. Bu yarı otomatik deney hizmeti, kullanıcıların tasarımlarının her aşamasında sonuçları incelemelerine olanak tanımakta ve FPGA deney platformlarının verimli bir şekilde paylaşımını sağlayarak kullanıcıların özel ve etkileşimli bir deneyim yaşamasına imkân vermektedir. Kullanıcı, hibrit bulut ortamında bulunan bir sunucuya ve laboratuvar platformuna erişim sağlamaktadır. Böylece platformlar hem alan bölme hem de zaman bölme modunda tahsis edilebilmektedir.

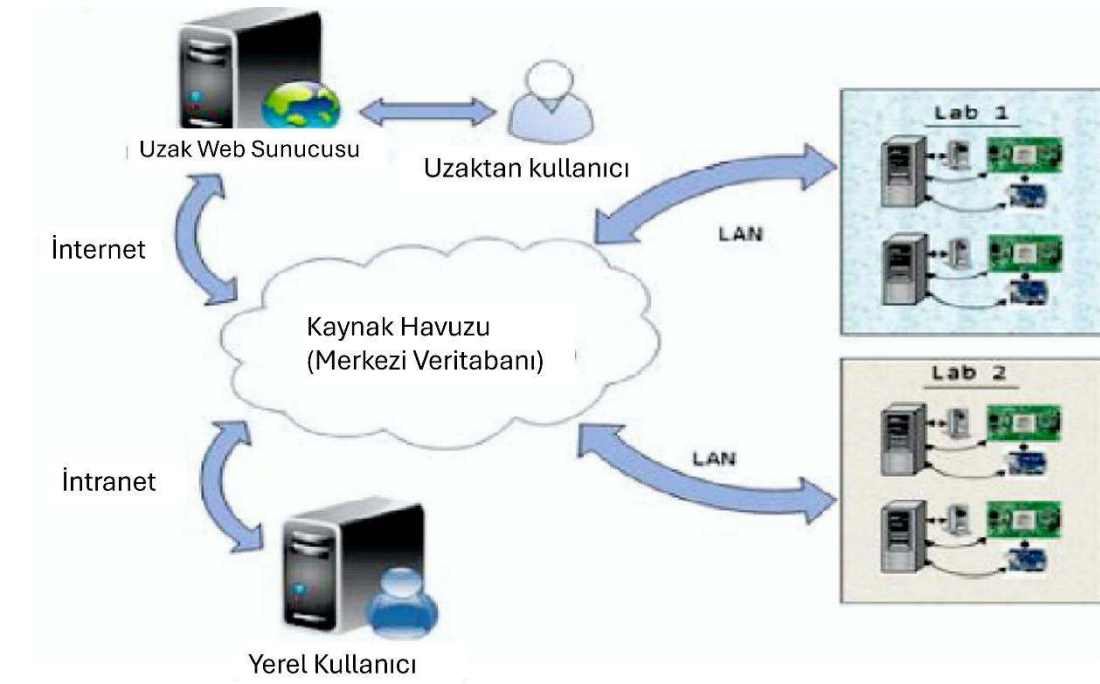


Şekil 2. 7 Toyoda ve arkadaşları tarafından yapılan çalışmadaki hibrit bulut şematiği (Toyoda vd. 2016)

Şekil 2.7’de bulunan hibrit bulut, deney platformlarının yükünü azaltmak için kullanılan bir çözüm olarak öne çıkmaktadır ve cihaz bağımlı hizmetlerin ve lisanslı yazılım hizmetlerinin özel bulut laboratuvar sunucularında Web servisleri olarak çalıştırılması, geriye kalan deney hizmetlerinin ise kamu bulutuna taşınması ile gerçekleştirilmektedir. Kullanıcılar, web tarayıcıları aracılığıyla WebSocket protokolünü kullanarak laboratuvara erişim sağlayabilmekte ve daha hızlı çift yönlü iletişim kurabilmektedir. Kullanıcılar, tasarım dosyalarını yükledikten sonra FPGA kartı ve deney ortamı ayarları için gerekli pin atama ve FTF (FPGA Test Flow - FPGA Test Akışı) dosyası bilgilerini sağlamaktadır. FPGA çalıştırma işlemleri sırasında sanal bir kontrolör ve web kamerası kullanılarak FPGA kartı üzerindeki anahtar ve buton işlemleri uzaktan kontrol edilebilmekte ve tüm deney süreci boyunca kaydedilen video dosyası kullanıcıya geri döndürülmektedir. Bu hibrit bulut organizasyonu, yarı otomatik FPGA deneylerinin verimliliğini ve ölçeklenebilirliğini artırarak akademik ortamlarda FPGA tabanlı uzaktan laboratuvarların kullanımını daha erişilebilir ve etkili hale getirmektedir.

Ali ve arkadaşları, IoT (Internet of Things - Nesnelerin İnterneti) teknolojisini kullanarak FPGA tabanlı uzaktan laboratuvarlar için bulut tabanlı bir platform olan CLP’yi (Cloud Laboratory Platform - Bulut Laboratuvar Platformu) tanıtmaktadır (Ali vd. 2018). CLP, laboratuvar ekipmanlarının çevrimiçi olarak bulut üzerinden kullanılabilirliğini sağlayarak öğrencilerin ve araştırmacıların gerçek zamanlı deneyler yapmasına imkân tanımaktadır. Sistem, Xilinx Spartan-II ve Spartan-III FPGA geliştirme kartları üzerinde

yüksek teknoloji deneylerini uzaktan gerçekleştirmek için geliştirilmiştir ve web tabanlı bir arayüz üzerinden kullanıcıların sisteme erişim sağlamasına olanak tanımaktadır. Şekil 2.8’de görülen CLP Mimarisi, kullanıcıların giriş yapmasını ve deneyleri uzaktan gerçekleştirmesini mümkün kılarken, aynı zamanda yorum ve geri bildirim seçenekleri de sunmaktadır. Bu sistem, kullanıcıların tasarımlarını test etmelerine ve gözlemlerini gerçek zamanlı olarak kaydetmelerine imkân tanımakta ve laboratuvarın daha geniş bir öğrenci kitlesine erişim sağlamasını kolaylaştırmaktadır.



Şekil 2. 8 Ali ve arkadaşlarının yapmış olduğu çalışmanın CLP Mimarisi (Ali vd. 2018)

CLP'nin mimari tasarımı, bulut bilişim ve IoT'nin entegrasyonunu temel alarak geliştirilmiştir ve uzaktan erişim için güvenlik önlemleri ve zaman planlama özelliklerini içermektedir. FPGA kartlarına bağlanan veri toplama ve kontrol sistemleri, sunucu ve cihazlar arasında bir ağ geçidi olarak işlev görmektedir ve gerçek zamanlı veri toplama, bit akışı dosyalarının yüklenmesi ve canlı video akışı gibi çeşitli alt modülleri desteklemektedir. FPGA kartlarının programlanması JTAG arabirimi üzerinden gerçekleştirilmekte ve web tabanlı arayüz, kullanıcının belirli bir cihaza rezervasyon yapmasına ve cihazın durumunu izlemesine olanak tanımaktadır. Sistem, kullanıcıların

çevrimiçi test yatakları aracılığıyla deneyler yapmasına ve FPGA tabanlı laboratuvarların kullanımı için bulut altyapısını optimize etmesine olanak tanıyan bir PaaS (Platform as a Service - Hizmet Olarak Platform) tasarımı üzerine inşa edilmiştir. Bu yaklaşımla, yüksek maliyetli ve sınırlı erişim sunan laboratuvar ekipmanlarının paylaşılması ve kullanımının artırılması amaçlanmaktadır.

Schwandt ve Winzker, mühendislik eğitimi için geliştirdikleri FPGA uzaktan laboratuvar sisteminin kullanılabilirlik ve erişilebilirliğini artırmaya yönelik bir çalışma yapmaktadır (Schwandt ve Winzker 2019). Çalışma, öğrencilerin deneyimlerini optimize etmek amacıyla laboratuvarın kullanıcı arayüzünün öğrenci perspektifinden nasıl tasarlandığını açıklamaktadır. FPGA Vision Remote Lab olarak adlandırılan bu laboratuvar, öğrencilerin tasarımlarını uzaktan deneyimlemelerine ve sonuçları gözlemlemelerine olanak tanımaktadır. Uzaktan laboratuvarın özellikle dijital tasarım derslerine entegre edilmesiyle, öğrenciler zaman ve mekân bağımsız olarak deney yapabilme fırsatına sahip olmaktadır. Çalışmada, kullanıcıların FPGA tasarımlarını sisteme yükleyebilmeleri ve deney sonuçlarını gözlemleyebilmeleri için bir web arayüzü geliştirilmiştir. Şekil 2.9’da bulunan arayüz, uzaktan laboratuvar kullanımını öğrenciler için daha erişilebilir ve kullanıcı dostu hale getirmektedir.



Şekil 2. 9 Schwandt ve Winzker tarafından gerçekleştirilen örnek demo çalışması (Schwandt ve Winzker 2019)

Sistem, iki farklı FPGA üzerinde deney yapılmasına olanak sağlamakta ve her bir FPGA için bağımsız sunucular kullanılmaktadır. Cyclone IV ve Cyclone V FPGA çipleri ile gerçekleştirilen deneylerde, öğrenciler uzaktan FPGA çipine kodlarını yükleyebilmekte ve sonuçları gerçek zamanlı olarak izleyebilmektedirler. WebLab-Deusto RLMS kullanılarak kullanıcı oturumları ve deney sıraları yönetilmektedir ve böylece öğrenciler laboratuvara daha kolay erişim sağlayabilmektedir. Ayrıca laboratuvarın sürekli erişilebilirliği ve açık eğitim kaynakları (OER - Open Educational Resources) olarak sunulması hedeflenmektedir. Öğrencilerin sisteme dair geri bildirimlerine göre uzaktan laboratuvar kullanımını daha da geliştirmek için bazı özellikler iyileştirilmiştir.

Öge ve arkadaşları, FPGA kontrollü arabirim kartlarının testine yönelik iki farklı yöntemi karşılaştıran bir çalışma sunmaktadır (Öge vd. 2019). Bu kartlar, elektronik sistemlerde kontrol, iletişim ve giriş/çıkış gereksinimlerini karşılamak için yaygın olarak kullanılmaktadır. Çalışmada, test yöntemlerinin geliştirilme süreçleri, mühendislik ve teknik işçilik, test kapsamı, tekrarlanabilirlik, bakım, test süresi ve operatör etkileşimi gibi çeşitli kriterler açısından analiz edilmektedir. Birinci yöntem, test cihazlarını kullanarak arabirimlerin işlevselliğini doğrulamaya odaklanmakta, ikinci yöntem ise "Golden Board" adı verilen doğrulanmış bir kart kullanılarak testlerin gerçekleştirilmesini içermektedir. Her iki yöntemin de kendine has avantajları ve dezavantajları bulunmakta, bu nedenle test gereksinimlerine göre en uygun yöntemin seçilmesi gerektiği vurgulanmaktadır.

Birinci yöntemde, test cihazları kullanılarak FPGA kontrollü arabirim kartlarının her bir arabirimi ayrı ayrı test edilmektedir. Testlerin büyük ölçüde otomatikleştirilmesi için LabVIEW gibi yazılımlar kullanılmaktadır ve aynı zamanda test sırasında minimum operatör müdahalesi gerekmektedir. Bu yöntemde, özellikle JTAG ve SPI Flash arabirimlerinin programlanabilirliği ve doğrulanması büyük önem taşımaktadır. Diğer taraftan, ikinci yöntemde, "Golden Board" aracılığıyla arabirimlerin birbirleriyle etkileşimi test edilmekte ve bu sayede test süresi kısaltılmakta olup operatör hatalarının azaltılması hedeflenmektedir. İki yöntem arasında yapılan karşılaştırma sonucunda, test süresi ve operatör etkileşimi açısından Golden Board yönteminin daha verimli olduğu görülmektedir. Fakat bu yöntem daha karmaşık bir geliştirme gerektirmektedir.

Oballe-Peinado ve arkadaşları, dijital elektronik eğitime yönelik FPGA tabanlı bir uzaktan laboratuvar geliştirmektedir (Oballe-Peinado vd. 2020). Bu çalışma, öğrencilere web tabanlı bir uygulama aracılığıyla, laboratuvar ortamında olduğu gibi gerçek donanım üzerinde tasarımlarını test etme olanağı sunmaktadır. Sunucu, öğrencilerin dijital devrelerini FPGA geliştirme sistemine yüklemelerini ve giriş-çıkış çevre birimleri ile etkileşim kurmalarını sağlamaktadır. Tasarım doğrulama işlemi için kullanılan bu uzaktan laboratuvar, özellikle yüksek talep dönemlerinde kaynakların kullanımını yönetmek ve sistemin performansını optimize etmek için kullanıcılara sınırlı oturum süresi tanımlamaktadır.

Bu sistemin, diğer uzaktan laboratuvar çözümlerine göre önemli bir farkı, donanımın geri bildirimini sağlamak için kamera kullanılmamasıdır. Bunun yerine, FPGA geliştirme sisteminin sanal bir temsili, web tabanlı arayüzde gösterilmektedir. Nexys 3 geliştirme kartı üzerindeki dijital giriş-çıkış çevre birimleri, kullanıcıların devrelerinin davranışlarını test etmeleri için sanal anahtarlar, butonlar ve LED'ler gibi grafiksel öğelerle etkileşim kurmalarına olanak tanımaktadır. Ayrıca sistem genişletilebilir PMOD bağlantı noktaları sayesinde, farklı çevre birimlerinin FPGA çipine bağlanabilmesini ve uzaktan kontrol edilebilmesini mümkün kılmaktadır.

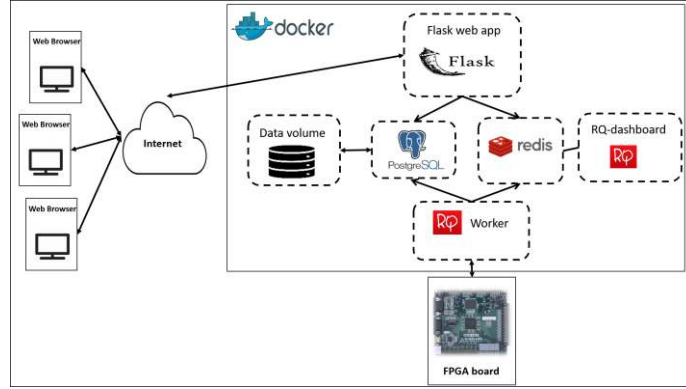
Rigo ve arkadaşları, uzay uygulamaları için gömülü sistemlere yönelik baskılı devre kartı (PCB - Printed Circuit Board) tasarım metodolojisini ele almaktadır (Rigo vd. 2020). Çalışma, gömülü sistemlerin uzay ortamında karşılaştığı zorlu koşullara dayanabilen güvenilir PCB tasarımının teorik ve pratik yönlerini sunmaktadır. Yüksek hızlı sinyallerin ve empedans kontrolünün önemine vurgu yapılan çalışmada, uyduya yönelik bir donanım mimarisinin tasarım ve yerleşim süreci açıklanmaktadır. PCB'nin katmanlı yapısı ve elektromanyetik girişim etkilerini azaltmaya yönelik sinyal bütünlüğü analizleri, Avrupa Uzay Ajansı'nın (ESA - European Space Agency) tasarım kurallarına (ECSS-Q-ST-70-12C) uygun olarak gerçekleştirilmiştir. Bu kapsamda, kullanılan bileşenlerin çoğu geniş sıcaklık aralıklarına dayanacak şekilde seçilmiş ve bazıları radyasyona dayanıklı olacak şekilde yapılandırılmıştır.

Çalışmada yer alan PCB tasarımında, uzay ortamındaki aşırı sıcaklık değişimlerine,

vakuma ve radyasyonun olumsuz etkilerine karşı dayanıklılık büyük önem taşımaktadır. Tasarımda kullanılan bileşenler, uzay şartlarına uygun olarak seçilmiş ve mikrodenetleyicilerle FPGA gibi kritik bileşenler radyasyona dayanıklı özelliklere sahip olarak belirlenmiştir. Tasarımda sinyal bütünlüğü ve elektromanyetik girişim problemleri minimize edilmekte, yüksek hızda veri iletimini ve sistemin güvenilirliğini artırmak için çok katmanlı bir yapı tercih edilmektedir. Ayrıca PCB üzerinde sinyal bütünlüğünün sağlanması ve elektromanyetik girişimlerin engellenmesi için katmanlar arasında sinyal yansımalarını önleyen bir yapı kullanılmıştır. Bu çalışma, uzay uygulamalarında kullanılacak gömülü sistemlerin tasarımında önemli bir kaynak sunmaktadır.

Al Qassem ve arkadaşları, FPGA programlama süreçlerinin bulut tabanlı bir mikro hizmet olarak sunulmasını sağlayan bir çözüm önermektedir (Al Qassem vd. 2020). Bu çözüm, kullanıcıların FPGA donanımını uzaktan programlamalarına olanak tanımakta ve Docker konteynerleri aracılığıyla sistemin ölçeklenebilirliği sağlanmaktadır. Çalışmada, kullanıcılara herhangi bir ek donanım veya üçüncü parti yazılım gerektirmeden FPGA tasarımlarını bulut üzerinden gerçekleştirme imkânı sunulmaktadır. Sistem, web tarayıcıları üzerinden FPGA tasarım giriş dosyalarını yükleme, sentezleme ve doğrulama aşamalarını otomatik olarak gerçekleştirmektedir. Bu süreç, kullanıcıların yalnızca donanım tanımlama dili bilgisiyle FPGA tasarımlarını uzaktan test edebilmelerini sağlamaktadır.

Şekil 2.10'da önerilen sistemin önemli bir özelliği, kullanıcıların FPGA tasarımlarını programlayabilmeleri için bir web tabanlı arayüz kullanılmasıdır. Bu arayüz, Docker konteynerleri kullanılarak FPGA tasarım akışını otomatikleştirmekte ve kaynakları birden fazla kullanıcı arasında paylaşmaktadır. Sistemde iş kuyruğu yönetimi Redis ile yapılmakta ve tasarımlar sırasıyla işlenmektedir. Bu mikro hizmet mimarisi, bulut üzerinde FPGA kaynaklarının kullanımını kolaylaştırmakta ve kullanıcıların sadece HDL dosyalarını yüklemeleri yeterli olmaktadır. Ayrıca sistemin güvenliği artırılmış olup kullanıcıların doğrudan FPGA donanımına erişimleri engellenmektedir. Bu çözüm, FPGA tasarımını bulut tabanlı hizmet olarak sunarak eğitim ve araştırma süreçlerinde önemli bir kolaylık sağlamaktadır.



Şekil 2. 10 Al Qassem ve arkadaşları tarafından yapılan çalışmanın uygulama haritası (Al Qassem vd. 2020)

Monzo ve arkadaşları, uzaktan mühendislik eğitimi için geliştirilmiş bir uzaktan laboratuvar sistemi olan RLAB-UOC-FPGA'yı tanıtmaktadır (Monzo vd. 2021). Bu sistem, tamamen çevrimiçi eğitim senaryolarında telekomünikasyon mühendisliği öğrencilerinin pratik deneyler yapmasına olanak tanıyan bir yapı sunmaktadır. RLAB-UOC, öğrencilerin gerçek elektronik ve iletişim cihazlarıyla herhangi bir yerden ve herhangi bir zamanda deneyler yapmasına imkân vermektedir. Sistem, bir yönetim sistemi kullanılarak kontrol edilen, üniversitenin sanal kampüsü ile entegre edilmektedir. Öğrenciler, gerçek FPGA kartlarına erişip, bu kartların konfigürasyon, programlama, kontrol ve deney görselleştirme gibi tüm işlemlerini uzaktan gerçekleştirebilmektedir. Ayrıca sistemdeki deneylerin kullanımı ve öğrenci memnuniyeti, altı dönem boyunca bir FPGA tabanlı vaka çalışması kullanılarak değerlendirilmiştir. Bu değerlendirmede, öğrencilerin uzaktan laboratuvar kullanarak konuların yeterli öğrenilmesi ve becerilerin edinilmesi konusundaki algıları analiz edilmektedir.

RLAB-UOC'un altyapısı, uzaktan erişilen deneylerin yönetimini optimize etmek için tasarlanmıştır ve bir dizi teknolojik çözümü bir araya getirmektedir. Tüm cihazlar internet üzerinden uzaktan erişilebilir ve laboratuvarın güvenliği ve işlevselliği, Windows tabanlı bir hizmetle kontrol edilen bir rezervasyon sistemiyle sağlanmaktadır. Laboratuvar, FPGA tabanlı deneylerin yanı sıra analog ve dijital elektronik deneylerinin de yapılabilmesine olanak tanımaktadır.. Deneyler sırasında kullanılan donanım, National Instruments FPGA kartları ve LabVIEW tabanlı bir arayüz içermektedir. Öğrenciler, gerçek zamanlı olarak FPGA kartının aktivitelerini bir webcam aracılığıyla

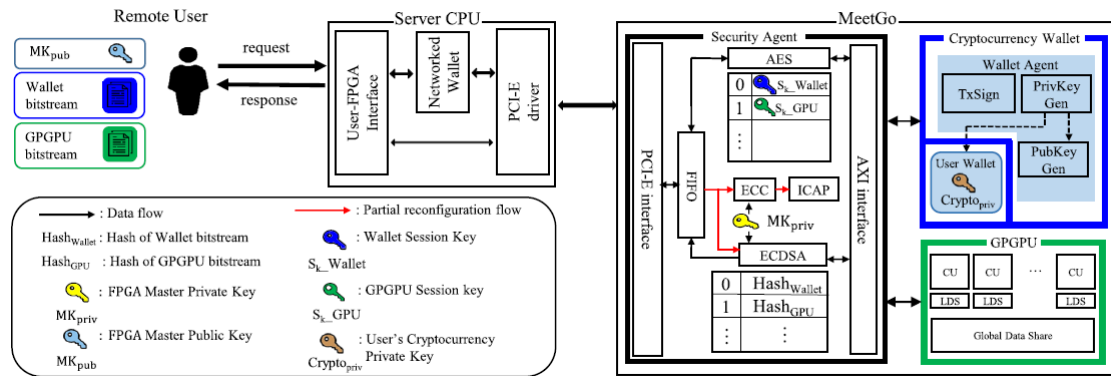
gözlemleyebilmekte ve kontrol edebilmektedir. Deneylerin yönetimi için bir rezervasyon sistemi ve deney yönetim sistemi kullanılmaktadır. Bu sistemler, kullanıcı oturumlarının her kullanımda temiz ve çalışır durumda olmasını garanti etmektedir. Öğrenci erişimi, oturum bilgilerini ve gerekli kimlik doğrulama bilgilerini sağlayan bir yönetim sistemi tarafından kontrol edilmektedir. Bu yapı, uzaktan laboratuvarların çevrimiçi mühendislik eğitiminde etkili bir araç olarak kullanılmasını sağlamaktadır.

Devachandra Singh ve Kumar, FPGA ve Bluetooth tabanlı bir ev otomasyon sistemi tasarlamışlardır (Devachandra Singh ve Kumar 2021). Bu çalışmada, akıllı telefon uygulamaları ile evdeki cihazların kontrol edilebilmesi için Bluetooth HC05 modülü kullanılmıştır. Bluetooth modülü, akıllı telefonlardan gelen komutları FPGA çipine iletmede ve FPGA üzerinde UART (Universal Asynchronous Receiver/Transmitter - Evrensel Asenkron Alıcı-Verici) alıcısı tarafından işlenmektedir. Ev aletlerinin kontrolü için röleler, FPGA kartına entegre edilmiştir ve simülasyonlar Artix-7 serisi FPGA kartı üzerinde gerçekleştirilmiştir. Bu sistem, düşük maliyetli ve enerji tasarruflu bir çözüm sunarken, kısa mesafeli uygulamalar için uygundur ve kullanıcılara mobil cihazlar aracılığıyla ev otomasyonunu kolayca yönetme imkânı sağlamaktadır.

Bu tasarımda, Bluetooth HC05 modülü aracılığıyla kablosuz veri iletimi gerçekleştirilmekte ve FPGA ile ev aletleri arasındaki iletişim, VHDL (Very High-Speed Integrated Circuit Hardware Description Language - Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili) kullanılarak tasarlanan UART alıcısı ile sağlanmaktadır. FPGA çipinden rölelere gönderilen sinyaller, aletlerin açılıp kapatılmasını kontrol etmektedir. Artix-7 serisi FPGA kartı, hızlı işlem gücü ve düşük enerji tüketimi ile dikkat çekmektedir. Çalışmanın sonuçları, sistemin güvenilir bir şekilde çalıştığını ve düşük güç tüketimi sağladığını göstermektedir. FPGA üzerindeki LUT (Look-Up Table - Arama Tablosu) ve flip-flop kullanımı mevcut IoT tabanlı ev otomasyon sistemleri ile karşılaştırıldığında daha verimli bulunmuştur, bu da sistemin enerji verimliliği ve maliyet açısından avantaj sunduğunu ortaya koymaktadır.

Oh ve arkadaşları, Şekil 2.11'de bulunan FPGA tabanlı güvenilir bir yürütme ortamı (TEE - Trusted Execution Environment) olan MeetGo'yu tanıtmaktadır (Oh vd. 2021).

Bu sistem, uzak kullanıcıların güvenli bir şekilde işlem yapabilmeleri ve hassas verileri koruyabilmeleri için geliştirilmiştir. MeetGo, kullanıcıların veri gizliliğini ve bütünlüğünü sağlamak amacıyla FPGA üzerinde izole bir ortamda çalışmakta ve kötü niyetli yöneticilerden kaynaklanabilecek iç tehditlere karşı bir çözüm sunmaktadır. FPGA çipinin yeniden programlanabilir yapısı sayesinde sistem, kripto para cüzdanı ve genel amaçlı grafik işleme birimi (GPGPU - General-Purpose Graphics Processing Unit) gibi farklı uygulamaları desteklemekte ve güvenli veri işlemeyi mümkün kılmaktadır.



Şekil 2. 11 Oh ve arkadaşları tarafından yapılan çalışmanın çalışma diyagramı (Oh vd. 2021)

Çalışma, özellikle uzaktan kripto para işlemleri ve GPGPU kullanımında MeetGo'nun güvenlik açısından nasıl bir avantaj sağladığını göstermektedir. Kripto para cüzdan uygulaması, kullanıcıların özel anahtarlarını FPGA içindeki güvenilir ortamda tutarak işlemlerini güvenli bir şekilde gerçekleştirmelerine olanak tanımaktadır. Ayrıca GPGPU uygulaması ise büyük veri işleme ve makine öğrenmesi gibi hesaplama yoğun görevlerin güvenli bir şekilde yürütülmesine imkan tanımaktadır. MeetGo, sağladığı güvenlik özelliklerine rağmen uygulamalarda neredeyse yok denecek kadar düşük performans kaybına neden olmaktadır ve bu özelliğiyle verimli ve güvenli bir uzaktan işlem çözümü sunmaktadır.

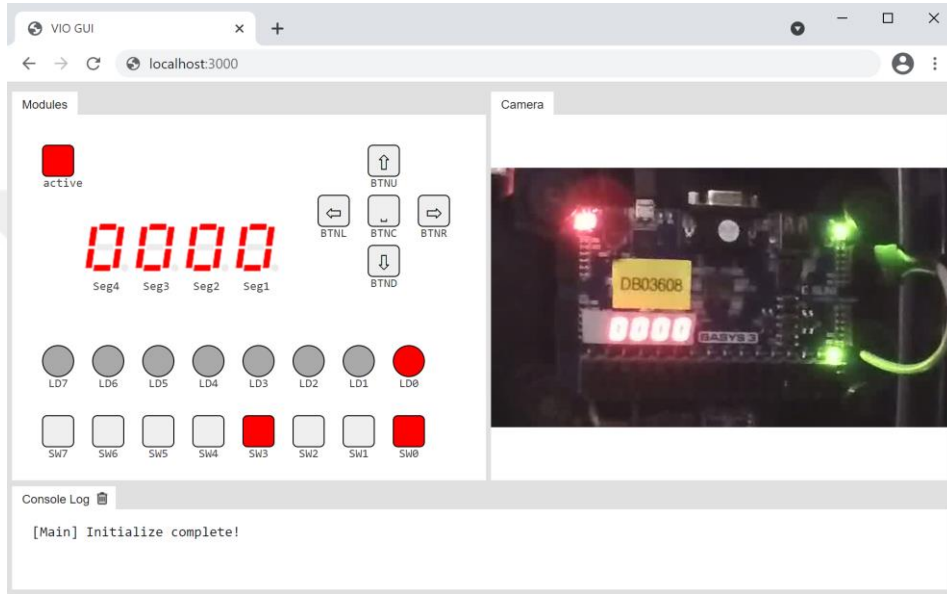
Mateos-Gil ve arkadaşları, FPGA tabanlı SoC (System on Chip - Çip Üzerinde Sistem) tasarımı için geliştirilmiş uzaktan bir laboratuvar altyapısını tanıtmaktadır (Mateos-Gil vd. 2022). Bu laboratuvar, öğrencilerin çevrimiçi olarak FPGA geliştirme kartlarına ve tam işlevselliğe sahip geliştirme araçlarına erişimini sağlayarak SoC tasarımı derslerinin uzaktan yürütülmesine imkân tanımaktadır. Sistem, kullanıcıların ders dışı saatlerde

kartları rezerve edebilmelerine olanak tanıyan bir web uygulaması üzerinden yönetilmekte ve aynı anda birden fazla kullanıcının kartları kullanmasını sağlamaktadır. Bu, kullanıcıların birbirlerinin çalışmalarına müdahale etmesini önler ve kullanıcı G/Ç arayüzlerinin sanallaştırılmasına ve tasarımın tepkisini ölçmek için uzaktan ölçüm araçlarının kullanılmasına imkân tanımaktadır. Bu yaklaşım, öğrencilerin ticari araçlar kullanarak yüz yüze eğitim modundakiyle aynı araçlarla deneyler yapabilmelerini sağlayarak mevcut ticari geliştirme araçlarıyla sınırlı uzaktan kullanım sorunlarını çözmektedir.

Laboratuvar altyapısı, Linux tabanlı bir sunucu çözümü kullanılarak uygulanmıştır ve öğretim laboratuvarında bulunan iki sunucuya uzaktan erişim sunmaktadır. Sunuculara bağlı çeşitli geliştirme kartlarının (örn. Zedboard) kullanımı için JTAG ve seri port bağlantıları yapılmıştır. Kullanıcıların hangi portların hangi kartlara tahsis edildiğini bilmesini sağlamak için Linux'ta udev kuralları kullanılmıştır. Her kullanıcının yalnızca kendisine atanmış kartı kullanabilmesi için bir web rezervasyon uygulaması ve ilgili bir sarıcı (wrapper) kullanılarak kullanıcıların erişimlerini yönetmektedir. Bu sarıcı, her kullanıcı için kart rezervasyonlarını ve kart kullanım sürelerini izler ve gerekirse kullanıcı oturumlarını sonlandırmaktadır. Sistem ayrıca bir röle kartı aracılığıyla geliştirme kartlarının uzaktan açılmasını ve kapatılmasını da kontrol etmektedir. Böylece ekipmanların sürekli kullanımının önüne geçilmekte ve olası donma durumlarında cihazların uzaktan sıfırlanmasına olanak tanımaktadır. Bu bütünleşmiş altyapı, yüksek lisans ve lisans derslerinde FPGA tabanlı SoC tasarım eğitimi için etkili ve güvenilir bir çözüm sunmaktadır.

Blochwitz ve arkadaşları, donanım tasarımı eğitimi için geliştirilmiş olan RemEduLa (Remote Educational Laboratory for FPGA Design Technology - FPGA Tasarım Teknolojisi için Uzaktan Eğitim Laboratuvarı) sistemini tanıtmaktadır (Blochwitz vd. 2022). RemEduLa, fiziksel FPGA geliştirme kartlarının uzaktan erişilebilir hale getirilmesini sağlayarak öğrencilerin gerçek donanım üzerinde çalışmalarını mümkün kılan bir web arayüzü aracılığıyla sanal giriş ve çıkışları (VIO – Virtual Input/Output) kullanan bir overlay tasarım sunmaktadır. Sistem, Xilinx Vivado gibi üreticiye özgü tasarım araçları kullanılarak öğrencilerin FPGA kartlarını uzaktan kontrol etmelerine ve

geliştirme sürecinin tüm aşamalarını deneyimlemelerine olanak tanımaktadır. Öğrenciler Şekil 2.12’de görüldüğü üzere düğmeler, LED’ler ve harici bileşenler (sensörler, aktüatörler) gibi çevre birimlerini kontrol edebilmekte ve web arayüzü üzerinden gerçek zamanlı görsel geri bildirim alabilmektedir. Ayrıca RemEduLa, öğrencilere doğrudan donanım kontrolü ve izleme deneyimi sunarak geleneksel sınıf içi laboratuvar çalışmalarına en yakın çevrimiçi eğitim deneyimini sunmaktadır.



Şekil 2. 12 Blochwitz ve arkadaşları tarafından yapılan local host çalışması ekran görüntüsü (Blochwitz vd. 2022)

Sistem mimarisi, modüler raf tabanlı bir yapıdadır. Her biri Basys3, ZedBoard ve PYNQ gibi farklı FPGA geliştirme kartlarıyla donatılmış taşıyıcı kartlar içermektedir. Bu taşıyıcı kartlar, HDMI (High-Definition Multimedia Interface - Yüksek Çözünürlüklü Multimedya Arayüzü) ve ağ bağlantıları gibi standart modüller kullanarak video işleme ve video yakalama sistemlerine bağlanmaktadır. Her bir FPGA kartı, JTAG bağlantısı ile donatılmıştır ve Vivado donanım sunucusu aracılığıyla kontrol edilmektedir. Bu yapı, öğrencilere 7/24 erişim sağlamak için VMware Horizon 8 platformu üzerinden sunulan sanal makineler (VM – Virtual Machine) kullanılarak desteklenmektedir. Ayrıca RemEduLa'nın video yönetim altyapısı, uzaktan izleme için birden çok HDMI kaynağını tek bir 4K akışına birleştiren bir video yakalama ve çoklu izleyici PC'sini içermektedir. Tüm sistem, bir donanım sunucusu panosu, yük dengeleme sunucusu ve kamera altyapısından oluşur ve böylece uzaktan eğitim için ölçeklenebilir ve esnek bir çözüm

sunmaktadır. Bu yapı, öğrencilerin esnek ve etkili bir uzaktan eğitim deneyimi yaşamasını ve donanım tasarım becerilerini geliştirmesini sağlamaktadır.

Abanto ve arkadaşları, FPGA kartlarına uzaktan erişim sağlamak için web tabanlı bir arayüzün geliştirilmesini ve uygulanmasını anlatan bir çalışma sunmaktadır (Abanto vd. 2022). Bu çalışma, fiziksel düğmeler ve anahtarlar gibi FPGA kartının kontrol elemanlarının uzaktan simülasyonunu sağlayan ve deney sonuçlarını web tabanlı bir arayüz üzerinden görselleştiren bir sistem geliştirmeyi hedeflemektedir. Sistem, Altera'nın Cyclone IV E ailesine ait DE2-115 FPGA kartı ile Raspberry Pi 4 (RPI) arasında GPIO (General-Purpose Input/Output - Genel Amaçlı Giriş/Çıkış) bağlantısı kurularak oluşturulmuştur ve ana sunucuya USB-Blaster arabirimi ile bağlanmıştır. Raspberry Pi üzerinde Python-Flask kullanılarak geliştirilmiş olan web tabanlı arayüz, kullanıcıların deneyleri sezgisel ve etkileşimli bir ortamda gerçekleştirmelerine olanak tanımaktadır. Kullanıcılar, web arayüzü üzerinden ana sunucuya erişebilmekte ve FPGA kartı üzerinde HDL projeleri geliştirebilir ve simüle edebilmektedir. Bu projeler, Linux betikleri veya Quartus komutları kullanılarak sentezlenebilmekte ve elde edilen sonuçlar gerçek zamanlı olarak web arayüzünde görüntülenebilmektedir.

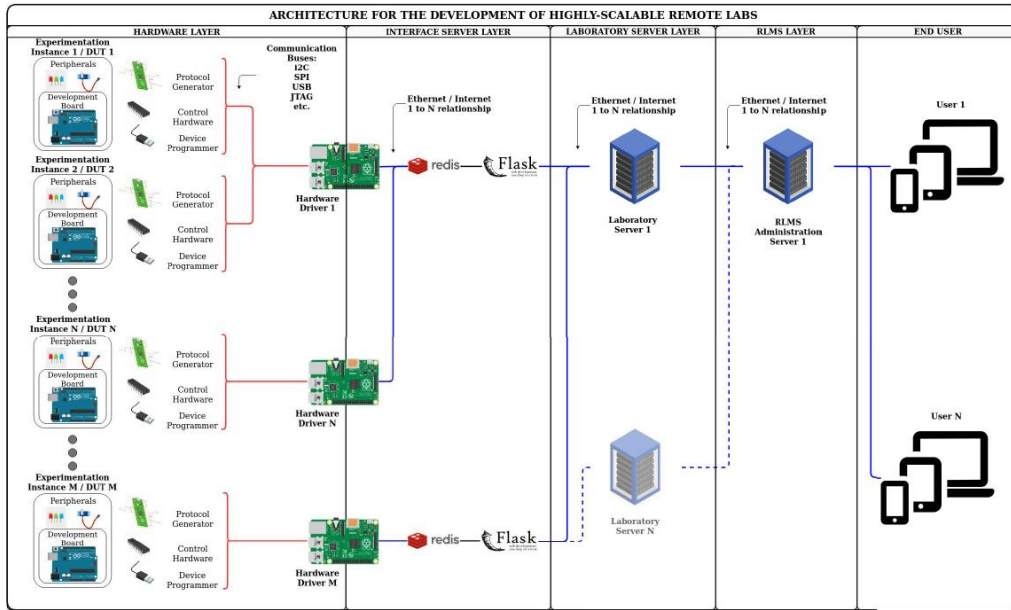
Bu sistemin geliştirilmesinde, web arayüzü için Flask-Python arka uç (backend) ve HTML (HyperText Markup Language - Hipermetin İşaretleme Dili)-CSS (Cascading Style Sheets - Basamaklı Stil Sayfaları) ön uç (frontend) kullanılmıştır. Kullanıcılar, Raspberry Pi'nin ağdaki IP adresi üzerinden ve port 80 kullanılarak platforma erişim sağlayabilirler. Sistem, FPGA kartı ve RPI arasında 40 pinli düz kablo kullanılarak fiziksel bir bağlantı kurulmasını gerektirmektedir. Bu bağlantı, FPGA kartının sanal düğmeleri ve anahtarları ile RPI'nin GPIO pinleri arasındaki bilgi alışverişini kontrol etmektedir. Ayrıca RPI'ye bağlı bir web kamera aracılığıyla FPGA kartı üzerindeki durumları ve değişiklikleri gerçek zamanlı olarak izlemek mümkündür. Kullanıcılar, RPI üzerinde çalışan Flask sunucusunu kullanarak FPGA kartındaki tüm giriş ve çıkışları kontrol edebilmektedir. Bu sistem, eğitim amaçlı uzaktan FPGA laboratuvarlarının hızlı bir şekilde uygulanmasına ve geliştirilmesine önemli bir katkı sağlamaktadır. Açık kaynaklı olarak GitHub üzerinde erişime sunulmuştur ve böylece akademik çalışmalar için geliştirilmesi ve uyarlanması mümkün kılınmıştır.

Dodi ve arkadaşları, OV7670 kamera modülünün FPGA tabanlı bir sistem ile gerçek zamanlı video aktarımı sağlamak amacıyla bir VGA (Video Graphics Array - Video Grafik Dizisi) monitöre arayüzlenmesi üzerine bir araştırma sunmaktadır (Dodi vd. 2022). Bu çalışmada, OV7670 kamera modülü ile DE0-Nano-SoC FPGA kartı arasındaki arayüzün kurulması ve görüntü verilerinin VGA portu üzerinden monitöre aktarılması ele alınmaktadır. FPGA DE0-Nano-SoC kartında VGA portu bulunmadığından, bu port ihtiyacını karşılamak için 24 bit VGA ve ses destekli ADV7123 sürücü bütünleşmiş devresi kullanılmaktadır. OV7670 kamera modülü, düşük maliyetli ve düşük voltajlı CMOS tabanlı bir görüntü işleme cihazı olup, maksimum 30 fps hızında 8 bit veri görüntü çıktısı sağlamaktadır. FPGA üzerinde entegre edilen bu kamera modülü, saat, dikey senkronizasyon (VSYNC - Vertical Synchronization) ve yatay senkronizasyon (HSYNC - Horizontal Synchronization) gibi kontrol sinyallerini kullanarak görüntü verilerini paralel senkron modda göndermektedir. Bu sinyaller, görüntülerin doğru bir şekilde işlenmesi ve görüntü ekranına aktarılması için hayati öneme sahiptir.

Çalışmada kullanılan VGA sürücüsü ADV7123, FPGA pinlerinden gelen senkronizasyon sinyallerini VGA monitöre analog sinyal olarak aktarmak için kullanılmaktadır. ADV7123, 24 bitlik bir VGA sürücü devresi olup, 640 x 480 piksel çözünürlüğü 25 MHz frekansta destekleyebilmektedir. Sistemin kurulumu, OV7670 kamera modülünün FPGA DE0-Nano-SoC kartının GPIO pinlerine jumper kablolar kullanılarak bağlanmasını ve VGA sürücüsünün de standart bir VGA kablosu aracılığıyla monitöre bağlantısını gerektirmektedir. OV7670 kamera modülü, FPGA çipine bağlı bir saat kaynağına ihtiyaç duyar ve bu saat sinyali sağlandığında, VSYNC düşük olduğunda ve HREF (Hypertext Reference - Hipermetin Referansı) sinyali piksel veri transferini başlattığında görüntü verilerini göndermeye başlamaktadır. Deneysel sonuçlar, sistem tasarımının oldukça iyi çalıştığını ve görüntülerin gerçek zamanlı olarak başarıyla aktarılabilirdiğini göstermektedir. Bu çalışma, gerçek zamanlı video işlemleri için FPGA tabanlı görüntü işleme uygulamalarının nasıl geliştirilebileceğini ve düşük maliyetli bir donanım tabanlı çözümle yüksek performans elde edilebileceğini ortaya koymaktadır.

Villar-Martínez ve arkadaşları, çok kurumsal kullanım için maliyet-etkin bir replikasyon tabanlı mimarinin etkinliğini değerlendirerek uzaktan laboratuvarların yaygın bir şekilde

benimsenmesini hedefleyen bir çalışma sunmaktadır (Villar-Martínez vd. 2022). Mimari yapısı Şekil 2.13'te görülen çalışma, LabsLand Intel DE1-SoC FPGA uzaktan laboratuvarını çok sayıda kopyayla ve farklı ülkelerdeki çeşitli kurumlarda dağıtarak uzaktan laboratuvarların güvenilirliğini ve hizmet kalitesini (QoS - Quality of Service) değerlendirmiştir. Bu mimari, hata algılama modeline dayalı olarak maliyet-etkin bir şekilde çoğaltılabilen ve güvenilir bir hizmet sağlayabilen laboratuvarlar yaratmayı amaçlamaktadır. Replikasyon ve hata algılama modeli, kullanıcıların karşılaştığı donanım sorunlarını hızla tespit etmeyi ve çözmeyi, arızalı örnekleri sistemden otomatik olarak çıkarmayı ve yalnızca çalışır durumdaki örneklerle yönlendirmeyi sağlamaktadır. Çalışma, 736 gün boyunca 72.377'den fazla laboratuvar oturumundan elde edilen gerçek verilere dayanarak laboratuvarın yüksek QoS standartlarını karşılayabileceğini göstermiştir.



Şekil 2. 13 Villar-Martínez ve arkadaşları tarafından yapılan çalışmanın laboratuvar mimarisi (Villar-Martínez vd. 2022)

Çalışma kapsamında, laboratuvarların gerçek zamanlı uzaktan kullanımda karşılaşılabileceği ölçeklenebilirlik ve güvenilirlik sorunlarına yönelik çözümler de sunulmuştur. Bu çözümler arasında, çok sayıda kullanıcıyı aynı anda destekleyen laboratuvarların düşük maliyetli çoğaltılabilirliğini sağlayan mimari düzenlemeler ve arıza tespit sistemleri bulunmaktadır. Özellikle, arıza tespiti yapılabilen ve maliyet etkin

bir şekilde çoğaltılabilen laboratuvar yapıları, büyük öğrenci gruplarına hizmet sunmak için optimize edilmiştir. Bu çalışma, uzaktan laboratuvarların eğitim ortamlarında yaygın olarak benimsenmesini engelleyen teknik ve pratik sınırlamaların nasıl aşılabileceğine dair önemli bulgular sunmaktadır ve uzaktan laboratuvarların STEM eğitimindeki potansiyel kullanımını artırmayı hedeflemektedir.

García-Orellana ve arkadaşları, uzaktan mikrodenetleyici uygulamaları için geliştirilmiş düşük maliyetli bir uzaktan laboratuvar platformunu tanıtmaktadır (García-Orellana vd. 2022). Platform, COVID-19 pandemisi sırasında "Araç Elektroniği" dersinin pratiklerini desteklemek amacıyla acil bir çözüm olarak geliştirilmiş ve sonrasında önemli bir eğitim kaynağı haline gelmiştir. Bu platformun donanım bileşenleri, bir Raspberry Pi, bir kamera ve eski bir PC kutusu gibi düşük maliyetli cihazlardan oluşmaktadır. Raspberry Pi, bir Tek Kartlı Bilgisayar (SBC - Single Board Computer) olarak kullanılmış ve Linux tabanlı bir sistem üzerinde Node-RED ile geliştirilmiş bir yazılım arayüzüne sahiptir. Donanım platformu, mikrodenetleyici ile entegre dijital giriş-çıkış (I/O) ve en az bir analog giriş sağlarken, Node-RED, web tabanlı kontrol arayüzü sunarak kullanıcıların deneyleri uzaktan gerçekleştirmesine olanak tanımaktadır. Kullanıcılar, mikrodenetleyiciye yüklenecek olan ikili dosyaları yükleyebilir, cihazı yeniden başlatabilir ve deney ortamını yönetebilirler. Ayrıca kamera ve aydınlatma sistemleri gibi yardımcı ekipmanların kontrolü de bu arayüz aracılığıyla sağlanmaktadır.

Platformun yazılım bileşeni olan Node-RED, grafiksel, akış tabanlı bir programlama sistemidir ve IBM tarafından geliştirilmiş açık kaynaklı bir ortamdır. Node-RED, Raspberry Pi'nin donanım kaynakları ve diğer kontrol elemanları ile entegrasyon sağlayarak düğmeler, potansiyometreler ve diğer web tabanlı kontrol araçları için bir gösterge paneli oluşturmaktadır. Deneylerin her biri, bir web arayüzü kullanılarak uzaktan gerçekleştirilir ve mikrodenetleyici ile fiziksel düğme ve anahtarların simülasyonunu içermektedir. Örneğin, ilk pratikte, ultrasonik bir sensör kullanılarak bir mesafe ölçüm sistemi geliştirilmiştir ve bu sistem, Node-RED üzerinde geliştirilen bir arayüzle kontrol edilmektedir. Diğer pratikler ise motor hızı kontrolü, iletişim otobüsleri LIN (Local Interconnect Network - Yerel Ara Bağlantı Ağı) ve CAN (Controller Area Network - Denetleyici Alan Ağı) ile çalışmayı ve OBD-II hata kodu okuyucu geliştirmeyi

içermektedir. Platform, pratiklerin basit ve düşük maliyetli donanım bileşenleri ile hızlı bir şekilde kurulumunu sağlayarak uzaktan eğitim için esnek ve etkili bir çözüm sunmaktadır.

Seetharaman ve arkadaşları, FPGA devrelerini kullanarak kalabalık yönetim sistemlerinin geliştirilmesi üzerine çalışmaktadır (Seetharaman vd. 2022). Bu sistem, büyük insan topluluklarının bir araya geldiği yerlerde, giriş ve çıkışları takip eden ultrasonik sensörler kullanılarak oda içerisindeki insan sayısını belirlemektedir. Sistem, oda kapasitesinin aşılması durumunda bir alarm sistemi devreye sokarak güvenlik birimlerini uyarmaktadır. Basys-3 FPGA kartı, bu proje için kullanılan ana donanım olup, üzerinde bulunan yedi parçalı gösterge sayesinde oda içerisindeki kişi sayısı gösterilmektedir. Ultrasonik sensörlerin FPGA ile entegrasyonu, VHDL dilinde programlanmakta ve sensörlerden gelen veriler, dijital sinyallere dönüştürülerek işlenmektedir.

Bu sistemin temel bileşenlerinden biri olan ultrasonik sensörler, giriş ve çıkış kapılarında yerleştirilerek her bir kişinin odadan giriş veya çıkışını tespit etmektedir. Kapasitenin dolması durumunda, kırmızı bir LED ışığı yanmakta ve kişi girişine izin verilmemektedir. Ayrıca sistemin tasarımı, güvenilir bir şekilde oda kapasitesinin kontrol edilmesine olanak tanımakta ve insan sayısını göstergeye aktarmaktadır. VHDL kullanılarak geliştirilen bu tasarım, FPGA devrelerinin esnekliği sayesinde farklı ortamlarda da uygulanabilir olup, büyük kalabalıkların yönetimi için etkili bir çözüm sunmaktadır.

Navas-González ve arkadaşları, FPGA tabanlı uzaktan laboratuvarlar için dijital elektronik uygulama projelerini tanıtan bir çalışma sunmaktadır (Navas-González vd. 2022). Çalışmada, öğrencilerin hem kampüste hem de çevrimiçi olarak projelerini gerçekleştirebileceği bir platform geliştirilmiştir. Bu platform, öğrencilere mesai saatleri dışında da laboratuvar kaynaklarına erişim imkanı sunarak eğitim sürecini desteklemektedir. Özellikle, kampüs dışı eğitim taleplerinin arttığı pandemi döneminde bu platform, öğrencilerin projelerini uzaktan yürütebilmesi açısından büyük fayda sağlamıştır. Çalışmanın odağı, Nexys3 platformu kullanılarak yapılan dijital elektronik uygulamaları üzerine yoğunlaşmaktadır.

Projenin gerçekleştirilmesi için öğrenciler, Xilinx ISE Design Suite ortamında tasarımlarını doğrulamakta ve FPGA kartlarına yüklemektedir. Nexys3 kartındaki anahtarlar ve LED'ler giriş-çıkış arayüzleri olarak kullanılmakta ve öğrenciler, projelerini uzaktan laboratuvar aracılığıyla da test edebilmektedir. Bu çalışma, uzaktan laboratuvarların nasıl etkili bir şekilde kullanıldığını gösterirken, öğrenci geri bildirimleri ve memnuniyet anketleri de sonuçları desteklemektedir. Anket sonuçlarına göre, öğrenciler bu sistemin kullanımını oldukça verimli bulmakta ve on-campus deneyimiyle büyük ölçüde benzer olduğunu belirtmektedirler.

Hong ve Chen, FPGA gömülü platformuna dayalı bir video parlaklık çıkarım sistemi tasarlamışlardır (Hong ve Chen 2023). Bu sistem, video sinyalinden parlaklık bilgilerini çıkartarak bir ışık panosunun parlaklık değişimlerini kontrol edebilmektedir. Sistem hem video hem de ışık panosunun senkronize bir şekilde çalışmasını sağlamakta ve kullanıcılara daha iyi bir görsel deneyim sunmaktadır. Tasarımda, video parlaklık farklılıklarını artırmak için yerel karartma algoritmasına ek olarak Gamma düzeltme algoritması uygulanmaktadır. Ayrıca 74HC595 çipi kullanılarak çıkış sinyalinin seri ve paralel dönüşümü gerçekleştirilmekte, bu da video çıkış hızını artırmakta ve IO kaynaklarını verimli bir şekilde kullanmaktadır. Sistem, video girişini ADV7611 HDMI'dan RGB (Red, Green, Blue - Kırmızı, Yeşil, Mavi)'ye çevirici modülü aracılığıyla almakta ve elde edilen RGB sinyalleri FPGA çipine aktarılmaktadır. FPGA çipinde görüntü işleme modülü ile parlaklık çıkarım işlemleri gerçekleştirilmekte ve video verileri DDR3 belleğe yazılarak zamanlama senkronizasyonu sağlanmaktadır. Işık panosu parlaklık kontrolü, FPGA çipinde işlenen parlaklık bilgisine dayanarak gerçekleştirilmekte ve uzaktan kontrol modülü sayesinde sesli komutlar veya mobil uygulamalar ile parlaklık ayarı yapılabilmektedir. Bu sistem, düşük maliyetli bir aydınlatma çözümü sunarken, görüntü işleme hızını artırarak gerçek zamanlı video işlemede önemli avantajlar sağlamaktadır.

Bu bölümde incelenmiş olan uzaktan erişilebilen FPGA laboratuvarlar çalışmalarının donanım - yazılım bileşenleri, odak alanları ve özellikleri hakkında veriler Çizelge 2.1'de bulunmaktadır. Bu platformlar, mühendislik ve bilim eğitimi alanında uzaktan eğitim olanaklarını geliştirmek amacıyla çeşitli teknolojik yaklaşımlar kullanarak tasarlanmıştır.

Çizelge 2. 1 Literatür karşılaştırmaları

Çalışma	Platform Odak Alanı	Donanım Bileşenleri	Yazılım Bileşenleri	Özellikler
Hashemian ve Riddley (2007)	FPGA e-Lab için Dijital Tasarım Dersleri	Xilinx Spartan-3E, NI Veri Toplama, LabView GUI	Windows XP Uzak Masaüstü, LabView	Uzaktan Dijital Tasarım Deneyimi
Indrusiak ve arkadaşları (2007)	FPGA Prototipleme için Uzaktan Erişim	Xilinx FPGA, Jini-tabanlı Ara Katman	Nesne Yönelimli Proxy, Jini Ara Katman	Çok Kullanıcı FPGA Platformu
Hashemian ve Pearson (2009)	Dijital Donanım Tasarımı için RLA	FPGA, USB/CSR Arayüzü	WebSocket, Web Arayüzü	Gerçek Zamanlı Dijital G/Ç
Drutarovsky ve arkadaşları (2009)	Yeniden Yapılandırılabilir Sistemler için Hibrit Uzaktan Laboratuvar	Altera FPGA, NI Osiloskop, LabView	LabView, JTAG	Yeniden Yapılandırılabilir Donanım ile Hibrit Laboratuvar
Ursutiu ve arkadaşları (2009)	FPGA ve LabVIEW kullanarak uzaktan programlama ve izleme	Xilinx Spartan-3E, NI-ELVIS	LabVIEW, FPGA Modülü	Kablosuz FPGA Programlama ve İzleme
Wang ve Zhang (2010)	JTAG tabanlı uzaktan otomatik hata tespiti	Atmega128 mikrodenetleyici, SN74ACT8990	TCP/IP tabanlı ağ iletişimi	IEEE 1149.1 standardı ile entegre
Morgan ve Cawley (2011)	Mühendislik Eğitimi için RemoteFPGA Lab	Digilent Nexys 2, USB Komut/Veri Arayüzü	Web-tabanlı Arayüz, HTML5, WebGL	WebGL ile Gelişmiş Görselleştirme
Ravanasa ve Hashemian (2014)	Çoklu Kullanıcı FPGA Erişimi için vLab	Altera FPGA, EPP Protokolü	Özel GUI, Digilent Adept	Çoklu FPGA Erişimi ve Kontrolü
Rodriguez-Gil ve arkadaşları (2014)	Grafikler ile WebLab-FPGA-Watertank	FPGA, WebGL, HTML5	Node-RED Dashboard, WebGL	HTML5 ile Gelişmiş Grafikler

Çizelge 2. 1 (Devam) Literatür karşılaştırmaları

Çalışma	Platform Odak Alanı	Donanım Bileşenleri	Yazılım Bileşenleri	Özellikler
Gao ve arkadaşları (2014)	Kablosuz FPGA yapılandırma için RF devresi	RF Vericisi ve Alıcısı	ZigBee standardına benzer yapı	Kablosuz FPGA konfigürasyonu
Fernandes ve arkadaşları (2015)	Nükleer ortamlar için FPGA güncelleme	Xilinx Quick Boot, SPI flash bellek	PCIe protokolü	Fiziksel erişim gerektirmeden uzaktan güncelleme
Toyoda ve arkadaşları (2016)	Hibrit Bulut Üzerinde Çalışan Yarı Otomatik FPGA Deneyleri (SAFRE)	Hibrit Bulut Sunucuları, JTAG, FPGA Test Akış Dosyaları	WebSocket Protokolü, Web Arayüzü, Linux Betikleri, Quartus Komutları	Hibrit Bulut Ortamında Yarı Otomatik FPGA Deneyleri
Ali ve arkadaşları (2018)	FPGA Laboratuvarları için IoT Tabanlı Bulut Platformu	Xilinx Spartan-II & III, JTAG, I2C	Web Arayüzü, Bulut Tabanlı	Uzaktan Laboratuvarlar için PaaS
Schwandt ve Winzker (2019)	Mühendislik eğitimi için FPGA uzaktan laboratuvar	Cyclone IV ve Cyclone V FPGA Çipleri	WebLab-Deusto RLMS	Web-tabanlı laboratuvar yönetimi
Oballe-Peinado ve arkadaşları (2020)	Dijital elektronik eğitime yönelik uzaktan laboratuvar	Nexys 3 FPGA	Web-tabanlı arayüz	Kamera olmadan sanal kontrol arayüzü
Rigo ve arkadaşları (2020)	Uzay uygulamaları için gömülü sistemlere yönelik PCB tasarımı	Katmanlı PCB, FPGA	ECSS-Q-ST-70-12C standartları	Radyasyona dayanıklı bileşenler
Al Qassem ve arkadaşları (2020)	Bulut tabanlı FPGA mikro hizmetleri	Docker konteynerleri, FPGA	Web-tabanlı arayüz	FPGA tasarımı için bulut tabanlı hizmet

Çizelge 2. 1 (Devam) Literatür karşılaştırmaları

Çalışma	Platform Odak Alanı	Donanım Bileşenleri	Yazılım Bileşenleri	Özellikler
Monzo ve arkadaşları (2021)	Çevrimiçi Mühendislik için RLAB-UOC-FPGA	National Instruments FPGA, LabVIEW	Web Arayüzü, Windows-tabanlı	Web Tabanlı Kontrol ve İzleme
Devachandra Singh ve Kumar (2021)	FPGA ve Bluetooth tabanlı ev otomasyonu	Artix-7 FPGA, Bluetooth HC05	VHDL, UART Alıcısı	Kablosuz ev otomasyonu ve düşük enerji tüketimi
Oh ve arkadaşları (2021)	FPGA tabanlı güvenilir yürütme ortamı (TEE)	MeetGo sistemi, FPGA	Kripto para cüzdanı, GPGPU destekli yazılım	İzole güvenilir işlem ortamı
Öge ve arkadaşları (2022)	FPGA Kontrollü Arayüz Kartı Testi	Xilinx Spartan-6 XCSLX100T FPGA	LabVIEW, VHDL, Xilinx EDK/SDK	Otomatik test sistemleri, altın kart kullanımı
Mateos-Gil ve arkadaşları (2022)	SoC Tasarımı için Uzaktan Laboratuvar	Zedboard, JTAG, Linux-tabanlı Sunucu	Web Rezervasyon, Linux-tabanlı	Uzaktan FPGA Programlama ve Rezervasyon
Blochwitz ve arkadaşları (2022)	Donanım Tasarımı Eğitimi için RemEduLa	Bsys3, ZedBoard, PYNQ, VMware Horizon	VMware Horizon 8, Vivado	Gerçek Donanım Erişimi için Overlay Tasarım
Abanto ve arkadaşları (2022)	FPGA Erişimi için Web Arayüzü	Altera Cyclone IV, Raspberry Pi	Node-RED, Flask	Uzaktan Erişim için Python-Flask
Effendi ve arkadaşları (2022)	Gerçek Zamanlı Video Akışı ile FPGA	OV7670 Kamera, DE0-Nano-SoC FPGA, VGA Sürücü	Gömülü VGA Arayüzü, Linux	Gerçek Zamanlı Video Akışı ile VGA
Villar-Martínez ve arkadaşları (2022)	Çoğaltma Tabanlı Uzaktan Laboratuvarlar	Intel DE1-SoC FPGA	Çoğaltma-tabanlı Sistem	Uzaktan Laboratuvar Kullanımı için Yüksek QoS

Çizelge 2. 1 (Devam) Literatür karşılaştırmaları

Çalışma	Platform Odak Alanı	Donanım Bileşenleri	Yazılım Bileşenleri	Özellikler
García-Orellana ve arkadaşları (2022)	Mikrodenetleyici Uygulamaları için Uzaktan Laboratuvar	Raspberry Pi, Kamera, Node-RED	Node-RED, Python-Flask	Düşük Maliyetli Modüler Uzaktan Platform
Seetharaman ve arkadaşları (2022)	Kalabalık yönetim sistemi	Basys-3 FPGA, ultrasonik sensörler	VHDL, dijital giriş-çıkış birimleri	Oda kapasitesi aşımı için alarm sistemi
Navas-González ve arkadaşları (2022)	FPGA tabanlı uzaktan laboratuvar projeleri	Nexys3 FPGA	Xilinx ISE Design Suite	Öğrencilerin mesai saatleri dışında laboratuvar erişimi
Hong ve Chen (2023)	Video parlaklık çıkarım sistemi	ADV7611 HDMI'dan RGB'ye çevirici	Gamma düzeltme algoritması	Işık panosu parlaklık kontrolü

Çizelge 2.1'e göre, laboratuvar platformları arasında hem donanım hem de yazılım açısından büyük çeşitlilik bulunmaktadır. Örneğin, Hashemian ve Riddley, Indrusiak ve arkadaşları tarafından geliştirilen platformlar, Xilinx FPGA tabanlı donanım bileşenlerine ve uzak masaüstü veya proxy tabanlı yazılım bileşenlerine odaklanmıştır (Hashemian ve Riddley 2007, Indrusiak vd. 2007). Bu platformlar, kullanıcıların uzaktan FPGA tasarımı yapmalarına ve çok kullanıcı bir ortamda çalışabilmelerine olanak tanımaktadır.

Daha yeni çalışmalar, web tabanlı arayüzler ve HTML5, WebGL gibi gelişmiş web teknolojilerini içeren yazılımları kullanarak daha etkileşimli ve görselleştirmeye dayalı çözümler sunmaktadır. Örneğin, Morgan ve Cawley, WebGL ile zenginleştirilmiş bir görsel deneyim sunarak mühendislik öğrencilerinin uzaktan öğrenme deneyimlerini daha etkili hale getirmeyi hedeflenmektedir (Morgan ve Cawley 2011). Bu platform, görselleştirme yeteneklerini kullanarak öğrenci katılımını artırmayı amaçlamaktadır.

Ayrıca Toyoda ve arkadaşları tarafından geliştirilen hibrit bulut tabanlı sistem gibi daha karmaşık ve entegre çözümler, uzaktan laboratuvarların ölçeklenebilirliğini ve

işlevselliğini artırmak amacıyla bulut bilişim ve yarı otomatik FPGA deneylerini kullanmaktadır (Toyoda vd. 2016). Villar-Martínez ve arkadaşları gibi bazı çalışmalar ise, uzaktan laboratuvarların güvenilirliğini ve hizmet kalitesini artırmak için çoğaltma tabanlı mimariler kullanmayı önermektedir (Villar-Martínez vd. 2022).

Bazı uzaktan laboratuvar platformları, düşük maliyetli ve erişilebilir çözümler sunmaya odaklanmaktadır. Örneğin, García-Orellana ve arkadaşları, Raspberry Pi ve Node-RED gibi açık kaynaklı ve düşük maliyetli donanım ve yazılım bileşenleri kullanarak mikrodenetleyici uygulamaları için bir uzaktan laboratuvar platformu geliştirmiştir (García-Orellana vd. 2022).

Sonuç olarak bu platformların her biri, uzaktan laboratuvarların sağladığı eğitsel olanakları ve araştırma potansiyelini artırmak için farklı teknolojik bileşenleri ve stratejileri benimsemektedir. Bu çeşitlilik, eğitimde uzaktan laboratuvar kullanımının artmasına ve farklı öğrenme stillerine hitap etmesine katkı sağlamaktadır (Dağcı ve Koyuncu 2024).

3. MATERYAL ve METOT

Bu çalışmada, uzaktan programlanabilir ve gözlemlenebilir bir FPGA tabanlı devre kartının tasarımı ve uygulanması ele alınmaktadır. Tasarlanan sistem, eğitim ve laboratuvar ortamlarında kullanılmak üzere optimize edilmiş bir yapıya sahip bulunmaktadır. Çalışmanın temelinde, FPGA (İlaslan ve Akıncı 2020) ve ESP32 (Werner vd. 2024) gibi güçlü donanım bileşenleri yer almakta ve bu bileşenlerin entegrasyonu sayesinde, kullanıcıların gerçek zamanlı uygulamaları (Li vd. 2023) kolaylıkla çalıştırabilmesine olanak tanınmaktadır.

Sistem, kullanıcıların internet tabanlı (Kong vd. 2011) bir ara yüz aracılığıyla erişebileceği bir platform üzerine inşa edilmektedir. Bu arayüz; kod yazma paneli (Costa vd. 2008) (Moutinho ve Gomes 2009) (Zerbe ve Andelković 2004), hazır programların yönetimi ve dosya yükleme (Too vd. 2023) (Segers vd. 2018) gibi modülleri içermektedir. Kullanıcılar, kod yazma paneli aracılığıyla FPGA üzerinde çeşitli kodlar çalıştırmakta ve dosya yükleme modülü ile önceden derlenmiş bit dosyalarını yükleyebilmektedir. Ayrıca hazır programlar üzerinden laboratuvar çalışmaları (Zhang ve Tian 2012) gerçekleştirilmekte ve bu çalışmalar sistemin esnekliğini artırmaktadır.

Sistem tasarımı sırasında, kullanıcı dostu bir yapı oluşturulmasına ve çok yönlü bir işleyiş sağlamaya özen gösterilmektedir. FPGA çipleri, paralel işlem yapabilme yeteneği ve yeniden programlanabilir özellikleriyle sistemin hesaplama birimi olarak öne çıkmaktadır. ESP32 geliştirme modülü ise, FPGA ile veri alışverişini gerçekleştiren, tetikleme ve kontrol işlemlerini yürüten önemli bir bileşen olarak devrede yer almaktadır. Donanım tasarımında, FPGA ve ESP32 modülleri arasındaki entegrasyon dikkatle sağlanmakta, veri akışı ve sinyal işleme süreçleri optimize edilmektedir. Kullanıcı yetkilendirme sistemi ile farklı kullanıcı gruplarına belirli işlevler atanmakta ve bu sistem, sistemin güvenli ve etkili bir şekilde kullanılmasını sağlamaktadır. Örneğin, yönetici rolü tüm işlemlere erişebilirken, kullanıcı rolü yalnızca belirli bölümlere erişim hakkına sahip bulunmaktadır.

Bu bölüm, çalışmada kullanılan materyal ve yöntemleri genel olarak açıklamaktadır.

Devre tasarımı sırasında izlenen adımlar, donanım bileşenlerinin özellikleri ve yazılım modüllerinin detayları, ilerleyen alt başlıklarda ayrıntılı bir şekilde ele alınmaktadır.

3.1 FPGA Çipleri

FPGA, elektronik sistem tasarımlarında kullanılan yeniden programlanabilir bir donanım platformu olarak öne çıkmaktadır. Bu çipler, özellikle yüksek hızda ve paralel işlem yapabilme gereksinimi bulunan uygulamalar için tasarlanmış esnek bir yapıya sahiptir. FPGA çipleri, üzerlerinde bulunan programlanabilir mantık hücreleri ve bağlantı elemanları aracılığıyla, belirli bir donanım mimarisini yazılım tabanlı olarak oluşturabilmektedir.

FPGA çipleri, günümüzde geniş bir kullanım alanına sahip bulunmaktadır. Endüstriyel otomasyon, telekomünikasyon, görüntü işleme ve yapay zekâ gibi farklı sektörlerde kullanılmakta ve bu sektörlerin gereksinimlerine uygun bir şekilde uyarlanabilmektedir. Bu çiplerin sunduğu yeniden programlanabilirlik özelliği, aynı donanım üzerinde birden fazla işlevin yerine getirilebilmesini sağlamaktadır (İlaslan ve Akıncı 2020). Böylece, tasarım süreçlerinde büyük bir esneklik ve maliyet avantajı elde edilmektedir.

FPGA çiplerinin tasarım süreci, yazılım ve donanım disiplinlerinin bir arada kullanıldığı bir yaklaşımı gerektirmektedir. Tasarımcılar, FPGA çipini programlamak için HDL adı verilen donanım tanımlama dillerinden yararlanmaktadır. En yaygın kullanılan diller arasında VHDL ve System Verilog bulunmaktadır. Bu diller, FPGA üzerinde bir donanım mimarisinin tanımlanmasına ve çipin buna göre programlanmasına olanak tanımaktadır (Li 2023).

FPGA çiplerinin bir diğer önemli özelliği, paralel işlem yapabilme yeteneğidir. Bu özellik, aynı anda birden fazla işlemin gerçekleştirilmesini sağlayarak işlem hızını önemli ölçüde artırmaktadır. Paralel işlem yapısı, özellikle görüntü işleme ve sinyal işleme gibi zaman açısından kritik uygulamalarda büyük bir avantaj sunmaktadır (Juncheng vd. 2021).

FPGA çiplerinin yapısı, çeşitli bileşenlerden oluşmakta ve bu bileşenler, çipin genel

fonksiyonları donanım düzeyinde gerçekleştirmek üzere tasarlanmaktadır. Bu bağlamda bir CLB, bir veya birden çok LUT, flip-flop, çoklayıcı (multiplexer) ve diğer destek devre elemanlarını içermektedir (Daiyan vd. 2023).

Bir CLB içerisinde bulunan LUT'lar, herhangi bir mantık fonksiyonunun gerçeğe en yakın şekilde uygulanabilmesini olanaklı kılmaktadır. Modern FPGA çiplerinde LUT yapısı, giriş sayısına bağlı olarak farklılık göstermektedir ve esneklik kazandıracak biçimde 4 ila 6 girişli versiyonları yaygın biçimde kullanılmaktadır. LUT, belirli bir giriş kombinasyonu için önceden tanımlanmış bir çıkış üretmektedir (Haque vd. 2016). Bu özellik, FPGA çipinin istenen dijital devreyi donanım düzeyinde simüle etmesine olanak tanımaktadır. Böylece tasarım sürecinde verimlilik ve hız artışı sağlanmaktadır.

Flip-flop'lar, CLB içinde senkron veri depolama işlevi görmektedir. Bu bileşenler, sistem saatine (clock) uyumlu olarak veri aktarımı yapmakta ve çeşitli veri yolları üzerinde tutulan verinin kontrolünü sağlamaktadır (Jamuna ve Agrawal 2012). Özellikle yüksek hızlı uygulamalarda, flip-flop'ların kararlı ve güvenilir biçimde çalışması oldukça kritik bir rol oynamaktadır. Zira senkronizasyon hataları, sistem düzeyinde ciddi sorunlara yol açabilmektedir.

CLB yapısı ve içindeki bileşenlerin birbirleriyle nasıl etkileşime girdiği, FPGA mimarisinin temel performans kriterini belirlemektedir. Bu nedenle, her FPGA ailesinde CLB boyutu ve içerdiği LUT/flip-flop sayısı, kullanılan çoklayıcıların yapısı ve yönlendirme kaynaklarının (routable resources) nitelikleri farklılık gösterebilmektedir. Gelişmiş FPGA modellerinde, bir CLB içinde birden çok LUT ve flip-flop yer alması, tasarımcılara daha karmaşık mantık fonksiyonlarını gerçekleştirme esnekliği sunmaktadır.

Bir CLB'nin iç yapısı, LUT'ların ve flip-flop'ların yanı sıra dahili veri yollarını yönlendiren çoklayıcılar ile geri besleme (feedback) hatlarının bağlantı düzenini içermektedir. Bu bağlantı düzeni, mantık hücrelerinin işleyişini ve programlanabilirliğin sağlanış biçimini anlamayı mümkün kılmaktadır. Özellikle gömülü sistemler ve yüksek hızlı sayısal sinyal işleme uygulamaları gibi alanlarda, CLB mimarisinin doğru şekilde

yapılandırılması, sistem performansının ve ölçeklenebilirliğinin artırılmasında kritik bir rol oynamaktadır. Gelişmiş FPGA modellerinde bir CLB içerisinde birden fazla LUT ve flip-flop'un bulunması, tasarımcılara daha karmaşık mantık fonksiyonlarını gerçekleştirme esnekliği sunmaktadır.

3.1.1.2 Giriş / Çıkış Blokları

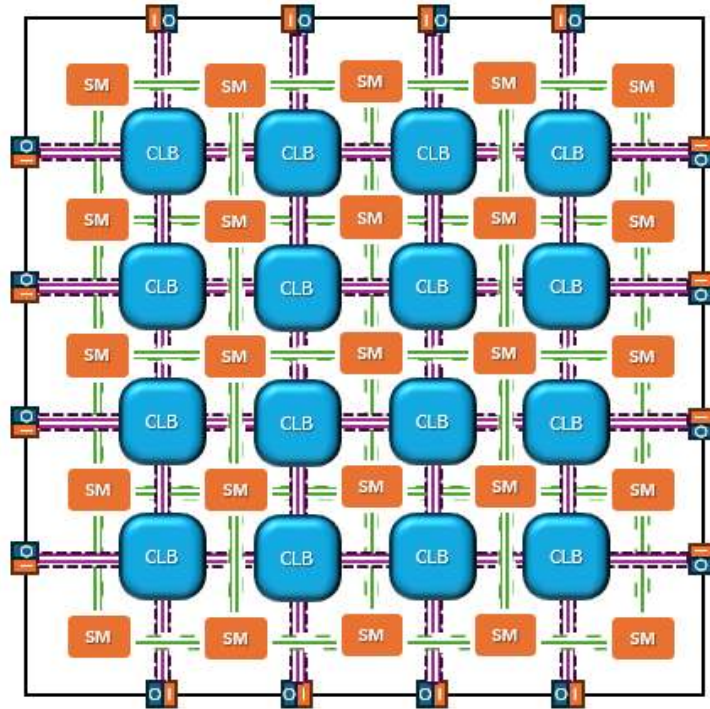
Giriş/çıkış blokları, FPGA çipinin harici çevreyle veri alışverişini gerçekleştiren yapıları temsil etmektedir. Bu bloklar, dış ortamdan alınan dijital sinyalleri FPGA çipinin dahili mantık hücrelerine iletmekte, tasarım içinde işlenen verilerin sonuçlarını da tekrar dış dünyaya aktarmaktadır. I/O bloklarının esnek ve kullanıcı tarafından yapılandırılabilir olması, farklı gerilim seviyelerinde (örneğin TTL (Transistor-Transistor Logic - Transistör-Transistör Mantığı), CMOS, LVDS (Low-Voltage Differential Signaling - Düşük Gerilim Diferansiyel Sinyalleme), HSTL (High-Speed Transceiver Logic - Yüksek Hızlı Alıcı-Verici Mantığı)) (Ray vd. 2023, Zhang vd. 2020, Sanchez vd. 2015) çalışan sinyal türleriyle uyumlu çalışılmasını mümkün kılmaktadır. Özellikle yüksek hızlı veri iletimi gereken durumlarda bu bloklar, ek optimizasyon adımlarıyla güçlendirilerek hem performans hem de sinyal bütünlüğü açısından avantaj sağlamaktadır.

I/O bloklarının girdi (input) ve çıktı (output) yönünde sunduğu olanaklar, FPGA tasarımının önemli bir kısmını oluşturmaktadır. Giriş yolu olarak tanımlanan kısım, FPGA içerisine doğru akan sinyalleri uygun gerilim seviyesine dönüştürmekte ve istenirse çeşitli filtreleme veya basit işleme adımlarını devreye almaktadır. Çıkış yolu ise FPGA çekirdeğinden elde edilen işlenmiş sinyallerin, seçilen sinyal sürme kapasitesi (drive strength) ve gerilim seviyesi gibi parametreler doğrultusunda dış dünyaya aktarılmasını sağlamaktadır. Bazı durumlarda aynı pinin hem giriş hem de çıkış olarak kullanılmasına ihtiyaç duyulduğunda, I/O bloğunun çift yönlü (bidirectional) özellikleri devreye girerek sinyal yönünü dinamik biçimde değiştirebilmektedir (Aruna Rao ve Shanthi Prasad 2019).

Yüksek hızlı uygulamalarda, I/O blokları içerisindeki zamanlama ve senkronizasyon mekanizmaları büyük önem taşımaktadır. Bazı FPGA modellerinde, I/O bloklarına gömülü kalibrasyon devreleri (calibration circuits) ve faz hizalama (phase alignment)

birimleri eklenerek zamanlama hatalarının giderilmesi ve veri akışının bütünlüğünün korunması hedeflenmektedir. Bu yaklaşımla, özellikle gigabit düzeyinde veri aktarımı gerektiren yüksek bant genişlikli protokollerde (SerDes, PCI Express, Ethernet gibi) hatasız iletişim gerçekleştirilebilmektedir (Finnerty vd. 2014, Nambiar vd. 2010).

I/O bloklarının yapılandırılabilmesi, aynı zamanda FPGA tasarımında yaygın olarak kullanılan iletişim protokollerinin desteklenmesini de kolaylaştırmaktadır. Örneğin SPI, I2C (Inter-Integrated Circuit - Entegreler Arası Haberleşme) ve UART gibi seri protokollerin yanı sıra, yüksek hızlarda paralel veri yolu gerektiren sistemler de I/O bloklarının uygun konfigürasyonları sayesinde devreye alınmaktadır. Şekil 3.2’de tipik bir FPGA üzerinde I/O bloklarının konumu ve bu blokların mantık hücreleri, yönlendirme kaynakları ve dahili veri yollarıyla etkileşimi sergilenmektedir. Bu şekilde, tasarımlarda veri trafiğinin hangi yollardan geçeceği netleştirilmekte, güç yönetimi ve sinyal bütünlüğü unsurları da bütüncül olarak ele alınmaktadır.



Şekil 3. 2 FPGA I/O blokları gösterimi

Sonuç olarak I/O blokları FPGA tasarımlarının dış dünyayla kurduğu bağın merkezinde

yer almaktadır. Belirli gerilim seviyelerini, giriş-çıkış modlarını ve veri hızı gereksinimlerini destekleyebilmek üzere tasarlanan bu bloklar, sistem performansını ve kararlılığını doğrudan etkilemektedir. Dolayısıyla, FPGA tasarımcıları için uygun I/O konfigürasyonunun seçilmesi ve yapılandırılması, tasarımın başarılı sonuç vermesi adına kritik önem taşımaktadır.

3.1.1.3 Ara Bağlantılar ve Bellek

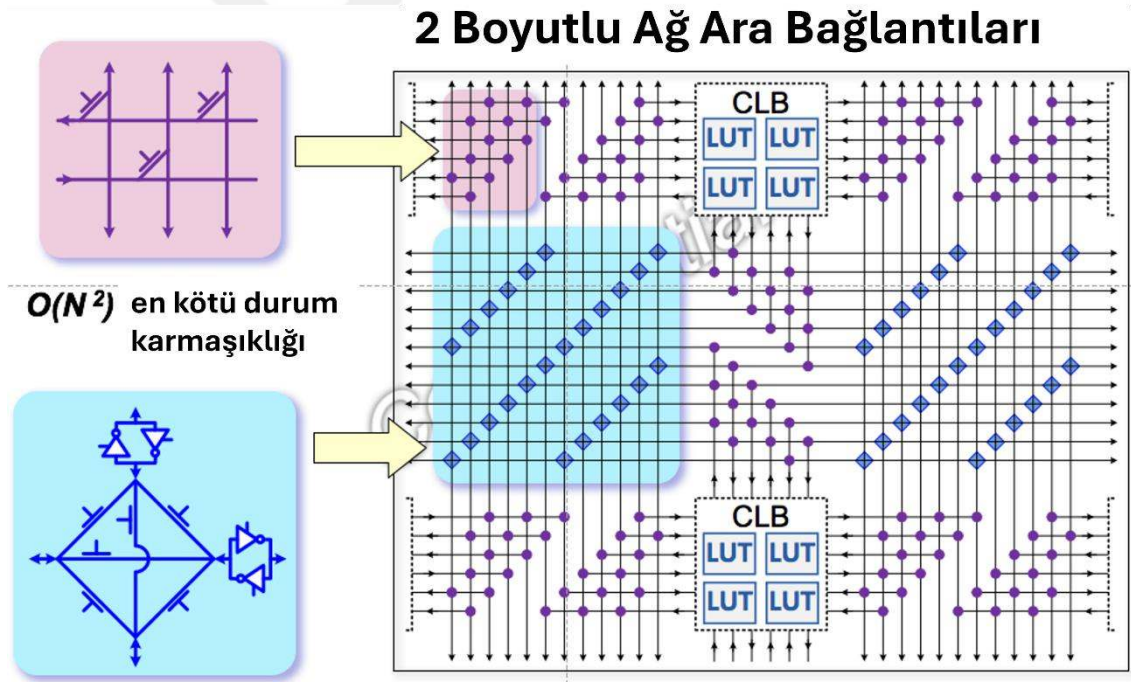
FPGA çipinin bir diğer önemli yapısal unsuru olan ara bağlantılar, çip üzerinde yer alan mantık hücreleri, giriş-çıkış blokları ve benzeri dahili bileşenler arasında veri ve sinyal iletimini sağlamaktadır. Bu ara bağlantılar, çoğunlukla programlanabilir anahtarlar ile yönlendirme hatlarından meydana gelmekte ve FPGA çipinin yeniden programlanabilirlik özelliğinin temelini oluşturmaktadır. Kullanıcı, tasarım sürecinde bu bağlantıları konfigüre ederek çip üzerindeki farklı birimler arasında istenen veri yollarını kurmakta ve böylece donanım düzeyinde spesifik tasarım ihtiyaçlarına uygun çözüm yolları oluşturabilmektedir.

Ara bağlantıların sunduğu esneklik, FPGA çipleri uygulama çeşitliliği bakımından oldukça cazip kılmaktadır (Yeh vd. 1995). Örneğin, yüksek performans talep eden dijital sinyal işleme veya görüntü işleme uygulamalarında, ara bağlantı yolları verimli şekilde düzenlenerek veri iletimindeki gecikmeler minimuma indirilebilmektedir. Bunun yanı sıra, düşük güç tüketiminin önemli olduğu taşınabilir ya da gömülü sistemlerde, uygun bağlantı konfigürasyonları seçilerek veri yollarının gereksiz enerji harcamasına yol açması önlenmektedir. Bu sayede FPGA tasarımcısı, uygulama gereksinimlerine göre optimize edilmiş bir routing (yönlendirme) stratejisi geliştirerek hem performans hem de güç yönetimi açısından etkin çözümlere ulaşmaktadır.

Ara bağlantı topolojisi, genellikle belirli uzunluklarda parçalara ayrılmış hatların ve programlanabilir anahtarların bulunduğu “routing switch box” olarak adlandırılan yapılar aracılığıyla şekillendirilmektedir (Khaleghi vd. 2020). Farklı parça uzunlukları sayesinde, yakın konumdaki bileşenler için kısa hatlar, uzaktaki bileşenler için ise daha uzun hatlar kullanılarak gecikmeler ile alan verimliliği dengelenmektedir. Programlanabilir anahtarlar, kullanıcı mantık tasarımı doğrultusunda hangi hatların birbirine bağlanacağını

belirlemekte ve böylece fiziksel tasarımın hangi veri yollarını kullanacağı kararlaştırılmaktadır. Bu esnek yönlendirme mekanizması, FPGA içerisinde çok çeşitli uygulamaların kolayca hayata geçirilmesini desteklemektedir.

Şekil 3.3'te görüldüğü üzere, FPGA çipinde bulunan yönlendirme hatlarının mantık hücreleri ve giriş-çıkış blokları ile olan etkileşimi, programlanabilir anahtarlar vasıtasıyla yönetilmektedir. Bazı FPGA ailelerinde, global saat ağları veya yüksek hızlı veri yolları gibi özel amaçlı yönlendirme kaynakları da tasarıma entegre edilmektedir. Böylelikle, hem genel hatlarda hem de kritik sinyallerde düşük gecikme ve yüksek güvenilirlik hedeflenmekte, tasarımcıya büyük ölçekli sistemleri dahi karmaşıklığı yönetilebilir biçimde oluşturma fırsatı verilmektedir. Bu çok yönlü yapı, FPGA teknolojisinin esnek ve yeniden yapılandırılabilir olma özelliğinin anahtarı niteliğindedir.



Şekil 3. 3 FPGA ara bağlantıları gösterimi (İnt. Kyn. 1)

3.1.1.4 Saat Yönetim Birimleri

CMU, FPGA çipinde gerçekleştirilen tüm işlemlerin doğru zamanlama koşulları altında

yürütülmesini mümkün kılmaktadır (Shi vd. 2017). Saat sinyalleri, FPGA üzerindeki mantık hücreleri, giriş-çıkış blokları ve diğer dahili bileşenlerin senkronize biçimde çalışması açısından kritik öneme sahiptir. Bu senkronizasyon, FPGA tabanlı sistemlerdeki yüksek hız ve performans gereksinimlerini karşılamak üzere hassas bir saat yönetim altyapısı gerektirmektedir. Bu bağlamda, CMU'lar çoğunlukla PLL (Phase-Locked Loop - Faz Kilitlemeli Döngü) ve DLL (Delay-Locked Loop - Gecikme Kilitlemeli Döngü) gibi özel devre elemanlarından oluşmaktadır. PLL, giriş saat sinyalini belirli bir frekans oranına göre çoğaltıp faz kitleme yöntemiyle kararlı bir çıkış saat sinyali üretmekte, DLL ise sinyalin gecikme süresini ayarlayarak faz hizalamasını daha hassas hâle getirebilmektedir. Bu yaklaşım, FPGA içerisinde farklı hızlarda çalışan bölümler arasındaki zamanlama uyumunu sağlamakla kalmamakta, aynı zamanda saat sinyalindeki faz hatalarının (phase error) giderilmesine de katkıda bulunmaktadır.

Saat yönetim birimlerinin bir diğer önemli görevi, saat işaretinin bozulmasını (clock skew) en aza indirmektir. Clock skew, aynı saat sinyalinin farklı FPGA bileşenlerine farklı zamanlarda ulaşmasına neden olan bir olgudur ve yüksek hızlı uygulamalarda senkronizasyon hatalarına yol açabilmektedir. CMU'ların içerisinde bulunan ek devreler, saat sinyalinin tüm sistem bileşenlerine eşit sürelerde veya öngörülebilir gecikmelerle dağıtılmasını sağlayarak bu sorunu hafifletmektedir. Bu sayede özellikle yüksek frekanslı işlemler gerçekleştiren sayısal sinyal işleme, haberleşme protokolleri ve ileri seviye gömülü sistem tasarımları gibi alanlarda, veri işleme sürekliliği ve güvenilirliği artmaktadır.

Modern FPGA çiplerinde saat işaretleri, CMU'ların ürettiği veya düzenlediği saat sinyallerini mantık hücrelerine ve diğer işlevsel bloklara ileten optimize edilmiş bir saat dağıtım ağı üzerinden dolaşmaktadır. Bu ağ yapısı, farklı katmanlarda tasarlanmış olan saat hatlarını (clock tree ya da clock mesh gibi topolojileri) içererek çip içerisindeki tüm bileşenlerin mümkün olduğunca eş zamanlı beslenmesini hedeflemektedir. Bazı FPGA ailelerinde, öncelikli olarak “global clock network” adı verilen özel yönlendirme kaynakları kullanılarak yüksek hızda saat dağıtımı gerçekleştirilmekte ve daha az kritik bölgelere ise yerel saat ağaçlarıyla (local clock trees) sinyal ulaştırılmaktadır. Bu katmanlı yaklaşım, saat kaynağının büyük kısmında asgari gecikme ve azami bütünlük (clock

3.1.1.5 Genel Yerleşim

FPGA çiplerinin genel yerleşimi, önceki bölümlerde açıklanan tüm bileşenlerin bir bütün hâlinde düzenlenmesiyle oluşmaktadır. Mantık hücreleri, çoğunlukla çipin merkez bölgesinde konumlandırılmakta ve sayısal tasarımların gereksinim duyduğu kombinasyonel ve sekansiyel mantık işlemlerini karşılamaktadır. Bunun aksine, giriş-çıkış blokları genellikle çipin çevresini saracak biçimde yerleştirilerek harici cihazlarla etkileşimin yönetilmesini kolaylaştırmaktadır. Bu konumlandırma yaklaşımı, veri trafiğinin daha verimli şekilde yönlendirilmesine ve kenarlardaki fiziksel pinlerin kullanışlı biçimde organize edilmesine imkân tanımaktadır.

Ara bağlantılar, söz konusu mantık hücreleri ile giriş-çıkış bloklarını birbirine bağlayan programlanabilir hatlar ve anahtarlardan (switch boxes) meydana gelmekte, FPGA üzerinde farklı bileşenlerin birbirleriyle veri ve kontrol sinyalleri paylaşabilmesini sağlamaktadır. Bu bağlantı yapısı, tasarım aşamasında otomatik yerleştirme (placement) ve yönlendirme (routing) araçlarının optimum yolları seçmesine izin vermekte, böylece gecikme ve güç tüketimi parametrelerinde iyileşme elde edilmektedir. Yerleşim şemasındaki her bir mantık bloğu veya I/O pinine atanan konum, yüksek hızlı uygulamalarda minimum gecikme (latency), daha düşük hızlarda ise güç tasarrufu gibi farklı tasarım önceliklerine göre optimizasyon imkânları sunmaktadır.

Saat yönetim birimleri de bu genel yerleşimin önemli parçalarından biridir ve genellikle, saat sinyali FPGA çipinin geniş bölgelerine düşük gecikme ve azami kararlılıkla dağıtacak biçimde konumlandırılmaktadır. Özellikle yüksek frekanslarda çalışan uygulamalarda, PLL/DLL (Aloisio vd. 2010) ünitelerinin oluşturduğu saat sinyali FPGA yüzeyinin farklı alanlarına dengeli biçimde gönderilmekte ve saat ağ yapısının (clock network) katmanları arası gecikme farklılıklarını minimize etmek üzere ek optimizasyonlar devreye alınmaktadır. Böylece, senkron işlemlerin tamamı tutarlı zamanlama koşulları altında yürütülebilmektedir.

Şekil 3. 1’te görülen diyagram, mantık hücreleri, giriş-çıkış blokları, ara bağlantılar ve saat yönetim birimlerinin tek bir FPGA çipi üzerinde nasıl konumlandığını ve organize edildiğini ortaya koymaktadır. Bu düzen hem veri akışını hem de kontrol sinyallerinin

dağılmasını kolaylaştıran bir topoloji sunmakta, aynı zamanda tasarım sürecinde daha başarılı zamanlama kapanı (timing closure) elde edilmesini sağlamaktadır. Çip üreticileri gerek üretim teknolojisi gerekse devre mimarisi katmanında uyguladıkları optimizasyonlarla, FPGA çipinin genel yerleşiminde yüksek performansı, düşük güç tüketimini ve ölçeklenebilirliği hedefleyen çok yönlü bir yaklaşım benimsemektedir.

3.1.2 FPGA Çiplerinin Avantajları

FPGA çipleri, geleneksel ASIC (Application-Specific Integrated Circuit - Uygulamaya Özel Entegre Devre) veya mikroişlemci tabanlı tasarımlarla karşılaştırıldığında pek çok önemli avantaja sahip olmaktadır. Bu avantajlar, FPGA teknolojisinin sahip olduğu yeniden programlanabilirlik, yüksek paralel işlem kapasitesi ve esneklik temellerine dayanmaktadır. Dolayısıyla, özellikle gömülü sistemler, dijital sinyal işleme, görüntü işleme, kriptografi ve iletişim uygulamaları gibi yoğun işlem gücü gerektiren alanlarda FPGA çipleri tercih edilen donanımlar hâline gelmektedir. Aşağıdaki bölümlerde, FPGA çiplerinin en belirgin avantajlarından olan yeniden programlanabilirlik (Khan vd. 2024), paralel işlem kapasitesi (Juncheng vd. 2021) ile performans ve esneklik konuları ayrıntılı biçimde ele alınmaktadır (Mayoz vd. 2020).

3.1.2.1 Yeniden Programlanabilirlik

Yeniden programlanabilirlik, FPGA çiplerinin en ayırt edici özelliklerinden biri olarak öne çıkmaktadır. FPGA, içindeki mantık hücreleri, giriş/çıkış blokları ara bağlantılar ve saat yönetim birimleri gibi bileşenlerin tamamının elektriksel olarak yeniden yapılandırılabilmesi prensibine dayanmaktadır. Bu yapı sayesinde, FPGA üzerinde tanımlanan donanım mantığı, tasarım gerektikçe farklı işlevlere veya protokollere uyarlanabilmektedir. Bir başka deyişle, FPGA çipindeki konfigürasyon belleklerinde saklanan bit dosyası (bitstream), yeni bir tasarıma uyacak şekilde değiştirildiğinde, FPGA tamamen farklı bir işlevi yerine getirmek üzere kendini yeniden ayarlamaktadır (Khan vd. 2024).

Bu özelliğin pratikteki en büyük getirisi, donanım tasarım süreçlerinde hızlı prototipleme ve tasarım güncellemelerinin mümkün hâle gelmesidir. Geleneksel ASIC çiplerinde,

slice) ve BRAM (Block Random-Access Memory - Blok Rastgele Eriřimli Bellek) kaynakları da bulunmakta, bu kaynakların paralel olarak kullanılmasıyla iřlem bant geniřlięi kayda deęer seviyede yükselmektedir.

Paralel iřlem kabiliyetinin bir dięer olumlu yansıması, düşük güç tüketimi hedefli uygulamalarda kendini göstermektedir. Çünkü FPGA ipinde, iř yükünü pek ok donanım bloęuna yayarak eřzamanlı iřlem yapılması, toplam alıřma frekansının nispeten düşük tutulmasına imkân vermektedir. Düşük frekanslarda alıřılan durumlarda, güç tüketimi de orantılı olarak azalmaktadır. Bu nedenle, gömülü sistemlerde veya pil ile alıřan cihazlarda, FPGA iplerinin paralel iřlem kapasitesi tasarımcıya önemli bir avantaj sunmaktadır.

3.1.2.3 Performans ve Esneklik

FPGA iplerinin performans ve esneklik aısından saęladığı imkanlar, geleneksel iřlemci tabanlı özümlere kıyasla benzersiz olarak nitelendirilebilmektedir. Performans boyutunda FPGA iplerinin, donanım hızında gerekleřtirdikleri iřlemler sayesinde yüksek veri iřleme kapasitelerine ulaşmaktadır. İřlemcilerin yazılım tabanlı yürüttüğü döngüler ya da mikrokmutlar yerine, FPGA ipinde istenen fonksiyonlar doğrudan mantık seviyesinde yürütüldüğü için gecikmeler azaltılabilmektedir. Bu durum, veri yoğun ve zaman kritik (real-time) uygulamalarda FPGA ipini son derece ekici bir alternatif hâline getirmektedir (Bilsby vd. 1998). Özellikle haberleşme sistemlerinde, yüksek hızda kodlama ve kod özme (encode/decode) operasyonlarının FPGA ipinde yürütülmesi, hız ve bant geniřlięi aısından kayda deęer kazanımlar sunmaktadır (Öztürk vd. 2018).

Esneklik boyutunda ise FPGA ipi, hem ürün geliştirme ařamasında hem de son kullanıcıya ulařtıktan sonra deęiřen gereksinimlere uyum saęlama kapasitesiyle dikkat ekmektedir. Donanım bazında programlama yapılabilmesi, farklı protokollerin, arayüzlerin veya algoritmaların kolaylıkla eklenebilmesine veya mevcut yapıların güncellenmesine olanak tanımaktadır. Bu durum, alan programlanabilir radyo sistemlerinden (Software-Defined Radio) veri merkezlerindeki hızlandırıcılara (accelerator) kadar geniş yelpazede kendini göstermektedir (Li ve Huang 2017). Ayrıca

FPGA iplerinin hız, g ve alan optimizasyonu gibi tasarım parametreleri arasındaki dengeyi kullanıcı tercihine gre zelleřtirebilmesi, geniř bir uygulama alanında zgn zmler geliřtirmeye imkn tanımaktadır.

Modern FPGA tasarımlarında performans ve esneklik arasındaki etkileřim, geliřmiř programlama araları ve otomatik yerleřtirme-ynlendirme (place-and-route) algoritmaları ile daha verimli hle gelmektedir. Tasarım srecinde kullanılan zamanlama analiz araları (timing analysis) ve g optimizasyon yntemleri, FPGA zerinde istenen saat hızlarına ulařırken aynı zamanda gvenilir bir alıřma ortamının saėlanması yardımcı olmaktadır. reticilerin sunmuř olduėu ek IP ekirdekleri (rneėin yksek hızlı transceiver’lar, PCI Express blokları ya da gml iřlemci ekirdekleri) (Nambiar vd. 2010), performans ve esnekliėin harmanlandıėı bir platform sunmakta ve FPGA tabanlı zmleri, katma deėeri yksek bir teknoloji olarak ne ıkarmaktadır.

Bylece FPGA ipleri, yeniden programlanabilirlik, paralel iřlem kapasitesi ve yksek performans-esneklik dengesini bir arada sunması sayesinde, modern elektronik sistem tasarımının gl bir alternatifi hline gelmektedir. zellikle hızlı prototipleme, zaman kritikli uygulamalar ve srekli geliřime ihtiya duyan tasarımlar sz konusu olduėunda, FPGA teknolojisinin avantajları belirleyici olmaktadır.

3.1.3 Programlanabilir Mantık Devreleri

Programlanabilir mantık devreleri, elektronik sistem tasarımında esnek, uyarlanabilir ve yeniden konfigre edilebilir bir altyapı sunan nemli teknolojilerden biridir. Geleneksel ASIC tabanlı zmler, retim sonrası tasarım deėiřikliklerinin mmkn olmaması nedeniyle, hızlı rn geliřtirme srelerine ve srekli deėiřen gereksinimlere uyum saėlamada glk ekmektedir. te yandan, mikroiřlemci veya mikrodenetleyici tabanlı sistemler ise belirli yazılım komut dizilimlerine dayanan bir yapıya sahiptir ve bazı durumlarda donanım dzeyindeki paralel iřlem avantajlarından faydalanılamamaktadır. İřte bu noktada, programlanabilir mantık devreleri devreye girerek hem ASIC benzeri donanım hızını hem de mikroiřlemcilerdeki esnekliėi byk lde bir araya getirebilmektedir.

Programlanabilir mantık devreleri, temel olarak kullanıcının donanım düzeyinde tanımladığı mantık fonksiyonlarını yerine getirmek üzere tasarlanmış yapılar sunmaktadır. Bu devrelerin en yaygın örnekleri arasında, FPGA, CPLD (Complex Programmable Logic Device - Karmaşık Programlanabilir Mantık Cihazı) (Kolouch 2009) ve basit programlanabilir mantık aygıtları (SPLD) gösterilebilmektedir. FPGA çipleri, bünyelerinde çok sayıda mantık bloğu (örneğin CLB), programlanabilir ara bağlantılar ve gelişmiş giriş/çıkış blokları barındırmaktadır. CPLD'ler ise daha basit yapılara ve genelde daha sınırlı ölçekli tasarımlara hitap etmekte, buna karşılık anlık tepki (deterministic timing) gereksinimleri olan uygulamalarda tercih edilebilmektedir. SPLD'ler de daha temel görevler için tasarlanmış, küçük ölçekli programlanabilir mantık düzenekleridir.

Programlanabilir mantık devrelerinin en belirgin özelliği, kullanıcıların donanım tanımlama dilleri aracılığıyla tasarladıkları devre şemasını veya algoritmasını, çip üzerinde fiziksel olarak gerçeklemek suretiyle uygulayabilmesidir. Bu yaklaşım, donanımın işlevselliğini belirleyen kodun, tasarım gerektiğinde değiştirilebilmesine imkân tanımaktadır. Özellikle FPGA teknolojisinde, bu esneklik çok ileri bir boyuta taşınmış olup, belirli bir bölgenin çalışma esnasında dahi yeniden programlanabildiği kısmi yeniden yapılandırma (partial reconfiguration) özelliği mümkün olabilmektedir (Bîrleanu ve Bizon 2020). Böylece, gerçek zamanlı sistemlerde veya dinamik iş yüküyle karşılaşılan durumlarda, FPGA içindeki mantık hücreleri farklı fonksiyonlara anlık olarak tahsis edilebilmektedir.

Programlanabilir mantık devrelerinin kullanım alanları oldukça geniştir. Örneğin, telekomünikasyon ve ağ altyapılarında veri paketlerini yüksek hızlarda işlemek, protokolleri donanım seviyesinde hızlandırmak ve yeni standartlara çabucak uyum sağlamak için FPGA tabanlı çözümler yaygın biçimde kullanılmaktadır. Sayısal sinyal işleme uygulamalarında, FFT (Fast Fourier Transform - Hızlı Fourier Dönüşümü) (Paz ve Garrido 2024), FIR filtre (Özpolat vd. 2017) ve çarpma-toplama gibi matematiksel işlemler, FPGA üzerinde paralel olarak yürütülerek yüksek işlem hacmine sahip sistemler kurulabilmektedir. Ayrıca otomotiv sektöründe gerçek zamanlı kontrol ve görüntü işleme birimlerini FPGA çiplerle hızlandırmak ve otonom sürüş sistemlerinin artan veri yükünün

altından kalkmak için çok etkili olmaktadır (Carvalho vd. 2024). Benzer şekilde, havacılık ve savunma alanlarında da güvenilirlik, gerçek zamanlılık ve gizlilik açılarından FPGA çipleri ön plana çıkmaktadır.

Programlanabilir mantık devreleri aynı zamanda gömülü sistem mimarisi içinde merkezi bir rol oynayabilmektedir. Birçok modern FPGA ailesinde, gömülü işlemci çekirdekleri (örneğin ARM tabanlı çekirdekler) veya zengin IP kütüphaneleri (örneğin yüksek hızlı transceiver blokları, PCI Express arayüzleri, kriptolama hızlandırıcıları) sunulmaktadır. Böylece hem yazılımsal hem de donanımsal süreçlerin tek çip üzerinde buluşmasıyla “SoC FPGA” adı verilen gelişmiş bütünleşik platformlar ortaya çıkmaktadır. Bu bütünleşme, veri merkezlerinde hızlandırıcı olarak kullanım başta olmak üzere, yapay zekâ ve makine öğrenmesi uygulamalarında da kıymetli çözümler sağlamaktadır.

Günümüzde programlanabilir mantık devrelerinin giderek yükselen bir popülerlik kazanmasının temel nedenleri arasında, esneklik ve performans avantajları bulunmaktadır. ASIC’lerle kıyaslandığında çok daha kısa tasarım döngüleri ve düşük prototipleme maliyetleri, birçok firmanın ürün geliştirme aşamalarında FPGA veya CPLD tabanlı platformlara yönelmesine neden olmaktadır. Ayrıca programlanabilir mantık devreleri, yazılım güncellemelerine benzer şekilde donanımsal güncellemelerin de gerçekleştirilebilmesini sağladığı için, sürekli değişime ve çeşitliliğe ihtiyaç duyan alanlarda (örneğin telekom altyapıları, veri merkezleri, askeri projeler) büyük bir ilgi görmektedir.

Bu devrelerin tasarım süreci, geleneksel yazılım geliştirme döngüsüne kıyasla daha fazla donanım bilgisi ve zamanlama analizi (timing analysis) gerektirebilmektedir. Ancak FPGA üreticilerinin sunduğu gelişmiş tasarım araçları (sentez, yerleştirme-yönlendirme, simülasyon, hata ayıklama vb.) sayesinde, giderek daha geniş bir mühendislik kitlesi bu teknolojiye faydalanmaya başlamaktadır. Bazı tasarımlarda, programlanabilir mantık devrelerini daha verimli kullanabilmek için HLS (High-Level Synthesis - Yüksek Seviyeli Sentez) gibi üst düzey dillerden otomatik HDL üreten yöntemler de tercih edilmektedir.

Sonuç olarak programlanabilir mantık devreleri, elektronik sistem tasarımının hızla değişen ve çeşitlenen gereksinimlerine güçlü çözümler üreten bir teknolojik temel sunmaktadır. FPGA çiplerinin sağladığı yeniden programlanabilirlik, paralel işlem kapasitesi, performans ve esneklik özellikleri, programlanabilir mantık devrelerini pek çok sektörde vazgeçilmez kılmaktadır. Ayrıca üreticilerin sunduğu farklı ölçek ve özelliklerdeki CPLD, SPLD ve FPGA aileleri, küçük çaplı prototipleme çalışmalarından çok kapsamlı kurumsal ve endüstriyel projelere kadar geniş bir yelpazedeki uygulamaları karşılayabilecek çeşitlilik sağlamaktadır. Böylelikle, programlanabilir mantık devreleri, modern elektronik tasarımın kilit yapı taşlarından biri hâline gelmeyi sürdürmektedir.

3.1.4 FPGA Tasarım Dilleri

FPGA tabanlı tasarımların gerçekleştirilmesinde, donanımın işlevselliğini tanımlamak ve çip üzerindeki mantık yapılarını programlamak amacıyla donanım tanımlama dilleri kullanılmaktadır. Bu yaklaşım, ilk bakışta yazılım geliştirme sürecine benziyor gibi görünse de, gerçekte FPGA üzerinde doğrudan donanım düzeyinde işlem yapılması ve zamanlama (timing), paralellik (parallelism) ile sinyal bütünlüğü (signal integrity) gibi konuların göz önünde bulundurulmasını gerektirmektedir. Dolayısıyla HDL kodu, yazılım komutlarından farklı olarak temel mantık kapılarından yapı taşlarını, veri yollarını ve kontrol sinyallerini belirleyerek FPGA çipinin fiziksel kaynaklarının nasıl kullanılacağını tarif etmektedir.

Günümüzde FPGA tasarımında en yaygın kullanılan HDL dilleri arasında VHDL ve System Verilog öne çıkmaktadır. Bu diller, FPGA mimarisinin sunduğu paralel işlem potansiyelini en verimli şekilde kullanmaya imkân tanıyan sözdizimi özelliklerine sahiptir. VHDL, özellikle güçlü tip kontrolü ve yüksek seviyeli bir ifade gücüyle karmaşık sistemlerin modellemesinde tercih edilmektedir. Verilog ise C benzeri sözdizimi sayesinde yazılım geliştiricilerin daha hızlı uyum sağlamasına katkıda bulunmaktadır. Her iki dil de endüstride yaygın olarak benimsenmiş olup, FPGA üreticilerinin sağladığı sentez, yerleştirme-yönlendirme (place and route) ve simülasyon araçlarıyla sıkı bir entegrasyon içerisindedir.

3.1.4.1 VHDL

VHDL, IEEE tarafından standardize edilmiş bir donanım tanımlama dili olarak 1980’li yıllardan bu yana geniş çapta kullanılmaktadır. Başlangıçta savunma ve uzay uygulamalarındaki kompleks donanım ihtiyaçları doğrultusunda geliştirilen VHDL, zamanla genel amaçlı bir HDL olarak endüstrinin çeşitli dallarına yayılmıştır. Dilin esası, bir donanım sisteminin davranışsal, yapısal veya veri akışı düzeyinde modellenmesine dayanmaktadır. Böylelikle tasarımcılar, aynı dili kullanarak yüksek seviyede mantık akışını tarif edebildikleri gibi, alttaki kapı düzeyinde (gate-level) ayrıntılara da inebilmektedir (Delli Colli vd. 2007).

VHDL’deki güçlü tip kontrolü, değişkenlerin ve sinyallerin veri türlerini katı kurallara bağlamakta, bu sayede tasarım sürecinde oluşabilecek tutarsızlıkların erken aşamalarda yakalanmasına yardımcı olmaktadır. Paralel işlemlerin eşzamanlı ifadelendirilmesi (concurrent statements) ise FPGA tasarımındaki mantık bloklarının birbirlerinden bağımsız şekilde çalışmasını doğal bir biçimde modelleyebilmektedir. VHDL’in zengin kütüphane desteği de önemli bir avantaj olarak kabul edilmektedir. Bu kütüphanelerde, çeşitli mantık işlemleri, matematik fonksiyonları, zamanlama (timing) mekanizmaları ve veri tipleri tanımlı hâlde bulunmakta, tasarımların tekrar kullanılabilir bileşenlerle oluşturulmasını kolaylaştırmaktadır.

Aşağıda, VHDL kullanarak bir tam toplayıcı (full adder) devresinin nasıl tanımlanabileceğine dair bir örnek kod gösterilmektedir. Bu örnek, FPGA üzerinde gerçekleştirilecek basit bir aritmetik birimin işlevini somutlaştırmakta ve FPGA sentez araçları tarafından donanım düzeyinde uygulanabilmektedir.

Şekil 3.5’te tanımlanan Sum ve Cout sinyalleri, FPGA içerisinde ilgili mantık kapılarına ve geri besleme yollarına bağlanarak doğrudan donanım seviyesinde işleme sokulmaktadır. Bu sinyallerin doğru ve verimli bir şekilde işlenmesi, sistem performansının ve kararlılığının korunmasında kritik bir rol oynamaktadır. Dolayısıyla yazılım benzeri bir komut yürütme süreci yerine, FPGA üzerindeki LUT, flip-flop ve ara bağlantılar kullanılarak fiziksel bir tam toplayıcı devresi oluşturulmaktadır. Bu yöntemin tercih edilmesinde, donanım kaynaklarının optimize kullanımı ve düşük gecikme süresi

gibi avantajlar etkili olmaktadır. Tez çalışmasında da VHDL tasarım dili kullanılmaktadır.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity full_adder is
    Port (
        A, B, Cin : in  STD_LOGIC;
        Sum, Cout : out STD_LOGIC
    );
end full_adder;

architecture Behavioral of full_adder is
begin
    Sum <= A XOR B XOR Cin;
    Cout <= (A AND B) OR (B AND Cin) OR (A AND Cin);
end Behavioral;
```

Şekil 3. 5 VHDL dilinde tam toplayıcı tasarımı

3.1.4.2 Verilog

Verilog, 1980’lerin sonunda geliştirilen ve günümüzde VHDL ile birlikte FPGA tasarımcıları tarafından en sık başvurulan donanım tanımlama dillerinden biridir (Feng ve Chen 2015). Basit ve kullanıcı dostu sözdizimi, C gibi yazılım dilleriyle aşinalığı olan mühendisler için öğrenme sürecini kısaltmaktadır. Verilog’da da, tıpkı VHDL’de olduğu gibi, davranışsal (behavioral), yapısal (structural) ve kapı düzeyi (gate-level) modelleme yaklaşımları mevcuttur.

Verilog, modüler bir yapıya sahiptir. Her bir tasarım bileşeni, “module” ismi verilen yapılar içerisinde tanımlanmakta ve bu modüller, daha karmaşık sistemleri meydana getirmek amacıyla birbirlerine hiyerarşik olarak bağlanabilmektedir. Bu yaklaşım, büyük tasarımların yönetilebilir parçalara bölünmesine ve tekrar kullanılabilir modüller vasıtasıyla geliştirme hızının artmasına katkıda bulunmaktadır. Aşağıda, Verilog kullanarak bir tam toplayıcı devresinin eşdeğer tanımlaması yer almaktadır.

Söz konusu Şekil 3.6’da görüldüğü gibi, Verilog’un sözdizimi C benzeri operatörler (^, &, |) ve atama yöntemleri (assign) kullanmaktadır. Bu, özellikle yazılım odaklı geçmişe sahip tasarımcılar için dilin benimsenmesini hızlandırmaktadır. FPGA sentez araçları, Verilog kodunu okuduktan sonra yine donanım düzeyinde fiziksel mantık elemanlarını yerleştirip yönlendirerek (place and route) istenen tasarımı FPGA üzerinde gerçeğe dönüştürmektedir.

```
module full_adder(  
    input A, B, Cin,  
    output Sum, Cout  
);  
    assign Sum = A ^ B ^ Cin;  
    assign Cout = (A & B) | (B & Cin) | (A & Cin);  
endmodule
```

Şekil 3. 6 Verilog dilinde tam toplayıcı tasarımı

FPGA tasarımı genel olarak kodlama, sentez, yerleştirme-yönlendirme, simülasyon ve programlama adımlarını içermektedir. Kodlama safhasında, VHDL veya Verilog gibi HDL dilleriyle donanımın işlevleri tanımlanmaktadır. Ardından sentez adımı, HDL kodu FPGA kaynaklarına (mantık hücreleri, LUT’lar, flip-flop’lar ve ara bağlantılar) uyumlu bir netlist’e dönüştürülmektedir. Netlist, devrede kullanılan kapıları ve bunların bağlantılarını içeren soyut bir temsil niteliğindedir (Wang vd. 2018).

Yerleştirme-yönlendirme (place and route) adımı, sentezle oluşturulan netlist’teki mantık elemanlarının FPGA üzerindeki fiziksel konumu belirlenmekte, ara bağlantıların optimal şekilde dağıtılması hedeflenmektedir. Bu süreç, tasarımın hem zamanlama (clock period, setup/hold time) hem de güç tüketimi açısından önemli ölçüde optimize edilmesine olanak tanımaktadır. Daha sonra simülasyon aşamasına geçilerek tasarlanan devrenin davranışsal doğruluğu ve zamanlama karakteristikleri test edilmektedir. Bu aşamada, potansiyel hataların erken tespiti mümkün olabildiği gibi, tasarımın farklı girdi senaryolarına verdiği yanıtlar da incelenmektedir. Son olarak FPGA üreticisinin sağladığı araçlar aracılığıyla oluşturulan bit dosyası (bitstream) çipe yüklenmekte ve donanım artık fiilen kullanılabilir hâle gelmektedir.

Günümüzde, Xilinx ISE, Xilinx Vivado, Intel Quartus Prime ve Lattice Diamond gibi popüler araç zincirleri tasarımcıların hizmetindedir. Bu araçlar hem VHDL hem de Verilog kodlarını işleyebilmekte, sentezden yerleştirmeye ve simülasyondan hata ayıklamaya (debug) kadar tasarımın tüm aşamalarında eşlik etmektedir. Bazı gelişmiş FPGA platformlarında, gömülü mikroişlemciler, yüksek hızlı transceiver blokları ya da DSP birimleri gibi hazır IP çekirdeklerine de erişilebilmektedir. Böylece tasarımcılar, temel mantık bloklarının yanı sıra karmaşık arayüzleri veya hesaplama fonksiyonlarını da verimli biçimde FPGA üzerinde devreye alabilmektedir.

FPGA tasarımında VHDL ve Verilog uzun yıllardır etkin olarak kullanılıyor olsa da yüksek seviyeli yazılım dillerine dayanan HLS teknolojileri giderek yaygınlaşmaktadır. HLS araçları, C, C++ veya Python gibi dillerde yazılan algoritmaları otomatik olarak donanım mantığına dönüştürmekte, böylece FPGA tasarım sürecini yazılım geliştiricilere daha tanıdık bir çerçeveye yaklaştırmaktadır. Bu yöntem, karmaşık algoritmaları doğrudan HDL'ye çevirmek yerine, yüksek seviyede tanımlanmış işlevlerin sentezlenerek optimize edilmiş donanım blokları oluşturması prensibine dayanmaktadır. Özellikle makine öğrenmesi, görüntü işleme veya kriptografi gibi kompleks veri işleme alanlarında, HLS araçlarının sağladığı hızlı prototipleme ve kod yeniden kullanım avantajları büyük değer kazanmaktadır.

FPGA tasarımında kullanılan donanım tanımlama dilleri, donanım seviyesinde yüksek esnekliği ve performansı hedefleyen bir yaklaşımın omurgasını oluşturmaktadır. VHDL, tip güvenliği ve mimari katmanlı modellemesi ile büyük ölçekli projelerde disiplinli bir yol sunarken, Verilog pratik sözdizimi ve C benzeri yapısı sayesinde daha hızlı uyum sağlayan bir kullanıcı kitlesine hitap etmektedir (Madorsky ve Acosta 2007). Her iki dil de paralel işlem yeteneklerini zengin ifade kalıpları ile desteklemekte ve FPGA üzerinde senkronizasyon, zamanlama, çoklayıcı yapılar (multiplexer) ve kontrol devreleri gibi kritik unsurların tanımını mümkün kılmaktadır.

Tasarımcılar, HDL kodlama aşamasından bitstream üretimine kadar birçok yazılım aracı ve otomasyon tekniği kullanarak FPGA projelerini hayata geçirmektedir. Bu süreçte titiz planlama ve test aşamaları da projenin başarısını artıran önemli etmenler olarak ön plana

çıkılmaktadır. Ayrıca ekip içi iş birliği ve sürekli güncellenen metodolojiler sayesinde projelerin verimliliği ve hata payı minimize edilebilmektedir. Yüksek performans, düşük güç tüketimi ve uyarlanabilirlik gibi özelliklerin giderek önem kazandığı çağdaş elektronik ekosisteminde, VHDL ve Verilog gibi dillerin yanı sıra HLS yaklaşımlarının da benimsenmesi kaçınılmaz bir yönelim olarak öne çıkmaktadır. Bu eğilim, sektörde rekabet gücünü artıran dinamik çözümler sunma açısından da büyük önem taşımaktadır. Bu sayede FPGA teknolojisi, hızlı prototiplemeden nihai ürüne kadar uzanan geniş bir yelpazede güncel tasarım ihtiyaçlarını karşılayan güçlü bir seçenek olmaktadır.

3.1.5 FPGA Programlama Yöntemleri

FPGA tasarımı sürecinin nihai aşaması, oluşturulan bit dosyasının donanım katmanına aktarılması ve çipin hedeflenen işlevleri yerine getirecek biçimde konfigüre edilmesidir. Bu aşamada başvurulacak programlama yöntemi, büyük ölçüde uygulamanın ihtiyaçlarına, sistem mimarisine ve güncelleme gereksinimlerine bağlı olarak belirlenmektedir. Bazı durumlarda prototipleme sürecinde sık sık değişiklik yapabilme esnekliği öne çıkarken, bazı projelerde ise sahada kesintisiz çalışma ve uzaktan erişimle güncelleme imkânı sağlamak temel öncelik hâline gelmektedir. FPGA üreticileri, söz konusu gereksinimlerin çeşitliliğine yanıt verebilmek için farklı programlama ve konfigürasyon modlarını destekleyen bir altyapı sunmakta; geliştirme kartları, yazılım araçları ve ek donanım bileşenleriyle bu süreçleri kolaylaştırmaktadır.

Bu tez çalışmasında üretilen kart üzerinde yer alan FPGA, JTAG yöntemiyle programlanmaktadır. JTAG arabirimi, FPGA tasarımlarının sahada veya laboratuvar ortamında doğrudan çipe yüklenmesi ve hata ayıklama süreçlerinin sağlıklı şekilde yürütülmesi açısından yaygın kullanılan bir yaklaşım sunmaktadır. Kart üzerinde bulunan JTAG arayüzü, tasarım geliştirme araçlarıyla iletişim kurarak bit dosyasının FPGA çipine aktarılmasını mümkün kılmaktadır. Aynı zamanda sistemdeki giriş-çıkış pinlerinin doğruluğu gibi hususların da test edilmesine olanak tanımaktadır. Bu yöntem, özellikle karmaşık sistemlerde hata tespiti ve giderilmesinde önemli avantajlar sağlamaktadır. Ek olarak, JTAG sayesinde yapılan test işlemleri, tasarım sürecinde erken aşamalarda olası sorunların belirlenmesine yardımcı olmakta ve sistem güvenilirliğini artırmaktadır. Bu

bölümde, JTAG ve diğer FPGA programlama yöntemleri ayrıntılı şekilde incelenmektedir.

3.1.5.1 ISP

ISP (In-System Programming) yöntemi, FPGA gibi programlanabilir aygıtların devre üzerinden sökülmesine gerek kalmaksızın ve sistemin genel yapısı bozulmaksızın yeniden yapılandırılabilmesine olanak tanımaktadır (İonel vd. 2024). Bu yaklaşım, sahada çalışan bir ürünün donanım işlevlerinde ortaya çıkan güncelleme gereksinimlerini karşılamada son derece yararlı olmaktadır. Bir mikrodenetleyici veya işlemci, ağa bağlı bir kaynak ya da farklı bir veri deposundan aldığı yeni tasarım dosyalarını FPGA çipine aktarabilmektedir. Bu aktarım sürecinde sistemin diğer bölümleri faaliyetlerine devam etmekte, böylece üretim hattında veya kullanım sürecinde oluşabilecek duruş süreleri en aza indirilmektedir.

ISP çoğu zaman seri iletişim protokolleri veya paralel veri hatları üzerinden uygulanmaktadır. FPGA üreticileri, bu yöntemi desteklemek amacıyla özel modlar sunmakta ve konfigürasyon aşamasında saat frekansı, veri formatı, başlangıç adresi gibi parametrelerin düzenlenmesine izin vermektedir. Bu sayede tasarımcılar, mevcut donanımı sahada güncelleyebilmekte, ortaya çıkan eksiklikleri giderebilmekte ya da yeni işlevler ekleyerek ürünün kullanım ömrünü ve performansını yükseltebilmektedir.

3.1.5.2 JTAG

JTAG (Joint Test Action Group), FPGA programlaması ve test aşamalarında sıklıkla başvurulmuş bir arabirim niteliği taşımaktadır (Zhang vd. 2009). Üretim sırasında kart üzerindeki bağlantıları doğrulamak maksadıyla geliştirilmiş olan bu sistem, zamanla programlanabilir mantık devrelerinin sahada veya prototipleme sürecinde güncellenmesinde de sıkça tercih edilmektedir. Bir JTAG bağlantısı üzerinden FPGA çipine yüklenen tasarım dosyası, ek bir ara bağlantıya gereksinim duyulmaksızın doğrudan çipin konfigürasyon belleğine aktarılmaktadır. Bu işlem esnasında programlayıcı ile tasarım geliştirme ortamları tam bir uyum içinde çalışmakta, hızlı ve güvenilir bir konfigürasyon süreci sunmaktadır.

JTAG veri transferini seri biçimde gerçekleştirmekte ve FPGA üzerinde bulunan test zinciri sayesinde giriş-çıkış pinlerinin gözlemlenebilmesine imkân tanımaktadır. Bu yaklaşım, hata ayıklama aşamasında tasarımcılara önemli kolaylıklar sağlamaktadır. Geliştirme kartlarının büyük bir kısmında JTAG bağlantısının standart olarak yer alması, yöntemin maliyet açısından avantajlı ve kullanışlı olmasına katkıda bulunmaktadır. Bu sayede tasarımın farklı sürümleri basit bir programlayıcı ile kolaylıkla FPGA çipine yüklenebilmekte ve test edilebilmektedir.

3.1.5.3 Harici Bellekten Önyükleme

Pek çok FPGA modeli, harici bir bellekte saklanan dosyaları kendi konfigürasyon belleğine kopyalayarak açılış sürecini tamamlamaktadır. Bu yöntemde, FPGA enerjisi verildiğinde ihtiyaç duyulan tasarım verilerini otomatik biçimde iç konfigürasyon bölgesine yüklemekte ve tasarımın hemen çalışmaya başlamasını sağlamaktadır. Sistemin her yeniden başlatıldığında aynı doğrulanmış tasarımla devreye girmesi, güvenilirlik ve süreklilik açısından önemli bir yarar sunmaktadır. Bu yaklaşım, gömülü işlemcili veya işlemcisz ortamlarda rahatlıkla kullanılabilir.

Harici bellek çoğunlukla Flash veya EEPROM (Electrically Erasable Programmable Read-Only Memory - Elektriksel Olarak Silinebilir ve Programlanabilir Salt Okunur Bellek) tabanlı olmaktadır. Söz konusu belleğin kapasitesi, tasarım boyutu ve ileride yapılacak güncellemelerin gereksinimleri doğrultusunda seçilmektedir. FPGA üreticileri, harici bellekle haberleşmeyi kolaylaştırmak üzere seri veya paralel modlar sunmakta ve tasarımcının sistem mimarisine uygun bir yapılandırmaya gitmesine fırsat tanımaktadır. Gömülü işlemciye sahip tasarımlarda, bu belleğin içeriği uzaktan alınan paketlerle güncellenebilmekte, FPGA yeniden başlatıldığında ise yeni tasarım otomatik olarak devreye girmektedir. Böylelikle, kullanıcı müdahalesine gerek olmaksızın sahada hızlı ve güvenli sürüm geçişleri gerçekleştirilebilmektedir.

3.1.5.4 Kısmi Yeniden Programlama

Kısmi yeniden programlama, FPGA teknolojisinin en gelişmiş niteliklerinden birini temsil etmekte ve FPGA çipinin yalnızca belli bölümlerinin çalışma sırasında yeniden

düzenlenmesine izin vermektedir (Cardona vd. 2011). Bu teknikle birlikte, çipin geri kalan bölümleri faaliyetlerini kesintisiz sürdürürken hedeflenen modüller güncellenebilmektedir. Örneğin, sistemin durdurulmasına gerek kalmaksızın bir algoritma değiştirilmekte veya kullanılmayan mantık kaynakları başka bir işlev için devreye alınabilmektedir. Bu durum, zamanla değişen koşullara uyum sağlayan, daha esnek ve dinamik tasarımların üretilmesine katkıda bulunmaktadır.

Bu yöntemde, tasarımın hangi alanlarının kısmi yeniden programlamaya uygun olduğunun önceden belirlenmesi gerekmektedir. Konfigürasyon dosyaları hazırlanırken, normal yüklemeden farklı olarak her kısmi güncelleme için ek düzenlemeler yapılmaktadır. Çip üstündeki zamanlama analizleri yeniden ele alınarak sistem bütünlüğünün güvence altına alınması sağlanmaktadır. Kısmi yeniden programlama, özellikle adaptif filtre, veri işleme veya güvenlik mekanizmalarının gerek duyduğu senaryolarda kritik bir seçenek olarak değerlendirilmektedir.

3.1.5.5 Mikroişlemci (SoC) Tabanlı Programlama

Modern FPGA ailesi içerisinde yer alan gömülü işlemci çekirdekleri, programlama ve yönetim aşamalarını oldukça esnek hâle getirmektedir. SoC-FPGA olarak adlandırılan bu yapıların bir parçası olan işlemci, çipin ne zaman ve hangi yöntemle yeniden konfigüre edileceğine karar verebilmektedir. Ağ üzerinden aktarılan bir tasarım dosyasını doğruladıktan sonra FPGA üzerine yazabilmekte ve güncelleme tamamlandığında yeni yapı devreye alınmaktadır. Böylelikle, yazılım katmanı ile donanım katmanı arasında güçlü bir bütünleşme kurulmakta ve saha koşullarında dahi kesintisiz güncellemeler yapılabilmektedir (Leong vd. 1998).

Bu tarz tasarımlarda, konfigürasyon ve kısmi yeniden programlama adımları işlemciyle birlikte planlanmaktadır. Bu entegrasyon, tasarım sürecinde esneklik sağlamak ve hata tespit aşamalarında süreç verimliliğini artırmaktadır. Donanım kaynaklarının paylaşımlı kullanımı ve gerçek zamanlı performans gereklilikleri, tasarımın hem yazılım hem de donanım katmanında koordineli bir şekilde geliştirilmesini gerektirmektedir. Bu uyumlu yaklaşım, sistem performansının optimize edilmesi ve potansiyel darboğazların önüne geçilmesinde önemli rol oynamaktadır. Veri merkezlerinde hızlandırıcı rolü üstlenen

FPGA kartlarında veya gömülü cihazlarda bu yaklaşımın kullanılması, tasarım bütünlüğünü koruma ve kaynakları verimli kullanma noktasında önemli kazanımlar sağlamaktadır (Osman ve Hashim 2018).

3.1.5.6 Diğer Programlama Seçenekleri ve Gelişmiş Yaklaşımlar

FPGA programlama yöntemleri, çoğunlukla yukarıda belirtilen ana başlıklarla sınırlı kalmamaktadır. Veri merkezlerinde sıklıkla görülen yüksek hız gereksinimleri, PCI Express veya Ethernet gibi veri yolları üzerinden FPGA çipinin yeniden konfigüre edilmesine olanak tanımaktadır. Bu sayede sistem durdurulmadan tasarım güncellenebilmekte ve yüksek bant genişliğine sahip uygulamalarda kesintisiz hizmet sağlanmaktadır. Ayrıca çok sayıda FPGA barındıran kartlarda zincirleme (daisy-chain) yöntemiyle tek bir bağlantı üzerinden toplu programlama yapılabilmesi, üretim hattı süreçlerini kolaylaştırmaktadır.

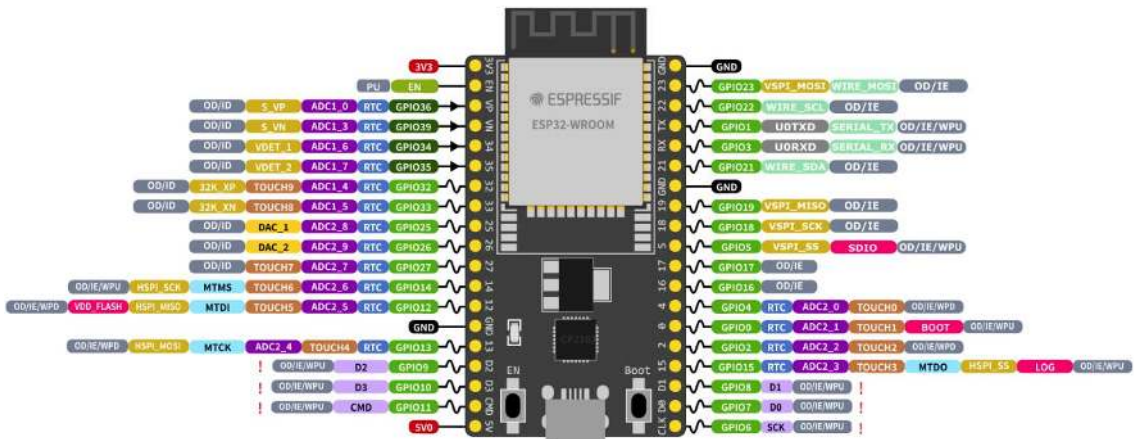
Tasarım güvenliği ve fikri mülkiyet koruması söz konusu olduğunda, üreticilerin sunduğu kalıcı programlama teknikleri (örneğin eFUSE) devreye alınabilmektedir. Bu yöntemle, yazılan tasarım içeriğinin bir kez programlandıktan sonra değiştirilmesi engellenebilmekte, böylelikle olası manipülasyon ve kopyalama girişimleri önlenmektedir. Bu tür gelişmiş yöntemler ve seçenekler, FPGA çipinin sunduğu esnekliği arttırarak farklı sektör ve uygulamalarda ortaya çıkan özel gereksinimlere karşı başarılı çözümler üretme fırsatı sunmaktadır.

3.2 ESP32 Geliştirme Modülleri

ESP32 modülleri, gömülü sistemlerde Wi-Fi, Bluetooth, çok çekirdekli işlemci ve çevresel birim entegrasyonunu tek platformda sunmaktadır (Sokol vd. 2024). Yüksek işlem gücü veya çoklu görev gerektiren uygulamalarda gerçek zamanlı işletim sistemleriyle kullanılabilen ESP32, akademik ve endüstriyel projelerde artan ilgi görmektedir; özellikle IoT, uzaktan izleme, kablosuz sensör ağları ve veri toplama alanlarında küçük boyutu, düşük güç tüketimi ve esnek programlama özellikleriyle öne çıkmaktadır.

Bu tez çalışmasında, ESP32-DevKitC v4 modülü kullanılmıştır. Söz konusu modül, Espressif Systems tarafından üretilen ESP32 serisi çiplerin pratik biçimde test edilmesini ve prototipleme yapılmasını amaçlayan bir geliştirme kartıdır (Carneiro vd. 2023). DevKitC v4, ESP32-WROOM veya ESP32-WROVER modülünü temel almakta olup, 240 MHz'e kadar çıkabilen çift çekirdekli Tensilica LX6 işlemci, dahili Wi-Fi/Bluetooth kabiliyeti ve bir dizi GPIO (Genel Amaçlı Giriş/Çıkış) pinine sahiptir (Esmaili vd. 2023). Bu sayede hem yüksek veri işleme kapasitesi gerektiren hem de kablosuz haberleşmeye ihtiyaç duyan gömülü projeler için verimli bir çalışma platformu sunmaktadır. FPGA gibi alanda programlanabilir kapı dizileri ile birlikte kullanılmaya uygun olan ESP32-DevKitC v4, kablosuz veri alışverişi, sinyal işleme ve kullanıcı arayüzü gibi fonksiyonların tek bir kartta toplanmasına imkân tanımaktadır.

Şekil 3.7'de ESP32-DevKitC v4 modülünün tipik yerleşimi, işlemci çekirdekleri, anten bağlantıları, USB arayüzü, güç düzenleme devresi ve kullanıcıya ayrılmış GPIO pinleri gösterilmektedir. FPGA ile yapılacak entegre çalışmalarda ise UART, SPI veya I2C gibi çevresel haberleşme birimleri üzerinden veri alışverişi gerçekleştirmek mümkündür. Aşağıdaki alt başlıklarda, ESP32 platformunun yapısı, avantajları ve programlama süreçleri ayrıntılarıyla açıklanacak ayrıca bu tez kapsamında ESP32-DevKitC v4'ün nasıl kullanıldığına ve FPGA ile etkileşiminin nasıl sağlandığına dair teknik bilgilere yer verilecektir.



Şekil 3. 7 ESP32-DevkitC pin çıkışları (İnt. Kyn. 3)

3.2.1 ESP32'nin Yapısı

ESP32 çipi, çift çekirdekli Tensilica LX6 işlemci mimarisi üzerinde inşa edilmiş olup, yüksek işlem kapasitesi ve gömülü çoklu görev yönetimi sunmaktadır. Temel tasarım, her iki çekirdeğin de 240 MHz saat hızına kadar çalışabilmesine olanak tanımakta, bu sayede hem zaman kritik görevler hem de genel amaçlı işlemler aynı modül üzerinde yürütülebilmektedir. Ayrıca dahili bellek katmanları (SRAM (Static Random-Access Memory - Statik Rastgele Erişimli Bellek) ve cache) ve harici flash desteği, kullanıcı kodunun ve verilerin uygun şekilde depolanmasına imkân tanımaktadır (Maier vd. 2017).

ESP32, 802.11 b/g/n Wi-Fi standardını ve Bluetooth/BLE haberleşme özelliklerini bünyesinde barındırmaktadır. Bu kablosuz haberleşme protokolleri, IoT uygulamaları için kritik önem taşımakta, sistemin uzak bir sunucuya veya mobil cihaza bağlanarak veri alışverişi yapabildiğini sağlamaktadır. Geliştirme modüllerinde yer alan entegre anten veya anten konektörü, kablosuz iletişimin saha koşullarında dahi stabil şekilde sürdürülmesine yardımcı olmaktadır.

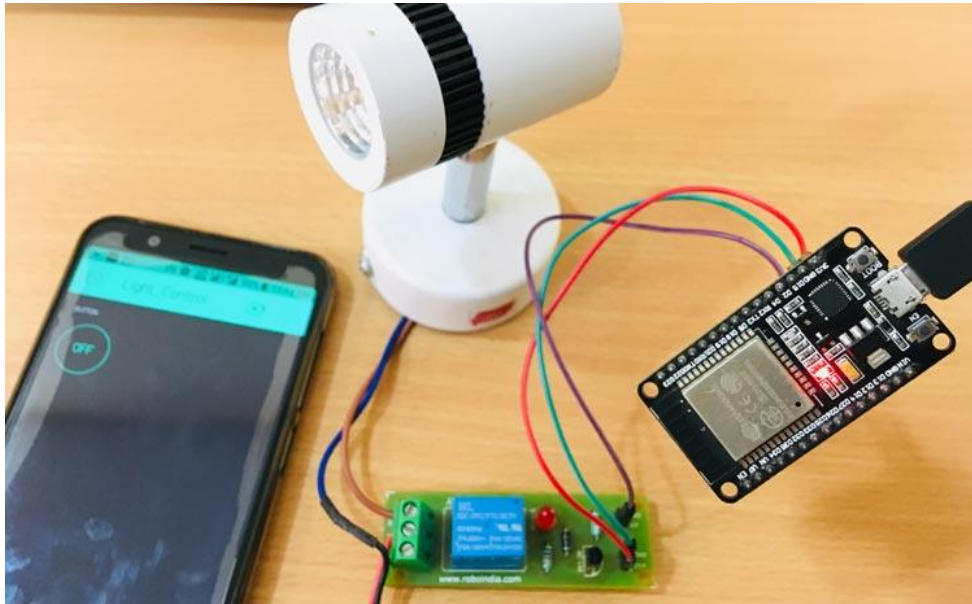
ESP32-DevKitC v4, bu çipin kullanımını daha da kolaylaştıracak ek donanımlara sahiptir. Kart üzerinde USB-UART dönüştürücü, 5 V - 3.3 V regülatör, sıfırlama (reset) ve programlama tuşları gibi bileşenler yer almakta, böylece harici ek devrelere gereksinim olmadan hızlı bir prototipleme deneyimi mümkün olmaktadır. FPGA gibi harici bir donanımın bağlanmasında kullanılacak GPIO pinleri, kart üzerindeki pin header'lar aracılığıyla erişilebilir durumdadır. Bu sayede FPGA tabanlı tasarımda ihtiyaç duyulan iletişim protokolleri, DevKitC v4'e entegre edilerek veri transferi veya kontrol sinyalleri anında gerçekleştirilebilmektedir.

3.2.2 ESP32'nin Avantajları

ESP32, geliştirme kartlarının tek bir platformda pek çok özelliği bir araya getirmesi bakımından büyük avantaj sağlamaktadır. Kablosuz iletişim, çok çekirdekli işlemci, zengin çevre birimleri ve gömülü gerçek zamanlı işletim sistemi desteği, karmaşık

gömülü projelerin hızla prototiplenmesini ve sahada kullanılabilir hâle gelmesini kolaylaştırmaktadır (Balamanikandan vd. 2024). Tek kart üzerinde Wi-Fi ve Bluetooth bağlantısının bulunması, özellikle uzaktan izleme, veri toplama, mobil cihazlarla etkileşim veya bulut tabanlı kontrol sistemleri gibi alanlarda önemli bir işlevsellik sunmaktadır. Bu altyapı, FPGA gibi yüksek performanslı dijital devrelerle birlikte kullanıldığında, FPGA üzerinde işlenen verinin kablosuz protokoller aracılığıyla anında farklı cihazlara veya veri merkezlerine aktarılmasını olanaklı kılmaktadır (Esmaili vd. 2023).

DevKitC v4 modülünün bu tez çalışmasında kullanılmasının temel sebepleri arasında, küçük boyutlu tasarımda yüksek performans elde etme isteği ve hızlı prototipleme kabiliyetleri bulunmaktadır. Modülün düşük güç tüketimi, pille çalışan sistemlerde, sensör ağlarında ya da taşınabilir cihazlarda daha uzun çalışma süreleri sağlamaktadır. Aynı zamanda, Arduino IDE, PlatformIO veya Espressif'in kendi geliştirme araç seti (ESP-IDF) gibi farklı yazılım ekosistemleriyle uyumluluk, kullanıcıların kendi deneyim seviyelerine en uygun ortama yönelmelerine olanak tanımaktadır. Resim 3.1'de bu modülün basit bir IoT uygulamasında sensör veri toplaması, Wi-Fi ile bulut sunucuya aktarım yapması ve FPGA ile yerel bir veri işleme sürecini paylaşması örneklenmektedir.



Resim 3. 1 ESP32 örnek bir iot projesi gerçekleştirme görseli (İnt. Kyn. 4)

Bunlara ek olarak ESP32'nin çoklu görev (multitasking) ve serbest zamanlı (preemptive) çalışmayı destekleyen yapısı, farklı işlem yüklerini eşzamanlı biçimde yönetmeye olanak tanımaktadır (Sayyad vd. 2023). Örneğin, FPGA üzerinden gelen dijital veriler ESP32 tarafında önce bir buffer'a alınabilmekte, diğer çekirdek ise kablosuz paketlerin oluşturulması ve gönderilmesiyle ilgilenebilmektedir. Böylece, FPGA çipinin "alanda programlanabilir kapı dizileri" avantajıyla üstlendiği ağır işlem yükü, ESP32 tarafından çok çekirdekli ve kablosuz bağlantı odaklı mimariyle tamamlanmaktadır.

3.2.3 ESP32 Programlama ve Entegrasyonu

Site arayüzü, tez çalışmasının uygulama ve eğitim boyutunu destekleyen kullanıcı dostu ve çok yönlü bir platform olarak tasarlanmış bulunmaktadır. Sisteme giriş aşamasında, kullanıcıdan bir şifre talep edilmekte ve girilen şifre doğrultusunda ilgili kullanıcı rolü belirlenmektedir. Örneğin, sistem her adımda kullanıcıya net yönlendirmeler sunarak erişimi kolaylaştırmaktadır. Bu yapı, veri güvenliğini ön planda tutarak yetkisiz erişimlerin önüne geçmeyi hedeflemektedir. Kullanıcı rolüne göre arayüzün sunduğu olanaklar farklılaşmakta, böylece yönetici veya laboratuvar yetkisindeki kişilerle genel kullanıcılar (öğrenci vb.) arasında bir erişim kontrolü sağlanmaktadır. Yönetici veya laboratuvar rolünde oturum açan kullanıcılar, sistemin tüm işlevlerine ve modüllerine sınırsız biçimde erişebilmekte; yeni bit dosyaları yükleyebilmekte, kod panelini kullanabilmekte ve farklı programları yönetebilmektedir. Buna karşılık, öğrenci gibi genel kullanıcı rollerinde ise özellikle yeni bit dosyası yükleme yetkisi kısıtlanarak var olan hazır programları çalıştırma ve gözlemleme imkânı tanınmaktadır. İstenildiği takdirde, bu yetkilendirme özellikleri sonradan düzenlenebilmekte veya farklı kullanıcı rolleri eklenerek sistem esnek biçimde güncellenebilmektedir.

Bu yapı, yönetici veya eğitmen konumundaki kişilerin laboratuvar ortamında gömülü sistem, FPGA veya benzeri donanımlarla ilgili bilgi aktarımını kolaylaştırmayı hedeflemektedir. Ayrıca, platform sürekli olarak güncellenen içeriğiyle kullanıcılara en son teknolojik gelişmeleri takip etme imkânı sunmaktadır. Bu özellik, öğrenme sürecinde verimliliği artırarak deneyimi zenginleştirmektedir. Kod paneli, eğitmen ve öğrenciler arasındaki etkileşimin artırılmasında önemli bir araç işlevi görmektedir. Şekil 3.8'de görünen sitede canlı yayın ekranı eşliğinde, kod panelinin açılıp kapanabilme özelliği

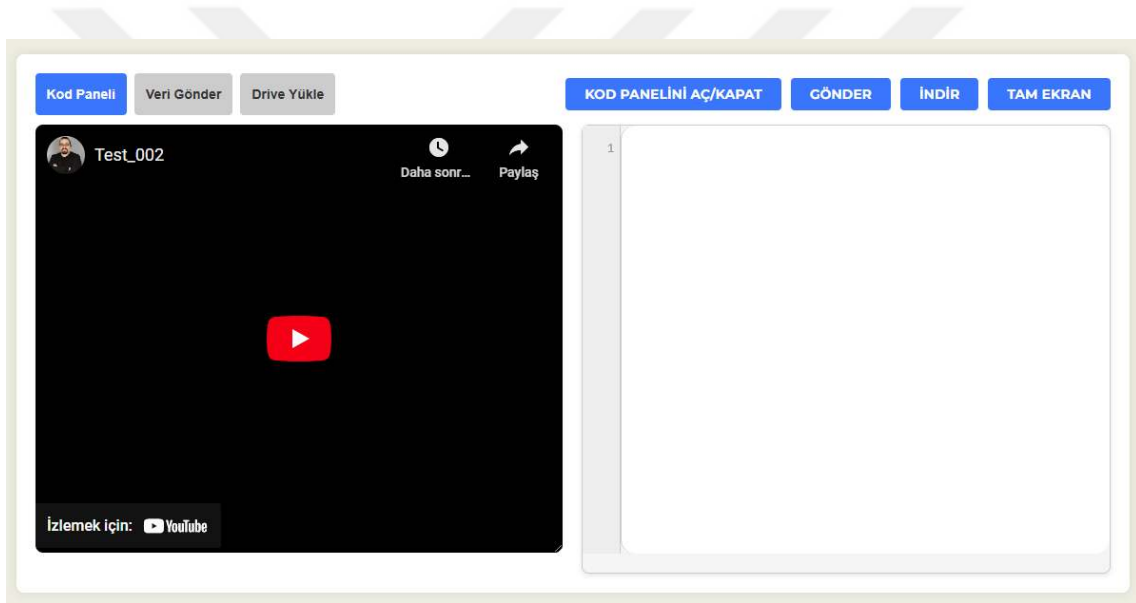
sayesinde, gerektiğinde video penceresi genişletilerek katılımcıların canlı sunumu daha rahat izlemesine imkân tanınmakta, gerektiğinde de kod paneli genişletilerek yazılım veya HDL kodlarının üzerinde eğitim verilebilmektedir. Kod panelinde yazılan kodlar, “indir” butonu aracılığıyla belirli bir dosya adı ve dosya formatında bilgisayara kaydedilebilmekte; ayrıca “gönder” seçeneği üzerinden site sahibine veya eğitime e-posta yoluyla iletilebilmektedir. Böylelikle, canlı ders veya atölye çalışması yürütülürken yazılan kodlar toplu hâlde paylaşılmakta, eğitmen tarafında da geribildirim veya düzeltme yapılabilmektedir. Tam ekran özelliği ise bu süreci bir adım ileri taşımakta, kullanıcıların tüm ekranı kod ve yayın penceresine ayırarak daha yoğun bir öğrenme veya geliştirme deneyimi yaşamalarına olanak tanımaktadır.

3.3 Site Arayüzü

Site arayüzü, tez çalışmasının uygulama ve eğitim boyutunu destekleyen kullanıcı dostu ve çok yönlü bir platform olarak tasarlanmış bulunmaktadır. Sisteme giriş aşamasında, kullanıcıdan bir şifre talep edilmekte ve girilen şifre doğrultusunda ilgili kullanıcı rolü belirlenmektedir. Kullanıcı rolüne göre arayüzün sunduğu olanaklar farklılaşmakta, böylece yönetici veya laboratuvar yetkisindeki kişilerle genel kullanıcılar (öğrenci vb.) arasında bir erişim kontrolü sağlanmaktadır. Yönetici veya laboratuvar rolünde oturum açan kullanıcılar, sistemin tüm işlevlerine ve modüllerine sınırsız biçimde erişebilmekte; yeni bit dosyaları yükleyebilmekte, kod panelini kullanabilmekte ve farklı programları yönetebilmektedir. Buna karşılık, öğrenci gibi genel kullanıcı rollerinde ise özellikle yeni bit dosyası yükleme yetkisi kısıtlanarak var olan hazır programları çalıştırma ve gözlemlene imkânı tanınmaktadır. İstenildiği takdirde, bu yetkilendirme özellikleri sonradan düzenlenebilmekte veya farklı kullanıcı rolleri eklenerek sistem esnek biçimde güncellenebilmektedir.

Bu yapı, yönetici veya eğitmen konumundaki kişilerin laboratuvar ortamında gömülü sistem, FPGA veya benzeri donanımlarla ilgili bilgi aktarımını kolaylaştırmayı hedeflemektedir. Kod paneli, eğitmen ve öğrenciler arasındaki etkileşimin artırılmasında önemli bir araç işlevi görmektedir. Şekil 3.8’de görünen sitede canlı yayın ekranı eşliğinde, kod panelinin açılıp kapanabilme özelliği sayesinde, gerektiğinde video

penceresi genişletilerek katılımcıların canlı sunumu daha rahat izlemesine imkân tanınmakta, gerektiğinde de kod paneli genişletilerek yazılım veya HDL kodlarının üzerinde eğitim verilebilmektedir. Kod panelinde yazılan kodlar, “indir” butonu aracılığıyla belirli bir dosya adı ve dosya formatında bilgisayara kaydedilebilmekte; ayrıca “gönder” seçeneği üzerinden site sahibine veya eğitime e-posta yoluyla iletelebilmektedir. Böylelikle, canlı ders veya atölye çalışması yürütülürken yazılan kodlar toplu hâlde paylaşmakta, eğitmen tarafında da geribildirim veya düzeltme yapılabilmektedir. Tam ekran özelliği ise bu süreci bir adım ileri taşımakta, kullanıcıların tüm ekranı kod ve yayın penceresine ayırarak daha yoğun bir öğrenme veya geliştirme deneyimi yaşamalarına olanak tanımaktadır.



Şekil 3. 8 Site tasarımında yönetici girişi sonrası ekran görüntüsü

Site arayüzünde “Veri Gönder” olarak adlandırılan bölüm, hazır programların hızlıca devreye alınmasını sağlamaktadır. Bu bölümde, FPGA üzerinde çalışacak örnek uygulamalar önceden tanımlanmış hâlde bulunmakta, kullanıcılar sadece birkaç tıklama ile bu uygulamaları seçerek devre kartının (FPGA) ilgili pinlerini tetikleyebilmektedir. Sistemde reset, trigger sinyali ve 4 adet data pini üzerinden FPGA yönetilmekte; kullanıcı bu pinlerin durumunu değiştirerek LED yakma, yarım toplayıcı, tam toplayıcı, yukarı-aşağı sayıcı, JK flip-flop ile mod 4 sayıcı, 7 parçalı gösterge ile sayıcı, bit kaydırıcı veya kayan LED gibi temel dijital mantık uygulamalarını anında çalıştırabilmektedir. Kullanıcının rolünde giriş yapıldığında, yeni bit dosyaları yükleme yetkisi kapalı hâlde

geldiği için yalnızca bu önceden tanımlanmış hazır uygulamalar yürütülmektedir. Böylece laboratuvar ortamında kontrolsüz ve hatalı yüklemeler engellenmektedir.

“Drive Yükle” başlığı altındaki mekanizma ise, yönetici veya laboratuvar yetkililerinin Xilinx ISE gibi FPGA geliştirme yazılımlarında oluşturdukları bit uzantılı bitstream dosyalarını siteye ekleyerek süratli bir şekilde FPGA çipine aktarmalarına olanak tanımaktadır. Yüklenen dosya, Google Drive üzerinde saklanmakta ve bu dosyaya her erişim gerektiğinde, arka planda çalışan bir program JTAG arayüzünü kullanarak FPGA çipine otomatik biçimde yükleme yapmaktadır. Bu sistem, fiziksel olarak kartla etkileşime girmeden FPGA konfigürasyonunu değiştirmek isteyen kullanıcılar için büyük bir kolaylık sunmaktadır. Kullanıcı, sitede tek bir tıklama ile yeni bit dosyasını yüklemekte, sistem dosyayı Drive’da saklamakta ve ardından FPGA çipinin takılı olduğu bilgisayarda çalışan yazılım anında tetiklenerek FPGA çipine güncel bit dosyasını yüklemektedir. Böylece, uzaktan eğitim veya saha testleri sırasında dahi, kart üzerinde farklı tasarımları denemek mümkün hâle gelmektedir.

Sisteme ait bu bütünsel yaklaşım hem kullanıcı dostu bir arayüz hem de esnek bir yetkilendirme yapısı barındırması sayesinde tez çalışmasının ana hedeflerine hizmet etmektedir. Öğrenciler, güvenli bir ortamda önceden hazırlanmış uygulamaları inceleyerek dijital mantık ve FPGA programlama tecrübesi kazanmaktadır. Yöneticiler ve laboratuvar personeli ise gerektiğinde yeni tasarımları kart üzerine aktararak güncel araştırma ve geliştirme faaliyetlerini sürdürebilmektedir. Kod paneliyle canlı yayının entegre biçimde çalışması, etkileşimli bir eğitim modeline imkân tanımakta, eğitmenin anlatımı eşliğinde öğrencilerin kodlama pratiği yapabilmesine olanak vermektedir. Sonuç olarak site arayüzü, FPGA tabanlı tasarımların eğitiminde, testinde ve uzaktan yönetiminde işlevsel bir çözüm sunmaktadır.

3.4 Devre Kartı Tasarımı

Bu bölümde, devre kartı tasarımının genel çerçevesi, kullanılan PCB tasarım programları ve devre bileşenleri kapsamlı bir şekilde ele alınmaktadır. Öncelikle, PCB tasarımına yönelik yazılımların güncel teknolojik olanakları ve tasarıma getirdikleri avantajlar değerlendirilmekte, sonrasında FPGA çipi başta olmak üzere projenin temelini oluşturan

aktif ve pasif bileşenlerin seçim kriterleri ayrıntılı biçimde açıklanmaktadır. Güç yönetimi, haberleşme arayüzleri, göstergeler ve anahtarlar gibi tamamlayıcı unsurların devredeki işlevleri, sistemin güvenilirlik ve verimlilik hedefleri doğrultusunda irdelenmektedir. Son olarak çizim sürecine odaklanan alt başlıkta ise, şematik diyagramların oluşturulması, PCB katmanlarının düzenlenmesi ve 3 boyutlu modelleme ile üretim aşamasına hazırlık gibi kritik tasarım adımları ayrıntılarıyla incelenmektedir. Bu kapsamda sunulan aşamalar, tasarımın bütüncül bir bakış açısıyla gerçekleştirilmesini ve hem elektriksel hem de mekanik gereksinimlerin karşılanmasını amaçlamaktadır.

3.4.1 PCB Tasarım Programları

PCB tasarımına yönelik yazılımlar, elektronik dünyasında özgün donanım çözümleri üretmek isteyen mühendislere ve tasarımcılara büyük kolaylık sağlamaktadır. Günümüzde, teknolojik ilerlemelerin ve çok katmanlı devre gereksinimlerinin artmasıyla birlikte, ileri düzey PCB tasarım araçları daha yaygın kullanılmaya başlamıştır. Proteus ve Eagle gibi programların yanı sıra, Altium Designer gibi kapsamlı özellikler sunan profesyonel programlar da öne çıkmaktadır. Her ne kadar bu yazılımların tamamı temel olarak aynı görevi üstlense de aralarında arayüz tasarımı, kütüphane kapsamı, hata analizi imkânları, simülasyon desteği ve lisans maliyeti gibi noktalarda belirgin farklılıklar bulunmaktadır. Bu farklılıklar, tasarımcıların hangi aracı tercih edeceğini doğrudan etkileyen faktörler hâline gelmektedir.

Basit devre ihtiyaçlarında çoğu PCB yazılımı yeterli görünmekle birlikte, FPGA gibi karmaşık entegre devrelerin yer aldığı projelerde Altium Designer daha gelişmiş bir seçenek olarak kabul görmektedir. Bunun başlıca nedeni, tasarım süreci boyunca ayrıntılı hata analizleri yapabilmesi ve üretim sonrası ortaya çıkabilecek sorunların önüne geçmeyi hedefleyen sıkı tasarım kuralları sunmasıdır. Ayrıca 2 boyutlu tasarım ile 3 boyutlu görselleştirme arasında pratik geçişler sağlaması, devre elemanlarının konumlandırılmasında ve montaj analizinde kullanıcının işini kolaylaştırmaktadır. Grafik tabanlı önizleme ve geniş kapsamlı simülasyon desteği de özellikle çok katmanlı kartların tasarımında kritik öneme sahiptir.

Bu tez çalışması kapsamında geliştirilen dört katmanlı devre kartı da Altium Designer

yardımıyla tasarlanmıştır. Altium Designer'ın DRC (Design Rule Check - Tasarım Kural Kontrolü) mekanizması, katmanların güvenilir şekilde yönetilmesine ve bileşen yerleşiminin uygunluğunun sıkı biçimde kontrolüne imkân tanımaktadır. Böylece, FPGA gibi ayrıntılı bacak yapısına sahip entegrelere ait hatların doğru şekilde yönlendirilmesi ve sinyal bütünlüğünün korunması hedeflenmektedir. Programın zengin kütüphane içeriği, olası devre elemanlarının kolay entegrasyonuna olanak sağlamakta, CAD (Computer-Aided Design - Bilgisayar Destekli Tasarım) verileri ve üretim çıktılarının tek bir çatı altında toplanabilmesi ise tasarım sürecini hızlandırmaktadır. Tüm bu unsurlar göz önüne alındığında, Altium Designer, yüksek karmaşıklığa sahip profesyonel devrelerin tasarımı için ideal bir yazılım aracı olarak değerlendirilmektedir.

3.4.2 Devre Bileşenleri

Bu bölümde, tasarlanan sistemin temel yapı taşlarını oluşturan devre bileşenlerinin genel özellikleri ve seçilme kriterleri incelenmektedir. Bu kapsamda, bileşenlerin işlevsel gereksinimleri, performans sınırlamaları ve tasarım hedeflerine uygunlukları ayrıntılı olarak değerlendirilmektedir. Ayrıca devre bileşenlerinin birbirleriyle olan etkileşimleri, güç tüketimi, elektromanyetik uyumluluk ve ölçeklenebilirlik gibi konular da ele alınmaktadır. Böylelikle, sistemin bütünsel bir yaklaşım çerçevesinde tasarlanması ve her bir bileşenin optimize edilmesi hedeflenmektedir.

3.4.2.1 Tasarımda Kullanılan FPGA Çipi

Xilinx XC3S50AN-4TQG144C FPGA çipinin, günümüz dijital sistem tasarım ihtiyaçlarına yönelik sunduğu teknik özellikler (EK-1) ve sağladığı avantajlar dikkate alındığında, tercih edilebilir bir çözüm olduğu kabul edilmektedir. Bu çip, 50.000 sistem kapısına denk düşen bir kapasiteye sahip olması nedeniyle, 1.584 eşdeğer mantık hücresi ve 176 yapılandırılabilir lojik bloğu (CLB) ile karmaşık dijital devrelerin ve sistemlerin verimli bir biçimde modellenmesini ve çalıştırılabilmesini mümkün kılmaktadır. Dahası, 704 adet slice içermesi, tasarımcıya yüksek düzeyde esnek ve modüler bir yapı sunmakta olup, 11 kilobit dağıtılmış RAM ve 54 kilobit blok RAM kapasitesiyle sağlanan geniş geçici veri saklama alanı, yüksek hızda veri işleme gereksinimlerine uyum sağlayacak biçimde optimize edilmiştir. Söz konusu entegre bellek yapısının, sistem

performansını artırıcı rolü bulunmaktadır; zira veri erişim hızlarını maksimize etmekte ve işlem süresini minimize etmektedir. Buna ek olarak FPGA üzerinde bulunan üç adet özel çarpan biriminin matematiksel hesaplamalar ve sinyal işleme uygulamalarında sağladığı katkılar, çipin tercih sebeplerinden biri olarak ön plana çıkmaktadır.

XC3S50AN çipinin çevresel bağlantılar konusunda sunduğu maksimum 108 kullanıcı giriş/çıkış (I/O) pini ve 50 adet diferansiyel I/O çiftinin varlığı, çipin farklı sensör, aktüatör ve diğer dijital cihazlarla entegre bir şekilde çalışabilmesine olanak tanımaktadır. Bu durum, sistem entegrasyon süreçlerinde karşılaşılan uyum sorunlarının minimize edilmesini sağlamakta, tasarımın esnekliğini artırmaktadır. Ayrıca TQG144 paketleme formatında sunulan ve 144 pinli yapısı ile 20 mm x 20 mm boyutlarında tasarlanmış olan bu çip, kompakt yapısı sayesinde dar alanlarda kullanım gerektiren uygulamalarda da tercih sebebi olmaktadır. Bu özellikler, özellikle alan kısıtlamasının söz konusu olduğu endüstriyel uygulamalarda sistem verimliliğinin ve yoğunluğunun artmasını temin etmektedir. Öte yandan, çipin “C” ticari sıcaklık sınıfında, yani -40°C ile 85°C arasındaki çalışma koşullarında stabil performans gösterebilmesi, endüstriyel ve zorlu çevre koşullarında dahi güvenilir bir şekilde operasyonların sürdürülebilmesine imkân tanımaktadır.

Söz konusu FPGA çipi, tasarım verilerinin saklanması amacıyla sunduğu 1 megabitlik dahili flash bellek sayesinde, harici bellek birimlerine duyulan ihtiyacın azalmasına ve dolayısıyla sistem tasarımının daha kompakt bir yapıya kavuşturulmasına olanak sağlamaktadır. Dahili flash bellek, aynı zamanda tasarım güncellemelerinin hızlı bir biçimde gerçekleştirilebilmesine imkan tanımakta ve bu özelliği ile modern sistemlerin esnekliğini artırmaktadır. XC3S50AN çipinin bit akışı (bitstream) boyutunun 427 kilobit olması, tasarım verilerinin FPGA çipine aktarılma sürecinde hızlı ve güvenilir bir veri transferi gerçekleştirilmesini mümkün kılmaktadır. Ayrıca çip üzerinde bulunan iki adet Dijital Saat Yönetimi (DCM - Digital Clock Manager) biriminin, saat sinyallerinin hassas bir biçimde yönetilmesine ve senkronizasyon gereksinimlerinin etkin olarak karşılanmasına olanak tanınması, sistemin zamanlama doğruluğunu artırmaktadır.

XC3S50AN-4TQG144C çipinin hız sınıfı "-4" olarak tanımlanmakta olup, bu sınıf değeri

ipin yksek performans gereksinimlerini karřılamak zere optimize edildiđini gstermektedir. Giriř/ıkıř yapısının detaylı incelenmesi neticesinde, ipte yer alan pinlerin dađılımlarının; 42 tanesinin genel I/O, 7 tanesinin sadece giriř olarak, 2 tanesinin ift ynl (dual) ve 26 tanesinin VREF bađlantıları amacıyla ayrılmıř olduđu, ayrıca 30 tanesinin ise saat sinyali (CLK) iřlemleri iin tahsis edilmiř olduđu gz nnde bulundurulmaktadır. Bu ayırım, sistem tasarımımda zelleřtirme imknının artmasına, farklı uygulama ve gereksinimlere ynelik optimize edilmiř bađlantıların sađlanması zemin hazırlamaktadır.

Bu ipin tercih edilmesindeki temel nedenler arasında entegre flash bellek desteđinin yanı sıra; yksek mantık hcresi kapasitesi, oklu giriř/ıkıř (I/O) pinlerinin sunduđu esneklik, dřk g tkzetiminin sađladıđı avantajlar ve diferansiyel ift desteđinin sunduđu yksek hızda veri iletiminin yer aldıđı grlmektedir. Ayrıca ipin sađladıđı bu zellikler, hassas sinyal iřleme gereksinimlerinin karřılanmasına da katkıda bulunmakta, dolayısıyla hem akademik hem de endstriyel projelerde geniř bir uygulama alanı oluřturulmasına neden olmaktadır. Sonu olarak Resim 3.2’de bulunan XC3S50AN-4TQG144C FPGA ipinin sunduđu ok ynllk ve teknik avantajların, modern diđital sistemlerde yksek performans, gvenilirlik ve esneklik aısından kritik neme sahip olduđu deđerlendirilmektedir.

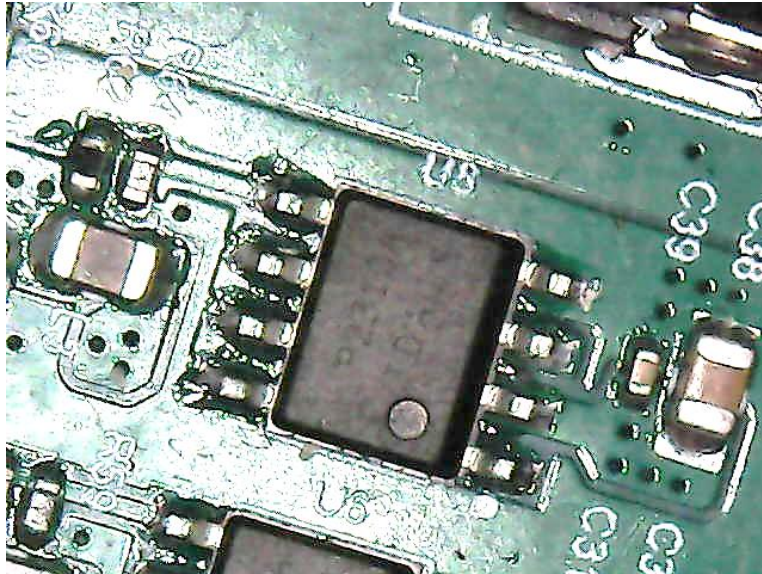


Resim 3. 2 XILINX XC3S50AN-4TQG144C model FPGA ipi (İnt. Kyn. 5)

3.4.2.2 Güç Yönetimi ve Bağlantı Elemanları

Devre tasarımında kullanılan güç yönetimi ve bağlantı elemanları, sistemin enerji ihtiyacını karşılaması, bileşenlere dengeli bir güç dağıtımını sağlaması ve güvenilir bir bağlantı altyapısı sunması açısından kritik bir öneme sahiptir. Bu başlık altında, tasarımda yer alan güç yönetimi bileşenleri ile bağlantı elemanlarının görevleri ve özellikleri detaylı bir şekilde ele alınmıştır.

Devrede enerji yönetimi için kullanılan en temel bileşenlerden biri PAM2310BECADJR model numaralı DC/DC (Direct Current - Doğru Akım) dönüştürücüdür. Bu dönüştürücü, sistemde yüksek verimlilik sağlamakta ve farklı bileşenlerin ihtiyaç duyduğu voltaj seviyelerine uygun bir şekilde güç sağlamaktadır. PAM2310 bileşeni, 0.6 V ile 5.5 V arasında ayarlanabilir çıkış voltajına sahiptir ve maksimum 2 Amperlik akım desteği sunmaktadır. Bu özellikleri ile özellikle mikrodenetleyici tabanlı devrelerde ve düşük voltajlı dijital sistemlerde kullanılmaktadır. Ayrıca yüksek anahtarlama frekansı sayesinde boyut ve ağırlık açısından tasarruf sağlanmasına da olanak tanımaktadır. Resim 3.3'te görünen PAM2310'un bileşenin detaylı teknik özellikleri, EK-2'de yer alan veri sayfasında sunulmaktadır.



Resim 3. 3 PAM2310'un devre üzerindeki görünümü

Tasarımda kullanılan bir diğer önemli bileşen, enerji girişini sağlayan L-KLS1-DC-

005A-2.0 model numaralı güç jakı konnektörüdür. Bu bileşen, devre kartına harici bir güç kaynağı bağlanmasını mümkün kılmaktadır. 2 mm'lik pin çapına sahip olan bu güç jakı, standart güç adaptörleri ile uyumlu çalışmakta ve güvenli bir enerji iletimi sağlamaktadır. Bu sayede devrenin dış kaynaklardan kesintisiz bir şekilde enerji alması ve kullanıcıların sistemi kolaylıkla besleyebilmesi mümkün olmaktadır. Ayrıca bu bileşenin kompakt yapısı, PCB tasarımında alan verimliliği sağlamaktadır. Resim 3.4'te görünen güç jakının hakkında daha fazla teknik bilgi için EK-3'te sunulan veri sayfası incelenebilmektedir.



Resim 3. 4 Güç jakının devre üzerindeki görünümü (İnt. Kyn. 6)

Sistemdeki diğer bağlantı elemanları, veri iletimi ve bileşenlerin birbiri ile olan iletişimini sağlamada önemli bir rol oynamaktadır. 6 Pin Header ve 8 Pin Male Header (2.54 mm), kart üzerindeki bileşenler arasında fiziksel ve elektriksel bağlantılar kurmak amacıyla kullanılmaktadır. Bu header'lar, devre tasarımında modülerlik ve esneklik sağlamaktadır. Özellikle test ve prototipleme süreçlerinde, bileşenlerin kolayca çıkarılabilir ve değiştirilebilir olmasına olanak tanımaktadır. Header'ların standart 2.54 mm pin aralığı, diğer devre elemanları ve bağlantı kabloları ile uyumluluk sağlamaktadır.

Sonuç olarak devrede kullanılan güç yönetimi ve bağlantı elemanları, sistemin enerji ihtiyaçlarını karşılamının yanı sıra bileşenler arasında güvenilir bir bağlantı altyapısı sunmaktadır. Bu bileşenlerin doğru bir şekilde seçilmesi ve uygulanması, devrenin güvenilirlik ve verimlilik açısından optimal performans göstermesini sağlamaktadır.

3.4.2.3 Pasif Bileşenler

Devrede kullanılan pasif bileşenler, sinyal işleme, akım sınırlama, gerilim bölme ve enerji depolama gibi temel işlevlerin yerine getirilmesinde kritik bir rol oynamaktadır. Dirençler, kapasitörler ve indüktörler gibi pasif bileşenler, aktif elemanların düzgün çalışmasını destekleyerek sistemin kararlı ve güvenilir bir şekilde çalışmasına olanak tanımaktadır. Bu başlık altında devrede kullanılan pasif bileşenlerin özellikleri ve görevleri detaylı bir şekilde açıklanmıştır.

Pasif bileşenlerin başında yer alan CL21A226KOQNNNE modeli, 22 μ F değerinde bir SMD (Surface-Mount Device - Yüzeye Montajlı Cihaz) kapasitördür ve 16 V'luk bir çalışma voltajına sahiptir. Bu kapasitör, enerji depolama ve filtreleme işlevlerini yerine getirmekte olup, özellikle güç kaynağından gelen dalgalanmaların düzenlenmesinde kullanılmaktadır. Ayrıca düşük ESR (Equivalent Series Resistance - Eşdeğer Seri Direnç) değerine sahip olması nedeniyle yüksek frekanslı devrelerde enerji verimliliğini artırmaktadır. Daha fazla bilgi için EK-4'teki veri sayfasına başvurulabilir.

Bir diğer kapasitör olan CL05B104KO5NNNC, 100 nF'lik bir değer sunan 0402 boyutunda bir SMD bileşenidir. Bu kapasitör, devrede bypass ve decoupling işlevleri için kullanılmaktadır. Özellikle mikrodenetleyici gibi hassas bileşenlerin çalışmasında, güç hattındaki yüksek frekanslı gürültüyü bastırarak kararlılığı artırmaktadır. Benzer şekilde, CL05C200JB5NNNC modeli, 20 pF değerinde bir kapasitör olup, osilatör devrelerinde ve sinyal iletiminde yüksek hassasiyet gerektiren durumlarda kullanılmaktadır. Bu bileşenlerin teknik özellikleri ve devredeki yerleşimi, EK-4'te verilmiştir.

Devrede kullanılan dirençler, akım sınırlama, gerilim bölme, sinyal işleme ve empedans uyumu gibi temel elektriksel işlevlerin yerine getirilmesi amacıyla dikkatle seçilmiştir. Bu kapsamda kullanılan dirençlerden biri olan CRT02J6E1002 (EK-5), 10 K Ω değerinde olup, sinyal zayıflatıcı ve akım sınırlayıcı olarak önemli bir rol üstlenmektedir. Benzer şekilde, CRT02J6E1001 (EK-5) modeli, 1 K Ω değerinde bir dirençtir ve giriş sinyallerinin seviyesini düzenlemek amacıyla tercih edilmiştir. Devrede hassasiyet gerektiren uygulamalarda, CRT02F6E4701 (EK-5) modeli gibi %1 toleranslı dirençler

kullanılmakta olup, bu direnç 4.7 K Ω değerinde, özellikle analog ve dijital sinyallerin işlenmesi için kritik bir işlev sağlamaktadır. Daha düşük empedanslı bağlantılar için kullanılan CRT02J6E1000 (EK-5), 100 Ω değerinde bir direnç olup, yüksek akım taşıyan hatlarda verimli bir performans sunmaktadır. Aynı zamanda, 0402WGF4533TCE (EK-6) modeli 453 K Ω değerinde ve %1 toleranslı bir direnç olarak, yüksek doğruluk gerektiren sinyal işleme devrelerinde kullanılmaktadır. Gerilim bölme gibi uygulamalar için tercih edilen CRT02F6E1003 (EK-5) modeli, 100 K Ω değerindedir ve yüksek empedans gerektiren devre elemanlarının uygun şekilde çalışmasına katkıda bulunmaktadır. Bunun yanında, CRT02J6E2201 (EK-5) modeli 2.2 K Ω değerinde bir direnç olup, standart sinyal işleme devrelerinde kullanılmaktadır. Hassas dirençler arasında yer alan RC0402FR-072KL (EK-7), 2 K Ω değerine ve %1 toleransa sahiptir; bu özellik, sinyal işleme devrelerinde güvenilirlik ve kararlılık sağlamaktadır. Ayrıca 0402WGJ0511TCE (EK-6) modeli, 510 Ω değerinde ve %5 toleranslı bir direnç olarak, sinyal düzeylerinin kontrolünde görev almaktadır. Devrede düşük empedanslı uygulamalara yönelik olarak kullanılan AC0402FR-07200RL (EK-8), 200 Ω değerine ve %1 toleransa sahip olup, hassas sinyal işleme ve uyum gerektiren devrelerde kritik bir rol oynamaktadır. Tüm bu dirençlerin devre içinde uyumlu bir şekilde yerleştirilmesi hem tasarımın kararlılığı hem de elektriksel performans açısından büyük önem taşımaktadır. Dirençlerin teknik özellikleri, devrenin genel fonksiyonları ile birebir uyum içinde seçilmiştir.

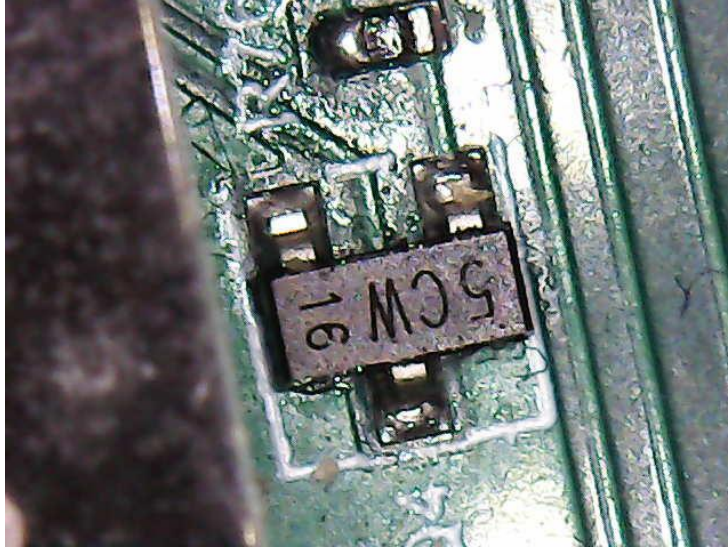
Sinyal işleme ve enerji depolama işlevlerinde kullanılan indüktörler de devrede önemli bir yere sahiptir. CL2012C-2R2M-N modeli, 2.2 μ H değerinde bir SMD indüktördür ve güç hattındaki EMI (Electromagnetic Interference - Elektromanyetik Girişim) filtrelenmesinde rol oynamaktadır. Yüksek frekanslı gürültüyü bastırarak devrenin kararlılığını artırmakta ve enerji dönüşümü sırasında verimliliği sağlamaktadır. Daha detaylı teknik özellikleri için EK-9'daki veri sayfasına başvurulabilir.

Sonuç olarak pasif bileşenler, devrenin güvenilirliğini ve kararlılığını sağlamak için vazgeçilmez bir rol oynamaktadır. Kapasitörler, dirençler ve indüktörler, farklı işlevleri yerine getirerek devre tasarımının gereksinimlerini karşılamakta ve sistemin yüksek performans göstermesine katkıda bulunmaktadır. Bu bileşenlerin doğru seçimi ve uygun konumlandırılması, tasarımın başarısını doğrudan etkilemektedir.

3.4.2.4 Aktif Bileşenler

Devre tasarımında kullanılan aktif bileşenler, devrenin işlevselliğini sağlayan en önemli yapı taşlarından biridir. Bu bileşenler, sinyal yükseltme, anahtarlama ve veri iletimi gibi işlevleri gerçekleştiren yarı iletken teknolojisine dayanmaktadır. Transistörler, entegre devreler ve veri iletişim bileşenleri, tasarımın belirleyici unsurlarıdır. Bu başlık altında, devrede kullanılan aktif bileşenlerin görevleri, özellikleri ve devre içindeki konumları detaylı bir şekilde ele alınmıştır.

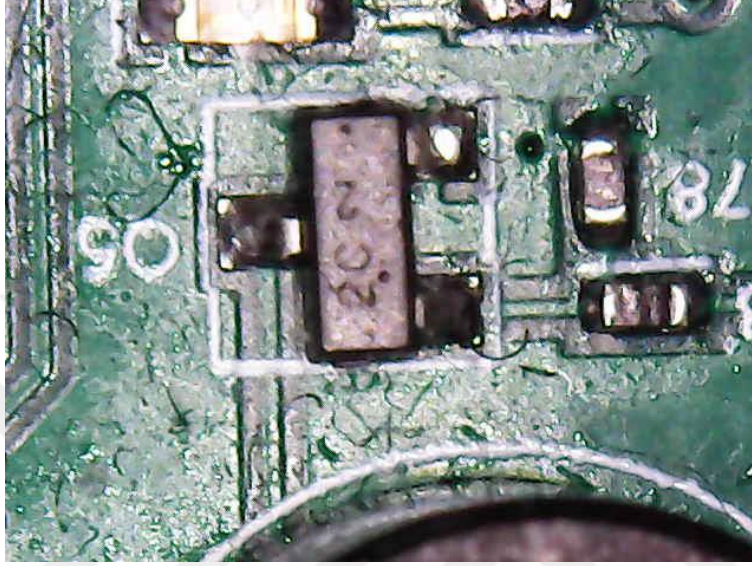
Tasarımda yer alan ilk aktif bileşenlerden biri, Resim 3.5'te bulunan BC807-40,215 model numaralı PNP (Positive-Negative-Positive - Pozitif-Negatif-Pozitif) transistördür. Bu transistör, 500 mA'e kadar akım taşıma kapasitesine ve 45 V'luk bir maksimum gerilim dayanımına sahiptir. Bu özellikleri ile düşük güçlü analog sinyal işleme ve anahtarlama uygulamalarında kullanılmaktadır. PNP tipi olması nedeniyle, yük devresinde düşük taraf anahtarlama için uygundur. Daha fazla bilgi için EK-10'da bulunan veri sayfasına başvurulabilir.



Resim 3. 5 BC847 transistörü devre üzerindeki görünümü

Devrede kullanılan bir diğer önemli transistör, BC849CLT1G model numaralı NPN transistördür. Bu bileşen, 100 mA'lık akım taşıma kapasitesine ve 30 V'luk maksimum gerilim dayanımına sahiptir. NPN tipi olması nedeniyle, yük devresinde yüksek taraf

anahtarlama uygulamalarında kullanılmaktadır. Ayrıca yüksek frekanslı sinyal işlemede düşük doygunluk gerilimi sayesinde verimli bir performans sergilemektedir. Bu transistör, devrede sinyal yükseltici ve anahtarlayıcı olarak görev yapmaktadır. Resim 3.6'da bulunan transistörün detaylı teknik özellikleri EK-11'de sunulmaktadır.



Resim 3. 6 BC849 transistörü devre üzerindeki görünümü

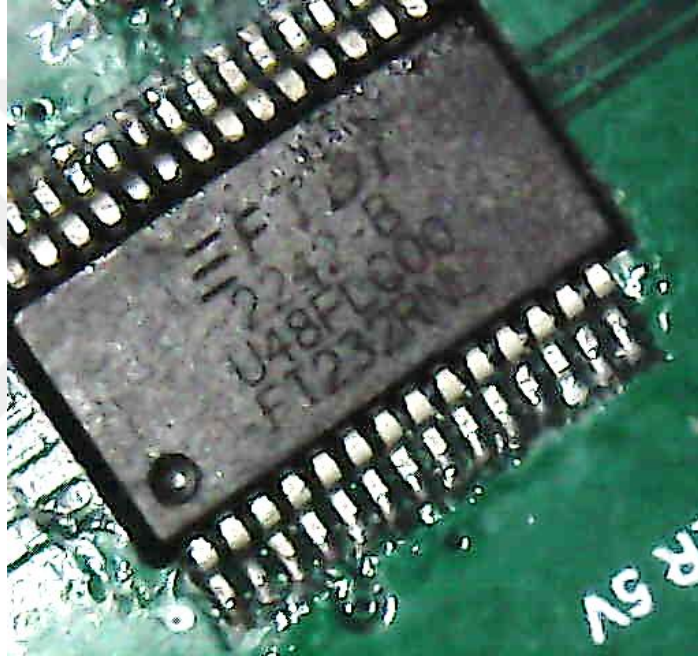
Sonuç olarak aktif bileşenler devredeki dinamik işlevleri yerine getirerek tasarımın performansını ve işlevselliğini artırmaktadır. Transistörler, entegre devreler ve LED göstergeler, tasarımın anahtar unsurlarıdır ve bu bileşenlerin doğru seçimi, tasarımın başarısında önemli bir rol oynamaktadır. Her bir bileşenin devredeki işlevi ve bağlantı detayları, tasarımın gereksinimlerine uygun olarak optimize edilmektedir.

3.4.2.5 Haberleşme ve Arayüz Bileşenleri

Haberleşme ve arayüz bileşenleri, tasarımın harici cihazlarla veri alışverişi yapmasını sağlayan önemli unsurlardır. Bu bileşenler hem fiziksel bağlantı noktalarını hem de iletişim protokollerini destekleyen donanımları içermektedir. Kullanıcı etkileşimlerini kolaylaştıran ve sistemin dış dünya ile entegrasyonunu mümkün kılan bu bileşenler, devrenin işlevselliğini artırarak çok yönlü kullanım sağlamaktadır. Bu başlık altında, devrede kullanılan haberleşme ve arayüz bileşenleri detaylı bir şekilde açıklanmıştır.

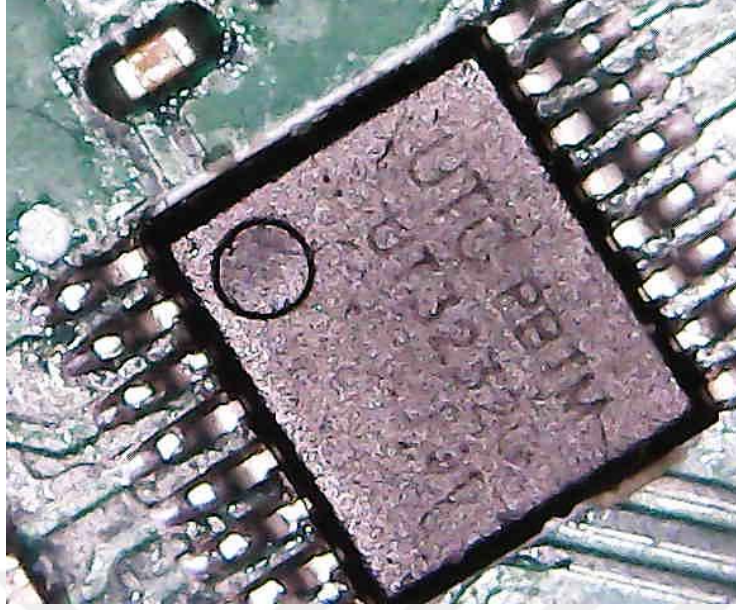
Devrede yer alan ve Resim 3.7'de görünen FT232RNL-REEL model numaralı USB-to-

Serial dönüştürücü entegre devresi, USB protokolü üzerinden veri iletişimini sağlayan kritik bir bileşendir. Bu entegre devre, tam hızda (full speed) USB 2.0 desteği sunarak bilgisayar ile devre arasında güvenilir ve hızlı bir iletişim sağlamaktadır. Özellikle mikrodenetleyici tabanlı sistemlerin bilgisayarla entegrasyonu sırasında kullanılan bu bileşen, USB bağlantısını seri iletişim protokolüne dönüştürmektedir. Bu sayede devrede yer alan mikrodenetleyici veya diğer dijital sistemler, bilgisayar üzerinden programlanabilmekte veya veri iletimi gerçekleştirebilmektedir. Daha fazla teknik bilgi için EK-12’de sunulan veri sayfasına başvurulabilir.



Resim 3. 7 FTDI entegresinin devre üzerindeki görünümü

Mikrodenetleyici ile diğer cihazlar arasında seri haberleşme sağlayan bir diğer bileşen, Resim 3.8’de görünen UT3232G-P16-R model numaralı UART-TTL dönüştürücüsüdür. Bu entegre devre, UART protokolünde iletilen sinyalleri TTL seviyelerine dönüştürmekte ve çift yönlü iletişim imkanı sunmaktadır. Özellikle düşük voltaj seviyelerinde çalışan dijital sistemler için kritik bir rol oynayan bu dönüştürücü, devredeki mikrodenetleyici ve diğer bileşenler arasında sorunsuz veri aktarımı sağlamaktadır. Çift yönlü haberleşme özellikleri sayesinde, hem gönderim hem de alım işlemleri aynı bileşen üzerinden gerçekleştirilebilmektedir. Daha fazla bilgi için EK-13’deki teknik döküman incelenebilmektedir.



Resim 3. 8 UART - TTL dönüştürü entegrenin devre üzerindeki görünümü

Devrede veri ve enerji bağlantısını sağlayan bir diğer bileşen, 629105136821 model numaralı mikro USB B 5 pinli konnektördür. Bu konnektör, sistemin hem enerji ihtiyacını karşılamak hem de USB protokolü ile veri aktarımı yapmak amacıyla kullanılmaktadır. Mikro USB standardını destekleyen bu bileşen, kullanıcıların harici cihazları kolaylıkla devreye bağlamasına olanak tanımaktadır. Özellikle taşınabilir cihazlarda standart bir bağlantı çözümü olarak kullanılan bu konnektör, devredeki veri iletişiminin önemli bir parçasıdır. Detaylı teknik bilgiler için EK-12'deki veri sayfasına başvurulabilir.

Son olarak devrede test ve prototipleme sırasında kullanılan JTAG Altera 10P konnektörü, devrenin hata ayıklama ve programlama işlevlerini desteklemektedir. Bu konnektör, özellikle mikrodenetleyici veya FPGA gibi dijital entegrelerin programlanması ve test edilmesi sırasında kullanılmaktadır. Güvenilir bağlantı noktaları ve standart pin dizilimi sayesinde, kullanıcıların devrede değişiklik yapmasını veya yazılım güncellemelerini kolayca gerçekleştirmesine olanak tanımaktadır. Teknik detaylar EK-15'te sunulmuştur.

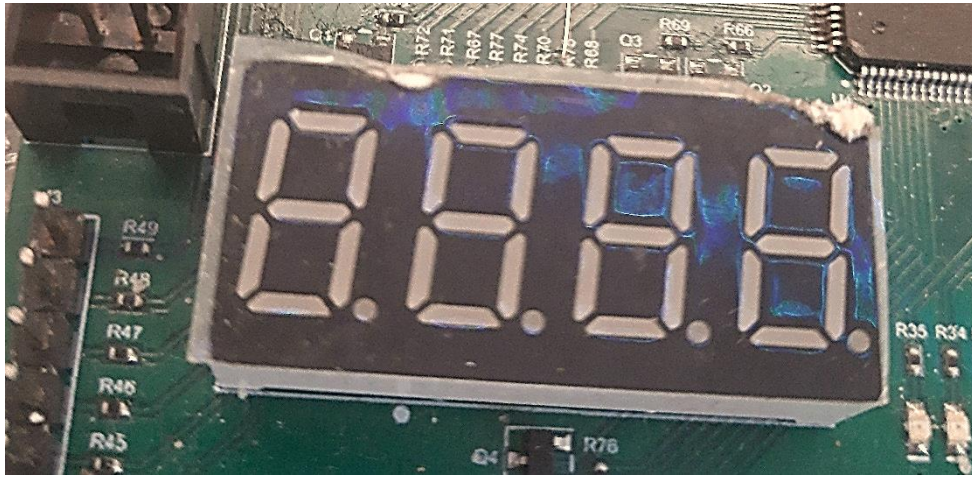
Sonuç olarak haberleşme ve arayüz bileşenleri, devrenin dış dünya ile etkileşimini sağlayan ve kullanıcı deneyimini iyileştiren kritik unsurlardır. USB-to-Serial dönüştürücüler, kablosuz iletişim modülleri ve fiziksel bağlantı noktaları, sistemin çok

yönlü kullanımını mümkün kılmaktadır. Bu bileşenlerin doğru seçimi ve konumlandırılması, devre tasarımının işlevselliğini ve güvenilirliğini artırmaktadır.

3.4.2.6 Göstergeler ve Anahtarlar

Devre tasarımında yer alan göstergeler ve anahtarlar, kullanıcı ile sistem arasındaki etkileşimi sağlayan temel bileşenlerdir. Göstergeler, devrenin durumu hakkında görsel geri bildirim sunarken; anahtarlar, sistem üzerinde manuel kontrol sağlamaktadır. Bu bileşenler, kullanıcı deneyimini artırarak devre tasarımının kullanım kolaylığını ve işlevselliğini desteklemektedir. Bu bölümde, göstergeler ve anahtarların devredeki görevleri, özellikleri ve kullanım alanları detaylı bir şekilde ele alınmıştır.

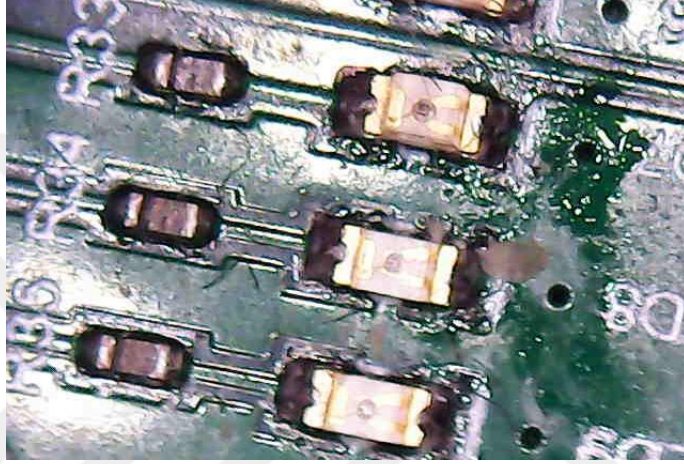
Devrede kullanılan en önemli göstergelerden biri, Resim 3.9’da görünen E1-4036-CUR-1-CT model numaralı 4 haneli 7 parçalı gösterge LED ekranıdır. Bu bileşen, kullanıcılara devre durumu, sayısal bilgiler veya hata kodları gibi görsel geri bildirimler sunmak amacıyla kullanılmaktadır. Yüksek parlaklık seviyesine sahip kırmızı LED’ler, hem karanlık hem de aydınlık ortamlarda kolay okunabilirlik sağlamaktadır. 7 parçalı gösterge yapısı, sayısal değerlerin yanı sıra basit harf veya sembollerin de görüntülenmesine olanak tanımaktadır. Bu LED ekran, özellikle devrenin çalışma durumunun izlenmesi veya parametrelerin görüntülenmesi gibi uygulamalarda kullanılmaktadır. Daha fazla bilgi için bu bileşenin teknik özellikleri EK-16’da yer alan veri sayfasında sunulmuştur.



Resim 3. 9 4'lü 7 parçalı gösterge görünümü

Göstergeler arasında yer alan bir diğer önemli bileşen, Resim 3.10’da görünen LTST-

C190KGKT model numaralı SMD LED'dir. Bu bileşen, devrede belirli olayların veya durumların görsel olarak belirtilmesi için kullanılmaktadır. Örneğin, güç durumunun gösterilmesi, hata algılama veya belirli bir modun aktif olduğunun kullanıcıya bildirilmesi gibi görevleri üstlenmektedir. LTST-C190KGKT, 0603 boyutunda kompakt bir tasarıma sahip olup, 30 mA akım taşıma kapasitesine sahiptir. Düşük güç tüketimi ve uzun ömürlü performansı ile devrede enerji verimliliğini artırmaktadır. Teknik detaylara ulaşmak için EK-17'deki veri sayfası incelenebilmektedir.

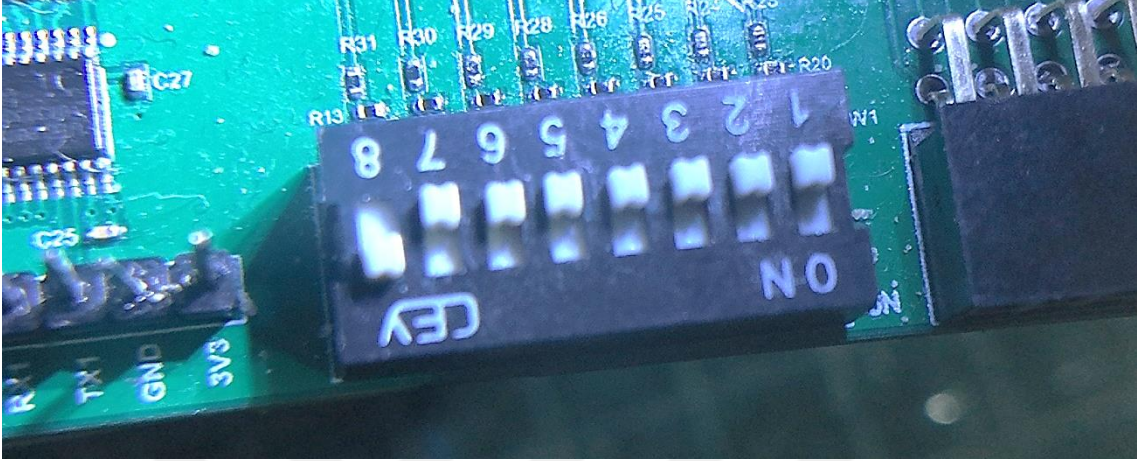


Resim 3. 10 Devre üzerindeki smd ledler

Anahtarlar arasında yer alan DS1042-03-1-1-KKR-250-10 model numaralı Tact Anahtar, devrede manuel kontrol sağlamak amacıyla kullanılmaktadır. Bu anahtar, 6x6 mm boyutunda kompakt bir tasarıma sahip olup, düşük profil yapısıyla devre kartında yerden tasarruf sağlamaktadır. Kullanıcının bir butona basmasıyla devredeki belirli bir işlemi tetiklemek veya bir parametreyi değiştirmek mümkün olmaktadır. Özellikle, kullanıcı dostu bir kontrol arayüzü sunması nedeniyle sık tercih edilmektedir. Resim 3.11'de bu anahtarın görseli bulunmaktadır. Daha fazla bilgi için EK-18'deki veri sayfasına başvurulabilir.

Bir diğer anahtar bileşeni olan Resim 3.11'de görünen DS1040-08KN modeli, DIP Anahtar olarak adlandırılan bir çoklu anahtardır. Bu bileşen, devrede farklı konfigürasyonların manuel olarak seçilmesine olanak tanımaktadır. Her biri bağımsız olarak kontrol edilebilen 8 anahtar, kullanıcıya esneklik sunarak farklı çalışma modlarının kolayca ayarlanmasını sağlamaktadır. 100 mA akım taşıma kapasitesi ve 24 V DC

maksimum çalışma gerilimi ile geniş bir uygulama yelpazesinde kullanılabilir. Özellikle test ve prototipleme süreçlerinde, DIP Anahtarın sunduğu kolaylık oldukça değerlidir. Daha fazla bilgi için EK-19'daki teknik dokümantasyon incelenebilir.



Resim 3. 11 Devrede kullanılan dip8 anahtar

Sonuç olarak göstergeler ve anahtarlar, devrede kullanıcı ile sistem arasındaki etkileşimi sağlayan temel unsurlar olarak görev yapmaktadır. LED ekranlar ve göstergeler, kullanıcıya devre durumunu izleme imkânı sunarken; anahtarlar, sistemin manuel kontrolünü mümkün kılmaktadır. Bu bileşenlerin devre tasarımına entegrasyonu, sistemin hem işlevselliğini hem de kullanıcı dostu olmasını artırmaktadır. Tasarımın başarısında bu bileşenlerin doğru seçimi ve devredeki konumlandırılması kritik bir rol oynamaktadır.

3.4.2.7 Diğer Bileşenler

Devre tasarımında kullanılan diğer bileşenler, ana işlevlerin desteklenmesini, prototipleme kolaylığını ve tasarımın tamamlanmasını sağlamaktadır. Bu bileşenler, tasarımı modüler bir yapıya dönüştürmekte, test edilebilirliğini artırmakta ve sistemin belirli gereksinimlerini karşılamaktadır. Bu bölümde, tasarımda yer alan çeşitli bileşenler detaylı bir şekilde ele alınmakta, özellikleri ve devredeki işlevleri açıklanmaktadır.

Tasarımda yer alan en önemli bileşenlerden biri, 112J-TDAR-R01 model numaralı mikro SD kart konnektörüdür. Bu bileşen, sistemin veri depolama ve dosya yönetimi işlevlerini

yerine getirmekte ve kullanıcıya geniş depolama kapasitesi sunmaktadır. Mikro SD kart konnektörü, özellikle taşınabilir veri depolama çözümleri sunması ve geniş kapasite desteği sağlaması nedeniyle tercih edilmektedir. 112J-TDAR-R01, H1.85 profiline sahip kompakt bir tasarıma sahip olmakta ve SMT (Surface Mount Technology - Yüzey Montaj Teknolojisi) yapısı ile devre kartına kolayca entegre edilebilmektedir. Bu konnektör sayesinde, sistemde veri okuma ve yazma işlemleri hızlı ve güvenilir bir şekilde gerçekleştirilebilmektedir. Daha fazla bilgi için EK-20'de yer alan veri sayfasına başvurulmaktadır.

Bir diğer kritik bileşen, ABLS2-12.000MHZ-D4Y-T model numaralı 12 MHz kristal osilatördür. Bu bileşen, devrede stabil bir saat sinyali sağlamak ve dijital sistemlerin zamanlama gereksinimlerini karşılamaktadır. Dijital sistemlerde, mikrodenetleyicilerin ve diğer zamanlama gerektiren bileşenlerin düzgün çalışması için güvenilir bir osilatör sinyali gerekmektedir. ABLS2 osilatörü, 18 pF yük kapasitesi ve SMT yapısı ile devreye kolayca entegre edilmekte ve yüksek frekans kararlılığı sunmaktadır. Teknik detaylar için EK-21'de sunulan veri sayfasına başvurulmaktadır.

Devrede test ve prototipleme kolaylığı sağlamak amacıyla kullanılan bir diğer bileşen, Test Point (test noktası) elemanıdır. Test noktaları, devrenin çeşitli bölgelerinde gerilim, akım ve sinyal ölçümlerini gerçekleştirmek için kullanılmaktadır. Özellikle prototip geliştirme ve hata ayıklama süreçlerinde, test noktaları mühendislerin devreyi kolayca analiz etmesine olanak tanımaktadır.

Tasarımda yer alan bir diğer yardımcı bileşen, DG128-5.0-02P-14-00AH model numaralı terminal bloğudur. Bu bileşen, kablo bağlantılarının güvenli bir şekilde yapılmasını sağlamak ve devrenin kullanım esnekliğini artırmaktadır. 5.00 mm aralığa sahip olan bu terminal bloğu, kullanıcıların kabloları kolayca bağlayıp çıkarmasına olanak tanımakta ve bağlantılarda sağlamlık sağlamaktadır. Özellikle test ortamlarında ve taşınabilir devre tasarımlarında bu tür terminal blokları tercih edilmektedir. Daha fazla teknik bilgi için EK-22'de yer alan veri sayfasına başvurulmaktadır.

Son olarak tasarımda yer alan KLS1-208-2-20-S model numaralı 20 pinli erkek header ve DS1024-2X7R2 model numaralı 14 pinli dişi header, devrenin modüler yapısını

desteklemek amacıyla kullanılmaktadır. Bu bileşenler, devredeki farklı kartların veya modüllerin kolayca birleştirilmesini ve çıkarılmasını sağlamaktadır. 2.54 mm pin aralığına sahip olan bu header'lar, standart bağlantı kabloları ile uyumlu olmakta ve güvenilir bir fiziksel bağlantı sunmaktadır. İlgili veri sayfalarına EK-23'ten ulaşılmaktadır.

Devrede kullanılan diğer önemli bileşenler arasında MB9650B05NP (EK-24) model numarasına sahip manyetik buzzer yer almaktadır. Bu bileşen, dahili devresi ile birlikte çalışmakta ve 5 V besleme gerilimi altında 2.5 KHz nominal frekansında akustik sinyaller üretmektedir. Buzzer, özellikle kullanıcıya sesli geri bildirim sağlamak amacıyla tasarıma entegre edilmiştir. Bunun yanında, devrede bağlantı işlevi gören L-KLS1-315-15-F-B (EK-25) model numaralı DSUB konektörü bulunmaktadır. Bu konektör, 15 pinli, 3 sıra ve dişi (female) yapıdadır ve sağlam, güvenilir bir fiziksel bağlantı sağlamaktadır. DSUB konektörün siyah renkli tasarımı, estetik ve işlevselliği bir arada sunmaktadır. Ek olarak SST25VF016B-50-4I-S2AF (EK-26) model numarasına sahip flash bellek devreye entegre edilmiştir. Bu bellek, 16 Mbit kapasitesi ve 50 MHz çalışma frekansı ile yüksek hızlı veri depolama ve erişim gereksinimlerini karşılamaktadır. Flash bellek, SOIC8 paketleme formatında olup, kompakt ve düşük güç tüketimine sahip bir çözüm sunmaktadır. Bu bileşenler, devrenin işlevselliğini ve kullanım kolaylığını artırarak genel tasarımın kritik parçalarını oluşturmaktadır.

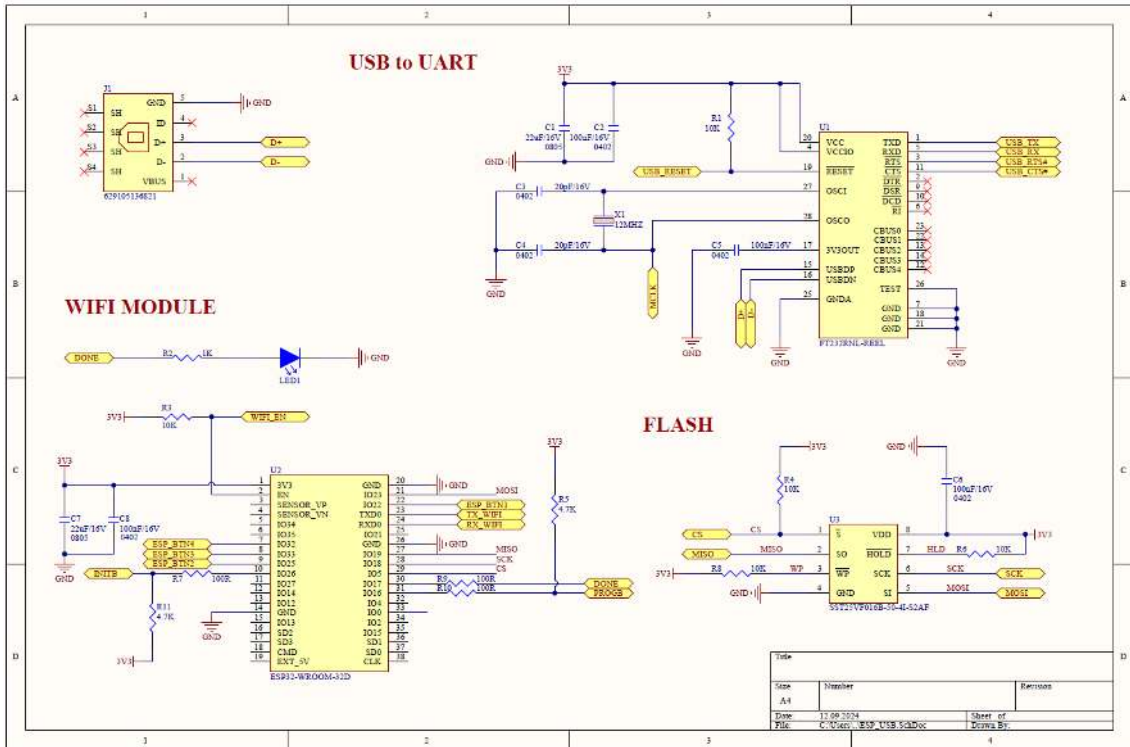
Sonuç olarak diğer bileşenler, devredeki ana işlevleri desteklemekte, tasarımın modüler yapısını güçlendirmekte ve test edilebilirliğini artırmaktadır. Mikro SD kart konektöründen kristal osilatöre, test noktalarından terminal bloklarına kadar bu bileşenler, devre tasarımının hem işlevselliğini hem de kullanıcı dostu yapısını geliştirmektedir. Bu bileşenlerin doğru seçimi ve devreye entegrasyonu, tasarımın genel performansını ve güvenilirliğini artırmaktadır.

3.4.3 Devre Çizim Süreci

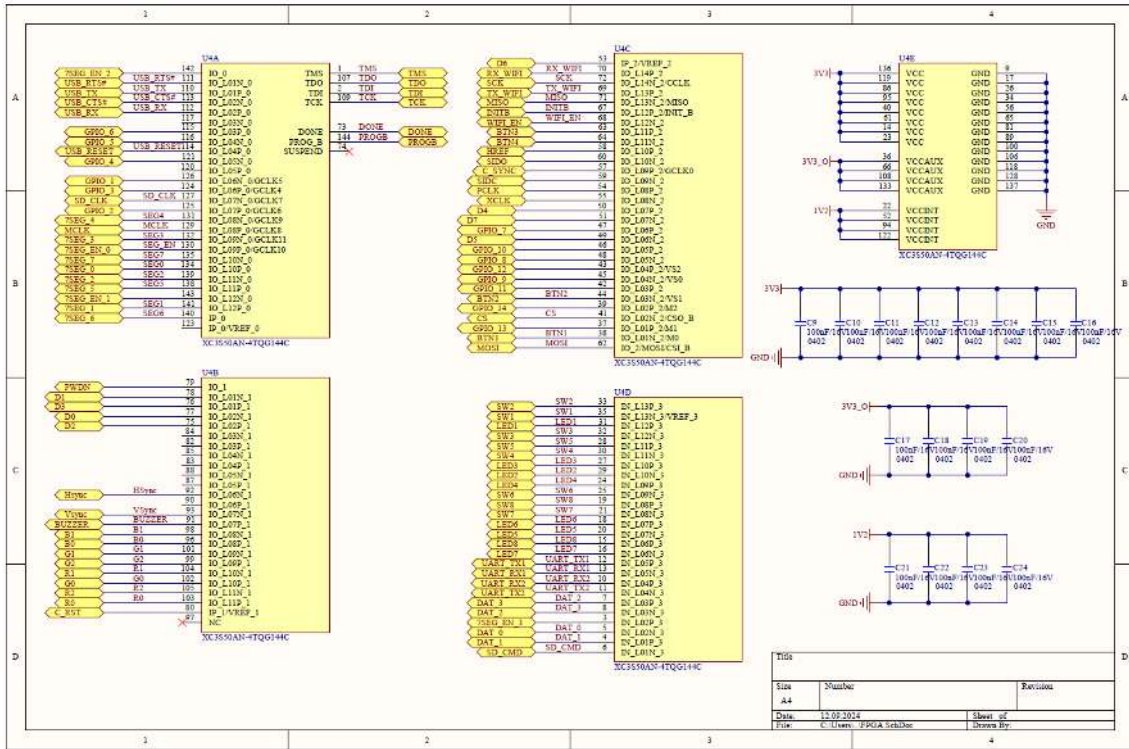
Bu çalışma kapsamında geliştirilen devrenin tasarım süreci, ilgili sistem gereksinimlerini karşılayacak şekilde detaylı bir planlama ve analiz sonucunda gerçekleştirilmiştir. Çizim süreci, devrede kullanılan tüm bileşenlerin işlevselliğini ve birbirleriyle uyumunu

sağlayacak şekilde aşamalı bir yaklaşımla ele alınmaktadır. Şema çizimleri, hem tasarım doğruluğunu sağlamakta hem de devrenin çalışmasına yönelik mühendislik süreçlerini optimize etmektedir. Aşağıda, her bir şematik diyagramın içeriği detaylı bir şekilde açıklanmaktadır.

İlk olarak, USB'den UART'a dönüştürücü devresi tasarlanmıştır. Bu devre, bilgisayar ve devre arasındaki iletişimi sağlamak amacıyla kullanılmaktadır. Şekil 3.9'da görüldüğü üzere, bu modülün temel bileşeni FT323RL entegre devresidir. Bu entegre, USB sinyallerini UART protokolüne dönüştürerek seri iletişim için bir ara yüz görevi görmektedir. Devrede kullanılan C1, C2, C3 ve C4 kapasitörleri, güç kaynağındaki dalgalanmaları azaltmakta ve sinyal bütünlüğünü sağlamaktadır. Ayrıca X1 kristal osilatörü, entegre devrenin çalışması için gerekli olan saat sinyalini üretmektedir. USB giriş ve çıkış pinleri ile UART çıkış pinleri arasında yer alan bağlantılar, iletişim doğruluğunu sağlamak amacıyla dikkatlice düzenlenmiştir.

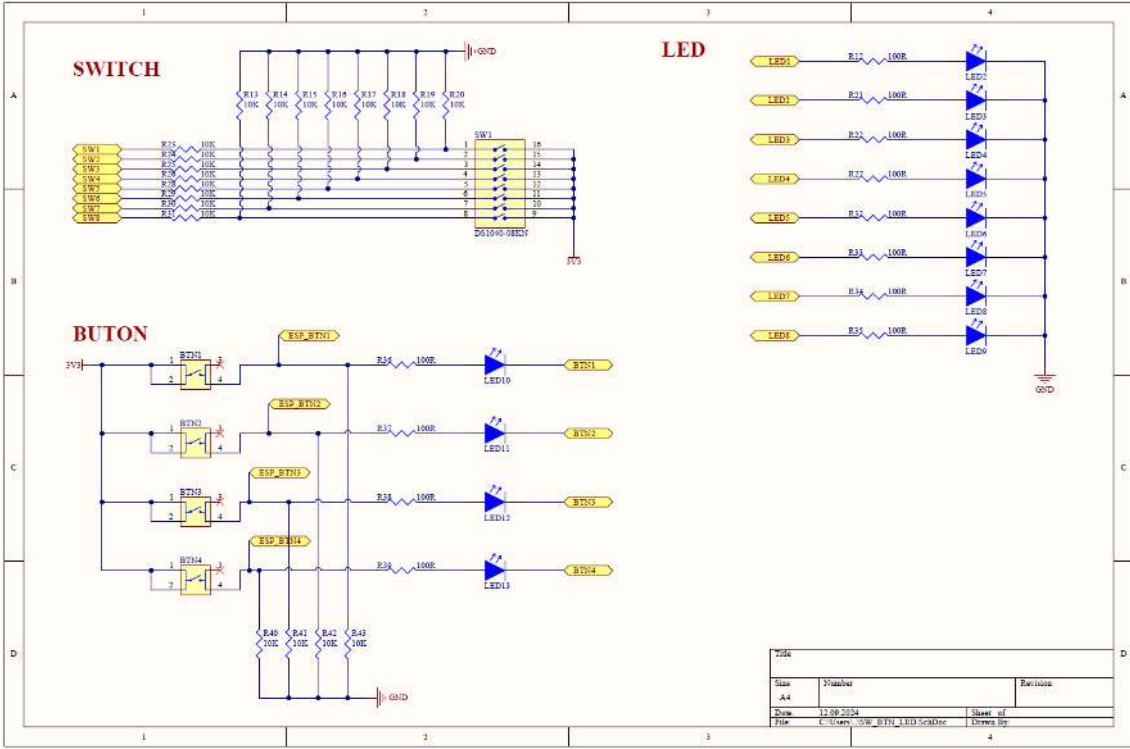


tasarlanmıştır. Şekil 3.10’da detaylı bir şekilde gösterilen bu modül, 3.3V güç beslemesi ile çalışmaktadır ve güç kararlılığını artırmak için C7 ve C8 gibi kapasitörler ile desteklenmektedir. Modülün EN pini, R3 ve R11 dirençleri ile kontrol edilmekte olup, devreye enerji verildiğinde modülün etkin hale gelmesi sağlanmaktadır. Ayrıca DONE sinyali için kullanılan LED1 ve R2 elemanları, işlem tamamlandığında görsel bir geri bildirim sunmaktadır. Bu düzenleme, Wi-Fi modülünün kullanıcı dostu bir şekilde çalışmasını mümkün kılmaktadır.

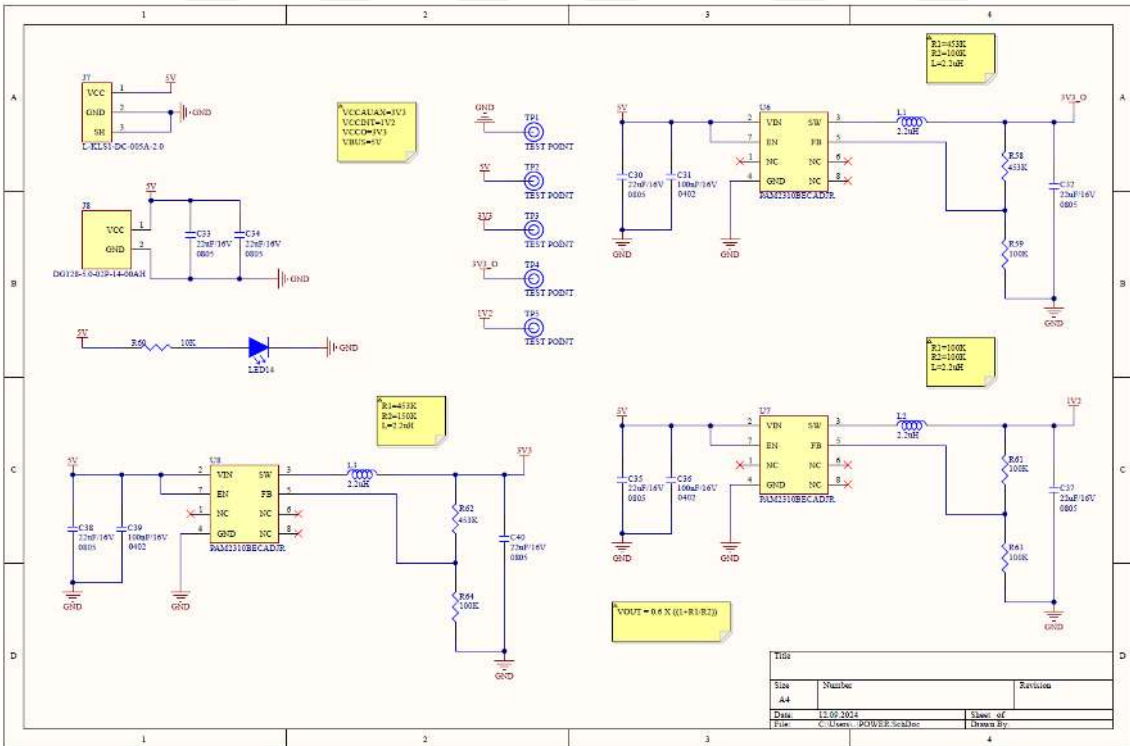


Şekil 3. 10 FPGA şematik tasarımı 2. sayfası

Üçüncü aşamada, devrede kullanılan flash bellek entegre edilmiştir. Flash bellek, veri depolama ve FPGA ile hızlı veri alışverişi amacıyla tasarlanmıştır. Şekil 3.11’de gösterilen flash bellek modülü, SST25VF016B entegre devresine dayanmaktadır. SPI protokolü üzerinden çalışan bu modül, MOSI, MISO, SCK ve CS pinleri ile FPGA çipine bağlanmaktadır. R5 ve R6 dirençleri ile sinyal kararlılığı artırılmış, C6 kapasitörü ile güç dalgalanmalarının etkileri en aza indirilmiştir. Bu tasarım, yüksek veri aktarım hızları ve güvenilir bir çalışma ortamı sağlamaktadır.

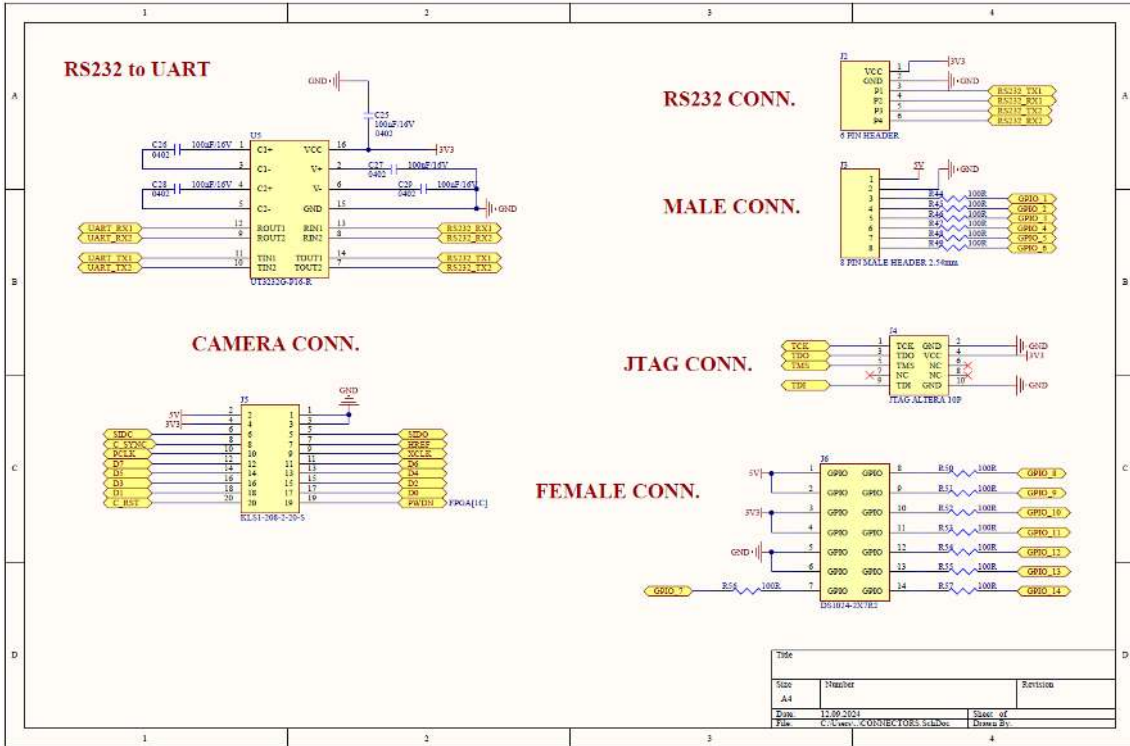


Şekil 3. 12 FPGA şematik tasarımı 4. sayfası



Şekil 3. 13 FPGA şematik tasarımı 5. sayfası

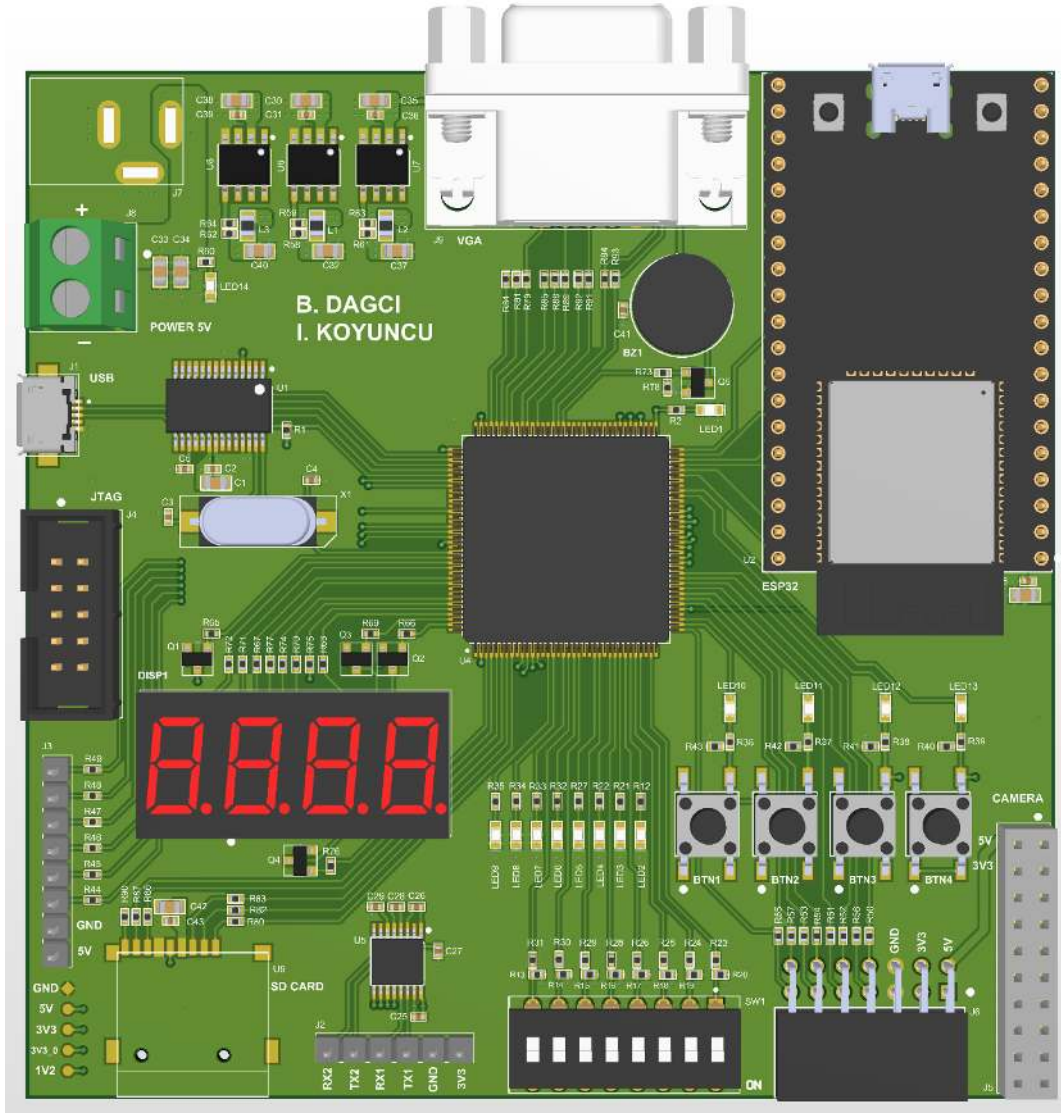
Son olarak devrede kullanılan diğer çevresel bağlantı birimlerinin tasarımı tamamlanmıştır. Şekil 3.14, RS232 bağlantı birimi, kamera konnektörü ve JTAG bağlantı arayüzünü içeren detayları göstermektedir. RS232 bağlantısı için kullanılan U5 entegresi, seri iletişim protokolünü desteklemekte ve UART sinyallerini RS232 standardına dönüştürmektedir. Kamera konnektöründe kullanılan KLS1-208-2-05 modeli, yüksek hızlı veri aktarımı için optimize edilmiştir. JTAG bağlantı birimi ise FPGA chipinin programlanabilirliğini ve hata ayıklama süreçlerini kolaylaştırmaktadır.



Şekil 3. 14 FPGA şematik tasarımı 6. sayfası

Sonuç olarak bu devre çizim süreci, her bir bileşenin işlevselliğini en üst düzeye çıkaracak ve tüm bileşenlerin birbirleriyle uyumlu bir şekilde çalışmasını sağlayacak şekilde titizlikle planlanmaktadır. Bu süreçte, tasarımın gereksinimlerini karşılamak üzere her bir modül detaylı bir şekilde analiz edilmiş ve şematik diyagramlar, sistemin genel işlevselliğini net bir şekilde ortaya koyacak biçimde oluşturulmuştur. Çizimlerin hazırlanması sırasında, bağlantıların fiziksel yerleşimi, sinyal bütünlüğü ve elektriksel kararlılık gibi kriterler göz önünde bulundurulmuş, bu sayede tasarımın doğruluğu ve güvenilirliği sağlanmıştır. Hazırlanan şematik diyagramlar, sadece mevcut tasarım gereksinimlerini karşılamakla kalmamakta, aynı zamanda ileride yapılacak tasarım

değişiklikleri ve geliştirmeler için de kolaylık sağlamaktadır. Her bir bileşenin tasarım içindeki rolü açıkça belirtilmiş ve kritik bağlantılar, performansı artıracak şekilde optimize edilmiştir. Ek olarak, tasarımın tamamlandığı aşamada 3 boyutlu görünüm modeli de oluşturulmuştur. Şekil 3.15’te, devrenin 3 boyutlu modelini göstermektedir. Bu model, tasarımın fiziksel olarak nasıl görüneceğini ve devre bileşenlerinin yerleşimini detaylı bir şekilde ortaya koymaktadır.



Şekil 3. 15 FPGA geliştirme kartının 3 boyutlu görünümü

3 boyutlu görünüm, aynı zamanda devre üzerinde fiziksel yerleşim planlamasının doğruluğunu kontrol etmek ve bileşenlerin birbiriyle çakışmadan yerleştirildiğinden emin olmak için de kritik bir araç olarak kullanılmaktadır. Bu görsel model, tasarım sürecinin

son kontrol aşamalarında kullanılmış ve tüm bileşenlerin ergonomik bir düzen içinde yerleştirildiğini doğrulamak amacıyla değerlendirilmiştir. Ayrıca 3 boyutlu model, üretim süreçleri için yol gösterici bir araç olarak da kullanılmaktadır. Montaj sırasında bileşenlerin doğru pozisyonlarda yerleştirilmesi ve devrenin mekanik dayanıklılığının sağlanması açısından bu model büyük önem taşımaktadır.

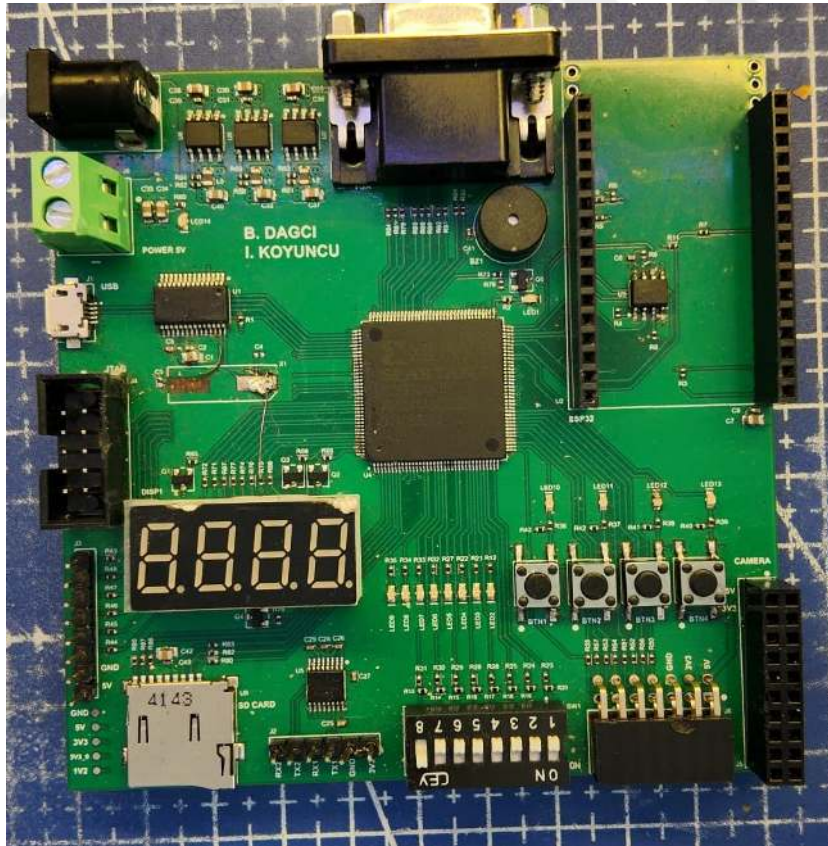
Sonuç olarak devre çizim süreci ve 3 boyutlu modelleme çalışmaları, tasarımın hem elektriksel hem de fiziksel gereksinimlerini en iyi şekilde karşılamak amacıyla sistematik bir yaklaşımla gerçekleştirilmiştir. Bu süreçte kullanılan tüm teknikler ve araçlar, tasarım doğruluğunu artırmak, performansı optimize etmek ve ileride yapılacak geliştirmeler için sağlam bir temel oluşturmak üzere tercih edilmiştir. 3 boyutlu model, tasarım sürecinin tamamlayıcı bir unsuru olarak projeye kapsamlı bir perspektif kazandırmış ve nihai ürünün başarılı bir şekilde gerçekleştirilmesine katkıda bulunmuştur.

4. BULGULAR

4.1 FPGA Devre Kartının Prototipi

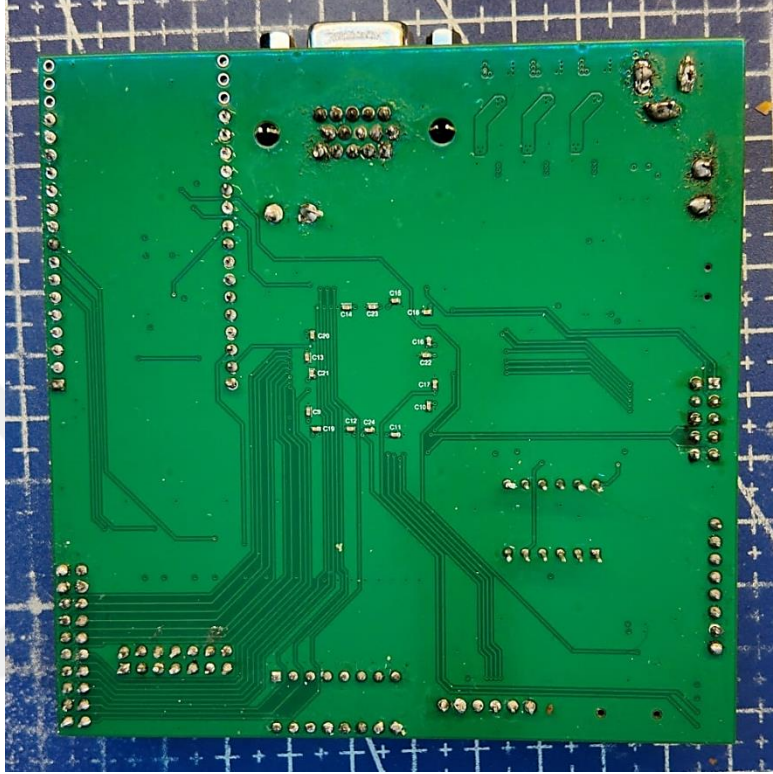
Bu çalışmada tasarlanan FPGA devre kartı, prototip aşamasında tamamlanmış ve uygulama için hazır hale getirilmiştir. Prototip kart, üretim sürecinin ardından tüm gerekli testlerden geçirilmiş ve işlevsel bir şekilde çalışabilirliği doğrulanmıştır. Kart üzerinde program yükleme işlemleri gerçekleştirilmiş ve belirlenen giriş-çıkış pinlerinden beklenen sonuçlar başarıyla elde edilmiştir.

Resim 4.1’de FPGA devre kartının üstten görünümü verilmiştir. Bu görünüm, devre üzerindeki FPGA çipinin, giriş-çıkış portlarının ve diğer yardımcı bileşenlerin genel yerleşimini göstermektedir. Tasarımda, bileşenlerin düzeni, devrenin kullanım kolaylığı ve sinyal iletim performansı göz önünde bulundurularak optimize edilmiştir.



Resim 4. 1 Tasarlanan FGPA geliştirme kartının üstten görünümü

Ayrıca devre kartının alttan görünümü, PCB tasarımının detaylarını ve devre yollarının yerleşimini daha net bir şekilde açıklamaktadır. Bu görünüm, PCB tasarımındaki yönlendirme hatlarının düzenini ve bağlantı elemanlarının nasıl konumlandırıldığını ortaya koymaktadır. Resim 4.2’de, FPGA devre kartının alttan görünümü verilmiştir.



Resim 4. 2 Tasarlanan FGPA geliştirme kartının alttan görünümü

Prototipin montaj işlemi tamamlandıktan sonra, tasarım geliştirme ve uygulama süreçleri için kullanıma hazır hale getirilmiştir. Bu aşamadan sonra, geliştirme işlemleri FPGA çipinin programlanması ile devam etmiştir. Programlama işlemi sırasında, Xilinx ISE Design Tools yazılımı kullanılmış ve programlama işlemi, JTAG arabirimi üzerinden gerçekleştirilmiştir. Bu bağlantı, IEEE 1149.1 standardına uygun olarak yapılandırılmıştır ve FPGA çipinin güvenli bir şekilde programlanmasına olanak tanımaktadır. Çip üzerindeki programlama işlemi tamamlandıktan sonra, sistem deney moduna alınmış ve giriş-çıkış pinleri etkinleştirilerek uygulama çalıştırılmıştır.

Programlama süreci sırasında, Xilinx ISE Design Tools yazılımı içerisinde yer alan iMPACT arayüzü kullanılmıştır. Bu arayüz, FPGA çipine bit dosyası yüklenmesi ve giriş-

çıkış pinlerinin etkinleştirilmesi için uygun bir platform sunmaktadır. Programlama sürecinde JTAG bağlantı portlarının doğru konumlandırılmasına özellikle dikkat edilmiştir. FPGA geliştirme kartındaki JTAG bağlantı portlarının pin dizilimi, JTAG-programmer cihazındaki uygun pinlerle eşleştirilmiş ve olası bağlantı hatalarının önüne geçilmektedir. Bu sayede güvenli ve sorunsuz bir programlama işlemi gerçekleştirilmiştir.

Sonuç olarak tasarlanan FPGA devre kartı hem uygulama hem de geliştirme süreçleri için işlevsel bir platform sunmaktadır. Üretim ve programlama süreçlerinde gösterilen özen, tasarımın güvenilirliğini ve performansını artırmıştır. Kartın fiziksel tasarımı ve elektronik bileşenlerin yerleşimi, devrenin verimli bir şekilde çalışmasını destekleyecek şekilde optimize edilmiştir.

4.1.1 Tasarlanan Geliştirme Kartının Maliyet Hesabı

Geliştirme kartını oluşturan bileşenlerin birim maliyetleri ayrı ayrı hesaplanarak toplam maliyet ayrıntılı bir şekilde belirlenmiştir.. Çizelge 4.1’de toplam maliyet hesabı görülmektedir.

Çizelge 4. 1 Tasarlanan devre kartına ait toplam maliyet

Komponentin Adı	Birim Fiyatı	Adedi	Toplam Fiyatı
10 K Ω SMD Direnç	0.00023 ₺	28	0.00644 ₺
1 K Ω SMD Direnç	0.00023 ₺	4	0.00092 ₺
4.7 K Ω SMD Direnç	0.00023 ₺	2	0.00046 ₺
100 Ω SMD Direnç	0.00023 ₺	43	0.00988 ₺
453 K Ω SMD Direnç	0.00015 ₺	2	0.00030 ₺
100 K Ω SMD Direnç	0.00023 ₺	4	0.00091 ₺
2.2 K Ω SMD Direnç	0.00023 ₺	4	0.00091 ₺
2 K Ω SMD Direnç	0.00034 ₺	2	0.00068 ₺
510 Ω SMD Direnç	0.00011 ₺	3	0.00033 ₺
200 Ω SMD Direnç	0.00077 ₺	2	0.00154 ₺

Çizelge 4. 1 (Devam) Tasarlanan devre kartına ait toplam maliyet hesabı

Komponentin Adı	Birim Fiyatı	Adedi	Toplam Fiyatı
22 uF SMD Kondansatör	0.00072 ₺	11	0.00791 ₺
100 nF SMD Kondansatör	0.00072 ₺	30	0.02156 ₺
20 pF SMD Kondansatör	0.00519 ₺	2	0.01039 ₺
SMD Led	0.02419 ₺	14	0.33878 ₺
BC807-40,215 Transistör	0.05518 ₺	4	0.22064 ₺
BC849 Transistör	0.04958 ₺	1	0.04958 ₺
2.2 uH Bobin	1.14349 ₺	3	3.43048 ₺
Buzzer	24.18099 ₺	1	24.18099 ₺
Buton	1.03768 ₺	4	4.15073 ₺
4'lü 7 Parçalı Gösterge	28.21477 ₺	1	28.21477 ₺
Dip8 Anahtar	14.07081 ₺	1	14.07081 ₺
12 MHz Kristal Osilatör	8.13135 ₺	1	8.13135 ₺
Micro USB B Konnektör	44.19255 ₺	1	44.19255 ₺
JTAG Konnektörü	2.87447 ₺	1	2.87447 ₺
Güç Konnektörü	4.54497 ₺	1	4.54497 ₺
VGA Konnektörü	25.94548 ₺	1	25.94548 ₺
Micro SD Kart Konnektörü	50.31275 ₺	1	50.31275 ₺
Klemens	4.44120 ₺	1	4.44120 ₺
USB-UART Entegresi	262.98762 ₺	1	262.98762 ₺
Flash Entegresi	68.63466 ₺	1	68.63466 ₺
RS232-UART Entegresi	27.49563 ₺	1	27.49563 ₺
DC/DC Regülatör Entegresi	7.04094 ₺	3	21.12280 ₺
ESP32 DevKitC v4	210 ₺	1	210 ₺
Arduino Nano	128.57 ₺	1	128.57 ₺
Arduino Nano Genişletme Kartı	60.29 ₺	1	60.29 ₺
XC3S50AN-4TQG144C	1431.776 ₺	1	1431.776 ₺
PCB	193.5024 ₺	1	193.5024 ₺
TOPLAM MALİYET			2619.54 ₺

* Malzemelerin alındığı tarihteki Dolar kuru 35.44 ₺'dir.

4.1.2 Farklı FPGA Geliştirme Kartlarının Fiyat ve Özellikler Karşılaştırması

Çizelge 4.2’de farklı FPGA geliştirme kartlarına ait fiyat listesi bulunmaktadır. Çizelge 4.3’de, Çizelge 4.2’de verilmiş olan farklı FPGA geliştirme kartlarına ait donanımsal özellikler bulunmaktadır.

Çizelge 4. 2 Farklı FPGA geliştirme kartlarına ait maliyet listesi

FPGA Geliştirme Kartları	Birim Fiyatı
NEXYS A7-100T	17 977.92 ₺
Zybo Z7-10	13 685.10 ₺
Spartan-3E Starter Kit	12 409.08 ₺
Basys 3	8 108.10 ₺
Arty Board A7-35T	7 507.50 ₺

* Çizelgedeki fiyatlar alındığında Dolar kuru 35.44 ₺’dir.

Çizelge 4. 3 Farklı FPGA geliştirme kartlarına ait donanımsal özellikler

FPGA Geliştirme Kartları	FPGA Çipi	Saat Frekansı	Kart Üzerindeki Donanımlar
Nexys A7-100T	XC7A100T-1CSG324C	450 MHz	16 adet anahtar, 16 adet LED, 5 adet buton, 7 parçalı gösterge, 4 adet Pmod port, 1 adet VGA çıkışı, 1 adet USB-JTAG port, 1 adet 10/100 Ethernet port, 1 adet Serial Flash, 1 adet micro SD kart yuvası
Zybo Z7-10	XC7Z010-1CLG400C	766 MHz	5 adet Pmod port, 8 adet LED, 4 adet anahtar, 2 adet buton, 1 adet HDMI port, 1 adet Ethernet port, 1 adet Serial Flash, 1 adet micro USB, 1 adet micro SD kart yuvası
Spartan-3E Starter Kit	XC3S500E-FG320	50 MHz	8 adet LED, 4 adet buton, 4 adet anahtar, 4 adet 7 parçalı gösterge, 1 adet VGA çıkışı, 1 adet USB-JTAG port, 1 adet RS-232 port, 1 adet 10/100 Ethernet port, 1 adet 32 MB SDRAM

Çizelge 4. 3 (Devam) Farklı FPGA geliştirme kartlarına ait donanımsal özellikler

FPGA Geliştirme Kartları	FPGA Çipi	Saat Frekansı	Kart Üzerindeki Donanımlar
Basys 3	XC7A35T1 CPG236C	450 MHz	16 adet anahtar, 16 adet LED, 5 adet buton, 1 adet 4'lü 7 parçalı gösterge, 4 adet Pmod port, 1 adet VGA çıkış, 1 adet Serial Flash, 1 adet USB-JTAG port
Arty Board A7-35T	XC7A35TI CSG324-1L	450 MHz	4 adet anahtar, 5 adet Buton, 8 adet LED, 4 adet Pmod port, 1 adet Ethernet portu, 1 adet USB-JTAG port

4.2 İnternet Üzerinden Programlama ve Gözleme

Bu çalışmada, uzaktan erişim yoluyla FPGA devre kartlarının programlanmasını ve gözlemlenmesini sağlayan yenilikçi bir sistem geliştirilmiştir. Sistemin temel amacı hem eğitim hem de laboratuvar ortamlarında, kullanıcıların FPGA üzerinde farklı uygulamaları çalıştırmasına ve sonuçları gerçek zamanlı olarak gözlemlemesine olanak tanımadır. Bu tasarım, bir web tabanlı platform üzerinden kullanılmakta ve kullanıcı dostu bir deneyim sunmaktadır.

Sistem, ESP32 DevKitC V4 modülü aracılığıyla FPGA çipinin reset, trigger ve 4 bitlik data sinyalleri ile kontrol edilmesini sağlamaktadır. Tasarlanan web arayüzü, canlı yayın desteği, kod paneli, hazır programlar ve dosya yükleme bölümleri gibi işlevleri içermektedir. Kullanıcılar, bu platform üzerinden yazılım geliştirme, FPGA üzerindeki hazır uygulamaları çalıştırma ve kendi tasarımlarını yükleyerek test etme gibi işlemleri gerçekleştirebilmektedir.

Sistemin en önemli özelliklerinden biri olan canlı yayın desteği, kullanıcıların FPGA devre kartı üzerindeki etkileşimleri anlık olarak gözlemlemesine olanak tanımadır. Bu çalışmada, canlı yayın için DJI Osmo Pocket 3 kamera kullanılmaktadır. Resim 4.3'te görülen kamera, tripod desteğiyle devre kartına odaklanmakta ve devre üzerindeki işlemlerin detaylı bir şekilde izlenebilmesini sağlamaktadır. Harici bataryası sayesinde,

kesintisiz olarak 6 saat boyunca yayın yapabilme kapasitesine sahiptir. Ek olarak, Type-C bağlantı ile ek güç sağlanarak yayın süresi daha da artırılabilir. Kamera, 4K yayın kalitesinde aktarım yaparak devre üzerindeki etkileşimlerin son derece net bir şekilde izlenmesine imkân tanımaktadır. Bunun yanı sıra, yayın işlemi kablolu değil, tamamen kablosuz bir şekilde gerçekleştirilmekte ve doğrudan YouTube veya diğer platformlarda paylaşılabilir. Yayın entegrasyonu, YouTube üzerinde oluşturulan yayın linkinin sistem arayüzüne eklenmesiyle sağlanmakta ve böylece eğitim süreçleri kesintisiz bir şekilde devam edebilmektedir.



Resim 4. 3 Devre gözlemekte kullanılan DJI osmo pocket 3 (İnt. Kyn. 7)

Sistem, yazılım geliştirme sürecine destek sağlamak için kod paneli ve canlı yayın özelliklerini entegre ederken, FPGA çipinin doğrudan kontrolünü hazır programlar ve dosya yükleme bölümleri ile gerçekleştirmektedir. Ayrıca sistemde tanımlanan farklı kullanıcı türlerine (Yönetici, Kullanıcı, Laboratuvar) özel yetkilendirme seçenekleri, erişim ve güvenlik açısından önemli avantajlar sunmaktadır. Bu yapı, sistemin esnekliğini artırarak farklı kullanıcı gruplarına hitap etmesini sağlamaktadır. Canlı yayın desteği ile entegre çalışan sistem, hem kullanıcıların gerçek zamanlı programlama ve gözlemlene süreçlerini kolaylaştırmakta hem de eğitim ve laboratuvar ortamlarında öğrenme sürecini daha etkili hale getirmektedir.

4.2.1 Site Arayüzü Yazılımları ve Devre Entegrasyonu

Gerçekleştirilen çalışmada, site arayüzü tasarımının temel aşamalarından biri olan şifreleme mekanizması, sisteme erişim sağlayan kullanıcının statüsünün belirlenmesi ve bu doğrultuda uygun işlevsel kısıtlamaların uygulanması amacıyla titizlikle ele alınmaktadır. Söz konusu şifreleme yapısı, kullanıcıların sisteme giriş esnasında sağlanan kimlik bilgileri üzerinden otomatik olarak devreye girmekte; bu sayede her bir kullanıcının sisteme erişiminde, önceden tanımlanmış yetki sınırları içerisinde çalışması temin edilmektedir. Uygulanan bu metodoloji, sistemin güvenlik seviyesini artırmakla birlikte, aynı zamanda farklı kullanıcı gruplarının erişim ihtiyaçlarının ve işlevsel beklentilerinin de karşılanabilmesi hususunda kritik bir rol oynamaktadır.

Kullanıcı statülerine dayalı işlev kısıtlamalarının gerçekleştirilmesinde, şifreleme mekanizması aracılığıyla her bir kullanıcının sisteme girişinde otomatik olarak tanımlanan statü kriterleri devreye sokulmaktadır. Bu çerçevede, sistemin kullanıcı arayüzünde yer alan yetkilendirme modülü, kullanıcı kimlik bilgilerini şifreli biçimde çözümleyerek; ilgili erişim düzeyini belirlemekte ve buna uygun olarak sistem içerisinde hangi işlevlere erişim sağlanabileceğini, hangi verilerin görüntülenebileceğini ya da hangi uygulamaların çalıştırılabileceğini sınırlandırmaktadır. Böylece, sistemde herhangi bir yetkisiz erişimin önüne geçilmekte; aynı zamanda, kullanıcıların ihtiyaç duydukları özelleştirilmiş işlevsellik, güvenlik ilkeleri çerçevesinde sunulmaktadır. Bu yapı, sistem bütünlüğünü korurken, veri güvenliğini ve kullanıcı deneyimini en üst düzeyde tutmayı hedefleyen entegre bir yaklaşım sergilemektedir.

Çalışmada uygulanan şifreleme mekanizmasının sunduğu kullanıcı statüleri, Şekil 4.1’de ayrıntılı biçimde gösterildiği üzere üç farklı kategori altında sınıflandırılmaktadır. Bunlar; Öğretmen (Yönetici), Araştırmacı (Laboratuvar) ve Öğrenci (Kullanıcı) olarak tanımlanmaktadır. Öğretmen statüsüne sahip kullanıcılar, sistem üzerinde en geniş kapsamlı yetkilere erişim imkânı bulmakta olup; bu kullanıcı grubu, sistemin tüm işlevlerine müdahale edebilmekte, veri yönetimi, sistem ayarları ve gelişmiş konfigürasyon seçenekleri gibi kritik işlemleri gerçekleştirebilmektedir. Araştırmacı statüsü ise, laboratuvar ortamlarında deneysel çalışmalar yürüten ve sistemin tüm işlevlerine erişim sağlayarak pratik uygulamalar gerçekleştiren kullanıcılar için

öngörülmüştür. Bu kullanıcılar, sistem içerisindeki önceden tanımlanmış laboratuvar modüllerine erişim hakkına sahip olmaktadır, testler ve kendi yaptıkları çalışmaları devre üzerinde uygulayabilirler. Son olarak öğrenci statüsünde yer alan kullanıcılar, daha sınırlı ve temel işlevlerin sunulduğu bir erişim seviyesine tabi tutulmakta olup; bu kullanıcılar, özellikle öğrenme sürecinde temel uygulamaları ve deneyleri gerçekleştirebilmek üzere, kısıtlı erişim haklarına sahip olmaktadır.

```
608 <!-- Genel JS kodları -->
609 <script>
610 /*****
611  * 0) ŞİFRE GİRİŞİ VE ROL BELİRLEME
612  *****/
613 const passwordOverlay = document.getElementById('passwordOverlay');
614 const passwordInput = document.getElementById('passwordInput');
615 const loginButton = document.getElementById('loginButton');
616 const errorMsg = document.getElementById('errorMsg');
617
618 // Rol değişkeni (admin / user / lab)
619 let userRole = "";
620
621 > loginButton.addEventListener('click', () => { ...
638
639 > function applyRoleRestrictions() {
640 >   if (userRole === 'admin' || userRole === 'lab') { ...
644 >   else if (userRole === 'user') { ...
648   }
649 }
```

Şekil 4. 1 Sayfanın şifre girişi, rol belirleme fonksiyonlarının yazılımları

Site arayüzü için gerçekleştirilen çalışmalar kapsamında, HTML ve JavaScript programlama dillerinden yararlanılarak fonksiyonel ve kullanıcı dostu bir tasarım geliştirilmektedir. Bu bağlamda, arayüzde kullanılan kod editörü yazılımı Şekil 4.2’de detaylı olarak sunulmuştur. Buton ve anahtar tasarımları ise yine ilgili Şekil 4.3 görselinde belirtilmekte olup, son olarak veri gönderme ve Google Drive yükleme yazılımları da Şekil 4.4’te bulunmaktadır. Veri gönderme işlemleri sırasında Apps Script uygulaması kullanılmış olup, ilgili bulut linkine verileri aktararak ESP32 kartının bu verileri belirlenen periyotlarda okuması sağlanmaktadır. Apps Script yazılımları, site üzerinden gönderilecek ve ESP32 tarafından okunacak veri biçimlerinde tasarlanmıştır. Google Drive yükleme çalışmaları sırasında bit uzantılı dosyaların gönderimi için farklı metotlar denenmiş olup, en güvenli ve hızlı akışa sahip olan metodun Client ID üzerinden yetkilendirilerek Google Drive hesabına erişim verip ilgili programın uygun dosyaya kaydedilmesi sağlanmıştır.

```

649 /*****
650  * 1) KOD EDITÖRÜ SATIR NUMARALARI
651  *****/
652 const textarea      = document.querySelector('textarea');
653 const lineNumbers   = document.querySelector('.line-numbers');
654 const container     = document.getElementById('container');
655
656 > function updateLineNumbers() { ...
657
658
659
660
661
662
663
664
665
666 textarea.addEventListener('input', updateLineNumbers);
667 > textarea.addEventListener('scroll', () => { ...
668
669
670 updateLineNumbers();
671

```

Şekil 4. 2 Sayfanın kod editörü fonksiyon yazılımı

```

672 /*****
673  * 2) BUTONLAR (TAM EKRAN, İNDİR, GÖNDER)
674  *****/
675 const fullscreenButton = document.getElementById('fullscreenButton');
676 const downloadButton   = document.getElementById('downloadButton');
677 const sendButton       = document.getElementById('sendButton');
678 const toggleCodePanelButton = document.getElementById('toggleCodePanelButton');
679 const codePanel        = document.getElementById('codePanel');
680
681 > fullscreenButton.addEventListener('click', () => { ...
682
683
684
685
686
687
688
689
690
691
692
693
694
695
696
697 > downloadButton.addEventListener('click', () => { ...
698
699
700
701
702
703
704
705
706
707
708
709
710
711
712
713 > sendButton.addEventListener('click', () => { ...
714
715
716
717
718
719
720
721
722
723
724
725
726
727
728
729
730 > toggleCodePanelButton.addEventListener('click', () => { ...
731
732
733
734
735
736
737
738 /*****
739  * 3) ÜÇLÜ SWITCH: Kod Paneli / Veri Gönder / Drive Yükle
740  *****/
741 const panelSwitchEditor = document.getElementById('panelSwitchEditor');
742 const panelSwitchData   = document.getElementById('panelSwitchData');
743 const panelSwitchDrive  = document.getElementById('panelSwitchDrive');
744
745 const codeEditor        = document.getElementById('codeEditor');
746 const dataSender        = document.getElementById('dataSender');
747 const uploadPanel       = document.getElementById('uploadPanel');
748
749 > function showPanel(panelId) { ...
750
751
752
753
754
755
756 > panelSwitchEditor.addEventListener('change', () => { ...
757
758
759 > panelSwitchData.addEventListener('change', () => { ...
760
761
762 > panelSwitchDrive.addEventListener('change', () => { ...
763
764
765

```

Şekil 4. 3 Sayfanın butonlar, üçlü anahtar fonksiyonları yazılımları

```

766 /*****
767  * 4) VERİ GÖNDERME (Apps Script)
768  *****/
769 const sendOperationBtn = document.getElementById('sendOperationBtn');
770 const readBtn          = document.getElementById('readBtn');
771 const operationSelect  = document.getElementById('operationSelect');
772 const resetSwitch      = document.getElementById('resetSwitch');
773 const triggerSwitch    = document.getElementById('triggerSwitch');
774 const resultArea       = document.getElementById('resultArea');
775
776 const scriptURL = '
777
778 > sendOperationBtn.addEventListener('click', () => { ...
804
805 > readBtn.addEventListener('click', () => { ...
839
840 /*****
841  * 5) GOOGLE DRIVE YÜKLEME
842  *****/
843 const fileInput      = document.getElementById('fileInput');
844 const uploadButton   = document.getElementById('uploadButton');
845 const CLIENT_ID      = '
846 const CLIENT_SECRET  = '
847 const REFRESH_TOKEN  = '
848 const TOKEN_URI      = '
849 const FOLDER_ID      = '
850
851 > async function getAccessToken() { ...
865
866 > async function uploadFile() { ...
905
906 uploadButton.addEventListener('click', uploadFile);

```

Şekil 4. 4 Sayfanın veri gönderme, Google Drive yükleme fonksiyon yazılımları

Bu çalışmada geliştirilen UCF yazılımı, kullanıcıların etkileşimli olarak tablo düzenleme ve sütun boyutlandırma işlemlerini gerçekleştirmesine imkân tanımaktadır. Şekil 4.5'te de görüldüğü üzere, yazılımın arayüzünde yer alan “UCF Paneli” düğmesi sayesinde panelin açılıp kapatılabilmesi mümkün olmaktadır. Bu yaklaşım, verilerin düzenlenmesi sürecinde hem esneklik hem de kullanım kolaylığı sağlamaktadır. Ayrıca sütunların yeniden boyutlandırılması işlevi, tabloda yer alan bilgilerin farklı ekran boyutlarına uyumlu hâle getirilmesine katkıda bulunmakta ve veri sunumunda daha etkili bir görünüm elde edilmesine olanak vermektedir. Bu sayede UCF yazılımının etkileşimli özellikleri, veriye dayalı uygulamalarda kullanıcı dostu bir yapı sunarak veri yönetimi performansını artırmaktadır.

```

969 <!-- UCF PANELİ İŞLEVSEL KODLARI ve Resizable Sütunlar -->
970 <script>
971 // UCF Panel Aç/Kapat ve Fonksiyonları
972 let ucfPanelOpen = false;
973 function toggleUCFPanel() {
974     const panel = document.getElementById("ucfPanel");
975     const btn = document.getElementById("toggleUcfPanelButton");
976     ucfPanelOpen = !ucfPanelOpen;
977     if (ucfPanelOpen) {
978         panel.style.display = "block";
979         btn.textContent = "UCF Panelini Kapat";
980     } else {
981         panel.style.display = "none";
982         btn.textContent = "UCF";
983     }
984 }
985 document.getElementById("toggleUcfPanelButton").addEventListener("click", toggleUCFPanel);
986
987 > var lines = [ ...
1024 > function populateTable() { ...
1074 > function updateRowColor(rowElement, isActive) { ...
1084 > function autoResizeInput(input) { ...
1091 > function setAllActive(isActive) { ...
1096 > function generateUCFContent() { ...
1109 > function downloadUCF() { ...
1127 window.addEventListener('load', populateTable);
1129
1130 /***** EK: Resizable Sütunlar için Fonksiyon *****/
1131 > function makeTableResizable(table) { ...
1166 window.addEventListener("load", function() {
1167     makeTableResizable(document.getElementById("ucfTable"));
1168 });

```

Şekil 4. 5 Sayfada bulunan UCF tablosu yazılımları

Buluta dosya kaydetme sonrasında buluttaki bit uzantılı dosyaların güvenli şekilde periyodik olarak JTAG üzerinden FPGA çipine yüklenmesi için Python yazılım dilinde bir çalışma yapılmış olup, Şekil 4.6'da görülmektedir. Bu Python dilinde tasarlanmış JTAG aktarım kodunun süreklilikle çalışabilmesi için bat dosya uzantılı bir tasarım yapıp masaüstü eklentisi haline getirilmiştir. Çalışmaların Şekil 4.6'da görülen kapsama getirilme sürecinde bit dosyalarının öncelikle bilgisayar üzerinden çekilmesi, sonrasında yerel ağ üzerinden çekilmesi ve son olarak buluta bağlı bir dosyadan aktif olarak FPGA çipine yüklenmesi test edilmiştir. Bu kapsamlı testler, sistemin farklı kaynaklardan veri çekebilme esnekliğini ve entegrasyon süreçlerindeki güvenilirliğini ortaya koymaktadır. Ayrıca, dosya yükleme işlemlerinin otomatik güncelleme mekanizması ile desteklenmesi, sürecin kesintisiz ve stabil bir şekilde yürütülmesine olanak tanımaktadır.

```

1  import sys
2  import os
3  import glob
4  import time
5  from PyQt5.QtWidgets import QApplication, QSystemTrayIcon, QMenu, QAction
6  from PyQt5.QtGui import QIcon
7  from PyQt5.QtCore import QTimer
8
9
10 class FPGAProgrammerApp:
11 >     def __init__(self):...
45
46 >     def get_last_loaded_file(self):...
52
53 >     def get_latest_file(self):...
60
61 >     def program_fpga(self, bit_file):...
93
94 >     def move_non_bit_files(self):...
104
105 >     def check_folder(self):...
112
113 >     def exit_app(self):...
117
118 >     def run(self):...
121
122
123 > if __name__ == "__main__": ...

```

Şekil 4. 6 FPGA otomatik programlayan Python yazılımı

Şekil 4.7’de gösterilen Python tabanlı yazılım, dosya iletimi sürelerinin incelenmesi ve veri senkronizasyonu işlemlerinin otomatikleştirilmesi amacıyla tasarlanmaktadır. Bu kapsamda, Google Drive API entegrasyonu sağlanarak belirli bir konumdaki dosyaların değişikliklerini algılamakta ve yeni veya güncellenmiş dosya tespit edildiğinde senkronizasyon sürecini başlatmaktadır. Böylece, hem bulut ortamında yer alan verilerin güncel hâlinin korunması hem de dosya iletim sürelerinin kaydedilmesi mümkün olmaktadır.

Kod yapısında, “download_file” fonksiyonu yardımıyla bulut ortamından alınan dosyanın yerel ortama indirilmesi sağlanmakta ve sonrasında “process_downloaded_file” fonksiyonuyla indirme sonrası işlevler yürütülmektedir. Ayrıca “load_excel” ve “save_to_excel” fonksiyonları, dosyalar arasındaki veri alışverişinin Excel formatında gerçekleştirilmesine olanak tanımaktadır. Bu sayede hem farklı formatlardaki veriler merkezi bir Excel dosyasında toplanmakta hem de süre analizlerine yönelik verinin düzenli bir şekilde tutulması sağlanmaktadır. Son olarak “watch_google_drive” fonksiyonu, Google Drive’deki değişiklikleri gözlemleyerek senkronizasyon işlemlerini kesintisiz biçimde sürdürmekte ve kullanıcının manuel müdahalesine gerek kalmadan

yazılımın güncel veri akışını sağlamaktadır. Bu yaklaşım hem veri güvenilirliğini artırmakta hem de dosya iletim sürelerinin akademik çalışmalar için sistematik biçimde analiz edilmesine katkıda bulunmaktadır.

```
60 # Google Drive API kimlik doğrulaması
61 SCOPES = ["https://www.googleapis.com/auth/drive"]
62 SERVICE_ACCOUNT_FILE = "credentials.json"
63
64 creds = service_account.Credentials.from_service_account_file(
65     SERVICE_ACCOUNT_FILE, scopes=SCOPES)
66 service = build("drive", "v3", credentials=creds)
67
68 > def download_file(file_id, file_name, destination_folder): ...
92
93 def trigger_google_drive_sync(dosya_adi):
94     print(f"📁 Yeni dosya tespit edildi: {dosya_adi}. Google Drive senkronizasyonu tetikleniyor...")
95 > try: ...
98     except Exception as e:
99         print(f"⚠️ Google Drive senkronizasyonu başlatılamadı: {e}")
100
101 > def process_downloaded_file(record, downloaded_file): ...
161
162 def load_excel():
163     if os.path.exists(EXCEL_FILE):
164         return pd.read_excel(EXCEL_FILE)
165     else:
166 > df = pd.DataFrame(columns=[ ...
178     df.to_excel(EXCEL_FILE, index=False)
179     return df
180
181 def save_to_excel():
182 > if not dosya_verileri: ...
184     df = pd.DataFrame(dosya_verileri)
185     df.to_excel(EXCEL_FILE, index=False)
186     wb = openpyxl.load_workbook(EXCEL_FILE)
187     ws = wb.active
188 > for col in ws.columns: ...
198     wb.save(EXCEL_FILE)
199     print("📄 Excel güncellendi.")
200
201 > def watch_google_drive(): ...
265
266 > if __name__ == "__main__": ...
277
```

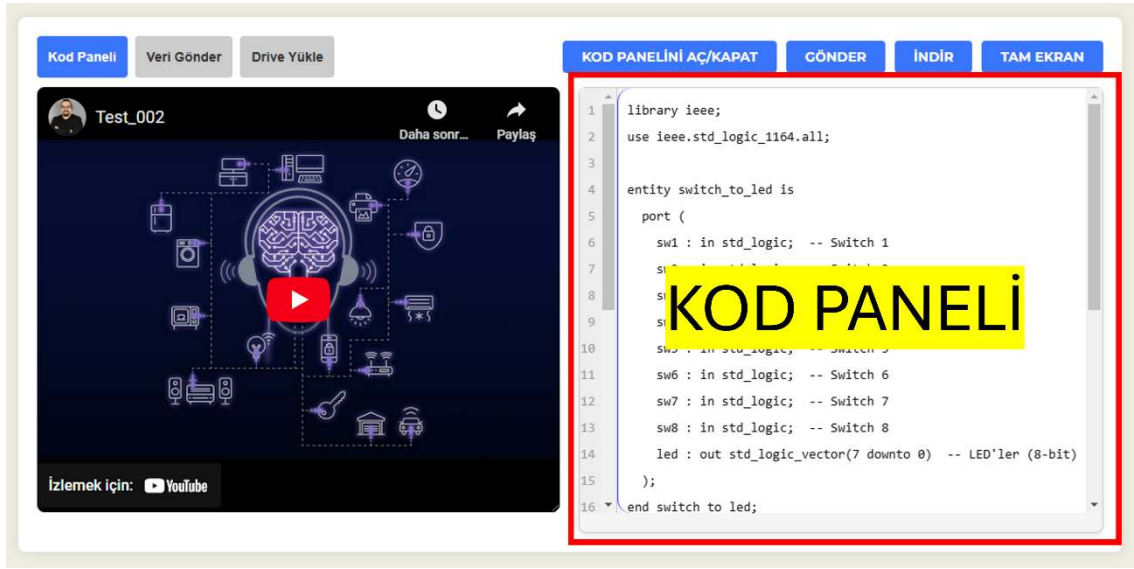
Şekil 4. 7 Dosya iletimi süre analizleri için tasarlanan Python yazılımı

4.2.2 Genel Uygulama Senaryosu

Sistemin genel çalışma prensibi, internet tabanlı bir platform üzerinden FPGA devre kartının kontrol edilmesine dayanmaktadır. Web arayüzünde yer alan farklı bölümler, kullanıcıların FPGA üzerinde çeşitli işlemleri gerçekleştirmesine imkân sağlamaktadır.

Şekil 4.8’de bulunan kod paneli, kullanıcıların FPGA üzerinde çalışacak yazılımları

geliştirmesine olanak tanımakla beraber eğitimlerin daha etkin bir şekilde gerçekleşmesini hedeflemektedir. Bu panel üzerinden yazılan kodlar, canlı yayın desteği ile FPGA devre kartının anlık durumunu gözlemleyerek optimize edilebilmektedir. Ancak kod paneli, yalnızca yazılım geliştirme sürecine destek sağlamakta ve FPGA üzerinde programların gerçek zamanlı olarak yürütülmesini sağlamamaktadır. Yazılan kodlar, indirilebilir dosya formatında kullanıcıya sunulmakta veya yöneticiler tarafından sisteme entegre edilmektedir.



Şekil 4. 8 Kod paneli tasarımı

Şekil 4.9’da gösterilen arayüz, FPGA üzerinde kullanılacak port tanımlamalarının düzenlenmesi ve “UCF dosyası indir” özelliğiyle, ilgili konfigürasyon dosyalarının pratik biçimde elde edilebilmesi amacıyla tasarlanmaktadır. Arayüzde yer alan tablo, satırların etkinleştirilmesi veya devre dışı bırakılmasına olanak tanımaktadır. “NET ADI” sütunu aracılığıyla, herhangi bir Türkçe karakter veya boşluk girişi olmaksızın, ilgili sinyale ait isimlendirmenin yapılmasını sağlamaktadır. Böylece, kullanıcılar farklı giriş ve çıkış noktalarını kolaylıkla yönetebilmekte ve mantık tasarımlarında kullanılacak her bir porta ayrı işlevler atayabilmektedir. Ayrıca “TÜMÜ AKTİF” veya “TÜMÜ DEVRE DIŞI” gibi kısayol düğmeleri sayesinde toplu işlemler hızlıca gerçekleştirilebilmekte ve tasarım süreci önemli ölçüde sadeleştirilmektedir. Bunun yanı sıra tasarlanan arayüzde bulunan “Gönder” butonu tıklandığında, kod panelinde oluşturulan tasarıma ait bilgilerin yanı sıra, UCF formatındaki tanımlamalar da e-posta ile otomatik olarak ilgili alıcıya

iletilebilmektedir. Bu yaklaşım hem tasarım sürecindeki düzenlemelerin kayıt altına alınmasını hem de farklı ortamlarda eş zamanlı paylaşılmasını kolaylaştırmakta, FPGA port tanımlamalarının doğruluğunu ve izlenebilirliğini artırmaktadır.

Switch açık ise satır aktif (yeşil), kapalı ise pasif (gri).

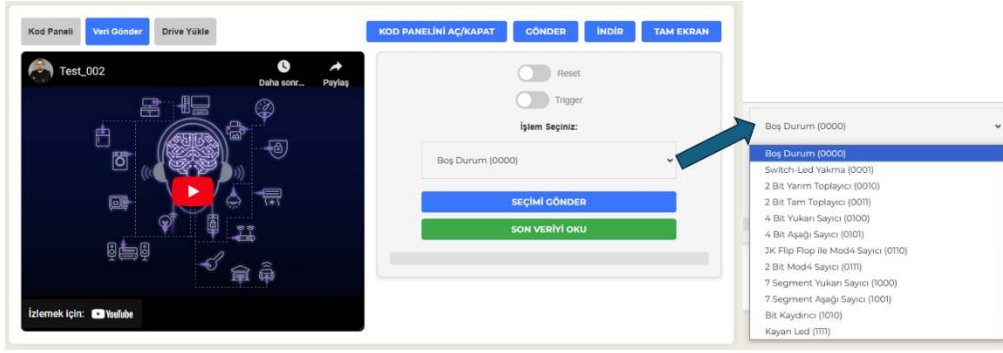
"NET ADI" bölümüne Türkçe karakter ve boşluk girilemez.

TÜMÜ AKTİF **TÜMÜ DEVRE DIŞI** **UCF DOSYASINI İNDİR**

AKTİF	NET ADI	SATIR İÇERİĞİ
☒	clk	NET "clk" LOC = "P59" IOSTANDARD = LVCMOS33;
☐	sw1	NET "sw1" LOC = "P35" IOSTANDARD = LVCMOS33;
☒	sw2	NET "sw2" LOC = "P33" IOSTANDARD = LVCMOS33;
☐	sw3	NET "sw3" LOC = "P32" IOSTANDARD = LVCMOS33;
☒	sw4	NET "sw4" LOC = "P30" IOSTANDARD = LVCMOS33;
☒	sw5	NET "sw5" LOC = "P28" IOSTANDARD = LVCMOS33;
☒	sw6	NET "sw6" LOC = "P25" IOSTANDARD = LVCMOS33;
☒	sw7	NET "sw7" LOC = "P21" IOSTANDARD = LVCMOS33;
☐	sw8	NET "sw8" LOC = "P19" IOSTANDARD = LVCMOS33;
☒	led<0>	NET "led<0>" LOC = "P31" IOSTANDARD = LVCMOS33;
☒	led<1>	NET "led<1>" LOC = "P29" IOSTANDARD = LVCMOS33;
☐	led<2>	NET "led<2>" LOC = "P27" IOSTANDARD = LVCMOS33;

Şekil 4. 9 UCF tablo tasarımı

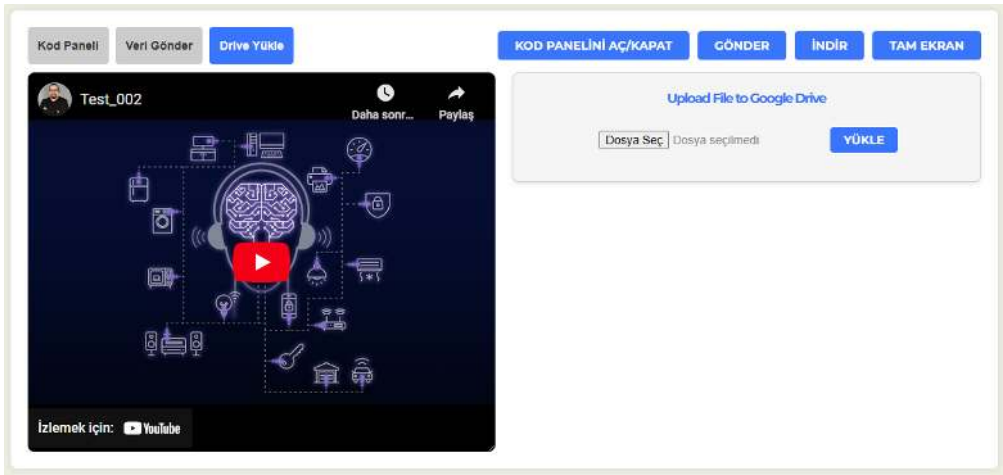
FPGA çipinin internet üzerinden doğrudan kontrolü, hazır programlar ve dosya yükleme özellikleri ile gerçekleştirilmektedir. Şekil 4.10'da görülen hazır programlar, laboratuvar çalışmaları için önceden hazırlanmış yazılımlar içerirken, dosya yükleme bölümü, kullanıcıların kendi tasarımlarını FPGA çipine göndermesine olanak tanımaktadır. Bu sistem, uzaktan erişimde esneklik sağlamakta ve uygulamaların güncel kalmasına yardımcı olmaktadır. Ayrıca, güvenlik önlemleri ile titiz veri doğrulama mekanizmaları, işlem bütünlüğünü ve sistem performansını artırmaktadır.



Şekil 4. 10 Site hazır programlar tasarımı

Hazır programlar aracılığıyla kullanıcılar, led yakma, yarım toplayıcı, tam toplayıcı, mod4 sayıcı ve 7 parçalı gösterge ile aşağı-yukarı sayıcı gibi çeşitli uygulamaları çalıştırabilir. Bu süreçte FPGA çipinin kontrolü, ESP32 üzerinden sağlanmakta ve trigger ile data pinleri aracılığıyla uygulamaların yönetimi gerçekleştirilmektedir. Sistem, bu kontrol mekanizması sayesinde kullanıcıların devre üzerindeki değişiklikleri gözlemlemesine ve test etmesine olanak tanımaktadır.

Şekil 4.11’de görülen dosya yükleme özelliği, kullanıcıların kendi geliştirdiği bit dosyalarını FPGA çipine yükleyerek test etmesine olanak tanımaktadır. Kullanıcılar, bu dosyaları yükledikten sonra, FPGA üzerindeki uygulamaları çalıştırabilir ve sistemin canlı yayın özelliği ile sonuçları gözlemleyebilmektedir. Bu süreçte yükleme işlemlerinin ortalama 7.579 s’de tamamlanması sistemin verimliliğini artırmaktadır.



Şekil 4. 11 Site dosya yükleme tasarımı

Sistem ayrıca kullanıcı türüne göre yetkilendirme seçenekleri sunmaktadır. Yönetici ve Laboratuvar pozisyonlarındaki kullanıcılar tüm işlevlere erişebilirken, Kullanıcı pozisyonunda dosya yükleme özelliği devre dışı bırakılmıştır. Bu yapı, sistemin güvenilirliğini artırırken, eğitim ve araştırma ortamlarında kullanımını kolaylaştırmaktadır.

Sonuç olarak sistemin genel uygulama senaryosu hem yazılım geliştirme sürecine hem de FPGA çipinin internet üzerinden kontrol edilmesine yönelik kapsamlı bir platform sunmaktadır. Kullanıcılar, kod paneli, hazır programlar ve dosya yükleme özellikleri sayesinde FPGA üzerinde çeşitli uygulamaları test edebilmekte ve gözlemleyebilmektedir.

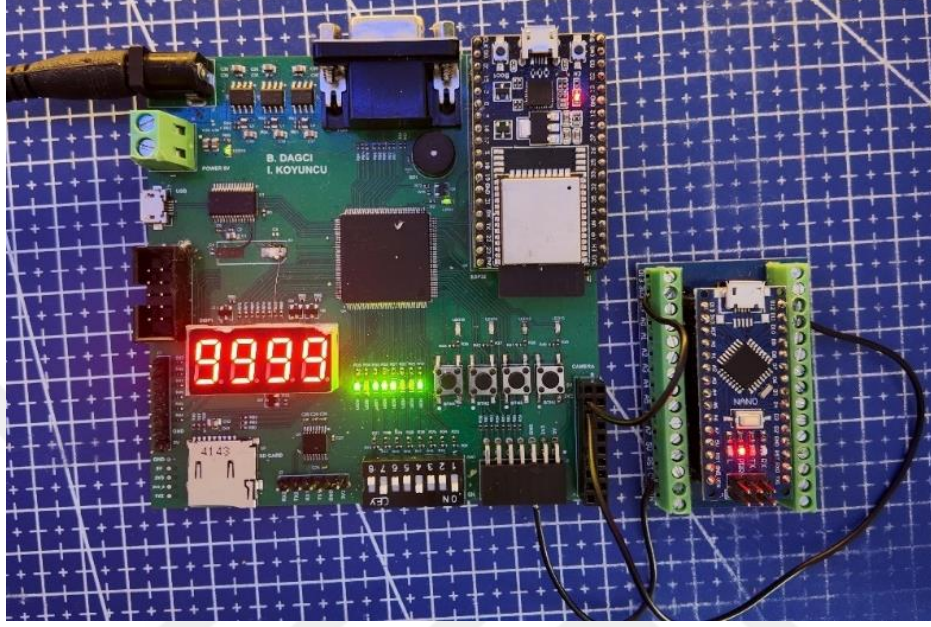
4.2.3 Uygulama Sonuçları ve Analiz

Sistemin uygulama sonuçları, yapılan testler ve analizler sonucunda, tasarımın başarılı bir şekilde çalıştığını ve belirlenen hedefleri karşıladığını ortaya koymuştur. FPGA devre kartının kontrolü sırasında yapılan testler, sistemin işlevselliğini ve performansını doğrulamaktadır.

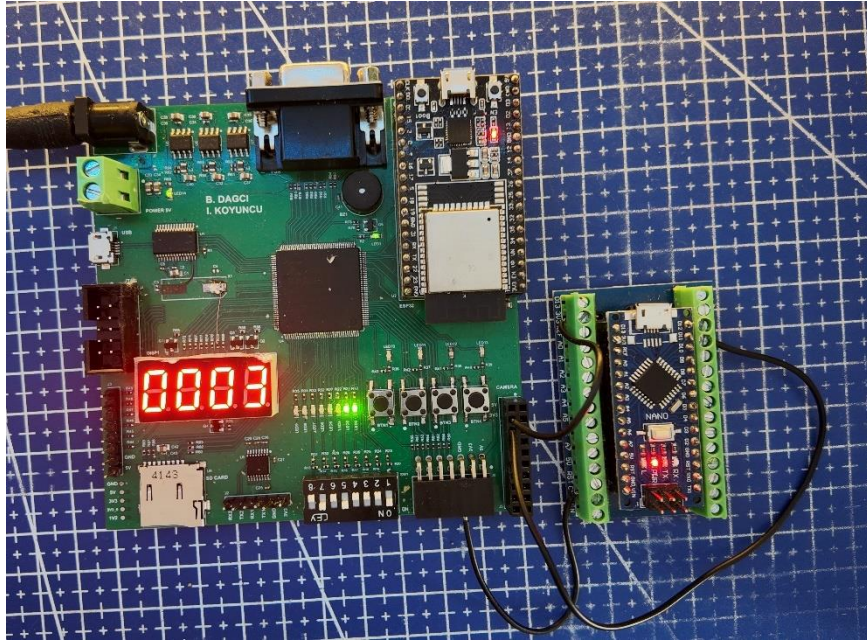
Kod paneli, yazılım geliştirme sürecinde kullanıcıların FPGA üzerinde çalışacak programları yazmasına ve optimize etmesine olanak sağlamaktadır. Canlı yayın özelliği sayesinde, kullanıcılar yazdıkları kodların devre üzerindeki etkilerini gerçek zamanlı olarak gözlemleyebilmekte ve yazılımlarını daha verimli bir şekilde geliştirebilmektedir. Testler sırasında, kod paneli üzerinden yazılan yazılımların doğru bir şekilde indirilerek sisteme entegre edilebildiği ve yöneticiler tarafından FPGA üzerinde çalıştırılabildiği doğrulanmıştır.

Hazır programlar ile yapılan testler, sistemin eğitim ve laboratuvar çalışmalarında etkin bir şekilde kullanılabileceğini göstermektedir. Led yakma (Resim 4.4), yarım toplayıcı, tam toplayıcı gibi uygulamalar, FPGA üzerindeki temel işlevlerin kullanıcılar tarafından kolayca test edilebileceğini ortaya koymuştur. Ayrıca 7 parçalı gösterge ile aşağı-yukarı sayıcı (Resim 4.5) ve bit kaydırıcı gibi daha karmaşık uygulamaların sorunsuz bir şekilde

çalıştırıldığı ve kullanıcıların sistem üzerinden bu uygulamaları gözlemleyebildiği görülmektedir.



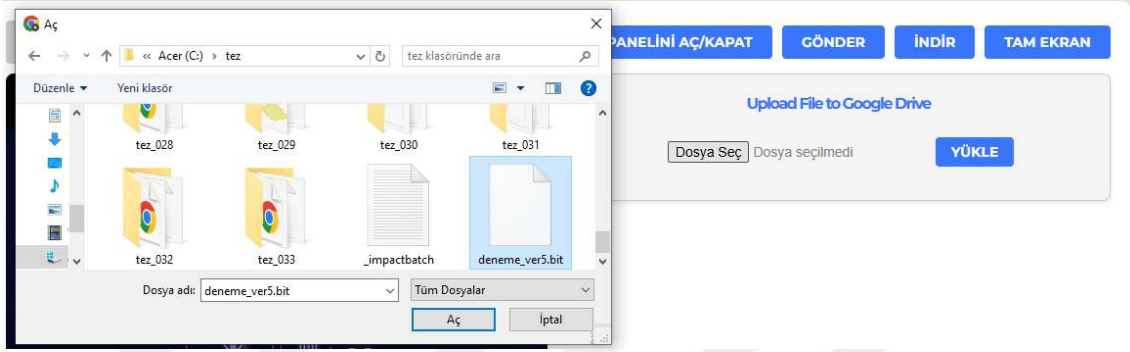
Resim 4. 4 Led yakma uygulaması görünümü



Resim 4. 5 7 parçalı gösterge ile yukarı aşağı sayıcı uygulaması

Şekil 4.12’de görüldüğü üzere dosya yükleme işlemleri sırasında, kullanıcıların kendi geliştirdiği bit dosyalarını FPGA çipine yükleyerek çalıştırabildiği ve sonuçları

gözlemleyebildiği tespit edilmiştir. Testlerde, yükleme işleminin ortalama 7.579 s’de tamamlandığı ve yüklenen dosyaların FPGA üzerinde sorunsuz bir şekilde çalıştırıldığı gözlemlenmiştir. Bu özellik, sistemin kullanıcılar için esnek bir deneyim sunduğunu ve laboratuvar çalışmaları için önemli bir avantaj sağladığını göstermektedir.



Şekil 4. 12 Dosya yükleme örneği

Sistemin yetkilendirme yapısı, kullanıcı deneyimini iyileştiren bir diğer önemli unsurdur. Yönetici ve Laboratuvar pozisyonlarındaki kullanıcıların tüm işlemlere erişebilmesi, sistemin kapsamını ve esnekliğini artırmıştır. Kullanıcı pozisyonunda ise drive yükleme özelliğinin devre dışı bırakılması, sistemin güvenliğini sağlamış ve eğitim sürecine odaklanılmasını mümkün kılmıştır.

Çizelge 4. 4 Bit uzantılı dosyaların sistemdeki akış süreleri

Dosya Adı	İndirilme Süresi (s)	Senkronizasyon Süresi (s)	FPGA Çipine Yükleme Süresi (s)	Dosya Boyutu (KB)
dosya1.bit	4.553	5.112	2.151	53.48
dosya2.bit	4.888	4.955	2.502	53.47
dosya3.bit	4.261	5.039	3.974	53.47
dosya4.bit	4.085	4.809	3.293	53.47
dosya5.bit	4.248	4.669	3.481	53.47
dosya6.bit	3.842	4.536	2.216	53.47

Çizelge 4. 4 (Devam) Bit uzantılı dosyaların sistemdeki akış süreleri

Dosya Adı	İndirilme Süresi (s)	Senkronizasyon Süresi (s)	FPGA Çipine Yükleme Süresi (s)	Dosya Boyutu (KB)
dosya7.bit	5.148	5.355	2.103	53.47
dosya8.bit	5.691	6.459	2.124	53.47
dosya1.bit	4.761	4.957	2.127	53.48
dosya2.bit	5.179	5.760	2.072	53.47
dosya3.bit	4.897	5.718	2.107	53.47
dosya4.bit	4.370	4.468	2.116	53.47
dosya5.bit	3.955	4.878	2.132	53.47
dosya6.bit	4.040	4.183	2.128	53.47
dosya7.bit	4.806	5.370	2.128	53.47
dosya8.bit	4.844	5.660	2.090	53.47
dosya1.bit	6.936	7.739	2.944	53.48
dosya2.bit	4.482	4.696	2.160	53.47
dosya3.bit	4.684	5.569	2.163	53.47
dosya4.bit	4.497	5.200	3.978	53.47
dosya5.bit	5.038	5.924	5.836	53.47
dosya6.bit	5.279	5.395	2.231	53.47
dosya7.bit	5.306	5.402	2.161	53.47
dosya8.bit	4.182	4.648	2.825	53.47
dosya1.bit	5.308	6.116	2.112	53.48
dosya2.bit	3.851	4.572	2.166	53.47

Çizelge 4. 4 (Devam) Bit uzantılı dosyaların sistemdeki akış süreleri

Dosya Adı	İndirilme Süresi (s)	Senkronizasyon Süresi (s)	FPGA Çipine Yüklenme Süresi (s)	Dosya Boyutu (KB)
dosya3.bit	4.979	5.581	2.259	53.47
dosya4.bit	4.087	4.628	2.314	53.47
dosya5.bit	4.811	5.818	2.147	53.47
dosya6.bit	5.248	5.504	2.173	53.47
dosya7.bit	4.772	5.041	2.137	53.47
dosya8.bit	3.655	4.618	2.104	53.47
dosya1.bit	5.111	5.734	2.131	53.48
dosya2.bit	4.865	5.185	2.099	53.47
dosya3.bit	4.700	5.354	2.173	53.47
dosya4.bit	4.421	5.016	2.200	53.47
dosya5.bit	4.993	6.005	2.105	53.47
dosya6.bit	5.083	5.603	2.159	53.47
dosya7.bit	4.720	5.378	2.180	53.47
dosya8.bit	4.359	5.251	2.117	53.47

Methods

Method ↑	Requests	Errors	Avg latency	99th percentile latency ⓘ
google.apps.drive.v3.DriveFiles.Create	376	0	0.416 seconds	1.374 seconds
google.apps.drive.v3.DriveFiles.Ge	141	0	1.026 seconds	4.046 seconds
google.apps.drive.v3.DriveFiles.List	31,251	0.01%	0.114 seconds	0.256 seconds

Şekil 4. 13 Google Drive API metotlarının ortalama gecikme istatistikleri

Çizelge 4.4'te aktarılan bulgular, bit uzantılı dosyaların bulut ortamından FPGA çipine kadar uzanan aktarım süreçlerinin ayrıntılı bir değerlendirmesini sunmaktadır. Öncelikle,

dosyanın Google Drive üzerindeki belirlenmiş klasöre başarıyla yüklenme sürecine bakıldığında, Şekil 4.13'te gösterilen Google Drive API istatistiklerinin bu aşamaya önemli katkılar sağladığı görülmektedir. Web arayüzü üzerinden gönderilen bit uzantılı dosya, Drive ortamına “google.apps.drive.v3.DriveFiles.Create” yöntemi ile eklenmekte ve söz konusu API metodunun ortalama gecikmesi 0.416 s olarak kaydedilmektedir. Yani, buluttaki hedef klasöre dosyanın oluşturulma aşaması yaklaşık yarım saniye gibi bir zaman diliminde tamamlanmaktadır. Buna ek olarak, gecikmelerin %99 kadarı 1.374 s'ye çıktığı gözlemlenmektedir. Bu da yoğunluk veya ani trafik artışları gibi koşullarda ek bekleme sürelerinin oluşabileceğini göstermektedir.

Dosyanın Drive ortamında oluşturulmasının ardından, Çizelge 4.4'te yer alan verilere göre dosyanın bilgisayara indirilme süresi ortalama 4.723 s düzeyinde gerçekleşmektedir. En düşük 3.655 s ve en yüksek 6.936 s şeklinde seyreden bu indirme süreleri, internet bağlantısının kalitesi ve sunucu yanıt hızları gibi etkenlere bağlı olarak değişiklik göstermektedir. Ayrıca bir önceki analizde belirtilen şekilde dosyanın otomatik senkronizasyon süresi ortalama 5.298 s olarak ölçülmektedir. Bu noktada, senkronizasyon sürecine özgü arka plan işlemleri ve Google Drive istemcisi kaynaklı gecikmelerin de önem arz ettiği anlaşılmaktadır. Tüm bu indirme ve senkronizasyon aşamaları tamamlandıktan sonra, söz konusu bit uzantılı dosya FPGA çipine ortalama 2.440 s'de yüklenmektedir. Bazı durumlarda yükleme süresinin 2.072 s gibi daha kısa veya 5.836 s'ye kadar uzayan daha uzun değerlerde gerçekleşmesi mümkün olabilmektedir. Bu farklılıkların, FPGA cihazlarının modeline, konfigürasyon dosyasının büyüklüğüne, yazılım araçlarının sürümlerine ve sistem kaynaklarının anlık kullanım yoğunluğuna bağlı olarak ortaya çıktığı düşünülmektedir.

Şekil 4.13'te yer alan diğer API metotlarına bakıldığında, “google.apps.drive.v3.DriveFiles.Get” çağrılarının ortalama gecikmesinin 1.026 s olarak ölçüldüğü görülmektedir. Bu yöntem, Drive üzerinde zaten var olan dosyaları getirme amacı taşıdığı için oluşturma işleminden farklı bir aşamayı temsil etmektedir ve gecikmelerin %99 kadarı 4.046 s'ye kadar ulaşabildiği anlaşılmaktadır. Benzer şekilde, “google.apps.drive.v3.DriveFiles.List” metodunun ortalama gecikmesi 0.114 s gibi oldukça düşük bir düzeyde seyretmekte ve 99uncu yüzdelik gecikme değerinin 0.256 s'ye

kadar yükseldiği görülmektedir. Bu yöntem de çoğunlukla dosyalar arası listeleme ve arama işlevlerini yerine getirdiği için toplam yükleme ve indirme süreçlerinde dolaylı bir etkiye sahip olmaktadır.

Tüm bu veriler bütüncül biçimde değerlendirildiğinde, dosyanın Drive ortamına aktarımı (0.416 s), bilgisayara indirilmesi (4.723 s) ve FPGA çipine yüklenmesi (2.440 s) şeklinde üç temel aşama dikkate alındığında, ortalama toplam sürenin 7.579 s civarında gerçekleştiği görülmektedir. Bu süre, belirli ağ koşullarında ve sistem konfigürasyonlarında değişebilmekte, dolayısıyla gerçek zamanlı ve düşük gecikme gerektiren uygulamalarda yapılacak optimizasyon çalışmalarına ışık tutmaktadır. Özellikle kurumsal ağ altyapılarında veya akademik ortamlarda birden fazla dosya işleminin aynı anda yapıldığı durumlarda, gecikmelerin %99 kadarı göz önünde bulundurularak güvenlik payı içeren tasarımlar yapılması önerilmektedir. Böylece, beklenmedik internet kesintileri, anlık yüklenme artışları ya da sunucu kaynaklarındaki sınırlamalar gibi faktörlere rağmen, FPGA çipine yönelik konfigürasyonların sorunsuz biçimde yönetilmesi hedeflenmektedir. Sonuç olarak bit uzantılı dosyaların buluttan FPGA çipine aktarım döngüsünde saptanan bu performans ölçümleri, sistemin genel verimliliği hakkında kapsamlı bir perspektif sunmakta ve gelecekte yapılacak geliştirme veya iyileştirme çalışmalarında temel referans olarak değerlendirilmektedir.

Sonuç olarak proje kapsamında gerçekleştirilen tasarım ve uygulama adımları hem teknik performans hem de kullanıcı deneyimi açısından tatmin edici çıktılar sunarak hedeflenen işlevselliği büyük ölçüde yerine getirmiştir. İnternet üzerinden programlama ve gözlemlene yeteneklerinin etkin bir biçimde entegre edilmesi, kullanıcıların FPGA çipine ait konfigürasyon dosyalarını bulut temelli olarak yükleyebilmesini ve bu işlemler esnasında gereken sürelerin ayrıntılı biçimde takip edilebilmesini mümkün kılmıştır. Google Drive API'si aracılığıyla gerçekleşen dosya aktarım ve senkronizasyon aşamalarının süresel analizleri, hem bulut tabanlı işlemlerdeki olası darboğazları ortaya koymuş hem de sistemin farklı ağ koşullarındaki davranışını değerlendirerek pratik yönden önemli veriler sunmuştur. Bu veriler, toplamda ne kadar süre gerektiğini öngörerek eğitim ve araştırma ortamlarındaki çoklu kullanıcı senaryolarına veya yüksek hız beklentilerine uyum sağlamada yol gösterici olmuştur. Söz konusu bulgular, FPGA

programlama süreçlerinin esneklik, hız ve güvenilirlik unsurları çerçevesinde optimize edilebileceğini göstermekte ve böylece sistemin ileriki çalışmalar için de uygun bir platform oluşturduğunu kanıtlamaktadır. Özellikle bulut üzerinden veri aktarımının yanı sıra yerel FPGA yükleme aşamalarının da gözlemlenebilmesi, kurulumun hem uzaktan yönetim hem de hızlı prototipleme gereksinimlerini karşılayacak nitelikte tasarlandığını teyit etmektedir. Bu açıdan değerlendirildiğinde, projenin eğitim ve araştırma kurumlarında yaygın kullanım potansiyeli taşıdığı söylenebilir; gelecekte yapılacak ek geliştirmelerle birlikte, daha çeşitli FPGA modellerini destekleyecek ve farklı veri türlerini işleyebilecek kapsamlı bir altyapıya evrilebileceği de öngörülmektedir.



5. TARTIŞMA ve SONUÇ

FPGA teknolojileri, yeniden programlanabilir yapıları, paralel işlem kapasitesi, hızlı ilk üretim süreci, düşük güç tüketimi ve esnek uygulama alanları sayesinde savunma sanayi, yapay zekâ, kriptoloji, tıp elektroniği, uydu ve radar haberleşmesi gibi çeşitli alanlarda önemli avantajlar sağlamaktadır. Ancak bu teknolojilere olan yüksek bağımlılık, yerli üretimde maliyet artışlarına ve dışa bağımlılığın devam etmesine neden olmaktadır.

Günümüzde mevcut FPGA tabanlı geliştirme kartları, genel uygulamalarda sıklıkla gereksinim duyulmayan ek donanımları içermesi nedeniyle maliyetleri gereksiz yere yükseltmekte ve bu durum özellikle mühendislik eğitimi ile laboratuvar uygulamaları için yerli, ihtiyaçlara özel tasarlanmış çözümlerin eksikliğini ortaya koymaktadır. Bu tez çalışması, söz konusu sorunlara çözüm olarak uzaktan programlanabilir ve gözlemlenebilir bir FPGA geliştirme kartı tasarımı ve uygulaması sunmaktadır.

Sunulan geliştirme kartı tasarımında Xilinx XC3S50AN-4TQG144C FPGA çipi ile ESP32 DevKitC V4 mikrodenetleyici entegre edilmiştir. Sistemin kontrolü reset, trigger ve 4 bitlik veri sinyalleri aracılığıyla sağlanmaktadır. Ayrıca kullanıcı dostu web tabanlı arayüz sayesinde çevrimiçi ortamda FPGA programlama, veri izleme ve ön tanımlı uygulamaların test edilmesi mümkün hale getirilmektedir. Bitstream dosyalarının JTAG arayüzü üzerinden FPGA çipine yüklenmesi işlemi, Python ile otomasyon altına alınarak ortalama 7.579 s’de tamamlanmaktadır.

Çalışmanın performansı, LED yakma, yarım toplayıcı, tam toplayıcı, mod4 sayıcı, 7 parçalı gösterge ile sayıcı ve bit kaydırıcı gibi çeşitli uygulamalar üzerinden test edilmiş ve optimize edilmiştir. Ayrıca sistemde uygulanan üç farklı kullanıcı yetkilendirme seviyesi sayesinde eğitim ve araştırma alanlarında farklı erişim ihtiyaçlarına cevap verebilen çok yönlü bir yapı ortaya konulmuştur. Bu durum hem akademik hem de endüstriyel uygulamalarda yerli teknolojilerin benimsenmesine önemli ölçüde katkı sağlamaktadır.

Geliştirilen sistemin modüler yapısı, gelecekte daha karmaşık sayısal tasarımların entegre

edilmesine olanak tanımakta ve ölçeklenebilir bir altyapı sunmaktadır. Bununla birlikte mevcut tasarımın bazı sınırlamaları da bulunmaktadır. Örneğin, sistemin performans ve güvenlik özellikleri, ileri aşamalarda daha da güçlendirilmesi gereken alanlar olarak öne çıkmaktadır. Kullanıcı yetkilendirme mekanizmaları temel güvenlik standartlarını desteklemektedir. Ancak veri koruma, siber saldırılara karşı ek önlemler ve gerçek zamanlı hata yönetimi gibi konuların gelecekte detaylandırılması önem arz etmektedir.

Ayrıca tasarımın ileride seri üretime geçiş potansiyeli ve endüstri gereksinimlerine uyum sağlama hedefi hem yurt içi hem de yurt dışı pazarlarda rekabet edebilecek bir ürün ortaya koyma yolunda önemli bir imkân sunmaktadır. Bu bağlamda tasarımın yerli teknolojilerin geliştirilmesi ve dışa bağımlılığın azaltılması bakımından stratejik bir boyuta ulaşabileceği ve aynı zamanda uzun vadede ülke ekonomisine de anlamlı katkılar sağlayabilecek kapasiteye sahip olduğu öngörülmektedir.

Sonuç olarak bu tez çalışması ile düşük maliyetli, yerli ve ihtiyaçlara özel bir FPGA geliştirme kartı tasarımı gerçekleştirilmiştir. Tasarımın esnek, modüler ve kullanıcı dostu yapısı sayesinde eğitim ve araştırma alanlarındaki uygulamaların yanı sıra endüstriyel çözümler için de önemli bir potansiyel sunulmaktadır. Gelecekte mevcut tasarımın sınırlamalarını aşacak geliştirmelerle daha karmaşık sistemler ve güvenlik altyapıları entegre edilerek FPGA teknolojisinin sunduğu avantajların daha geniş alanlarda kullanılması hedeflenmektedir.

6. KAYNAKLAR

- Abanto D, Carazas V, Solis-Lastra J, Aramburu C, 2022, Implementation of a Web-based Interface for Remote Access to a FPGA Board, 2022 IEEE Engineering International Research Conference (EIRCON 2022), 26–28 October, Lima, Peru, 145–150.
- Al Qassem L M, Stouraitis T, Damiani E, Elfadel I M, 2020, A Remote FPGA Laboratory as a Cloud Microservice, 2020 IEEE International Symposium on Circuits and Systems (ISCAS 2020), 10–21 October, Virtual, Online.
- Ali S, Asif R, Hina S, Fatima Z, 2018, Cloud Based Remote FPGA Lab Platform: An Application Of Internet Of Things, Mehran University Research Journal of Engineering and Technology, 37, 535–544.
- Aloisio A, Giordano R, Izzo V, 2010, Jitter Issues in Clock Conditioning with FPGAs, 17th IEEE-NPSS Real Time Conference, 1-6 May, Lisbon, Portugal, 1–6.
- Aruna Rao B P, Shanthi Prasad M J, 2019, Design & Modeling of Input Output Functionalities of FPGA Based IO Block, Global Conference for Advancement in Technology (GCAT), Bangalore, India, 1–8.
- Balamanikandan A, Neeraja S L, Kishore T V, Deepika U, Prathyusha S, Venkatachalam K, 2024, IoT-Enabled Advanced Health Monitoring System Using ESP32 and UBI DOTS, International Conference on IoT Based Control Networks and Intelligent Systems (ICICNIS), Bengaluru, India, 403–408.
- Bilsby D C M, Walke R L, Smith R W M, 1998, Comparison of a Programmable DSP and a FPGA for Real-Time Multiscale Convolution, IEE Colloquium on High Performance Architectures for Real-Time Image Processing, 12 February, London, United Kingdom, 4–6.
- Birleanu F G, Bizon N, 2020, Lightweight Cryptography for Internet of Things Using FPGA-Based Design with Partial Reconfiguration, 12th International Conference on Electronics, Computers and Artificial Intelligence (ECAI), Bucharest, Romania, 1–7.
- Blochwitz C, Grothe P, Dreier S, Aljnabi W, Buchty R, Berekovic M, 2022, RemEduLa-

- Remote Education Laboratory for FPGA Design Technology, Proceedings - IEEE International Symposium on Circuits and Systems, 1773-1777.
- Cardona L A, Agrawal J, Guo Y, Oliver J, Ferrer C, 2011, Performance-Area Improvement by Partial Reconfiguration for an Aerospace Remote Sensing Application, International Conference on Reconfigurable Computing and FPGAs (ReConFig), 30 November – 2 December, Cancun, Mexico, 497–500.
- Carneiro M M de O, Pinto M F, Quadros J R de T, Oliveira V R R de, Almeida L F, 2023, Study of a 7-DoF Wearable Low-Cost IMU System Prototype to Measure Upper-Limb Movements, 15th IEEE International Conference on Industry Applications (INDUSCON), 12–15 November, São Bernardo do Campo, Brazil, 1685–1691.
- Carvalho J, Cunha L, Pinto S, Gomes T, 2024, FESTA: FPGA-Enabled Ground Segmentation Technique for Automotive LiDAR, IEEE Sensors Journal, 24, 38005–38014.
- Costa A, Gomes L, Barros J P, Oliveira J F, Reis T, 2008, Petri Nets Tools Framework Supporting FPGA-Based Controller Implementations, IECON 2008 - 34th Annual Conference of the IEEE Industrial Electronics Society, 10–13 November, Orlando, USA, 2477–2482.
- Daiyan K M, Mustakim A, Abi S B, 2023, An Energy Efficient Architecture of Configurable Logic Block Using Pass Transistor for FPGA, Third International Conference on Advances in Electrical, Computing, Communication and Sustainable Technologies (ICAECT), 20–22 December, Bhilai, India, 1–7.
- Dağcı B, Koyuncu İ, 2024, FPGA Tabanlı Uzaktan Laboratuvar Uygulamaları, 5. Bilsel International Sumela Scientific Researches Congress, 16–17 Kasım, Trabzon, 609–622.
- Delli Colli V, Di Stefano R, Marignetti F, Scarano M, 2007, Gate-Level Simulation of a FPGA-Based PMSM Drive Sensorless Control, IEEE Industry Applications Annual Meeting, New Orleans, ABD, 1288–1292.
- Devachandra Singh T, Kumar M, 2021, Design and Development of Bluetooth Based Home Automation System Using FPGA, International Journal of Applied Engineering Research, 16, 830–838.

- Dodi A E, Wahyudi A H, Kurdianto, Jatmiko N W, Lailiyul M F, Widada W, 2022, FPGA Displays Real-Time Video Camera on VGA Monitor, 11th Electrical Power, Electronics, Communications, Control, and Informatics Seminar (EECCIS 2022), 6–7 October 2022, Malang, Indonesia, 129–132.
- Drutarovský M, Šaliga J, Hroncová I, 2009, Hardware Infrastructure of Remote Laboratory for Experimental Testing of FPGA Based Complex Reconfigurable Systems, *Acta Electrotechnica et Informatica*, 9, 44–50.
- Esmaili P, Cavedo F, Esmaili P, Norgia M, 2023, TinyML Anomaly Detection in Portable Cutting Tools, IEEE International Conference on Metrology for eXtended Reality, Artificial Intelligence and Neural Engineering (MetroXRINE), 26–28 June, Milan, Italy, 747–751.
- Feng W, Chen X, 2015, LED Visible Light Communication System Based on FPGA, IEEE Advanced Information Technology, Electronic and Automation Control Conference (IAEAC), 19–20 December, Chongqing, China, 428–432.
- Fernandes A, Pereira R C, Sousa J, Carvalho P F, Correia M, Rodrigues A P, Gonçalves B, 2015, FPGA Remote Update for Nuclear Environments, 4th International Conference on Advancements in Nuclear Instrumentation Measurement Methods and Their Applications (ANIMMA 2015), 20–24 April, Lisbon, Portugal.
- Finnerty K, Dooley J, Farrell R, 2014, FPGA SerDes Capability as Switch Mode PA Modulator, 25th IET Irish Signals & Systems Conference (ISSC 2014) and 2014 China-Ireland International Conference on Information and Communications Technologies (CIICT 2014), 26–27 June, Limerick, Ireland, 118–122.
- Firmansyah I, Setiadi B, Indrawijaya R, Satyawan A S, Kurniawan D, Waskita A A, 2024, An Efficient Hardware Implementation of FPGA-Based Stereo Matching Using a Single Path SGM Direction, International Conference on Computer, Control, Informatics and its Applications (IC3INA), 16–17 October, Bandung, Indonesia, 400–404.
- Gaddipati M V, Karthik G, Megalingam R K, 2024, FPGA-Based Reverse Vending Plastic Recycling Machine, 4th Asian Conference on Innovation in Technology (ASIANCON), 5–6 April, Pimpri Chinchwad, India, 1–5.

- Gao T, Xu X, Zhang H, Yang H, 2015, A Highly-Integrated Wireless Configuration Circuit for FPGA Chip, Proceedings of the 14th International Symposium on Integrated Circuits (ISIC 2014), 10–12 December, Singapore, 260–263.
- García-Orellana C J, Macías-Macías M, Abengózar-García E, González-Velasco H, Gallardo-Caballero R, García-Manso A, 2022, Remote Laboratory Platform for Microcontroller Practices, 15th International Conference of Technology, Learning and Teaching of Electronics (TAE2022), 29 June – 1 July, Madrid, Spain.
- Gil Vera R, Luis Lázaro Galilea J, Gardel Vicente A, De-la-Llana-Calvo Á, Bravo Muñoz I, 2024, A Flexible Framework for the Deployment of STEM Real Remote Laboratories in Digital Electronics and Control Systems, IEEE Access, 12, 14563–14579.
- Guaillas N, Tigre H, Minchala L I, Astudillo-Salinas F, 2024, An Integration Proposal for Heterogeneous Industrial Networking by Using Real-Time Processing in a Programmable Automation Controller, IEEE Eighth Ecuador Technical Chapters Meeting (ETCM), 13–16 February, Cuenca, Ecuador, 1–6.
- Hanafi A, Karim M, 2015, Embedded Web Server for Real-Time Remote Control and Monitoring of an FPGA-Based On-Board Computer System, 2015 Intelligent Systems and Computer Vision (ISCV 2015), 25–26 March, Fez, Morocco.
- Haque M U, Sworna Z T, Babu H M H, 2016, An Improved Design of a Reversible Fault Tolerant LUT-Based FPGA, 29th International Conference on VLSI Design and 15th International Conference on Embedded Systems (VLSID), 4–8 January, Kolkata, India, 445–450.
- Hashemian R, Pearson T R, 2009, A Low-Cost Server-Client Methodology for Remote Laboratory Access for Hardware Design, Proceedings of the Frontiers in Education Conference (FIE), 18–21 October, San Antonio, USA.
- Hashemian R, Riddley J, 2007, FPGA e-Lab: A Technique to Remote Access a Laboratory to Design and Test, Proceedings of the 2007 IEEE International Conference on Microelectronic Systems Education (MSE 2007), 3–4 June, San Diego, USA, 139–140.
- Hong Z, Chen T, 2023, Research and Design of Video Brightness Extraction System

- Based on FPGA Embedded Platform, 2023 IEEE 3rd International Conference on Electronic Technology, Communication and Information (ICETCI 2023), 17–19 November, Dalian, China, 349–353.
- Ilaslan M F, Akinci T C, 2020, FPGA-Based Reprogrammable Main Circuit Board and Auxiliary Circuit Board Design, *Journal of Engineering Science and Technology*, 15, 3955–3970.
- Ionel R, Rinaldi I, Tănasie C, 2024, An Integration Methodology of a Third-Party In-System Programming Solution into a Flying Probe Equipment, *International Symposium on Electronics and Telecommunications (ISETC)*, 7–8 November, Timisoara, Romania, 1–4.
- Indrusiak L S, Glesner M, Reis R, 2007, On the Evolution of Remote Laboratories for Prototyping Digital Electronic Systems, *IEEE Transactions on Industrial Electronics*, 54, 3069–3077.
- Jamuna S, Agrawal V K, 2012, Implementation of BIST Controller for Fault Detection in CLB of FPGA, *International Conference on Devices, Circuits and Systems (ICDCS)*, 15–16 March, Coimbatore, India, 99–104.
- Jawad M S, Hamad A A, 2024, Design and Implementation of DS-CDMA Educational Laboratory Board Using FPGA and High-Level Synthesis, 8th International Conference on Information Technology, Information Systems and Electrical Engineering (ICITISEE 2024), 16–17 January, Yogyakarta, Indonesia, 322–327.
- Jawad R, Jawad R, 2024, Design and Implementation of a Stick for Blind Humans Using Artificial Intelligence System and FPGA, *International Conference on Electrical, Computer and Energy Technologies (ICECET)*, 10–12 April 2024, Sydney, Australia, 1–5.
- Juncheng M, Juan G, Hong Z, Zheng W, Shuang X, 2021, Develop on Real-Time Image Processing System Based on FPGA and RAM Combined with PC or Cloud System, 2021 IEEE International Conference on Power Electronics, Computer Applications (ICPECA), 22–24 January, Shenyang, China, 683–686.
- Karagedik N, Bal S, Yayla A, 2023, Design and Testing of a Wireless Communication Enabled FPGA Development Board: A Comprehensive Education and

- Application Platform from IoT to Circuit Design, *European Journal of Technique (EJT)*, 13, 123–129.
- Khaleghi B, Salamat S, Rosing T Š, 2020, Revisiting FPGA Routing Under Varying Operating Conditions, *International Conference on Field-Programmable Technology (ICFPT)*, 9–11 December, Maui, USA, 94–102.
- Khan M, Mahajan P, Khan G N, Chaudhary D, Benny J, Wajid M, Srivastava A, 2024, Design and Implementation of FPGA-Based System for Object Detection and Range Estimation Used in ADAS Applications Utilizing FMCW Radar, *IEEE International Symposium on Circuits and Systems (ISCAS)*, 19–22 May, Singapore, 1–5.
- Koepp M, Habel K, Jungnickel V, 2024, Real-Time Experiments Towards an Automotive OFDMA Communication Bus, *IEEE 99th Vehicular Technology Conference (VTC2024-Spring)*, 28 April – 1 May, Singapore, 1–7.
- Kolouch J, 2009, Templates for CPLD and FPGA Designs, *19th International Conference Radioelektronika*, 22–23 April, Bratislava, Slovakia, 211–213.
- Kong X, Zhu Y, Yu X, Huang T, Cheng G, Yu J, 2011, Design and Performance Analysis of Web Caching with Integrated File System on FPGA, *Proceedings of the 2011 IEEE International Conference on Computer Science and Network Technology (ICCSNT 2011)*, 24–26 December, Harbin, China.
- Kosan T, Talla J, Janous S, 2024, Online Education of Microcontroller Control of Electric Drives with FPGA-Based HIL, *2024 IEEE 21st International Power Electronics and Motion Control Conference (PEMC 2024)*, 25–29 August, Tallinn, Estonia.
- Koyuncu I, Ozcerit A T, Pehlivan I, 2014, Implementation of FPGA-Based Real-Time Novel Chaotic Oscillator, *Nonlinear Dynamics*, 77, 49–59.
- Lai J, Wang S, Nie S, Li Y, Mai J, 2024, Implementation of Lightweight Spacecraft Fault Diagnosis Network Based on FPGA Accelerator, *4th International Conference on Computer Communication and Artificial Intelligence (CCAI)*, 19–21 April, Xi'an, China, 497–502.
- Leong P H W, Tsang P K, Lee T K, 1998, A FPGA-Based Forth Microprocessor, *IEEE Symposium on FPGAs for Custom Computing Machines*, 15–17 April, Napa

Valley, USA, 254–255.

- Li B, 2023, FPGA Theoretical Analysis and Its Advantage Comparison in Artificial Intelligence, IEEE International Conference on Image Processing and Computer Applications (ICIPCA), 21–23 July, Changchun, China, 1885–1888.
- Li Y, Huang X, 2017, High-Speed Communication and Realization Between FPGA and DSP in Software-Defined Radio System, International Conference on Wireless Communications, Signal Processing and Networking (WiSPNET), 22–24 March, Chennai, India, 2329–2332.
- Li Z, Zhang Z, Yang J, Cao R, Chen J, 2023, Method for FPGA-Based Real-Time Simulation Hardware Implementation, 2023 10th International Forum on Electrical Engineering and Automation (IFEEA 2023), 20–22 October, Xi'an, China, 1226–1230.
- Longwell R, Cliche A, Brock J, Dahlstrom J, Taylor S, 2024, Securing SoC Processors by Routing Memory Transactions Through FPGA Fabric, IEEE Military Communications Conference (MILCOM), 28–31 October, Washington, D.C., USA, 392–398.
- Madorsky A, Acosta D E, 2007, VPP - A Verilog HDL Simulation and Generation Library for C++, IEEE Nuclear Science Symposium Conference Record, 28 October – 3 November, Honolulu, USA, 1927–1933.
- Maier A, Sharp A, Vagapov Y, 2017, Comparative Analysis and Practical Implementation of the ESP32 Microcontroller Module for the Internet of Things, Internet Technologies and Applications (ITA), 12–15 September, Wrexham, United Kingdom, 143–148.
- Maneetien N, Kawdungta S, Jaikampan V, 2024, The Design and Construction of an IoT Learning Board Using ESP32 and FPGA, 9th International STEM Education Conference (iSTEM-Ed), 3–5 July, Cha-am, Hua Hin, Thailand, 1–4.
- Mateos-Gil R, De Toro P A R, Madarova S, 2022, Remote Laboratory for System on Chip Design Based on FPGAs, 15th International Conference of Technology, Learning and Teaching of Electronics (TAEE 2022), 29 June – 1 July, Madrid, Spain.

- Mayoz C A, da Silva Beraldo A L, Villar-Martinez A, Rodriguez-Gil L, de Souza Seron W F M, Orduña P, 2020, FPGA Remote Laboratory: Experience of a Shared Laboratory Between UPNA and UNIFESP, XIV Technologies Applied to Electronics Teaching Conference (TAEE), 8–10 July, Porto, Portugal, 1–8.
- Mazzetto L F R, Castanho J E C, 2023, FPGA-Based Accelerator for Convolutional Neural Network Application in Mobile Robotics, Latin American Robotics Symposium (LARS), Brazilian Symposium on Robotics (SBR), and Workshop on Robotics in Education (WRE), 6–10 November, Salvador, Brazil, 433–438.
- Mishima K, Niwa N, Wakabayashi K, Iwasaki H, 2024, ISP Parameter Optimization and FPGA Implementation for Object Detection in Low-Light Conditions, IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS), 17–19 April, Tokyo, Japan, 1–3.
- Monzo C, Cobo G, Morán J A, Santamaría E, García-Solórzano D, 2021, Remote Laboratory for Online Engineering Education: The RLAB-UOC-FPGA Case Study, *Electronics*, 10, 1072.
- Morgan F, Cawley S, 2011, Enhancing Learning of Digital Systems Using a Remote FPGA Lab, 6th International Workshop on Reconfigurable Communication-Centric Systems-on-Chip (ReCoSoC 2011), 20–22 June, Montpellier, France.
- Moutinho F, Gomes L, 2009, From Models to Controllers Integrating Graphical Animation in FPGA Through Automatic Code Generation, IEEE International Symposium on Industrial Electronics, 5–8 July, Seoul, South Korea, 712–717.
- Nambiar S O S, Abhyankar Y, Chandrababu S, 2010, Migrating FPGA-Based PCI Express Gen1 Design to Gen2, International Conference on Computer and Communication Technology (ICCCT), 17–19 September, Allahabad, India, 617–620.
- Navabi Z, 2004, *Digital Design and Implementation with Field Programmable Devices*, Springer, 293p, New York.
- Navas-González R De J, Óballe-Peinado O, Castellanos-Ramos J, Rosas-Cervantes D, Sánchez-Durán J A, 2022, Digital Electronics Practice Projects for an FPGA-Based Remote Laboratory, 15th Technologies Applied to Electronics Teaching

- Conference (TAE 2022), 29 June – 1 July, Teruel, Spain, 1-6.
- Neumann B, von Sydow T, Blume H, Noll T G, 2008, Design Flow for Embedded FPGAs Based on a Flexible Architecture Template, Design, Automation and Test in Europe (DATE), 10–14 March, Munich, Germany, 56–61.
- Osman W S, Hashim S M, 2018, FPGA-Based Pipelined Microprocessor, International Conference on Computer, Control, Electrical, and Electronics Engineering (ICCCEEE), 12–14 August, Khartoum, Sudan, 1–4.
- Óballe-Peinado O, Castellanos-Ramos J, Sánchez-Durán J A, Trujillo-León A, 2024, Remote Laboratory for Multiple FPGA-Based Development Platforms, 16th Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (TAE 2024), 3–5 July, Valencia, Spain.
- Oballe-Peinado O, Castellanos-Ramos J, Sanchez-Durán J A, Navas-Gonzalez R, Daza-Marquez A, Botin-Cordoba J A, 2020, FPGA-Based Remote Laboratory for Digital Electronics, Proceedings of the 2020 14th Technologies Applied to Electronics Teaching Conference (TAE 2020), 8–10 July, Porto, Portugal.
- Oh H, Nam K, Jeon S, Cho Y, Paek Y, 2021, MeetGo: A Trusted Execution Environment for Remote Applications on FPGA, IEEE Access, 9, 51313–51324.
- Öge O C, Aydoğan A, Durusu D, 2019, A Comparison of Two Methods for FPGA Controlled Interface Board Tests, Proceedings of AUTOTESTCON 2019, 9–12 September, National Harbor, USA.
- Özpolat E, Karakaya B, Gülten A, 2017, FIR Filtre Tasarımı ve FPGA Ortamında Gerçeklenmesi, Fırat Üniversitesi Mühendislik Bilimleri Dergisi, 29, 269–275.
- Öztürk M, Kırkaya E, Balcısoy E, Şanlı M, Çiçek A, Çavuş E, 2018, Baseband Implementation of High-Speed Communication System on FPGA, 26th Signal Processing and Communications Applications Conference (SIU), 2–5 May, İzmir, Türkiye, 1–4.
- Qi W, Jia H, Feng Y, 2024, SOC+FPGA High-Speed SDIO Interface Design, 20th International Conference on Natural Computation, Fuzzy Systems and Knowledge Discovery (ICNC-FSKD), 20–22 July, Guangzhou, China, 1–5.

- Paz P, Garrido M, 2024, A 12.8-GS/s 32-Parallel 1 Million-Point FFT, 39th Conference on Design of Circuits and Integrated Systems (DCIS), 20–22 November, Catania, Italy, 1–6.
- Pillai H H, Priya P S L, Ekanayaka K U, Suthakorn J, Pillai B M, 2023, Bio-Signal Activated FPGA-Based System for Robotic-Assisted Rehabilitation, 3rd International Conference on Robotics, Automation and Artificial Intelligence (RAAI), 17–19 November, Singapore, 195–199.
- Ravanasa K, Hashemian R, 2014, VLab: A High-Speed Multi-Accesses Parallel Processing Remote Laboratory Access for FPGA Design Technology, IEEE International Conference on Electro Information Technology, 15–17 May, Milwaukee, USA, 377–381.
- Ray S, Rajak C D, Shrivastava A K, Biswas B, 2023, Implementation of FPGA-Based Portable Count Down Clock (PCDC), 3rd International Conference on Range Technology (ICORT), 22–24 February, Chandipur, Balasore, India, 1–6.
- Rigo C A, Seman L O, Berejuck M D, Bezerra E A, 2020, Printed Circuit Board Design Methodology for Embedded Systems Targeting Space Applications, IEEE Latin America Transactions, 18, 257–264.
- Rodriguez-Gil L, Orduna P, Garcia-Zubia J, Angulo I, Lopez-De-Ipina D, 2014, Graphic Technologies for Virtual, Remote and Hybrid Laboratories: WebLab-FPGA Hybrid Lab, Proceedings of the 2014 11th International Conference on Remote Engineering and Virtual Instrumentation (REV 2014), 26–28 February, Porto, Portugal, 163–166.
- Růžička O, Urban O, Zich J, Georgiev V, 2024, PolarFire FPGA Radiation Endurance Testing Platform, 32nd Telecommunications Forum (TELFOR), 19–20 November, Belgrade, Serbia, 1–6.
- Sanchez L, Patiño G, Murray V, Lyke J, 2015, Hardware Implementation of a FPGA-Based Universal Link for LVDS Communications, IEEE 6th Latin American Symposium on Circuits & Systems (LASCAS), 24–27 February, Montevideo, Uruguay, 1–4.
- Sayyad J, Jatti A, Attarde K, Ramesh B T, Deokar S, 2023, Real-Time Operating System

- for Multitasking Control in the Robotics and Automation Industry, 2023 International Conference on Intelligent Data Communication Technologies and Internet of Things (IDCIoT), 5–7 January, Bengaluru, India, 880-887.
- Schwandt A, Winzker M, 2019, Make It Open - Improving Usability and Availability of an FPGA Remote Lab, IEEE Global Engineering Education Conference (EDUCON), 8–11 April, Dubai, UAE, 232–236.
- Seetharaman R, Shivananth I, Ganeshakumar M, Anitha D, Anandan K, Gayathri S, 2022, Development of Crowd Management System Using FPGA Circuits, Proceedings of the International Conference on Augmented Intelligence and Sustainable Systems (ICAISS 2022), 21–23 September, Coimbatore, India.
- Segers L, Da Silva B, Braeken A, Touhafi A, 2018, Cloud-Based Acoustic Beamforming Emulator for FPGA-Based Sound Source Localization, 4th International Conference on Cloud Computing Technologies and Applications (CloudTech 2018), 26–28 November, Brussels, Belgium.
- Shi W, Li X, Yu Z, Overett G, 2017, An FPGA-Based Hardware Accelerator for Traffic Sign Detection, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 25, 1362–1372.
- Sokol M, Galajda P, Jurik P, Pribula F, Sokolova Z, 2024, Design and Implementation of a Wireless Sensor Network Based on the ESP32 for IoT Applications, International Symposium ELMAR, 9–10 September, Zadar, Croatia, 69–73.
- Srinivas S, Sheshagiri H N, 2017, Design and Implementation of Boundary Scan Testing of Core Logic on FPGA, 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT), 19–20 May, Bangalore, India, 327–331.
- Too W S, Kumar T N, Chee H L, Almurib H A, 2023, Remote Configuration of FPGA Through Wired Ethernet LAN, 2023 IEEE 21st Student Conference on Research and Development (SCoReD 2023), 15–17 November, Kuala Lumpur, Malaysia, 1–6.
- Toyoda Y, Koike N, Li Y, 2016, An FPGA-Based Remote Laboratory: Implementing Semi-Automatic Experiments in the Hybrid Cloud, Proceedings of the 2016 13th

- International Conference on Remote Engineering and Virtual Instrumentation (REV 2016), 24–26 February, Madrid, Spain, 24–29.
- Ursutiu D, Ghercioiu M, Samoila C, Cotfas P, 2009, FPGA LabVIEW Programming, Monitoring and Remote Control, International Journal of Online and Biomedical Engineering (iJOE), 5, 34.
- Vasavi S, Sowmya D S, Aishwarya C H, Flores Fuentes W, 2024, FPGA-Based Military Vehicle Classification from Drone-Based Video Using Deep Learning, 9th International Conference on Frontiers of Signal Processing (ICFSP), 11–13 September, Paris, France, 32–37.
- Villar-Martinez A, Garcia-Zubia J, Angulo I, Rodriguez-Gil L, 2022, Toward Widespread Remote Laboratories: Evaluating the Effectiveness of a Replication-Based Architecture for Real-World Multiinstitutional Usage, IEEE Access, 10, 86298–86317
- Wang D, Zhang P, 2010, The Technology Research of Remote Automatic Detection and Fault Diagnosis Based on JTAG Boundary Scan, Procedia Engineering, 7, 270–274.
- Wang H, Chen L, 2010, Real-Time Data Processing System on the Ground Implemented with DSP and FPGA, 2nd International Conference on Computer and Automation Engineering (ICCAE), 26–28 February, Singapore, 635–638.
- Wang J, Chen Z, Lu J, 2018, A Fault Propagation Model for FPGA Netlist with Un-Reconvergence Paths, 5th International Conference on Information Science and Control Engineering (ICISCE), 20–22 July, Zhengzhou, China, 1015–1019.
- Werner J, Burger A, Koj S, Schubert K, 2024, FPGA-Based DC-DC Converter as Educational and Research Platform, Proceedings of the 2024 10th International Conference on Applied System Innovation (ICASI 2024), 24–26 May, Kyoto, Japan, 348–350.
- Xu S, Li M, Suo J, 2009, Clutter Processing for Digital Radars Based on FPGA and DSP, International Conference on Wireless Communications & Signal Processing, 13–15 November, Nanjing, China, 1–4.
- Yadav A, Dev K, Kumawat M, Mukherjee R, Kumar A, 2024, Development of Wireless

- Optical Communication Link for Secure Underwater Communication, International Conference on Integrated Circuits, Communication, and Computing Systems (ICIC3S), 15–17 March, Una, India, 1–3.
- Yin X, Lv T, Wang Q, Shang T, Jiang X, 2024, Design of FPGA Remote Upgrade System Based on QuickBoot Technology, IEEE 7th Information Technology, Networking, Electronic and Automation Control Conference (ITNEC), 19–21 April, Chengdu, China, 847–851.
- Yeh C C, Wu C H, Juang J Y, 1995, Design and Implementation of a Multicomputer Interconnection Network Using FPGAs, IEEE Symposium on FPGAs for Custom Computing Machines, 19–21 April, Napa Valley, USA, 56–60.
- Yoo S, Wang Y, Braun J M, Nadimi E S, 2021, Accelerating FPGA-Implementations for Mobile Medical Devices with High-Level AI Libraries: An Object Detection Model for Colorectal Polyp Images, IEEE International Conference on Imaging Systems and Techniques (IST), 8–10 August, Kaohsiung, Taiwan, 1–6.
- Zerbe V, Andelković B, 2004, Design Flow for Automated Programming of FPGA, Proceedings of the International Conference on Microelectronics, 24, 715–718.
- Zhang H, Tang Y, Yu Z, 2009, An FPGA Configuration Circuit Based on JTAG, 4th IEEE Conference on Industrial Electronics and Applications, 25–27 May, Xi'an, China, 2588–2590.
- Zhang J, Tian J, 2012, Design and Implementation of an Efficient Web Server Based on FPGA, Proceedings of the 2nd International Conference on Computer Science and Network Technology (ICCSNT 2012), 29–31 December, Changchun, China, 172–175.
- Zhang T, Jiang N, Yu F, 2020, A Wide-Spectrum and High-Speed CMOS System Based on FPGA, 12th International Conference on Intelligent Human-Machine Systems and Cybernetics (IHMSC), 22–23 August, Hangzhou, China, 19–22.
- Zhang X, Feng Y, Cheng H, Xiao W, Yan Z, Zhang Y, 2024, FPGA-Based Civil Aviation Aircraft Detection Process, 2nd International Conference on Intelligent Communication and Networking (ICN), 10–12 May, Shenyang, China, 115–118.

İnternet Kaynakları

- 1- <https://semiengineering.com/new-interconnect-makes-efpga-dense-and-portable/>, 13.01.2025
- 2- https://docs.amd.com/v/u/en-US/ug472_7Series_Clocking, 13.01.2025
- 3- https://docs.espressif.com/projects/esp-dev-kits/en/latest/esp32/esp32-devkitc/user_guide.html, 13.01.2025
- 4- <https://iotdesignpro.com/projects/iot-home-automation-using-esp32-and-blynk>, 13.01.2025
- 5- <https://dir.indiamart.com/items/xilinx-xc3s50an-4tqg144i-fpga-board-spartan-3an-s111103.html> 13.02.2025
- 6- <https://www.robotistan.com/dc-barrel-disi-guc-jaki-2> 13.02.2025
- 7- <https://www.djistoreturkiye.com/dji-osmo-pocket-3---128-gb-sd-kart-hediyeli-6941565969873>, 13.01.2025



Spartan-3AN FPGA Family Data Sheet

DS557 January 9, 2019

Product Specification

Module 1:
Introduction and Ordering Information
DS557(v4.3) January 9, 2019

- Introduction
- Features
- Architectural Overview
- Configuration Overview
- In-system Flash Memory Overview
- General I/O Capabilities
- Supported Packages and Package Marking
- Ordering Information

Module 2:
Functional Description
DS557 (v4.3) January 9, 2019

The functionality of the Spartan-3AN FPGA family is described in the following documents:

- [UG331: Spartan-3 Generation FPGA User Guide](#)
 - Clocking Resources
 - Digital Clock Managers (DCMs)
 - Block RAM
 - Configurable Logic Blocks (CLBs)
 - Distributed RAM
 - SRL16 Shift Registers
 - Carry and Arithmetic Logic
 - I/O Resources
 - Embedded Multiplier Blocks
 - Programmable Interconnect
 - ISE® Design Tools and IP Cores
 - Embedded Processing and Control Solutions
 - Pin Types and Package Overview
 - Package Drawings
 - Powering FPGAs
 - Power Management
- [UG332: Spartan-3 Generation Configuration User Guide](#)
 - Configuration Overview
 - Configuration Pins and Behavior
 - Bitstream Sizes
 - Detailed Descriptions by Mode
 - Self-contained In-System Flash mode
 - Master Serial Mode using Platform Flash PROM
 - Master SPI Mode using Commodity Serial Flash
 - Master BPI Mode using Commodity Parallel Flash
 - Slave Parallel (SelectMAP) using a Processor
 - Slave Serial using a Processor
 - JTAG Mode
 - ISE iMPACT Programming Examples
 - MultiBoot Reconfiguration
 - Design Authentication using Device DNA
- [UG333: Spartan-3AN In-System Flash User Guide](#)
- [UG334: Spartan-3AN Starter Kit User Guide](#)

Module 3:
DC and Switching Characteristics
DS557 (v4.3) January 9, 2019

- DC Electrical Characteristics
 - Absolute Maximum Ratings
 - Supply Voltage Specifications
 - Recommended Operating Conditions
- Switching Characteristics
 - I/O Timing
 - Configurable Logic Block (CLB) Timing
 - Multiplier Timing
 - Block RAM Timing
 - Digital Clock Manager (DCM) Timing
 - Suspend Mode Timing
 - Device DNA Timing
 - Configuration and JTAG Timing

Module 4:
Pinout Descriptions
DS557 (v4.3) January 9, 2019

- Pin Descriptions
- Package Overview
- Pinout Tables
- Footprint Diagrams

Table 1: Production Status of Spartan-3AN FPGAs

Spartan-3AN FPGA	Status
XC3S50AN	Production
XC3S200AN	Production
XC3S400AN	Production
XC3S700AN	Production
XC3S1400AN	Production

Additional information on the Spartan-3AN family can be found at:
http://www.xilinx.com/support/index.html/content/xilinx/en/supportNav/silicon_devices/fpga/spartan-3an.html.



Spartan-3AN FPGA Family: Introduction and Ordering Information

DS557(v4.3) January 9, 2019

Product Specification

Introduction

The Spartan®-3AN FPGA family combines the best attributes of a leading edge, low cost FPGA with nonvolatile technology across a broad range of densities. The family combines all the features of the Spartan-3A FPGA family plus leading technology in-system Flash memory for configuration and nonvolatile data storage.

The Spartan-3AN FPGAs are part of the Extended Spartan-3A family, which also includes the Spartan-3A FPGAs and the higher density Spartan-3A DSP FPGAs. The Spartan-3AN FPGA family is excellent for space-constrained applications such as blade servers, medical devices, automotive infotainment, telematics, GPS, and other small consumer products. Combining FPGA and Flash technology minimizes chip count, PCB traces and overall size while increasing system reliability.

The Spartan-3AN FPGA internal configuration interface is completely self-contained, increasing design security. The family maintains full support for external configuration. The Spartan-3AN FPGA is the world's first nonvolatile FPGA with MultiBoot, supporting two or more configuration files in one device, allowing alternative configurations for field upgrades, test modes, or multiple system configurations.

Features

- The new standard for low cost nonvolatile FPGA solutions
- Eliminates traditional nonvolatile FPGA limitations with the advanced 90 nm Spartan-3A device feature set
 - Memory, multipliers, DCMs, SelectIO, hot swap, power management, etc.
- Integrated robust configuration memory
 - Saves board space
 - Improves ease-of-use
 - Simplifies design
 - Reduces support issues
- Plentiful amounts of nonvolatile memory available to the user
 - Up to 11+ Mb available
 - MultiBoot support
 - Embedded processing and code shadowing
 - Scratchpad memory
- Robust 100K Flash memory program/erase cycles
- 20 years Flash memory data retention
- Security features provide bitstream anti-cloning protection
- Buried configuration interface
- Unique Device DNA serial number in each device for design Authentication to prevent unauthorized copying
- Flash memory sector protection and lockdown
- Configuration watchdog timer automatically recovers from configuration errors
- Suspend mode reduces system power consumption
 - Retains all design state and FPGA configuration data
 - Fast response time, typically less than 100 μ s
- Full hot-swap compliance
- Multi-voltage, multi-standard SelectIO™ interface pins
 - Up to 502 I/O pins or 227 differential signal pairs
 - LVCMOS, LVTTTL, HSTL, and SSTL single-ended signal standards
 - 3.3V, 2.5V, 1.8V, 1.5V, and 1.2V signaling
 - Up to 24 mA output drive
 - 3.3V $\pm$ 10% compatibility and hot swap compliance
 - 622+ Mb/s data transfer rate per I/O
 - DDR/DDR2 SDRAM support up to 400 Mb/s
 - LVDS, RSDS, mini-LVDS, PPDS, and HSTL/SSTL differential I/O
- Abundant, flexible logic resources
 - Densities up to 25,344 logic cells
 - Optional shift register or distributed RAM support
 - Enhanced 18 x 18 multipliers with optional pipeline
- Hierarchical SelectRAM™ memory architecture
 - Up to 576 Kbits of dedicated block RAM
 - Up to 176 Kbits of efficient distributed RAM
- Up to eight Digital Clock Managers (DCMs)
- Eight global clocks and eight additional clocks per each half of device, plus abundant low-skew routing
- Complete Xilinx® ISE® and WebPACK™ software development system support
- MicroBlaze™ and PicoBlaze™ embedded processor cores
- Fully compliant 32-/64-bit 33 MHz PCI™ technology support
- Low-cost QFP and BGA Pb-free (RoHS) packaging options
 - Pin-compatible with the same packages in the Spartan-3A FPGA family

Table 2: Summary of Spartan-3AN FPGA Attributes

Device	System Gates	Equivalent Logic Cells	CLBs	Slices	Distributed RAM Bits ⁽¹⁾	Block RAM Bits ⁽¹⁾	Dedicated Multipliers	DCMs	Maximum User I/O	Max Differential I/O Pairs	Bitstream Size ⁽¹⁾	In-System Flash Bits
XC3S50AN	50K	1,584	176	704	11K	54K	3	2	108	50	427K	1M ⁽²⁾
XC3S200AN	200K	4,032	448	1,792	28K	288K	16	4	195	90	1,168K	4M
XC3S400AN	400K	8,064	896	3,584	56K	360K	20	4	311	142	1,842K	4M
XC3S700AN	700K	13,248	1,472	5,888	92K	360K	20	8	372	165	2,669K	8M
XC3S1400AN	1400K	25,344	2,816	11,264	176K	576K	32	8	502	227	4,644K	16M

Notes:

1. By convention, one Kb is equivalent to 1,024 bits and one Mb is equivalent to 1,024 Kb.
2. Maximum supported by Xilinx tools. See the customer notice [XC3S14003: Flash Wafer Fabrication Change and Gold \(Au\) To Copper \(Cu\) Transition for Spartan-3AN FPGA Devices](#).

© Copyright 2007–2019 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. PCI and PCI-X are trademarks of PCI-SIG and used under license. All other trademarks are the property of their respective owners.

TQG144: 144-lead Thin Quad Flat Package

The XC3S50AN is available in the 144-lead thin quad flat package, TQG144.

Table 67 lists all the package pins. They are sorted by bank number and then by pin name. Pins that form a differential I/O pair appear together in the table. The table also shows the pin number for each pin and the pin type (as defined in Table 62). The XC3S50AN does not support the address output pins for the Byte-wide Peripheral Interface (BPI) configuration mode.

An electronic version of this package pinout table and footprint diagram is available for download from the Xilinx website at: www.xilinx.com/support/documentation/data_sheets/s3a_pin.zip.

Pinout Table

Table 67: Spartan-3AN TQG144 Pinout

Bank	Pin Name	Pin	Type
0	IO_0	P142	I/O
0	IO_L01N_0	P111	I/O
0	IO_L01P_0	P110	I/O
0	IO_L02N_0	P113	I/O
0	IO_L02P_0/VREF_0	P112	VREF
0	IO_L03N_0	P117	I/O
0	IO_L03P_0	P115	I/O
0	IO_L04N_0	P116	I/O
0	IO_L04P_0	P114	I/O
0	IO_L05N_0	P121	I/O
0	IO_L05P_0	P120	I/O
0	IO_L06N_0/GCLK5	P126	GCLK
0	IO_L06P_0/GCLK4	P124	GCLK
0	IO_L07N_0/GCLK7	P127	GCLK
0	IO_L07P_0/GCLK6	P125	GCLK
0	IO_L08N_0/GCLK9	P131	GCLK
0	IO_L08P_0/GCLK8	P129	GCLK
0	IO_L09N_0/GCLK11	P132	GCLK
0	IO_L09P_0/GCLK10	P130	GCLK
0	IO_L10N_0	P135	I/O
0	IO_L10P_0	P134	I/O
0	IO_L11N_0	P139	I/O
0	IO_L11P_0	P138	I/O
0	IO_L12N_0/PUDC_B	P143	DUAL
0	IO_L12P_0/VREF_0	P141	VREF
0	IP_0	P140	INPUT
0	IP_0/VREF_0	P123	VREF
0	VCCO_0	P119	VCCO
0	VCCO_0	P136	VCCO
1	IO_1	P79	I/O
1	IO_L01N_1/LDC2	P78	DUAL
1	IO_L01P_1/HDC	P76	DUAL
1	IO_L02N_1/LDC0	P77	DUAL

Table 67: Spartan-3AN TQG144 Pinout (Cont'd)

Bank	Pin Name	Pin	Type
1	IO_L02P_1/LDC1	P75	DUAL
1	IO_L03N_1	P84	I/O
1	IO_L03P_1	P82	I/O
1	IO_L04N_1/RHCLK1	P85	RHCLK
1	IO_L04P_1/RHCLK0	P83	RHCLK
1	IO_L05N_1/TRDY1/RHCLK3	P88	RHCLK
1	IO_L05P_1/RHCLK2	P87	RHCLK
1	IO_L06N_1/RHCLK5	P92	RHCLK
1	IO_L06P_1/RHCLK4	P90	RHCLK
1	IO_L07N_1/RHCLK7	P93	RHCLK
1	IO_L07P_1/IRDY1/RHCLK6	P91	RHCLK
1	IO_L08N_1	P98	I/O
1	IO_L08P_1	P96	I/O
1	IO_L09N_1	P101	I/O
1	IO_L09P_1	P99	I/O
1	IO_L10N_1	P104	I/O
1	IO_L10P_1	P102	I/O
1	IO_L11N_1	P105	I/O
1	IO_L11P_1	P103	I/O
1	IP_1/VREF_1	P80	VREF
1	IP_1/VREF_1	P97	VREF
1	VCCO_1	P86	VCCO
1	VCCO_1	P95	VCCO
2	IO_2/MOSI/CSI_B	P62	DUAL
2	IO_L01N_2/M0	P38	DUAL
2	IO_L01P_2/M1	P37	DUAL
2	IO_L02N_2/CSO_B	P41	DUAL
2	IO_L02P_2/M2	P39	DUAL
2	IO_L03N_2/VS1	P44	DUAL
2	IO_L03P_2/RDWR_B	P42	DUAL
2	IO_L04N_2/VS0	P45	DUAL
2	IO_L04P_2/VS2	P43	DUAL
2	IO_L05N_2/D7	P48	DUAL

EK 1. (Devam) XC3S50AN-4TQG144C Datasheeti



Spartan-3AN FPGA Family: Pinout Descriptions

Table 67: Spartan-3AN TQG144 Pinout (Cont'd)

Bank	Pin Name	Pin	Type
2	IO_L05P_2	P46	I/O
2	IO_L06N_2/D6	P49	DUAL
2	IO_L06P_2	P47	I/O
2	IO_L07N_2/D4	P51	DUAL
2	IO_L07P_2/D5	P50	DUAL
2	IO_L08N_2/GCLK15	P55	GCLK
2	IO_L08P_2/GCLK14	P54	GCLK
2	IO_L09N_2/GCLK1	P59	GCLK
2	IO_L09P_2/GCLK0	P57	GCLK
2	IO_L10N_2/GCLK3	P60	GCLK
2	IO_L10P_2/GCLK2	P58	GCLK
2	IO_L11N_2/DOUT	P64	DUAL
2	IO_L11P_2/AWAKE	P63	PWR MGMT
2	IO_L12N_2/D3	P68	DUAL
2	IO_L12P_2/INIT_B	P67	DUAL
2	IO_L13N_2/D0/DIN/MISO	P71	DUAL
2	IO_L13P_2/D2	P69	DUAL
2	IO_L14N_2/CCLK	P72	DUAL
2	IO_L14P_2/D1	P70	DUAL
2	IP_2/VREF_2	P53	VREF
2	VCCO_2	P40	VCCO
2	VCCO_2	P61	VCCO
3	IO_L01N_3	P6	I/O
3	IO_L01P_3	P4	I/O
3	IO_L02N_3	P5	I/O
3	IO_L02P_3	P3	I/O
3	IO_L03N_3	P8	I/O
3	IO_L03P_3	P7	I/O
3	IO_L04N_3/VREF_3	P11	VREF
3	IO_L04P_3	P10	I/O
3	IO_L05N_3/LHCLK1	P13	LHCLK
3	IO_L05P_3/LHCLK0	P12	LHCLK
3	IO_L06N_3/IRDY2/LHCLK3	P16	LHCLK
3	IO_L06P_3/LHCLK2	P15	LHCLK
3	IO_L07N_3/LHCLK5	P20	LHCLK
3	IO_L07P_3/LHCLK4	P18	LHCLK
3	IO_L08N_3/LHCLK7	P21	LHCLK
3	IO_L08P_3/TRDY2/LHCLK6	P19	LHCLK
3	IO_L09N_3	P25	I/O
3	IO_L09P_3	P24	I/O
3	IO_L10N_3	P29	I/O
3	IO_L10P_3	P27	I/O

Table 67: Spartan-3AN TQG144 Pinout (Cont'd)

Bank	Pin Name	Pin	Type
3	IO_L11N_3	P30	I/O
3	IO_L11P_3	P28	I/O
3	IO_L12N_3	P32	I/O
3	IO_L12P_3	P31	I/O
3	IP_L13N_3/VREF_3	P35	VREF
3	IP_L13P_3	P33	INPUT
3	VCCO_3	P14	VCCO
3	VCCO_3	P23	VCCO
GND	GND	P9	GND
GND	GND	P17	GND
GND	GND	P26	GND
GND	GND	P34	GND
GND	GND	P56	GND
GND	GND	P65	GND
GND	GND	P81	GND
GND	GND	P89	GND
GND	GND	P100	GND
GND	GND	P106	GND
GND	GND	P118	GND
GND	GND	P128	GND
GND	GND	P137	GND
VCCAUX	SUSPEND	P74	PWR MGMT
VCCAUX	DONE	P73	CONFIG
VCCAUX	PROG_B	P144	CONFIG
VCCAUX	TCK	P109	JTAG
VCCAUX	TDI	P2	JTAG
VCCAUX	TDO	P107	JTAG
VCCAUX	TMS	P1	JTAG
VCCAUX	VCCAUX	P36	VCCAUX
VCCAUX	VCCAUX	P66	VCCAUX
VCCAUX	VCCAUX	P108	VCCAUX
VCCAUX	VCCAUX	P133	VCCAUX
VCCINT	VCCINT	P22	VCCINT
VCCINT	VCCINT	P52	VCCINT
VCCINT	VCCINT	P94	VCCINT
VCCINT	VCCINT	P122	VCCINT

User I/Os by Bank

Table 68 indicates how the 108 available user-I/O pins are distributed between the four I/O banks on the TQG144 package. The AWAKE pin is counted as a dual-purpose I/O.

Table 68: User I/Os Per Bank for the XC3S50AN in the TQG144 Package

Package Edge	I/O Bank	Maximum I/Os	All Possible I/O Pins by Type				
			I/O	INPUT	DUAL	VREF	CLK
Top	0	27	14	1	1	3	8
Right	1	25	11	0	4	2	8
Bottom	2	30	2	0	21	1	6
Left	3	26	15	1	0	2	8
Total		108	42	2	26	8	30

Footprint Migration Differences

The XC3S50AN FPGA is the only Spartan-3AN device offered in the TQG144 package. The XC3S50AN FPGA is pin compatible with the Spartan-3A XC3S50A FPGA in the TQ(G)144 package, although the Spartan-3A FPGA requires an external configuration source.



EK 1. (Devam) XC3S50AN-4TQG144C Datasheet



TQG144 Footprint

Note: Pin 1 indicator in top-left corner and logo orientation.

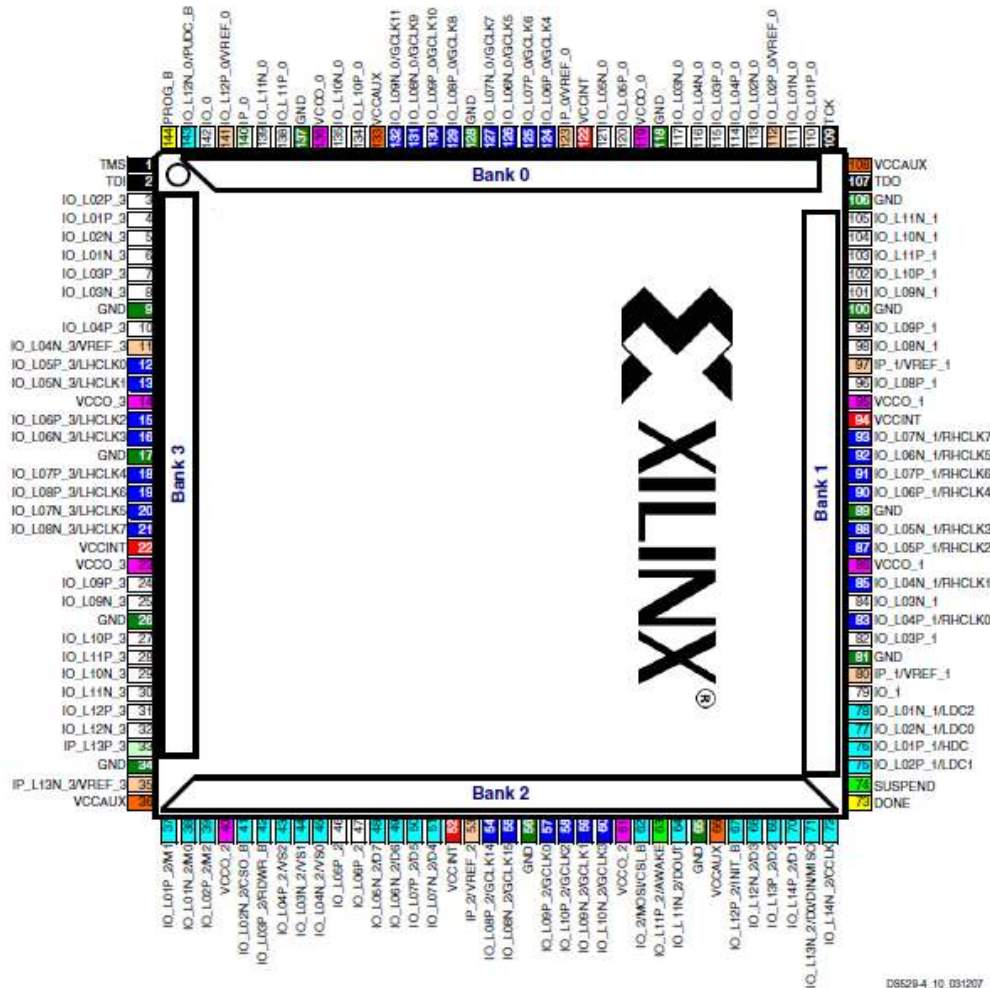


Figure 19: XC3S50AN FPGA in TQG144 Package Footprint (Top View)

42	I/O: Unrestricted, general-purpose user I/O	25	DUAL: Configuration pins, then possible user I/O	8	VREF: User I/O or input voltage reference for bank
2	INPUT: Unrestricted, general-purpose input pin	30	CLK: User I/O, input, or global buffer input	8	VCCO: Output voltage supply for bank
2	CONFIG: Dedicated configuration pins	4	JTAG: Dedicated JTAG port pins	4	VCCINT: Internal core supply voltage (+1.2V)
0	N.C.: Not connected	13	GND: Ground	4	VCCAUX: Auxiliary supply voltage
2	SUSPEND: Dedicated SUSPEND and dual-purpose AWAKE Power Management pins				

EK 2. PAM2310BECADJR Datasheet



PAM2310

2A LOW NOISE STEP-DOWN DC-DC CONVERTER

Description

The PAM2310 is a 2A step-down DC-DC converter. At heavy load, the constant-frequency PWM control performs excellent stability and transient response. No external compensation components are required.

The PAM2310 supports a range of input voltages from 2.7V to 5.5V, allowing the use of a single Li+/Li -polymer cell, multiple Alkaline/ NiMH cell and other standard power sources. The output voltage is adjustable from 0.6V to the input voltage. The PAM2310 employs internal power switch and synchronous rectifier to minimize external part count and realize high efficiency. During shutdown, the input is disconnected from the output and the shutdown current is less than 1μA. Other key features include over-temperature and short circuit protection, and under-voltage lockout to prevent deep battery discharge.

The PAM2310 delivers 2A maximum output current while consuming only 42μA of no-load quiescent current. Ultra-low $R_{DS(on)}$ integrated MOSFETs and 100% duty cycle operation make the PAM2310 an ideal choice for high output voltage, high current applications which require a low dropout threshold.

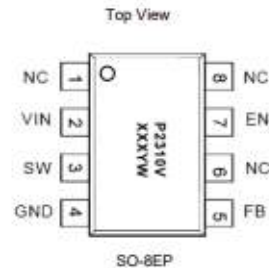
The PAM2310 is available in SO-8EP package.

Features

- Output Current: Up to 2A
- Output Voltage: 0.6V to VIN
- Input Voltage: 2.7V to 5.5V
- Peak Efficiency up to 95%
- 42μA (typ.) No Load Quiescent Current
- Shutdown Current: <1μA
- 100% Duty Cycle Operation
- 1.5MHz Switching Frequency
- Internal Soft Start
- No External Compensation Required
- Current Limit Protection
- Thermal Shutdown
- SO-8EP Package
- **Totally Lead-Free & Fully RoHS Compliant (Notes 1 & 2)**
- **Halogen and Antimony Free. "Green" Device (Note 3)**

Notes: 1. No purposely added lead. Fully EU Directive 2002/95/EC (RoHS), 2011/65/EU (RoHS 2) & 2015/863/EU (RoHS 3) compliant.
2. See <https://www.diodes.com/quality/lead-free/> for more information about Diodes Incorporated's definitions of Halogen- and Antimony-free, "Green" and Lead-free.
3. Halogen- and Antimony-free "Green" products are defined as those which contain <900ppm bromine, <900ppm chlorine (<1500ppm total Br + Cl) and <1000ppm antimony compounds.

Pin Assignments

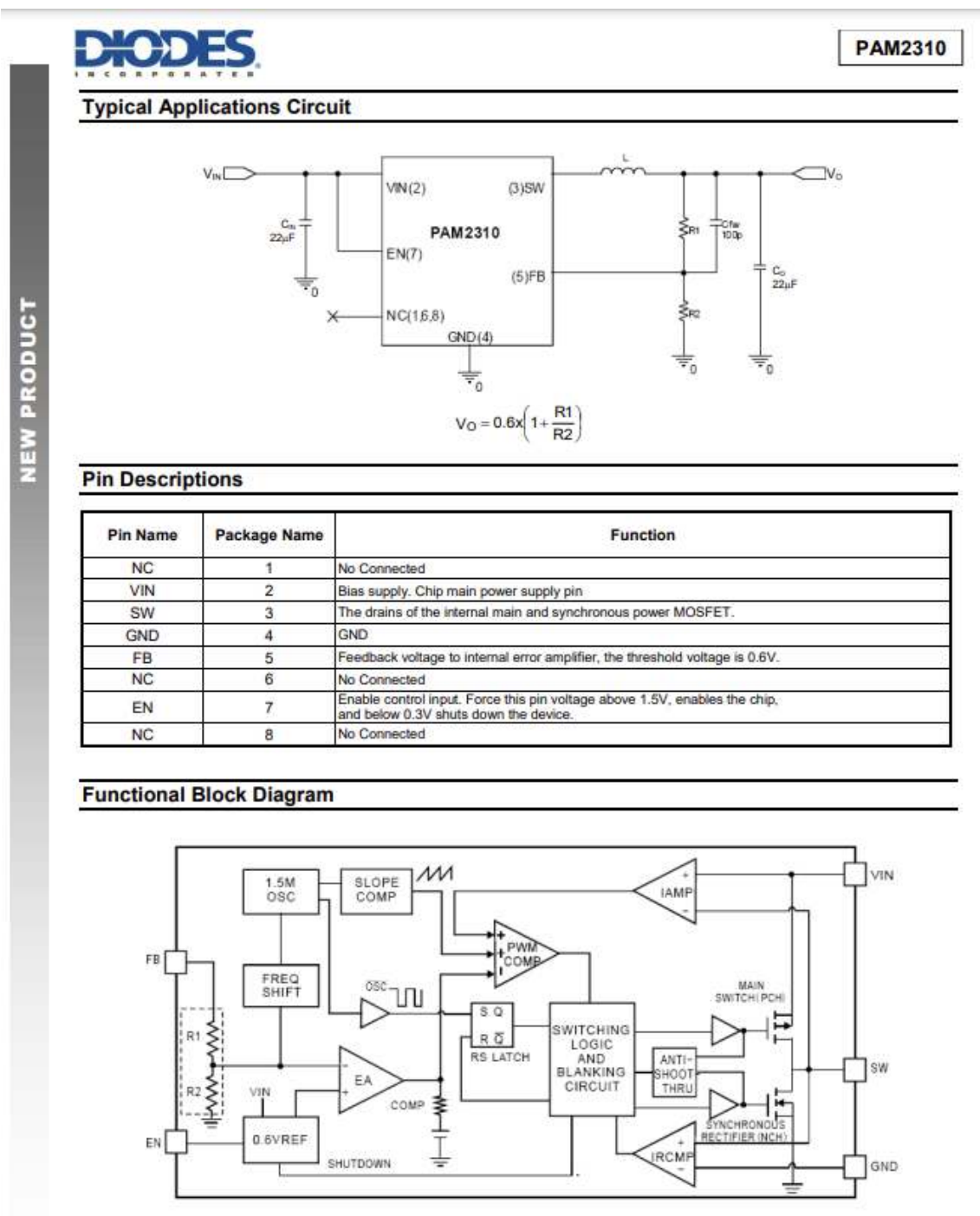


Applications

- 5V or 3.3V Point of Load Conversion
- Telecom/Networking Equipment
- Set Top Boxes
- Storage Equipment
- Video Cards
- DDR Power Supply

NEW PRODUCT

EK 2. (Devam) PAM2310BECADJR Datasheet



EK 2. (Devam) PAM2310BECADJR Datasheet



PAM2310

NEW PRODUCT

Absolute Maximum Ratings (@T_A = +25°C, unless otherwise specified.)

These are stress ratings only and functional operation is not implied. Exposure to absolute maximum ratings for prolonged time periods may affect device reliability. All voltages are with respect to ground.

Parameter	Rating	Unit
Input Voltage V _{IN}	6	V
SW Pin Voltage	-0.3 to (V _{IN} + 0.3)	V
FB Pin Voltage	-0.3 to (V _{IN} + 0.3)	V
EN Pin Voltage	-0.3 to 6.0	V
Maximum Junction Temperature	+150	°C
Storage Temperature Range	-65 to +150	°C
Soldering Temperature	+300, 5s	°C

Recommended Operating Conditions (@T_A = +25°C, unless otherwise specified.)

Parameter	Rating	Unit
Supply Voltage	2.7 to 5.5	V
Junction Temperature Range	-40 to +125	°C
Ambient Temperature Range	-40 to +85	

Thermal Information

Symbol	Parameter	Package	Max	Unit
θ _{JA}	Thermal Resistance (Junction to Ambient)	SO-8EP	90	°C/W
θ _{JC}	Thermal Resistance (Junction to Case)	SO-8EP	11	
P _D	Internal Power Dissipation (@T _A = +25°C)	SO-8EP	1100	mW

Electrical Characteristics (@T_A = +25°C, V_{IN} = 5.0V, V_O = 1.8V, C_{IN} = 22μF, C_O = 22μF, L = 2.2μH, unless otherwise specified.)

Symbol	Parameter	Test Conditions	Min	Typ	Max	Unit
V _{IN}	Input Voltage Range	-	2.7	-	5.5	V
V _O	Output Voltage Range	-	0.6	-	V _{IN}	V
V _O	Regulated Output Voltage Accuracy	I _O = 0 to 2A, V _{IN} = 2.7 to 5.5V	-2	-	+2	%
V _{FB}	Regulated Feedback Voltage	-	0.588	0.600	0.612	V
I _{FB}	FB Leakage Current	V _O = 1V	-	-	0.2	μA
LNR	Output Voltage Line Regulation	V _{IN} = 2.7V to 5V	-	0.2	-	%/V
LDR	Output Voltage Load Regulation	I _O = 0A to 2A	-	0.5	-	%/A
I _Q	Quiescent Current	No Load	-	42	90	μA
I _{SD}	Shutdown Current	V _{EN} = 0V	-	-	1	μA
I _{LIM}	Peak Inductor Current	-	3	-	-	A
f _{OSC}	Oscillator Frequency	-	-	1.5	1.8	MHz
R _{DS(ON)}	Drain-Source On-State Resistance	I _{SW} = 100mA	High Side		-	Ω
			Low Side		-	Ω
t _S	Start-Up Time	From Enable to Output Regulation	-	0.5	3	ms
V _{EH}	EN Threshold High	-	1.5	-	-	V
V _{EL}	EN Threshold Low	-	-	-	0.3	V
I _{EN}	EN Leakage Current	V _{IN} = V _{EN} = 0V	-1.0	-	+1.0	μA
OTP	Over Temperature Protection	-	-	+150	-	°C
OTH	OTP Hysteresis	-	-	+30	-	°C

EK 2. (Devam) PAM2310BECADJR Datasheet

NEW PRODUCT



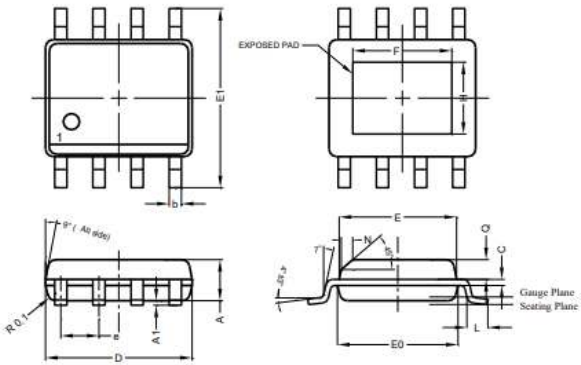
PAM2310

Package Outline Dimensions

(All dimensions in mm.)

Please see <http://www.diodes.com/package-outlines.html> for the latest version.

SO-8EP



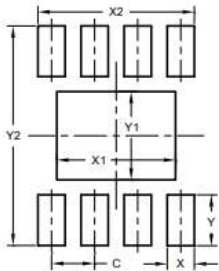
SO-8EP			
Dim	Min	Max	Typ
A	1.40	1.50	1.45
A1	0.00	0.13	-
b	0.30	0.50	0.40
C	0.15	0.25	0.20
D	4.85	4.95	4.90
E	3.80	3.90	3.85
E0	3.85	3.95	3.90
E1	5.90	6.10	6.00
e	-	-	1.27
F	2.75	3.35	3.05
H	2.11	2.71	2.41
L	0.62	0.82	0.72
N	-	-	0.35
Q	0.60	0.70	0.65

All Dimensions in mm

Suggested Pad Layout

Please see <http://www.diodes.com/package-outlines.html> for the latest version.

SO-8EP



Dimensions	Value (in mm)
C	1.270
X	0.802
X1	3.502
X2	4.612
Y	1.505
Y1	2.613
Y2	6.500

149

EK 3. L-KLS1-DC-005A-2.0 Datasheet

Audio And video Accessories

KLS^{ele}electronic
www.cnkls.com

DC Power Plug Series

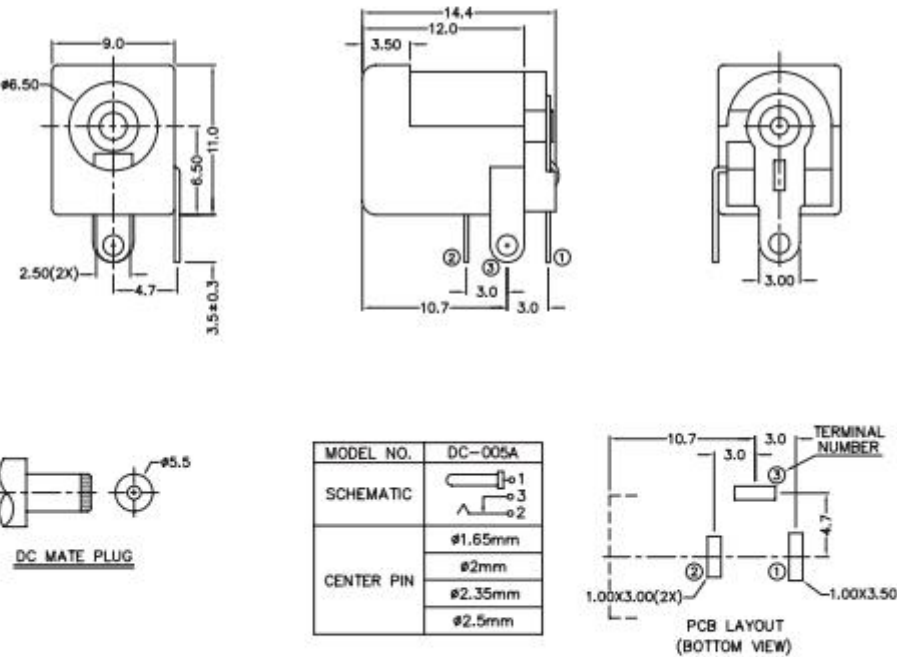
KLS1-DC-005A (DC Power Socket)

Technical parameters:

Contact resistance: 0.03Ω, max
Insulation resistance: 100MΩ, min
Pressure: AC500V (50Hz) / 1minute
Rated Load: DC 18V 2.0A Max
Actuating Force: 3~20N
Life: 5000 times
Operating Temperature: -30°C ~ 70°C

Material:

Centre Pin : Copper
Terminal 1 : Brass
Terminal 2 : Copper alloy
Terminal 3 : Brass
Housing : PBT
Cover : PBT



ORDER INFORMATION

Product NO.: KLS1-DC-005A-2.0

Pos. NO. ————
DC Power Socket ————
Center Pin Dimension ————

EK 4. 0805 Paket Tipi SMD Kondansatör Datasheet

Standard & High Capacitors

Feature

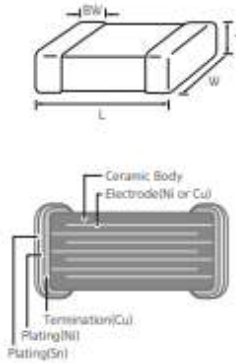


- Wide selection of size : from 0402(Inch) to 2220(Inch)
- Highly reliable tolerance and high speed automatic chip placement on PCBs
- Wide capacitance range
- Highly reliable performance
- Highly resistant termination metal
- Tape & reel for surface mount assembly

Application

- Mobile Phone
- DC - DC Converter
- Tablet devices
- PC (Laptop, Desktop)
- HDD / SSD board
- Display

Structure and Dimensions



Size Code	EIA Code	Dimension(mm)				
		L	W	T	Thickness Code	BW
05	0402	1.00±0.05	0.50±0.05	0.0975±0.0125(*)	L	0.25±0.075
		1.00±0.10	0.50±0.05	0.19±0.03(*)	X	0.25±0.10
		1.00±0.05	0.50±0.05	0.30±0.03(*)	3	
		1.00±0.05	0.50±0.05	0.50±0.05	5	0.30±0.20
10	0603	1.60±0.10	0.80±0.10	0.50±0.0/-0.1(*)	5	
		1.60±0.10	0.80±0.10	0.80±0.10	8	0.50±0.20/-0.30
21	0805	2.00±0.10	1.25±0.10	0.70±0.10(*)	7	
		2.00±0.10	1.25±0.10	0.80±0.10(*)	8	
		2.00±0.10	1.25±0.10	0.85±0.10	C	
		2.00±0.10	1.25±0.10	0.90±0.10(*)	9	
		2.00±0.10	1.25±0.10	1.15±0.10	M	
		2.00±0.10	1.25±0.10	1.25±0.10	F	
		2.00±0.15	1.25±0.15	1.25±0.15	Q	
		2.00±0.20	1.25±0.20	1.25±0.20	V	
31	1206	3.20±0.20	1.60±0.20	0.60±0.10(*)	6	0.50±0.30
		3.20±0.15	1.60±0.15	0.85±0.15	C	
		3.20±0.20	1.60±0.20	0.85±0.10(*)	C	
		3.20±0.20	1.60±0.20	0.90±0.10(*)	9	
		3.20±0.20	1.60±0.20	1.10±0.10(*)	E	
		3.20±0.20	1.60±0.20	1.15±0.10(*)	M	
		3.20±0.20	1.60±0.20	1.15±0.10(*)	P	
		3.20±0.15	1.60±0.15	1.25±0.15	F	
32	1210	3.20±0.20	1.60±0.20	1.60±0.20	H	0.60±0.30
		3.20±0.30	2.50±0.20	0.85±0.10(*)	C	
		3.20±0.30	2.50±0.20	0.90±0.10(*)	9	
		3.20±0.30	2.50±0.20	1.60±0.20	H	
		3.20±0.30	2.50±0.20	1.80±0.20(*)	U	
		3.20±0.30	2.50±0.20	2.00±0.20	I	
		3.20±0.30	2.50±0.20	2.50±0.20	J	
		3.20±0.40	2.50±0.30	2.50±0.30	V	
42	1808	4.50±0.40	2.00±0.20	1.25±0.20	F	0.80±0.30
		4.50±0.40	2.00±0.20	1.40±0.20	G	
		4.50±0.40	2.00±0.20	2.00±0.20	I	
43	1812	4.50±0.40	3.20±0.30	1.25±0.20	F	0.80±0.30
		4.50±0.40	3.20±0.30	2.50±0.20	J	
		4.50±0.40	3.20±0.30	3.20±0.30	L	
55	2220	5.70±0.40	5.00±0.40	2.50±0.20	J	1.00±0.30
		5.70±0.40	5.00±0.40	3.20±0.30	L	

* Mark is only applicable to "L", "F", "12" code in part number.

EK 5. CRT Serisi Film Direnç Datasheet

【CRT Series】

Thick Film Chip Resistor



■Part Numbering

CRT	01	F	0	F		1001
Product Type	Dimensions (L×W)	Resistance Tolerance	Packaging Code	TCR (PPM/°C)	Power Rating	Resistance
E1: 0075 E5: 01005 01: 0201 02: 0402 03: 0603 05: 0805 06: 1206 10: 1210 0A: 2010 12: 2512	B: ±0.1% D: ±0.5% F: ±1% J: ±5%	0: 7"Reel 15Kpcs 3: 7"Reel 40Kpcs 4: 7"Reel 4Kpcs 5: 7"Reel 20Kpcs 6: 7"Reel 10Kpcs 7: 7"Reel 5Kpcs A: 10"Reel 10Kpcs B: 10"Reel 20Kpcs D: 13"Reel 20Kpcs F: 13"Reel 80Kpcs G: 13"Reel 50Kpcs	∴ No specified E: ±100 F: ±200 G: ±300	∴ Standard W: 1/8W P: 1/5W V: 1/4W U: 1/2W S: 2W	0010: 1Ω 0100: 10Ω 1000: 100Ω 1001: 1KΩ 1004: 1MΩ	

■Standard Electrical Specifications

Item Type	Power Rating at 70°C	Operating Temp. Range	Max. Operating Voltage	Max. Overload Voltage	Dielectric Withstanding Voltage	Resistance Range		TCR (PPM/°C)
						±1% (E24 + E96)	±5% (E24)	
CRTE1 (0075)	1/50W	-55 ~ +125°C	10V	25V	25V	10Ω≤R≤100Ω		±300
						100Ω<R≤1MΩ		±200
CRTE5 (01005)	1/32W	-55 ~ +125°C	15V	30V	30V	1Ω≤R≤100Ω		±300
						100Ω<R≤10MΩ	100Ω<R≤22MΩ	±200
CRT01 (0201)	1/20W	-55 ~ +125°C	25V	50V	50V	1Ω≤R≤10Ω		±300
						10Ω<R≤10MΩ		±200
CRT02 (0402)	1/16W	-55 ~ +155°C	50V	100V	100V	1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
						10Ω<R≤10MΩ		±100
CRT03 (0603)	1/10W	-55 ~ +155°C	75V	150V	150V	1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
						10Ω<R≤10MΩ		±100
CRT05 (0805)	1/8W	-55 ~ +155°C	150V	300V	300V	-	24MΩ≤R≤100MΩ	±300
						1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
CRT06 (1206)	1/4W	-55 ~ +155°C	200V	400V	500V	10Ω<R≤10MΩ		±100
						1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
CRT10 (1210)	1/2W	-55 ~ +155°C	200V	500V	500V	10Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
						10Ω<R≤10MΩ		±100
CRT0A (2010)	3/4W	-55 ~ +155°C	200V	500V	500V	1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
						10Ω<R≤10MΩ		±100
CRT12 (2512)	1W	-55 ~ +155°C	200V	500V	500V	1Ω≤R≤10Ω	1Ω≤R≤10Ω 10MΩ<R≤22MΩ	±200
						10Ω<R≤10MΩ		±100

EK 6. ROYALOHM Film Rezistör Datasheet

ROYALOHM

Thick Film Chip Resistors

Features

- Small size and light weight
- Suitable for both wave and reflow soldering
- Reduction of assembly costs



Dimension

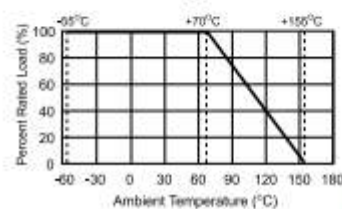


Type	Power Rating at 70°C	Max Working Voltage/Current	Max Overload Voltage/Current	Dielectric Withstanding Voltage	Tolerance %	Resistance Range	Dimension (mm)				
							L	W	H	l1	l2
0201 (0603)	1/20W	0.5A	1A	-	Jumper	<50mΩ	0.60±0.03	0.30±0.03	0.23±0.03	0.10±0.05	0.15±0.05
		25V	50V	-	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
0402 (1005)	1/16W	1A	2A		Jumper	<50mΩ	1.00±0.10	0.50±0.05	0.35±0.05	0.20±0.10	0.25±0.10
		50V	100V	100V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
0603 (1608)	1/10W-S 1/16W	1A	2A		Jumper	<50mΩ	1.60±0.10	0.80 ^{+0.15} -0.10	0.45±0.10	0.30±0.20	0.30±0.20
		75V	150V	300V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
0805 (2012)	1/8W-S 1/10W	2A	5A		Jumper	<50mΩ	2.00±0.15	1.25 ^{+0.15} -0.10	0.55±0.10	0.40±0.20	0.40±0.20
		150V	300V	500V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
1206 (3216)	1/4W-S 1/8W	2A	10A		Jumper	<50mΩ	3.10±0.15	1.55 ^{+0.15} -0.10	0.55±0.10	0.45±0.20	0.45±0.20
		200V	400V	500V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
1210 (3225)	1/2W-SS 1/3W-S 1/4W	2A	10A		Jumper	<50mΩ	3.10±0.10	2.60±0.15	0.55±0.10	0.50±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
1812	1/2W 3/4W-S	2A	10A		Jumper	<50mΩ	4.50±0.20	3.20±0.20	0.55±0.20	0.50±0.20	0.50±0.20
		200V	500V	500V	±1% ±5%	1Ω - 10MΩ					
2010 (5025)	3/4W-S 1/2W	2A	10A		Jumper	<50mΩ	5.00±0.10	2.50±0.15	0.55±0.10	0.60±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					
2512 (6432)	1W	2A	10A		Jumper	<50mΩ	6.35±0.10	3.20±0.15	0.55±0.10	0.60±0.25	0.50±0.20
		200V	500V	500V	±1% ±2% ±5%	1Ω - 10MΩ 1Ω - 10MΩ 1Ω - 10MΩ					

Note:

- 1.) Metric information inside parenthesis.
- 2.) Standard Operating Temp (°C): -55 - +155
- 3.) Standard: E-96 series: 0.5%, 1%
E-24 series: 2%, 5%
- 4.) Low resistance range (0.1Ω - 0.99Ω) is also available for 0402, 0603, 0805, 1206, 1210, 2010 and 2512

Derating Curve



www.royalohm.com



EK 7. YAGEO RC_L Serisi Direnç Datasheet

YAGEO *Phycomp*

Product specification

5

Chip Resistor Surface Mount

RC_L

SERIES

0075 to 2512

Table 2

CHARACTERISTICS	POWER	OPERATING TEMPERATURE RANGE	MAXIMUM WORKING VOLTAGE	MAXIMUM OVERLOAD VOLTAGE	DIELECTRIC WITHSTANDING VOLTAGE	RESISTANCE RANGE	TEMPERATURE COEFFICIENT	JUMPER CRITERIA
RC0201	1/20 W	-55°C to 125°C	25V	50V	50V	5% (E24) 10ΩR≤10MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ Jumper<50mΩ	10ΩR≤10Ω ±100~+350ppm/°C 10Ω<R≤10MΩ ±200ppm/°C	Rated Current 0.5A Maximum Current 1.0A
						5% (E24) 10ΩR≤22MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ Jumper<50mΩ	10ΩR≤10Ω ±200ppm/°C 10Ω<R≤10MΩ ±100ppm/°C 10MΩ<R≤22MΩ ±200ppm/°C	Rated Current 1.0A Maximum Current 2.0A
RC0402	1/16 W	-55°C to 155°C	50V	100V	100V	5% (E24) 10ΩR≤1MΩ 1% (E24/E96) 10ΩR≤1MΩ	10ΩR≤1MΩ ±200ppm/°C	
						5% (E24) 10ΩR≤22MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ Jumper<50mΩ	10ΩR≤10Ω ±200ppm/°C 10Ω<R≤10MΩ ±100ppm/°C 10MΩ<R≤22MΩ ±200ppm/°C	Rated Current 1.0A Maximum Current 2.0A
RC0603	1/10 W	-55°C to 155°C	75V	150V	150V	5% (E24) 10ΩR≤1MΩ 1% (E24/E96) 10ΩR≤1MΩ	10ΩR≤1MΩ ±200ppm/°C	
						5% (E24) 10ΩR≤22MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ Jumper<50mΩ	10ΩR≤10Ω ±200ppm/°C 10Ω<R≤10MΩ ±100ppm/°C 10MΩ<R≤22MΩ ±200ppm/°C	Rated Current 1.0A Maximum Current 2.0A
RC0805	1/8 W	-55°C to 155°C	150V	300V	300V	5% (E24) 10ΩR≤1MΩ 1% (E24/E96) 10ΩR≤1MΩ	10ΩR≤1MΩ ±200ppm/°C	
						5% (E24) 10ΩR≤100MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ 10%, 20% (E24) 24MΩ<R≤100MΩ Jumper<50mΩ	10ΩR≤10Ω ±200ppm/°C 10Ω<R≤10MΩ ±100ppm/°C 10MΩ<R≤22MΩ ±200ppm/°C 24MΩ<R≤100MΩ ±300ppm/°C	Rated Current 2.0A Maximum Current 5.0A
RC0805	1/4 W	-55°C to 155°C	150V	300V	300V	5% (E24) 10ΩR≤1MΩ 1% (E24/E96) 10ΩR≤1MΩ	10ΩR≤1MΩ ±200ppm/°C	
						5% (E24) 10ΩR≤100MΩ 1% (E24/E96) 10ΩR≤10MΩ 0.1%, 0.5% (E24/E96) 100ΩR≤1MΩ 10%, 20% (E24) 24MΩ<R≤100MΩ Jumper<50mΩ	10ΩR≤10Ω ±200ppm/°C 10Ω<R≤10MΩ ±100ppm/°C 10MΩ<R≤22MΩ ±200ppm/°C 24MΩ<R≤100MΩ ±300ppm/°C	Rated Current 2.0A Maximum Current 5.0A

EK 8. YAGEO AC Serisi Direnç Datasheet

YAGEO	Product specification	5
Chip Resistor Surface Mount	AC	SERIES
		0201 to 2512

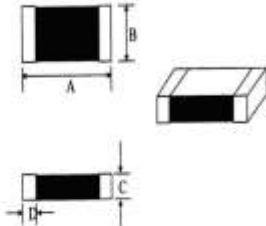
ELECTRICAL CHARACTERISTICS

Table 2

TYPE	POWER	CHARACTERISTICS						
		Operating Temperature Range	Max. Working Voltage	Max. Overload Voltage	Dielectric Withstanding Voltage	Resistance Range	Temperature Coefficient	Jumper Criteria
AC0201	1/20 W	-55 °C to 155 °C	25V	50V	50V	5% (E24)	$1\Omega \leq R \leq 10\Omega$	Rated Current
						$1\Omega \leq R \leq 10M\Omega$	-100/+350ppm/°C	0.5A
						1% (E24/E96)	$10\Omega < R \leq 10M$	Maximum
						$1\Omega \leq R \leq 10M\Omega$	$\pm 200\text{ppm}/^\circ\text{C}$	Current
						0.5% (E24/E96)		1.0A
AC0402	1/16 W	-55 °C to 155 °C	50V	100V	100V	$10\Omega \leq R \leq 1M\Omega$		Jumper<50mΩ
						5% (E24)	$1\Omega \leq R \leq 10\Omega$	Rated Current
						$1\Omega \leq R \leq 22M\Omega$	$\pm 200\text{ppm}/^\circ\text{C}$	1A
						0.5%, 1% (E24/E96)	$10\Omega < R \leq 10M\Omega$	Maximum
						$1\Omega \leq R \leq 10M\Omega$	$\pm 100\text{ppm}/^\circ\text{C}$	Current
AC0603	1/8 W	-55 °C to 155 °C	75V	100V	100V	Jumper<50mΩ	$10M\Omega < R \leq 22M\Omega$	2A
							$\pm 200\text{ppm}/^\circ\text{C}$	
						5% (E24)	$1\Omega \leq R \leq 10\Omega$	Rated Current
						$1\Omega \leq R \leq 10M\Omega$	$\pm 200\text{ppm}/^\circ\text{C}$	1A
						0.5%, 1% (E24/E96)	$10\Omega < R \leq 10M\Omega$	Maximum
AC0603	1/10 W	-55 °C to 155 °C	75V	150V	150V	$1\Omega \leq R \leq 10M\Omega$	$\pm 100\text{ppm}/^\circ\text{C}$	Current
						Jumper<50mΩ	$10M\Omega < R \leq 22M\Omega$	2A
							$\pm 200\text{ppm}/^\circ\text{C}$	
						5% (E24)	$1\Omega \leq R \leq 10\Omega$	Rated Current
						$1\Omega \leq R \leq 10M\Omega$	$\pm 200\text{ppm}/^\circ\text{C}$	1A
AC0603	1/5 W	-55 °C to 155 °C	75V	150V	150V	0.5%, 1% (E24/E96)	$10\Omega < R \leq 10M\Omega$	Maximum
						$1\Omega \leq R \leq 10M\Omega$	$\pm 100\text{ppm}/^\circ\text{C}$	Current
						Jumper<50mΩ	$10M\Omega < R \leq 22M\Omega$	2A
							$\pm 200\text{ppm}/^\circ\text{C}$	
						5% (E24)	$1\Omega \leq R \leq 10\Omega$	Rated Current
						$1\Omega \leq R \leq 10M\Omega$	$\pm 200\text{ppm}/^\circ\text{C}$	1A
						0.5%, 1% (E24/E96)	$10\Omega < R \leq 10M\Omega$	Maximum
						$1\Omega \leq R \leq 10M\Omega$	$\pm 100\text{ppm}/^\circ\text{C}$	Current
						Jumper<50mΩ	$10M\Omega < R \leq 22M\Omega$	2A
							$\pm 200\text{ppm}/^\circ\text{C}$	

EK 9. SMD Bobin (0805 Paket Tipi) Datasheet

SPECIFICATION FOR APPROVAL

CUSTOMER:				DATE:			
PART NO: CL2012C-2R2M-N				DWG.NO: ME2017413			
CUSTOMER PART NO:				CUST.DWG.NO:			
(1) DIMENSIONS (UNIT: mm) 				A	2.00 ± 0.20	m/m	
				B	1.25 ± 0.20	m/m	
				C	0.90 ± 0.10	m/m	
				D	0.50 ± 0.20	m/m	
				E		m/m	
				F		m/m	
				G		m/m	
				H		m/m	
				I		m/m	
				J		m/m	
(2)ELECTRICAL REQUIREMENTS							
L (uH)	2.2 ± 20%	TEST FREQ	1MHz/250mV				
RDC (mΩ)	170 ± 25%	TEST FREQ					
IDC (mA)	1000 (MAX)	TEST FREQ					
				APPROVED BY 吳載敏			
				CHECKED BY 張明德			
				DRAWN BY Vicky			

CORE MASTER ENTERPRISE CO., LTD.

BC807; BC807W; BC327

45 V, 500 mA PNP general-purpose transistors

Rev. 06 — 17 November 2009

Product data sheet

1. Product profile

1.1 General description

PNP general-purpose transistors.

Table 1. Product overview

Type number	Package		NPN complement
	NXP	JEITA	
BC807	SOT23	-	BC817
BC807W	SOT323	SC-70	BC817W
BC327[1]	SOT54 (TO-92)	SC-43A	BC337

[1] Also available in SOT54A and SOT54 variant packages (see Section 2).

1.2 Features

- High current
- Low voltage

1.3 Applications

- General-purpose switching and amplification

1.4 Quick reference data

Table 2. Quick reference data

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{CE0}	collector-emitter voltage	open base; $I_C = 10\text{ mA}$	-	-	-45	V
I_C	collector current (DC)		-	-	-500	mA
I_{CM}	peak collector current		-	-	-1	A
h_{FE}	DC current gain	$I_C = -100\text{ mA}$; [1] $V_{CE} = -1\text{ V}$				
	BC807; BC807W; BC327		100	-	600	
	BC807-16; BC807-16W; BC327-16		100	-	250	
	BC807-25; BC807-25W; BC327-25		160	-	400	
	BC807-40; BC807-40W; BC327-40		250	-	600	

[1] Pulse test: $t_p \leq 300\text{ }\mu\text{s}$; $\delta \leq 0.02$.

EK 11. BC849CLT1G SOT-23 Tipi Transistör Datasheet



DATA SHEET
www.onsemi.com

General Purpose Transistors

NPN Silicon

BC846ALT1G Series

Features

- Moisture Sensitivity Level: 1
- ESD Rating – Human Body Model: > 4000 V
– Machine Model: > 400 V
- S and NSV Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- These Devices are Pb-Free, Halogen Free/BFR Free and are RoHS Compliant

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage BC846 BC847, BC850 BC848, BC849	V_{CE0}	65 45 30	Vdc
Collector-Base Voltage BC846 BC847, BC850 BC848, BC849	V_{CBO}	80 50 30	Vdc
Emitter-Base Voltage BC846 BC847, BC850 BC848, BC849	V_{EB0}	6.0 6.0 5.0	Vdc
Collector Current – Continuous	I_C	100	mA dc

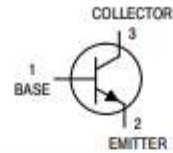
Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Total Device Dissipation FR-5 Board, (Note 1) $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	225 1.8	mW mW/ $^\circ\text{C}$
Thermal Resistance, Junction-to-Ambient (Note 1)	$R_{\theta JA}$	556	$^\circ\text{C/W}$
Total Device Dissipation Alumina Substrate (Note 2) $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	300 2.4	mW mW/ $^\circ\text{C}$
Thermal Resistance, Junction-to-Ambient (Note 2)	$R_{\theta JA}$	417	$^\circ\text{C/W}$
Junction and Storage Temperature Range	T_J, T_{stg}	-55 to +150	$^\circ\text{C}$

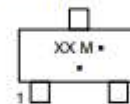
1. FR-5 = $1.0 \times 0.75 \times 0.062$ in.

2. Alumina = $0.4 \times 0.3 \times 0.024$ in 99.5% alumina.



SOT-23
CASE 318
STYLE 6

MARKING DIAGRAM



XX = Device Code
M = Date Code*
• = Pb-Free Package

(Note: Microdot may be in either location)

*Date Code orientation and/or overbar may vary depending upon manufacturing location.

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 12 of this data sheet.



Future Technology Devices International Ltd. FT232RN



The FT232RN is a USB to serial UART interface with the following advanced features:

- Single chip USB to asynchronous serial data transfer interface.
- Entire USB protocol handled on the chip. No USB specific firmware programming required.
- Fully integrated 1024-bit EEPROM storing device descriptors and CBUS I/O configuration.
- Fully integrated USB termination resistors.
- Fully integrated clock generation with no external crystal required plus optional clock output selection enabling a glue-less interface to external MCU or FPGA.
- Data transfer rates from 300 baud to 3 Mbaud (RS422, RS485, RS232) at TTL levels.
- 128 bytes receive buffer, and 256 bytes transmit buffer utilising buffer smoothing technology to allow for high data throughput.
- FTDI's royalty-free Virtual Com Port (VCP) and Direct (D2XX) drivers eliminate the requirement for USB driver development in most cases.
- Unique USB FTDIChip-ID™ feature.
- Configurable CBUS I/O pins.
- Transmit and receive LED drive signals.
- UART interface support for 7 or 8 data bits, 1 or 2 stop bits and odd / even / mark / space / no parity
- FIFO receives and transmits buffers for high data throughput.
- Synchronous and asynchronous bit bang interface options with RD# and WR# strobes.
- Device supplied pre-programmed with unique USB serial number.
- Supports bus powered, self-powered and high-power bus powered USB configurations.
- Integrated +3.3V level converter for USB I/O.
- Integrated level converter on UART and CBUS for interfacing to between +1.8V and +5V logic.
- True 5V/3.3V/2.8V/1.8V CMOS drive output and TTL input.
- Configurable I/O pin output drive strength.
- Integrated power-on-reset circuit.
- Fully integrated AVCC supply filtering - no external filtering required.
- UART signal inversion option.
- +3.3V to +5.25V Single Supply Operation.
- Low operating and USB suspend current.
- Low USB bandwidth consumption.
- UHCI/OHCI/EHCI host controller compatible.
- USB 2.0 Full Speed compatible.
- -40°C to 85°C extended operating temperature range.
- Available in compact Pb-free 28 Pin SSOP and QFN-32 packages (both RoHS compliant).



UNISONIC TECHNOLOGIES CO., LTD

UT3232

CMOS IC

**3.0V TO 5.5V LOW POWER
MULTICHANNEL RS-232 LINE
TRANSCEIVERS USING FOR
0.1μF EXTERNAL CAPACITORS**

■ **DESCRIPTION**

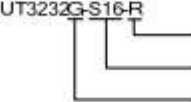
The UTC **UT3232** has two receivers and two drivers, and a dual charge-pump circuit. The device meets the requirements of TIA/EIA-232-F and provides the electrical interface between an asynchronous communication controller and the serial-port connector. The charge pump and four small external capacitors allow operation from a single 3.0V to 5.5V supply. The device operates at data signalling rates up to 250kbit/s and a maximum of 35V/μs driver output slew rate.

■ **FEATURES**

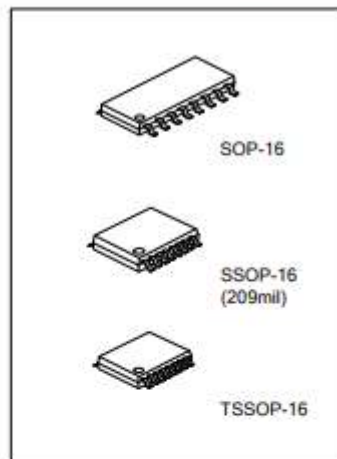
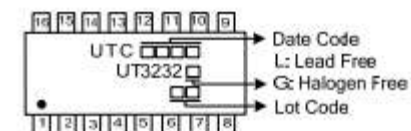
- * Exceeds ±8KV ESD Protection(HBM) for RS-232 I/O Pins
- * Meets the Requirements of TIA/EIA-232-F and ITU V.28 Standards
- * Operates With 3.0V to 5.5V V_{CC} Supply
- * Operates Up To 250kbit/s Data Rate
- * Two Drivers and Two Receivers
- * External Capacitors 4×0.1μF
- * Accepts 5.0V Logic Input With 3.3V Supply

■ **ORDERING INFORMATION**

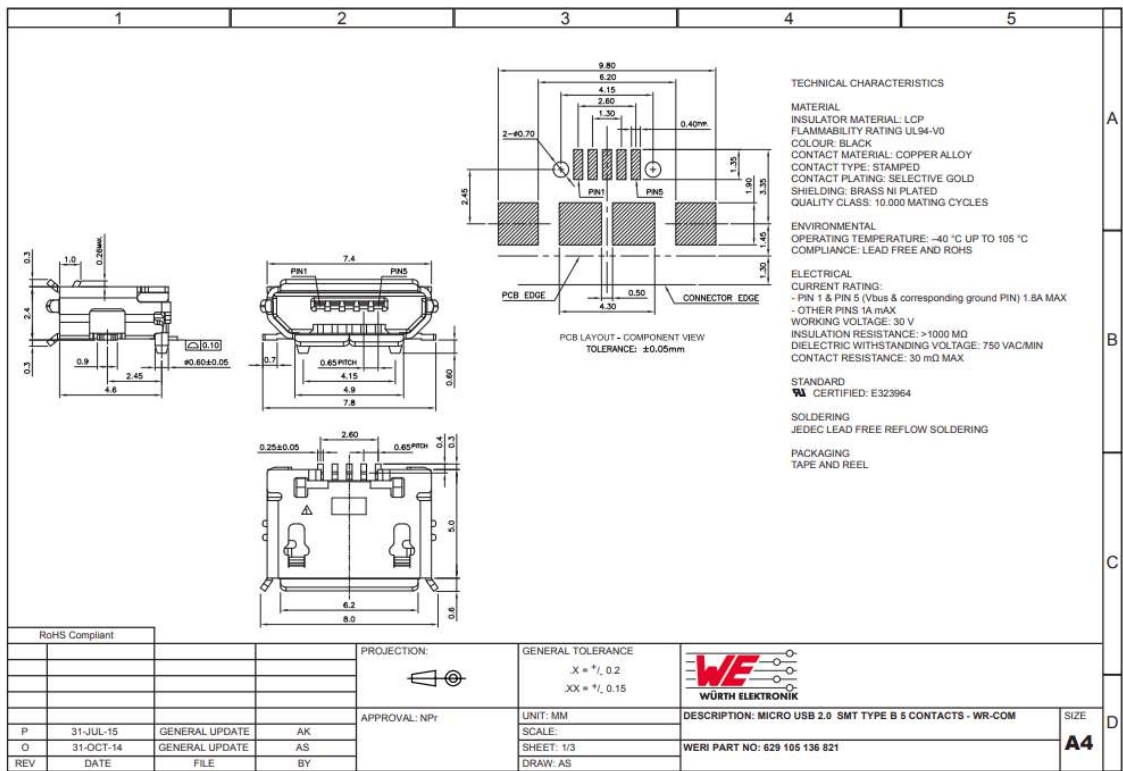
Ordering Number		Package	Packing
Lead Free	Halogen Free		
UT3232L-S16-R	UT3232G-S16-R	SOP-16	Tape Reel
UT3232L-R16-R	UT3232G-R16-R	SSOP-16	Tape Reel
UT3232L-P16-R	UT3232G-P16-R	TSSOP-16	Tape Reel

	UT3232G-S16-R	(1) Packing Type	(1) R: Tape Reel
		(2) Package Type	(2) S16: SOP-16, R16: SSOP-16, P16: TSSOP-16
		(3) Green Package	(3) G: Halogen Free and Lead Free, L: Lead Free

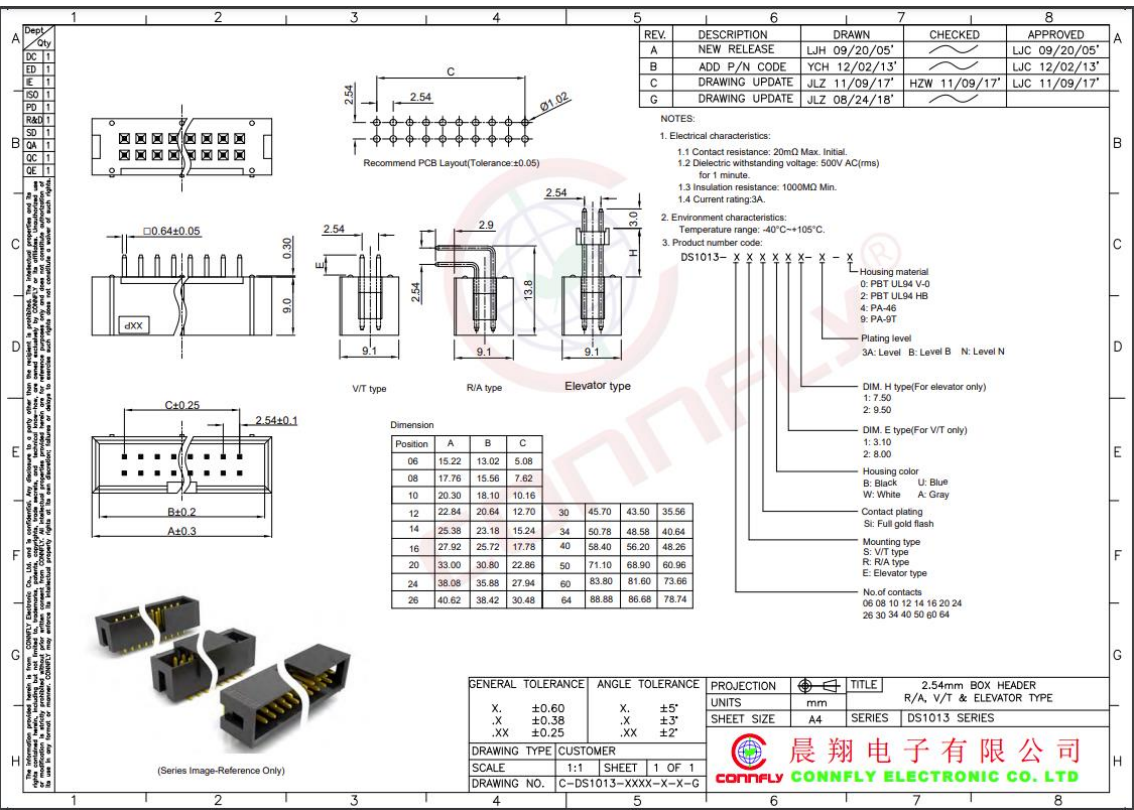
■ **MARKING**



EK 14. Micro B USB Port Datasheet



EK 15. JTAG Konnektörü Datasheet



EK 16. 4 Basamaklı 7 Parçalı Göstergeli Led Display Datasheet

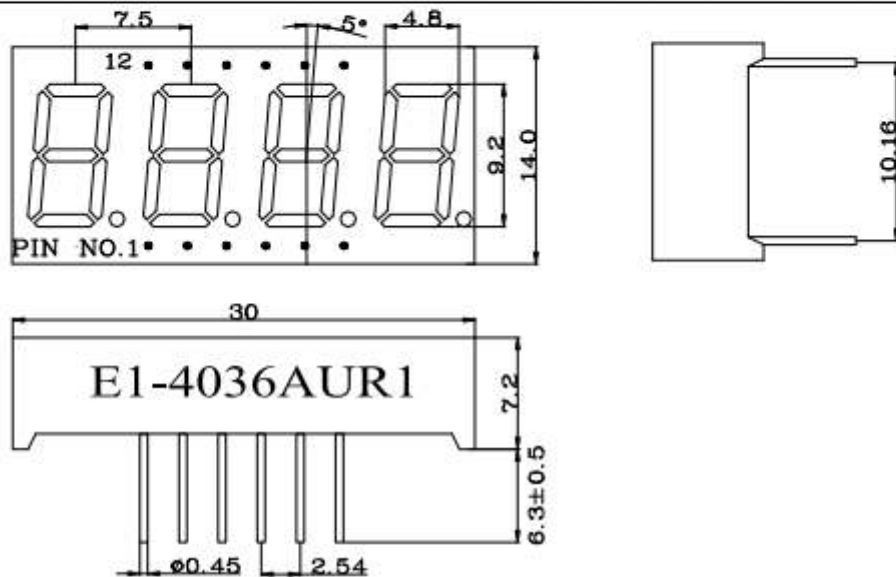
健隆投资有限公司
STRONG BASE INVESTMENT LTD.
 Unit 17, 11/F., Hewlett Centre, 52-54 Hoi Yuen Road, Kwun Tong, Kowloon, Hong Kong.
 Tel: (852) 2793 3293 Fax: (852) 2793 3096



PART No.: E1-4036AUR1

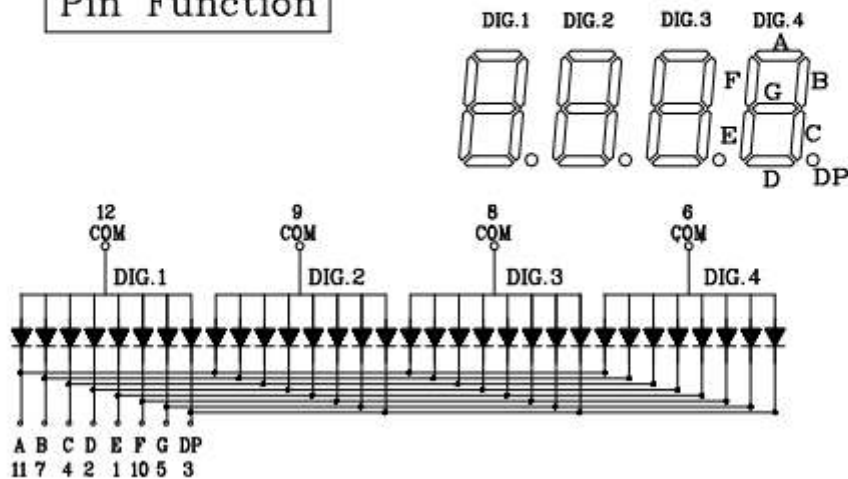
Client:

PACKAGE DIMENSION (Unit: mm Tolerance: ± 0.5)



INTERNAL CIRCUIT DIAGRAM

Pin Function



EK 17. SMD Led (0603 Paket) Datasheet

LITEON

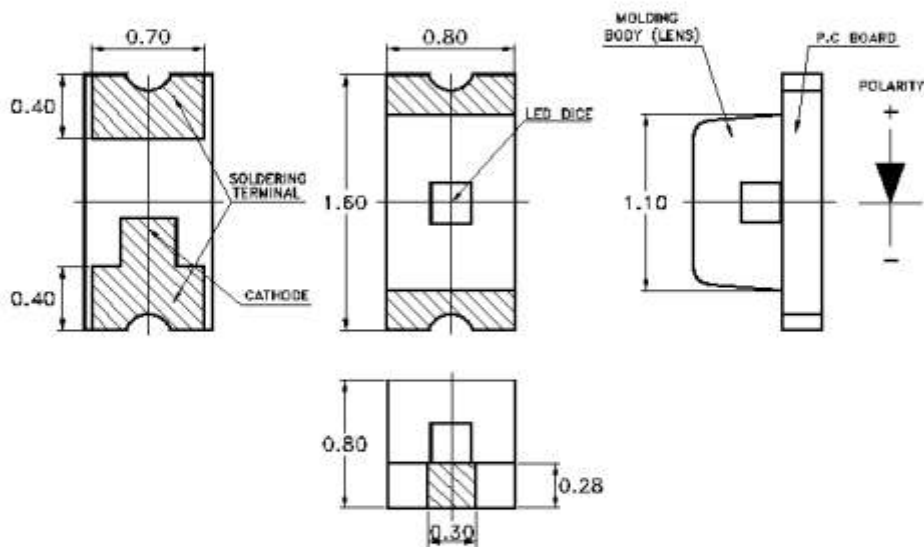
LITE-ON TECHNOLOGY CORPORATION

Property of Lite-On Only

Features

- * Meet ROHS, Green Product.
- * Extra thin (0.80H mm) Chip LED
- * Ultra bright AllnGaP Chip LED.
- * Package In 8mm Tape On 7" Diameter Reels.
- * EIA STD package.
- * L.C. compatible.
- * Compatible With Automatic Placement Equipment.
- * Compatible With Infrared Reflow Solder Process.

Package Dimensions

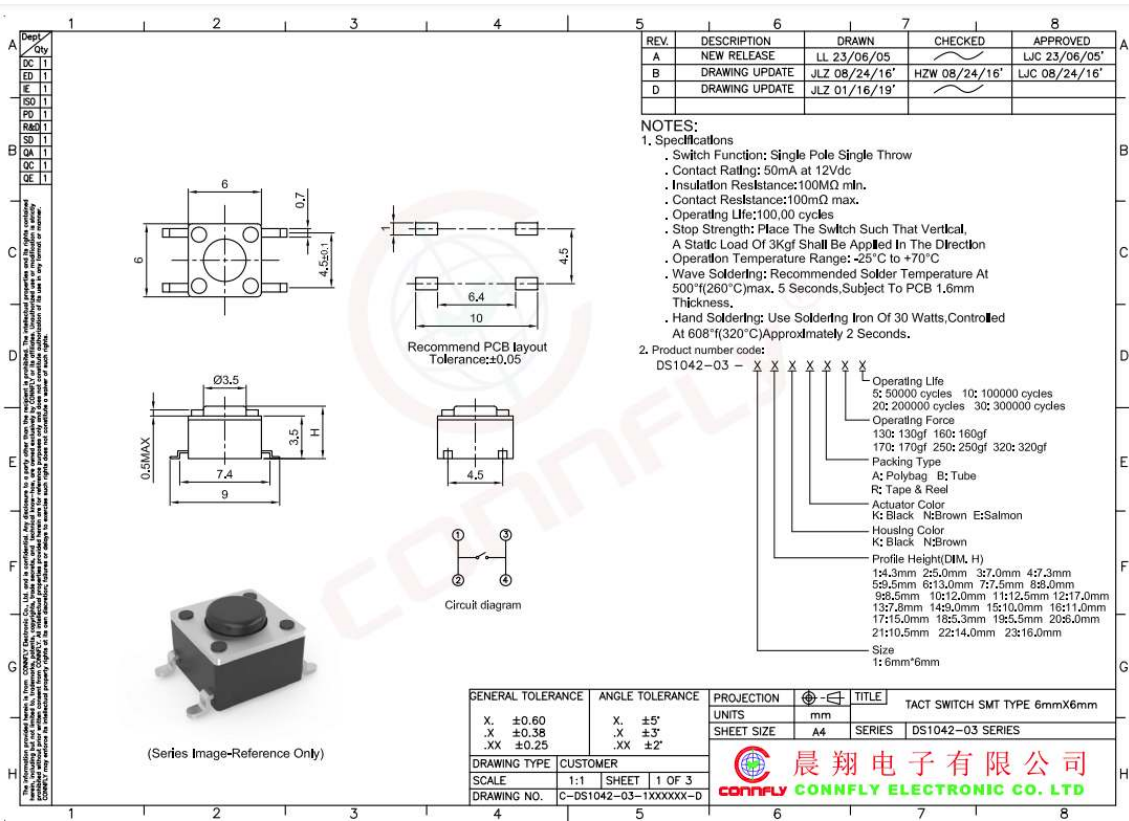


Part No.	Lens	Source Color
LTST-C190KGKT	Water Clear	AllnGaP Green

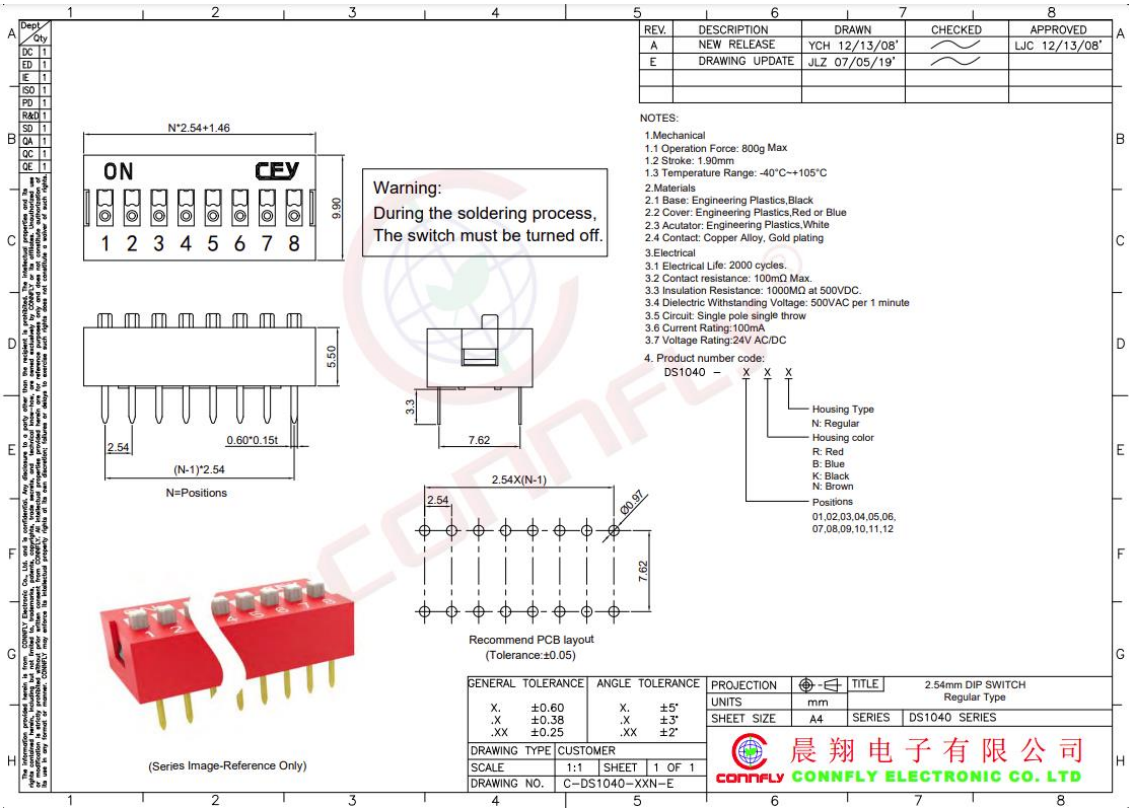
Notes:

1. All dimensions are in millimeters (inches).
2. Tolerance is ± 0.10 mm (.004") unless otherwise noted.

EK 18. SMT Buton Datasheet



EK 19. Dip8 Anahtar Datasheet



REVISION

REV.	DESCRIPTION	DRAWN	DATE
1	INITIAL RELEASE	FROS	2013/10/31
2	Moved Logo, Add date code	FROS	2014/01/09
3	Revised dimension, frame & layout	FROS	2015/05/11

DATE CODE:

5 2 0 2 DAY (1~7)

WEEK (1~52)

YEAR (2015)

P/N TABLE

P/N	Plating
112J-TAAR-R01	Gold Flash
112J-TDAR-R01	10u" Gold Plating

UNLESS OTHERWISE SPECIFIED TOLERANCE:

UNIT:	DECIMAL	LINEAR	ANGLES
mm	X. ±0.50	±0.25	±3°
	X.XX ±0.12	±0.12	±1°

ATTEND

WWW.ATTEND.COM.TW

DRAWN NAME: Micro SD Socket Push-Push Type

TOP MOUNT

APPROVED Ken 2013/10/31 **PRODUCT NO.** SEE TABLE

SCALE 4/1 **SHEET** 1/1 **SIZE** A4

FILE NAME 112J-TAAR-R01_B.3

EK 21. 12MHz Kristal Osilastör Datasheet

HC/49US (AT49) LOW PROFILE SURFACE MOUNT MICROPROCESSOR CRYSTAL

ABLS2



RoHS
Compliant



Reduced height
to 3.3mm

11.4 x 4.7 x 3.3 mm

Moisture Sensitivity Level (MSL) – This product is Hermetically Sealed and not Moisture Sensitive - MSL = N/A: Not Applicable

FEATURES:

- Suitable for RoHS compliant reflow
- Low height reduced to 3.3mm
- Available suitable for thin equipment
- Tight stability & extended temperature

APPLICATIONS:

- Computers, Modems, Microprocessors
- Wireless Applications

STANDARD SPECIFICATIONS:

Parameters	Minimum	Typical	Maximum	Units	Notes
Frequency Range	3.579545	----	24.00	MHz	Fundamental AT (Standard)
	24.01	----	50.00		Fundamental AT or BT (See options)
	24.01	----	70.00		3 rd Overtone (Standard)
Operation Mode	Fundamental or 3 rd Overtone				
Operating Temperature	0	----	+70	°C	See options
Storage Temperature	-55	----	+125	°C	
Frequency Tolerance @+25°C	-50	----	+50	ppm	See options
Frequency Stability over the Operating Temperature (ref. to +25°C)	-50	----	+50	ppm	See options (For BT cut, ±100ppm max. at -10° C to +60° C only)
Equivalent series resistance (R1)	See table 1 below			Ω	
Shunt capacitance (C0)	----	----	7	pF	
Load capacitance (CL)	----	18	----	pF	Standard (See options if other than STD)
Drive Level	----	100	1000	μW	
Aging	-5	----	+5	ppm	@25°C±3°C First year
Insulation Resistance	500	----	----	MΩ	@ 100Vdc ± 15V
Drive level dependency (DLD)	Minimum 7 points tested: from 1μW to 500μW. Change in frequency (Maximum - Minimum) over DLD range < ±10ppm Change in ESR (Maximum - Minimum) over DLD range < 25% of Max ESR value. Maximum ESR over DLD range < Max ESR value.				

TABLE 1: ESR

FREQUENCY (MHz)	ESR (Ω)
3.579545 - 4.999 (Fund.)	180
5.000 - 5.999 (Fund.)	120
6.000 - 7.999 (Fund.)	100
8.000 - 8.999 (Fund.)	80
9.000 - 9.999 (Fund.)	60
10.000 - 15.999 (Fund.)	50
16.000 - 50.000 (Fund.)	40
24.01 - 31.999 (3rd O/T)	100
32.000 - 70.00 (3rd O/T)	80



The Power of Working Together

5101 Hadden Creek Lane Spicewood TX 78669
 Phone: 512-371-6159 | Fax: 512-351-8858
 For terms and conditions of sale please visit:
www.abracon.com

REVISED: 11.15.2016

ABRACON IS
 ISO9001-2008
 CERTIFIED

FOR-1351 Rev.1.0

2

1

REVISION RECORD

REV	ECN	DESCRIPTION	DRFT	DATE

NOTES1:
 UL Standard
 1.Rated voltage/current : 300V / 20A
 2.Torque value : M2.5 , 3.54Lb.in
 3.Wire range : 30~12AWG

IEC Standard
 1.Rated voltage/current : 250V / 18A
 2.Torque value : M2.5 , 0.4N·m
 3.Wire range : 2.5mm²

NOTES2:
 1.Dimension shall be interpreted per ASME Y14.5-2009
 2.Pitch : 5.0mm, Poles : N=02~XXP
 3.Stripping length : 6~7mm
 4.Withstanding voltage : AC2000V/1Min
 5.Operating temperature : -40℃~+105℃
 6.Undimensioned tolerances:

Pitch range in mm		Nominal dimension range in mm						
To	Over	To	Over	To	Over	To	Over	
6	10	10	30	60	100	150	0.1/0	
10	24	30	60	100	150	150	≤	
±0.15	±0.20	±0.30	±0.30	±0.50	±0.70	±1.00	±2°	

7.RoHS Compliance

DG128 - 5.0 - XYP - 1Y - 00A (H)

(Series No.) (Pitch) (Poles) (Single Pitch) (RoHS)

00A-(Standard)

(Color): 1.(Grey) 2.(Blue) 3.(Black) 4.(Green) 5.(Orange) 6.(Red) 7.(Transparent) 8.(Yellow) 9.(White)

DETACHED LISTS

APPD: /

CHRD: /

DRFT: /

PART NO: /

NAME: /

TITLE: CUSTOMER DRAWING

DRAWING NO: /

THIRD ANGLE PROJECTION

NAME: 宁波德松电气有限公司

NINGBO DEGSION ELECTRICAL CO.,LTD

DG128-5.0-XXP-1Y-00A(H)

REV: /

DRFT: /

SCALE: 1:1

DO NOT SCALE DRAWING

EK 23. Dişi Header Datasheet

Connector

KLS electronic
www.cnkls.com

Female Header Series

KLS1-208 Female Header 2.54mm(0.100") /High 8.4mm

Electrical Characteristics:

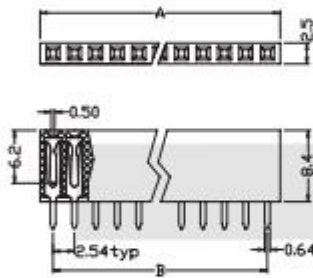
Current Rating:1 AMP
Insulator Resistance: 5000MΩmin. at DC 500V
Contact Resistance: 20mΩmax. at DC 100mA
Operating Temperature: -45°C~+105°C

Material:

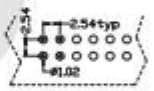
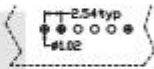
Housing:30% Glass filled PBT UL94V-0
Contacts: Brass or Phosphor Bronze
Plating:Selective gold plated : gold plated on mating area and nickel plated on wire Cutting area
Gold plated: 0.8u" over 50u" nickel

Features:

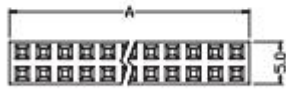
* Available in straight and right angle.
* Turning fork contacts offer lower cost for competitive market.



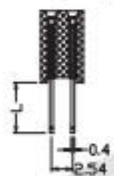
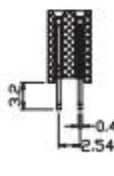
Long Dip



P.C.B Layout



Long Dip



Pincode	2 7x4 48
Dimension	4 7x4 88
Au0.20	2.54 X 8x8.5
8u0.15	2.54 X 8x2.54

ORDER INFORMATION

Product NO.: KLS1-208-1-XX-S

Pos. NO. 2.54mm Female Header-High 8.4mm
1-Single layer 2-Double layer 3-Three layer
Tail Style: S=Straight Pin R=Right Pin T=SMT Pin
Total pin number (No. of 1~80pin)

All specification & dimensions are subject to change, please call your nearest KLS sales representative for update information

EK 24. Buzzer Datasheet

SPECIFICATIONS SHEET

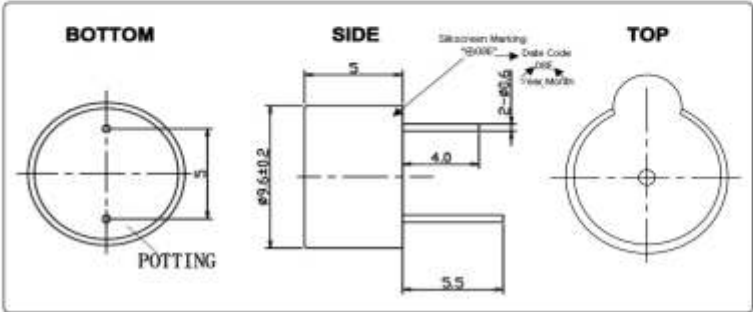
MAGNETIC BUZZER
P/N: MB9650B05NP

1. SPECIFICATIONS

PARAMETERS	VALUES	UNITS
*MIN SOUND PRESSURE LEVEL AT 10 CM	80	dB
RATED VOLTAGE	5	Vdc
OPERATING VOLTAGE	3 - 7	Vdc
RESONANCE FREQUENCY	2,500 ± 200	Hz
*MAX OPERATING CURRENT	25	mA
OPERATING TEMPERATURE	-20 to +80	°C
STORAGE TEMPERATURE	-30 to +85	°C
HOUSING	NORYL	-
WEIGHT	1	g

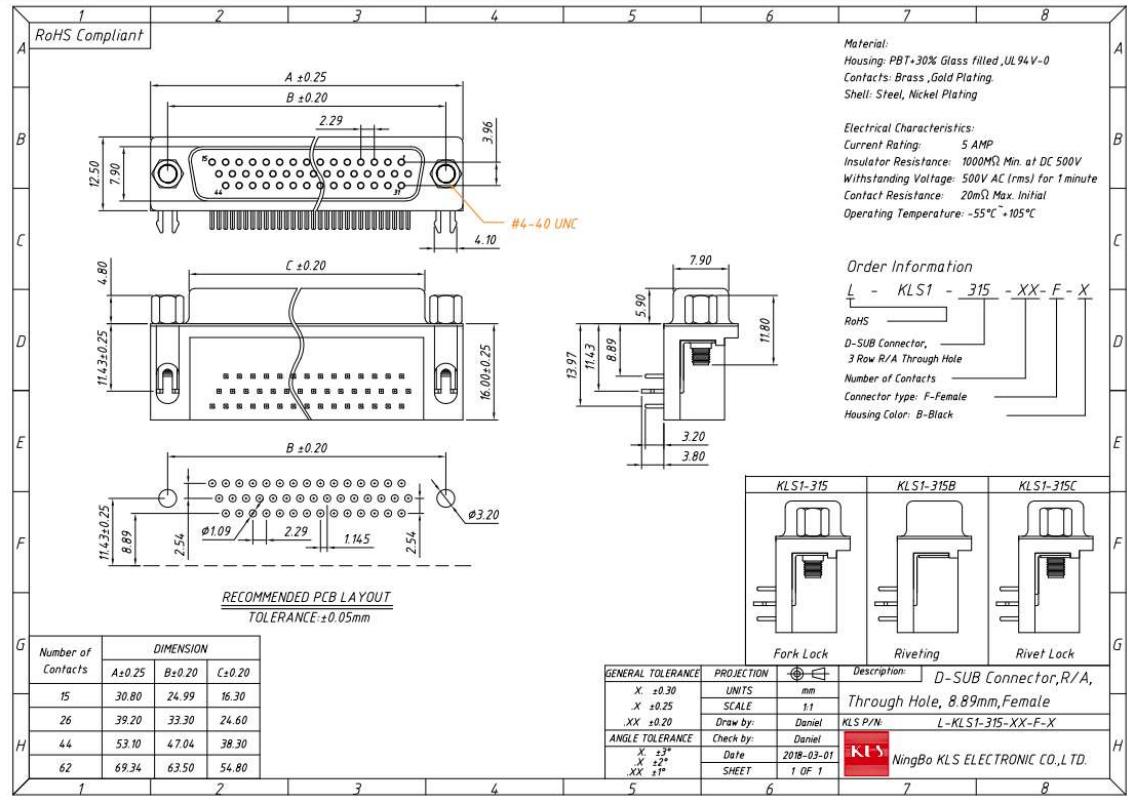
*Value applying rated voltage

2. DIMENSIONS (unit in mm)



Tolerance: ±0.5mm except specified

EK 25. VGA Konnektörü Datasheet





16 Mbit SPI Serial Flash SST25VF016B

Data Sheet

Pin Description

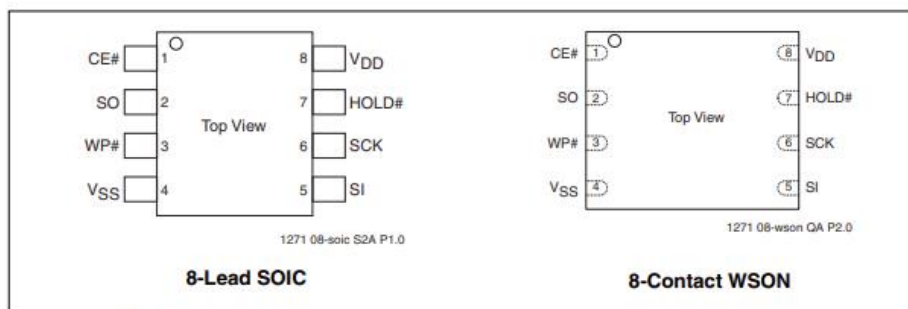


Figure 2: Pin Assignments

Table 1: Pin Description

Symbol	Pin Name	Functions
SCK	Serial Clock	To provide the timing of the serial interface. Commands, addresses, or input data are latched on the rising edge of the clock input, while output data is shifted out on the falling edge of the clock input.
SI	Serial Data Input	To transfer commands, addresses, or data serially into the device. Inputs are latched on the rising edge of the serial clock.
SO	Serial Data Output	To transfer data serially out of the device. Data is shifted out on the falling edge of the serial clock. Outputs Flash busy status during AAI Programming when reconfigured as RY/BY# pin. See "Hardware End-of-Write Detection" on page 12 for details.
CE#	Chip Enable	The device is enabled by a high to low transition on CE#. CE# must remain low for the duration of any command sequence.
WP#	Write Protect	The Write Protect (WP#) pin is used to enable/disable BPL bit in the status register.
HOLD#	Hold	To temporarily stop serial communication with SPI flash memory without resetting the device.
VDD	Power Supply	To provide power supply voltage: 2.7-3.6V for SST25VF016B
VSS	Ground	

T1.0 25044