

**T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

GRAFEN TABANLI ANALOG DEVRE TASARIMI

NİHAT AKKAN

**YÜKSEK LİSANS TEZİ
ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ ANABİLİM DALI
ELEKTRONİK PROGRAMI**

**DANIŞMAN
DOÇ. DR. BURCU ERKMEN**

İSTANBUL, 2015

T.C.
YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

GRAFEN TABANLI ANALOG DEVRE TASARIMI

Nihat AKKAN tarafından hazırlanan tez çalışması 22.07.2015 tarihinde aşağıdaki jüri tarafından Yıldız Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Mühendisliği Anabilim Dalı'nda **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Tez Danışmanı

Doç. Dr. Burcu ERKMEN

Yıldız Teknik Üniversitesi

Jüri Üyeleri

Doç. Dr. Burcu ERKMEN

Yıldız Teknik Üniversitesi

Doç. Dr. Mehmet SAĞBAŞ

İstanbul Yeni Yüzyıl Üniversitesi

Yrd. Doç. Dr. Revna ACAR VURAL

Yıldız Teknik Üniversitesi

ÖNSÖZ

Grafen tek atom kalınlığında olan, karbon atomlarının iki boyutlu hegzagonal bağ yaptığı bilinen, bilim dünyasında mükemmel malzeme olarak adlandırılmış bir malzemedir. Grafenin keşfinden sonra grafen tranzistörler üzerine çok ciddi çalışmalar yapılmış ve gelecekte elektronik devrelerde silikonun yerine geçebileceği fikri ileri sürülmüştür. Grafenin çok yüksek mobilitesi ve yüksek saturasyon hızı gibi üstün özellikleri olmakla birlikte yarı metal bir malzeme olduğu için saf grafende enerji bant aralığı yoktur. Grafen tranzistörler RF devre tasarımında çokça kullanılmaya başlanmış ve oldukça başarılı performans sergilediği bilinmektedir. Grafende enerji bant aralığı farklı yöntemlerle başarıldıktan sonra analog devre tasarımlarında grafen tabanlı tranzistörlerin kullanılabileceği ifade edilmiştir.

Bu tezde çalışılan grafen tranzistör modelinin analog devrelerde nasıl çalıştığı, devrenin karakteristiklerinin ne ölçüde doğru olduğu anlaşılmaya çalışılmıştır. Grafen gerilim kuvvetlendirici ve frekans çiftleyici devreleri için simülasyonlar yapılmış ve analog devre tasarımının önemli yapıtaşlarından akım aynalarının da grafen tranzistörler ile simülasyonları yapılmıştır.

Beni bu çalışmaya yönlendiren danışmanım Doç. Dr. Burcu ERKMEN'e destekleri için ve bu önemli malzeme ile tanışmama fırsat verdiği için teşekkürlerimi sunuyorum. Ayrıca eğitimim süresince beni maddi ve manevi desteleyen anneme, babama ve kardeşime sonsuz teşekkür ediyorum.

Grafen tranzistörlerin adını bundan sonra daha sık duyacağımız ve yapılan devre analizlerinin de gitgide artacağını düşünürsek yaptığım çalışmanın bundan sonra çalışacak arkadaşlara fikir vermesini ve onlara yardımcı olmasını umut ediyorum.

Temmuz, 2015

Nihat AKKAN

İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ.....	vi
KISALTMA LİSTESİ.....	viii
ŞEKİL LİSTESİ.....	ix
ÇİZELGE LİSTESİ	xi
ÖZET	xii
ABSTRACT.....	xiv
BÖLÜM 1	
GİRİŞ.....	1
1.1 Literatür Özeti	1
1.2 Tezin Amacı	3
1.3 Hipotez	3
BÖLÜM 2	
KURAMSAL TEMELLER	5
2.1 Grafinin Kafes Yapısı	5
2.2 Grafinin Enerji Bant Yapısı	7
2.3 Grafinin Sentezlenmesi.....	9
2.4 Grafin Alan Etkili Tranzistör Modelleme.....	10
2.4.1 Kuantum Kapasitansı	11
2.4.2 Mobilite	13
2.4.3 Drain Akımı ve Akım Satürasyonu	15
2.5 SPICE Simülatöründe Çalışabilen Grafin Alan Etkili Tranzistör.....	18
2.5.1 Hol İletimi	23
2.5.1.1 Triyot Bölgesi	24
2.5.1.2 Ünipolar Satürasyon Bölgesi	25
2.5.1.3 Ambipolar Satürasyon Bölgesi.....	26
2.5.2 Elektron İletimi	29

2.5.2.1	Triyot Bölgesi	29
2.5.2.2	Ünipolar Satürasyon Bölgesi	30
2.5.2.3	Ambipolar Satürasyon Bölgesi	30
2.5.3	Küçük İşaret Modeli ve SPICE Jakobi Girdileri	32
BÖLÜM 3		
GRAFEN TABANLI DEVRE ÖRNEKLERİ		34
3.1	Gerilim Kuvvetlendirici Devresi.....	34
3.2	Frekans Çiftleyici Devresi	38
3.3	Akım Aynası Devreleri.....	40
3.3.1	Basit Akım Aynası.....	41
3.3.2	Kaskod Akım Aynası.....	42
BÖLÜM 4		
SİMÜLASYON SONUÇLARI.....		43
BÖLÜM 5		
SONUÇ ve YORUMLAR		55
KAYNAKLAR.....		57
EK-A		
GFET PARAMETRELERİ		62
EK-B		
GFET VERİLOG-A MODELİ (1)		64
EK-C		
GFET VERİLOG-A MODELİ (2)		67
ÖZGEÇMİŞ.....		70

SİMGE LİSTESİ

C_{back}	Arka geit kapasitansı [F]
C_{ds}	Drain-Source kapasitansı [F]
C_g	Gate kapasitansı [F]
C_{gd}	Gate-Drain kapasitansı [F]
C_{gs}	Gate-Source kapasitansı [F]
C_q	Kuantum kapasitansı [F]
C_{qmin}	Minimum kuantum kapasitansı [F]
C_{qvar}	Deęişken kuantum kapasitansı [F]
C_{top}	Üst Geit kapasitansı [F]
ϵ_0	Boş uzayın elektrik geirgenlięi [8.85e-12 F/m]
ϵ_1	Top-Gate dielektrik sabiti
ϵ_2	Back-Gate dielektrik sabiti
E	Elektrik alan [V/m]
E_c	Kritik elektrik alan [V/m]
f_T	Kesim frekansı [Hz]
g_d	Drain kondüktansı [S]
g_m	Tranzistörün kondüktansı [S]
g_{mb}	Arka geit kondüktansı [S]
$\hbar_F$	İndirgenmiş Plank sabiti [1.05457e-34 m ² kg/s]
$\hbar\Omega$	Optik fonon enerjisi [eV]
I_d	Drain akımı [A]
I_{disp}	Satürasyon deplasman akımı [A]
I_{ds-sat}	Drain satürasyon akımı [A]
k_B	Boltzman sabiti [1.3806503e-23 m ² kg s ⁻² K ⁻¹]
L_{ch}	Kanal uzunluęu [m]
n_0	Minimum taşıyıcı konsantrasyonu
n	Taşıyıcı konsantrasyonu
μ	Taşıyıcı mobilitesi [cm ² /Vs]
μ_{eff}	Efektif mobilite [cm ² /Vs]
μ_{FE}	Elektrik alan etkili mobilite [cm ² /Vs]
μ_n	Alternatif taşıyıcıların mobilitesi [cm ² /Vs]

q	Elektron yükü [1,602e-19 C]
Ω	Optik fonon frekansı [Hz]
Q_d	Deplesyon yükü [C/m ²]
Q_n	Mobil yük yoğunluğu [C/m ²]
ϕ_s	Yüzey potansiyeli [V]
R_s	Seri direnç [Ohm]
R_{ds}	Drain-Source direnci [Ohm]
σ	Elektriksel iletkenlik [S]
T	Sıcaklık [K]
V_b	Arka geçit (Back-Gate) gerilimi [V]
V_{ch}	Kanal gerilimi [V]
V_d	Drain gerilimi [V]
V_{drc}	Dirac noktası gerilimi [V]
V_{drift}	Sürüklenme hızı [m/s]
V_{ds}	Drain-Source gerilimi [V]
V_{ds-sat}	Drain-Source satürasyon gerilimi [V]
v_F	Fermi hızı [m/s]
V_g	Gate gerilimi [V]
V_{gs}	Gate-Source gerilimi [V]
V_{gs-top}	Üst Geçit gerilimi [V]
V_{gs}^0	Dirac noktasında top-gate gerilimi
V_{bs}^0	Dirac noktasında back-gate gerilimi
V_{ov}	Overdrive gerilimi [V]
V_s	Source gerilimi [V]
V_T	Eşik gerilimi [V]
v_{sat}	Satürasyon hızı [m/s]
W_{ch}	Kanal genişliği [m]

KISALTMA LİSTESİ

2B	2 Boyutlu
3B	3 Boyutlu
AC	Alternating Current
BAA	Basit Akım Aynası
CMOS	Complementary Metal Oxide Semiconductor
CVD	Chemical Vapor Deposition
DC	Direct Current
FET	Field Effect Transistor
GFET	Graphene Field Effect Transistör
HfO ₂	Hafniyum Oksit
KAA	Kaskod Akım Aynası
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
OH	Hidroksit
PCB	Printed Circuit Board
RF	Radyo Frekansı
SiC	Silikon Karbid
SiO ₂	Silikon Dioksit

ŞEKİL LİSTESİ

	Sayfa
Şekil 2.1	Grafenin örgü yapısı ve Brillouin bölgesi 6
Şekil 2.2	Grafenin 3B enerji grafiği 9
Şekil 2.3	Kuantum kapasitansı eşdeğer devresi 12
Şekil 2.4	Oda sıcaklığında GFET akım satürasyonu ve "kink efekt" 16
Şekil 2.5	Grafen alan etkili tranzistörün kesit görüntüsü 19
Şekil 2.6	Çift geçitli grafen alan etkili tranzistör için devre modeli 20
Şekil 2.7	Grafen kanalın I-V karakteristiği 22
Şekil 2.8	Tek ve çift geçitli grafen tranzistörler için basitleştirilmiş devre modeli 23
Şekil 2.9	Verilog-A GFET (1) modelinin hol tipi I-V karakteristiği 28
Şekil 2.10	Verilog-A GFET (1) modelinin elektron tipi I-V karakteristiği 32
Şekil 2.11	Grafen FET küçük işaret eşdeğer devresi 33
Şekil 3.1	GFET tabanlı gerilim kuvvetlendirici devresi 35
Şekil 3.2	Her bir tranzistörün kanal direnci – gate voltajı grafiği 35
Şekil 3.3	Gerilim kuvvetlendiricinin besleme noktası yakınında giriş çıkış voltajı ilişkisi 36
Şekil 3.4	Tek katmanlı GFET gerilim kuvvetlendiricinin giriş işareti 37
Şekil 3.5	Tek katmanlı GFET gerilim kuvvetlendiricinin çıkış işareti 37
Şekil 3.6	Tek katmanlı GFET gerilim kuvvetlendiricinin normalize edilmiş giriş çıkış karakteristiği 38
Şekil 3.7	GFET tabanlı frekans çiftleyici devresi 38
Şekil 3.8	Tek katmanlı GFET frekans çiftleyicinin giriş işareti 39
Şekil 3.9	Tek katmanlı GFET frekans çiftleyicinin çıkış işareti 40
Şekil 3.10	GFET tabanlı basit akım aynası devresi 41
Şekil 3.11	GFET tabanlı kaskod akım aynası devresi 42
Şekil 4.1	SPICE simülatörü ve Verilog-A modeli ilişkisi 43
Şekil 4.2	$I_{ref} = -300 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıktısı 45
Şekil 4.3	$I_{ref} = -400 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıktısı 46
Şekil 4.4	$I_{ref} = -500 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıktısı 46
Şekil 4.5	$I_{ref} = -600 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıktısı 47
Şekil 4.6	$I_{ref} = -300 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı 47
Şekil 4.7	$I_{ref} = -400 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı 48
Şekil 4.8	$I_{ref} = -500 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı 48
Şekil 4.9	$I_{ref} = -600 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı 49
Şekil 4.10	I_{ref} akımı 0–800 μA arasında değişirken I_{ref} ve I_{out} arasındaki ilişki (BAA) 49

Şekil 4.11	I_{ref} akımı 0–800 μA arasında değişirken ($I_{ref} - I_{out}$) çıktısı (BAA).....	50
Şekil 4.12	I_{ref} akımı 0–800 μA arasında değişirken I_{ref} ve I_{out} arasındaki ilişki (KAA).....	51
Şekil 4.13	I_{ref} akımı 0–800 μA arasında değişirken ($I_{ref} - I_{out}$) çıktısı (KAA)	51
Şekil 4.14	GFET tabanlı basit akım aynası frekansa karşı kazanç grafiği	52
Şekil 4.15	GFET tabanlı kaskod akım aynası frekansa karşı kazanç grafiği.....	53
Şekil 4.16	BAA güç tüketimi grafiği ($I_{ref} = -400\mu A$)	54
Şekil 4.17	KAA güç tüketimi grafiği ($I_{ref} = -400\mu A$)	54

ÇİZELGE LİSTESİ

	Sayfa
Çizelge 2.1	Hole tipi iletim için kullanılan GFET parametreleri 28
Çizelge 2.2	Elektron tipi iletim için kullanılan GFET parametreleri 31
Çizelge 4.1	GFET akım aynaları için giriş, çıkış dirençleri ve güç tüketimi tablosu ... 54

GRAFEN TABANLI ANALOG DEVRE TASARIMI

Nihat AKKAN

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Yüksek Lisans Tezi

Tez Danışmanı: Doç. Dr. Burcu ERKMEN

Bu tezde grafen tabanlı alan etkili tranzistörler uygulama düzeyinde incelenmiştir. Grafen malzemesi 2004 yılında sentezlenmesinden bu yana geniş çapta çalışılmaktadır. Günümüzdeki silisyum tabanlı elektronik teknolojisi gün geçtikçe daha da küçülerek alt sınırına yaklaşmaktadır ve silisyum küçük ölçeklerde kararlılığını yitirmektedir. Grafen gelecekte bu problemin aşılması için oldukça umut veren bir malzemedir. Bu yüzden grafen tabanlı tranzistörlerin modellenmesi ve karakteristik özelliklerinin ortaya konulması gerekmektedir.

Grafenin silisyumdan yaklaşık altı kat daha yüksek bir satürasyon hızı ve yüksek taşıyıcı mobilitesi gibi göze çarpan, çok önemli özellikleri vardır. Grafen alan etkili tranzistörler (GFET) geçtiğimiz son yıllar içerisinde çok iyi RF performansı göstermiş ve böylelikle elektronik cihazlar ve devreler üzerine çalışan araştırmacıların odak noktası haline gelmiştir. Aynı anda GFET'lerin elektriksel özelliklerini kestirebilen analitik modeller de hızla gelişmektedir. Daha basitleştirilmiş modeller hesaplamaları kolaylaştırarak devre tasarımı olumlu katkı yapmaktadırlar.

Literatürde üst geçitli (top-gated) GFET ile yüksek transkondüktans ve akım satürasyonu başarıldığı ve bu tranzistörün analog uygulamalar için elverişli olduğu sonucuna yer verilmiştir. Bu noktadan yola çıkarak bu tezde GFET'ler ile analog devrelerin simülasyonları yapılmış ve sonuçları irdelenmiştir.

İlk olarak grafen alan etkili tranzistör için Spice’de çalışabilecek bir model anlatılmıştır. Hem elektron hem de hol iletimi için mevcut formüllerden yola çıkılarak grafen alan etkili tranzistörün üç çalışma bölgesi ve bu bölgeleri sınırlayan gerilimler ifade edilmiştir. Grafen tranzistörün matematiksel ifadeleri Verilog-A ile kodlanarak SPICE’de çalışabilir hale getirilmiştir.

Daha sonra bu grafen tranzistör modeli SPICE’de simüle edilmiştir. Grafen alan etkili tranzistörlerle yapılmış çeşitli devreler verilmiş ve bunlara ek olarak basit akım aynası ve kaskod akım aynası devreleri simüle edilmiştir. Simülasyonlar sonucunda grafen bir akım aynasının karakteristik özellikleri ve çalışma şekli ortaya konulmuştur ve tartışılmıştır.

Anahtar Kelimeler: Grafen, grafen alan etkili tranzistörler, gfet, grafen tabanlı devreler, grafen akım aynası

GRAPHENE BASED ANALOG CIRCUIT DESIGN

Nihat AKKAN

Department of Electronics and Communications Engineering

MSc. Thesis

Adviser: Assoc. Prof. Burcu ERKMEN

This thesis presents a model of graphene field effect transistor and its some of applications. Since in 2004, graphene has been widely investigated after its synthesis. In present day silicon based electronics technology is scaling down and has been reaching the ultimate limits day by day, therefore Si loses its stability in smaller scales. In the next future graphene is very promising material to overcome this problem. That's why it is necessary to model graphene based transistors and reveal their characteristic equations.

Graphene has outstanding properties such as high carrier mobility and high saturation velocity approximately six times bigger than Si material. Graphene field effect transistors (GFETs) have performed very well in RF during last years and thus have been focused seriously by electronic devices and circuits communities. Meanwhile, analytical models which describe the electrical characteristics of GFETs are evolved quickly. Simplified models make calculations easier and then give positive contribution to circuit design.

In literature, high transconductance and current saturation are achieved with a designed top-gated GFET. Starting from this point, analog circuits are simulated with GFETs and the results are analysed.

Firstly, a model for graphene field effect transistors is told and it is important to be compatible of the model with SPICE. Mathematical equations for electron and hole conduction available are given in this thesis and with the help of these equations three operating regions of GFETs and boundary voltage conditions, which defines that regions, are expressed.

Afterwards GFET model is simulated in SPICE. Some circuits made of graphene transistors and in addition to these circuits simple current mirror and cascode current mirror are simulated. As a result of these simulations it has been shown that graphene based current mirrors can be done and their characteristic properties and operating ways are presented and discussed.

Keywords: Graphene, graphene field effect transistors, gfet, graphene based circuits, graphene current mirrors

1.1 Literatür Özeti

Günümüzdeki silisyum tabanlı elektronik teknolojisi gün geçtikçe sınırlarına yaklaşmaktadır. Silisyum çok küçük ölçeklerde kararlılığını yitirmektedir. Yarı iletken endüstrisinin elektronik bileşenlerin küçültülmesi konusunda gelecek 20 yıl içinde karşı karşıya kalması beklenen en büyük sorunlardan biri en alt, nihai sınıra ulaşmaktır. Bunun için çeşitli malzeme arayışları başlamıştır ve grafenin buluşuyla bu sorunun aşılabileceği düşünülmektedir. Silikon tabanlı teknoloji alt sınıra ulaştığı zaman sadece tek bir atom kalınlığındaki grafen bu soruna bir alternatif oluşturabilecektir.

Grafenin karbonun başka bir formu olduğu on yıllardır sadece kuramsal olarak biliniyordu. 2004 yılında Andre Geim ve Konstantin Novoselov mekanik ayrıştırma yöntemi ile ince grafen tabakalarını üretmeyi başardılar. Geim ve Novoselov bu buluşları ile 2010 yılında Nobel Fizik Ödülü aldılar. 2010 yılı grafen için önemli bir yıl oldu, üç bine yakın grafene ilişkin makale yayınlandı ve bunun yanı sıra aşağı yukarı dört yüz patent başvurusu yapıldı. Ülkeler grafenin ticarileşmesi için ciddi yatırımlar yapmaktadırlar ve artık her geçen gün yeni bir buluşu nanoteknoloji haberlerinde görmek mümkündür. Grafen karbon atomlarının altıgenlerden oluşan bal peteği örgü yapısında sıralanmasından elde edilen tek katmanlı bir yapıdır [1]. Bazen yanıltıcı olarak grafen ismi çok katmanlı olarak anılır, ancak birkaç katman oluşan grafen yapının özelliklerinde önemli değişimler gözlemlenir. Çok katmanlı grafen en fazla on katmana sahip olabilir, on katmandan sonra karbon yapı grafit ismini alır.

Grafenin atomik yapısı ona olağanüstü elektriksel, optik, mekanik ve termal özellikler kazandırır [1]. En çok ilgi çeken elektriksel özellikleri yüksek elektron mobilitesi ve yük taşıyıcıların balistik taşınımıdır, ancak bu özelliklerle birlikte sıfır enerji bant aralığı çözülmesi gereken bir problemdir. Saf grafende enerji bant aralığının yoksunluğu belki de büyük ölçekte üretimi ile birlikte en büyük mühendislik sorunudur. Enerji bant aralığının sıfır olması grafenin iletim durumundan, iletim olmayan durumuna anahtarlayamamasına neden olur. Grafeni CMOS lojik devrelerde silikonun kullanıldığı gibi kullanmak istersek eğer enerji bant aralığı yoksunluğu karşımıza bir problem olarak çıkacaktır [2]. Bununla beraber, grafenin radyo frekansı gibi uygulamalarda çokça kullanıldığı görülmektedir. Transistörler grafenin tek kullanım alanı değildir, örneğin grafen ince film elektrotlar, sensör malzemesi ve fotodetektör olarak kullanılabilir.

Bugün en çok çalışılan grafen transistör grafen alan etkili transistördür (GFET). GFET çalışma prensibi, tek katmandan veya birkaç katmandan oluşan grafendeki ambipolar elektrik alan etkisini esas almaktadır [3]. Ambipolar alan etkisi, iletim ve değerlik bantlarındaki küçük çakışmaya bağlı olarak ortaya çıkar. Bir GFET'in yapısı silikon FET'lerin yapısına benzer. Cihazın içerisinde akan akım elektrik alan ile kontrol edilir.

K.S. Novoselov ve A. Geim'in öncülük ettikleri araştırmaları [1] ardından grafene çok büyük bir ilgi olmuştur. Elektronik uygulamalarda grafenin gelecek vaat eden özellikleri incelenmiş ve önümüzdeki yıllarda Moore yasasının devamını sağlayabileceği tahmin edilmiştir. Kendine özgü yüksek frekans performansının artırılması amacıyla bu zamana dek birçok araştırma grubu iyi kalitede grafen alan etkili transistörleri geliştirmeye odaklanmış durumdadır. Grafen transistörlerin sırasıyla 67 nm ve 140 nm geçit uzunluklarında 427 GHz ve 300 GHz kesim frekansı (f_T) verdiği belirtilmiştir [4], [5]. Bu değerlerin silikon transistörlerde görülen f_T değerlerinden önemli ölçüde daha büyük olduğu ve III/V yarı iletken transistörlerin değerleri ile kıyaslanabilir olduğu belirtilmiştir [6]. Buna ek olarak, Meric vd. [7] 34 GHz kadar yüksek bir osilasyon frekansının (f_{max}) olduğunu belirtmişlerdir. Öte yandan GFET cihazların devre düzeyindeki kapasitesini inceleyebilmek için çeşitli devreler sunulmuştur. Lin vd. [8] 10 GHz'e kadar olan frekanslarda çalışan, SiC pul üzerine entegre edilmiş tek parça bir geniş bant grafen RF karıştırıcı sunmuşlardır. H. Wang vd. ambipolar taşınım özelliğine

dayanan grafen bazlı frekans çarpıcı ve karıştırıcılar önermiştir [9]–[11]. Z. Hang vd. [12] “top-gate” GFET ile yüksek performanslı bir frekans çiftleyici tanıtmışlardır. Son zamanlarda grafenin kuvvetlendirici olarak kullanılabilmesine yönelik bazı çalışmalar yapılmıştır. X. Yang vd. [13] grafen kanalın ambipolar mahiyetini kullanarak tek bir GFET ile kuvvetlendirici tasarlamışlardır. J. Lee vd. [14] PCB üzerinde bir güç kuvvetlendiricisi uygulamışlardır ve pasif elementler ayarlanarak 380 MHz de maksimum 1.3 dB kazanç rapor etmişlerdir. Grafen FET bazlı gerilim yükselteçleri de literatürde yer almaktadır [15]—[17].

1.2 Tezin Amacı

Bu tezin amacı grafen tabanlı alan etkili tranzistörlerin üretimi, çalışma prensipleri hakkında bilgi vermek, çalışılan GFET modeli ve parametrelerinin analog devre tasarımında kullanılabilme kapasitelerini simülasyon bazında göstermek ve grafen tabanlı devre tasarımları hakkında bir literatür özeti sunmaktır.

1.3 Hipotez

SPICE uyumlu bir grafen tranzistör modeli Verilog-A ile kodlanarak SPICE’ye entegre edilmiştir. EK-B ve EK-C’de verilen Verilog-A ile yazılan kodlar tranzistör kütüphanesi olarak düşünülebilir. Literatürdeki grafen tabanlı devre tasarımlarına ek olarak bu tezde SPICE ortamında grafen FET tranzistörlerle yapılmış bir basit akım aynası ve kaskod akım aynası çalışılmıştır. GFET ile yapılan bir akım aynasının ne derece başarılı olduğu simülasyon sonuçlarında aktarılmıştır.

Tez beş bölüme ayrılmıştır. İlk bölümde grafen tranzistörlere bir giriş yapılmış, konu ile ilgili literatür özeti verilerek tezin amacı ve hipotez sunulmuştur.

İkinci bölümde konu ile ilgili kuramsal temeller verilmiştir. Grafenin yapısı, sentezlenmesi, grafen alan etkili tranzistörlerin nasıl modellendiği ve tezde kullanılan SPICE uyumlu model hakkında bilgi verilmiştir.

Üçüncü bölümde grafen tranzistörlerle yapılan örnek devreler ve simülasyonları verilmiştir. Ayrıca tezde yapılan akım aynası devreleri hakkında da bilgi verilmiştir.

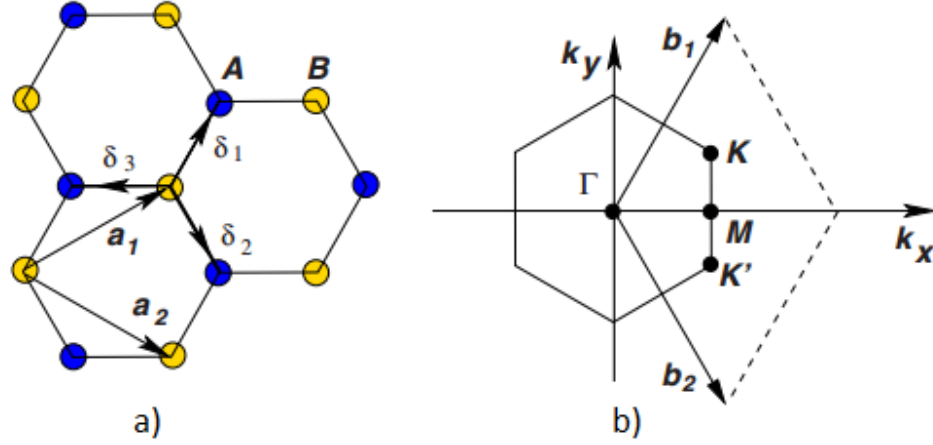
Dördüncü bölümde de Verilog-A modülünün SPICE'ye nasıl entegre edileceği anlatılmış ve yapılan simülasyonlar verilerek grafen tabanlı bir akım aynasının karakteristik özellikleri sunulmuştur.

Son bölümde ise çıkarılan sonuç ve yapılan değerlendirmelere yer verilmektedir.

KURAMSAL TEMELLER

2.1 Grafenin Kafes Yapısı

Grafen kristal yapısından dolayı dikkat çekici bir bant yapısına sahiptir. Karbon atomları iki boyutlu düzlemsel bir yapıda altıgenel bir örgüye sahiptirler. Karbon atomları arasındaki uzaklık 1.42 Angstromdur. Grafen 1s ve 2p orbitalleri arasında sp^2 melezleşmesi yapar ve karbon atomları arasında σ bağı oluşumuna neden olur. σ bağları güçlü kovalent bağlardır ve yapının sağlam olmasını sağlar. Boşta kalan p_z orbitalleri komşu karbon atomlarının p_z orbitalleri ile bağ kurup π ve π^* enerji bantlarını oluşturmaktadırlar. Her bir p orbitali ekstra bir elektrona sahiptir ve π bandı yarı doludur. Yarı dolu bantlar güçlü sıkı bağlanma karakterine sahiptirler ve korelasyon aralığından dolayı yarıiletken davranış söz konusudur. Grafenin örgü yapısı ve Brillouin bölgesi Şekil 2.1’de gösterildiği gibidir.



Şekil 2.1 a) Grafenin örgü yapısı b) Grafenin örgü yapısına karşılık gelen Brillouin bölgesi [18]

Grafenin örgü vektörleri şu şekilde yazılırlar [19] ,

$$\vec{a}_1 = \frac{a}{2}(3, \sqrt{3}) \quad (2.1)$$

$$\vec{a}_2 = \frac{a}{2}(3, -\sqrt{3}) \quad (2.2)$$

ters örgü vektörleri ise,

$$\vec{b}_1 = \frac{2\pi}{3a}(1, \sqrt{3}) \quad (2.3)$$

$$\vec{b}_2 = \frac{2\pi}{3a}(1, -\sqrt{3}) \text{ olarak ifade edilirler.} \quad (2.4)$$

K ve K' noktaları Brillouin bölgesinin köşelerinde bulunur ve bu noktalar Dirac noktaları olarak adlandırılır.

$$K = \left(\frac{2\pi}{3a}, \frac{2\pi}{3\sqrt{3}a} \right) \text{ ve } K' = \left(\frac{2\pi}{3a}, -\frac{2\pi}{3\sqrt{3}a} \right) \quad (2.5)$$

Grafenin kafes yapısı ve diğer özellikleri hakkında daha geniş teorik bilgi referans [18] ve [20]'de verilmiştir.

2.2 Grafenin Enerji Bant Yapısı

Enerji bant yapısı katı hal fiziğinin önde gelen bir kavramıdır. Elektron ve hollerin izin verilen ve yasaklı enerji durumlarını belirten, böylece malzemenin elektriksel davranışını tanımlayan bir kavramdır. Bir malzemenin fiziksel özelliklerini anlamak ve yarı iletken cihaz fiziğini kavramak için olmazsa olmaz bir araçtır.

Grafen tek atom kalınlığında, sp^2 melezleşmesi yapan, karbon atomlarının oluşturduğu, bal peteği örgü yapısına sahip bir karbon allotropudur. Grafenin enerji bant yapısı sıkı bağ yaklaşımı kullanılarak çözülebilir. Bal peteği örgüsü her birim hücrede 2 atoma sahiptir ve bundan dolayı da grafenin π bantları 2×2 Hamiltoniyene sahiptir. Hamiltoniyenin köşegen elemanları en yakın komşu etkileşimlerini ifade ederken, köşegen olmayan elemanlar diğer altörgülerdeki en yakın üçüncü komşuluğundaki etkileşimleri tanımlar. Elektronik bant yapısı denklemlerinin çıkarımı detaylı olarak [18] de incelenebilir.

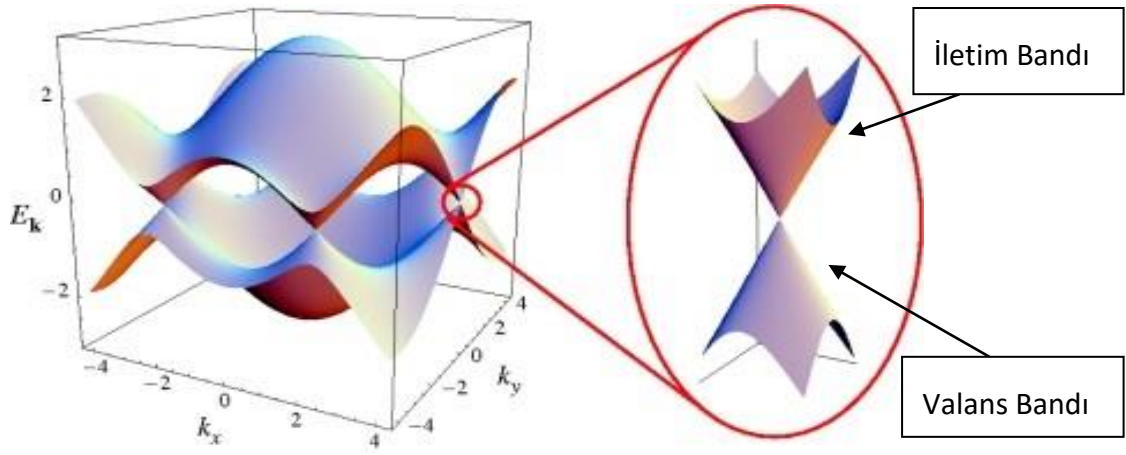
Grafen 2B bir malzemedir, fakat çift katmandan ve birkaç katmandan oluşan grafen arasında ayrımlar yapılabilir [1]. İki katmandan oluşan grafenin elektronik bant yapısı tek katmanlı grafenden oldukça farklıdır. Çift katmanlara dik yönde elektrik alan uygulanarak birkaç yüz mili eV bant aralığı elde edilebilmektedir [21]. Bernal istifli iki katmanlı grafendeki boşluk katmanlar arasındaki ‘pseudospin’ oluşumlarından kaynaklanır ve böylece elektriksel olarak bir bant aralığına neden olur [22].

Grafenin hâlâ tamamen araştırılmamış birçok özelliği var, hatta geniş alan grafende bant aralığının varlığı bile tartışmalıdır. Çift katmanlı grafene elektrik alan uygulayarak bant aralığı açmaya ek olarak kuantum kapatma ile örneğin grafen nano şeritler üreterek bant aralığı yaratılabilir [1]. Özellikle grafen nano şeritlerle, kenarlar elektriksel özellikler üzerinde oldukça önemli etkiye sahip olabilir [23]. Kenar etkileri hâlâ etkin bir şekilde araştırılmaktadır. Nümerik modelleme gerinme kaynaklı bant açmanın da bir ihtimal olduğunu göstermekte fakat deneysel olarak ispat edilememiştir [24]. Eğer ki grafen silikon CMOS teknoloji ile rekabet edecekse bant aralığının varlığı önemli bir parametredir [22]. Lojik kapılarda güç tüketimini minimumda tutmak için enerji aralığına sahip olması çok önemlidir.

Grafenin bant yapısı, bant kenarları etrafındaki enerji dağılımının kuadratik yerine doğrusal olması sebebiyle yarı iletkenlerin bant yapısından farklıdır [25]. Yük taşıyıcıların mobilitesi grafendeki hatalar sebebiyle sınırlanmaktadır. Saçılma ile sınırlanan elektronik taşınmaya balistik taşınma adı verilir. Saf ve hatasız grafende balistik taşınım mümkündür. Fakat bu şekilde hatasız ve saf grafeni elde etmek zordur ve genellikle de başarılmaz. Grafende bant dağılımının doğrusallığı elektronların hızının enerji veya momentumdan bağımsız olduğunu gösterir. Grafende elektronların hızı maksimum Fermi hızıdır ve bu da ışık hızının üç yüzde biridir[18]. Bir diğer şaşırtıcı özellik ise fononlar ve yüklü yabancı maddeler üzerinden geriye saçılım yasaklıdır ve ortalama serbest yol yüz nanometreler mertebesinde.

Şekil 2.2’de grafenin bant yapısı gösterilmektedir. Dirac noktasının etrafındaki lineer dağılım, valans ve iletim bantlarının karşı karşıya geldiği kısım bant diagramından görülebilir.

Grafenin elektriksel özellikleri üzerine çok yoğun çalışılmaktadır, fakat mekanik ve termal özellikleri hakkında birçok şey bilinmemektedir [26]. Grafenin mekanik ve termal özellikleri karbon nanotüplerinkine benzer. Bazı ölçümler grafenin kırılabilmesi için gerekli olan kuvvetin 40 N/m ve termal iletkenliğin 5000 W/mK seviyesinde olduğunu göstermektedir ama yine de grafenin termodinamik özellikleri büyük ölçüde bilinmemektedir [26]. Grafen kimyası henüz erken fazlarındadır ve gelecek vaat etmektedir. Grafen farklı atomları ve molekülleri (K, OH vb.) absorbe edebilir veya ayrıştırabilir. Yüzeye tutunan maddeler grafenin elektronik özelliklerini etkileyebilir. Bölgesel bir katkılama da mümkündür. Buna ek olarak grafenin değişik koşullar altındaki stabilitesi çok fazla ilgi çekmemiştir.



Şekil 2.2 Grafenin 3B enerji grafiği [18]

2.3 Grafenin Sentezlenmesi

Bu kısımda grafen bazlı tranzistörlerin üretimi aşamasındaki zorlukların anlaşılması bakımından en çok kullanılan grafen sentezleme yöntemlerine kısaca değinilecektir. Grafenin selo bant metodu (scotch tape method) olarak bilinen mekanik ayrıştırma yöntemi ile keşfinin ardından en iyi kalitede geniş alanlı grafen üretebilmek için ciddi atılımlar olmuştur [22]. Yüksek kalitede hatasız grafen üretebilmenin önemi çok büyüktür zira grafende elektron taşınımı ve akım satürasyonu üzerine yapılan incelemelerde kristal kafes hatalarının elektron ve hol taşınımını engelleyen bir faktör olduğu belirtilmektedir. En iyi kalitede grafen mekanik ayrıştırma yöntemi ile elde edilirken büyük ölçekte grafen üretimi için kimyasal buhar biriktirme (Chemical Vapor Deposition – CVD) ve silikon karbid (SiC) desorpsiyon yöntemi adıyla iki farklı sentezleme yöntemi geliştirilmiştir [22].

Mekanik ayrıştırma yönteminde grafit kütle bir bant ile tekrar tekrar soyularak ayrı ayrı grafen katmanlara ayrılır ve daha sonra silikon dioksit (SiO_2) gibi bir alttaş üzerine aktarılır [1]. Novoselov ve Geim, 2004 yılında görünmeyen grafen pulların belli kalınlıktaki bir SiO_2 alttaş üzerinde görünür hale geldiğini keşfetmişlerdir. Bu olgu grafen-alttaş arasındaki optik girişime dayanmaktadır. Grafen pulların tek, birkaç veya çok katmanlı olup olmadığı Raman spektroskopisi kullanılarak anlaşılabilmektedir.

Grafen yüksek sıcaklık ($1200\text{ }^\circ\text{C}$) ve çok yüksek vakumlu ortamda SiC'den silikon süblimleştirilerek sentezlenebilir [27]. Bu metot sayesinde SiC yalıtkan bir alttaş sağlar

ve üstgeçitli FET üretimi için grafen katmanın tranfer edilmesine ihtiyaç duyulmaz. Fakat bu metodun dezavantajları henüz ağır basmaktadır. Yüksek sıcaklık olması uygun maliyetli değildir ve geniş ölçekte üretim için uygun olmayabilir. Kristal büyütme yönüne bağlı olarak grafen katmanın farklı özellikleri vardır [26]. Si ile biten yüzde büyütülen grafen kötü bir homojenliğe ve kristal yapıya sahiptir ve istenmeden katkılanmaya maruz kalabilir. Karbonla biten SiC üzerinde büyütülen grafene dönel düzensizlikleri sebebiyle 'turbostratic' grafen denilir. Karbon yüzde büyütülen grafen Si yüzde büyütülene göre daha yüksek mobiliteye ve daha az katkıya sahiptir.

Halihazırdaki yarı iletken endüstrisi proseslerine uyumlu olması sebebiyle CVD grafen sentezinde ilgi çeken bir yöntemdir [22]. Grafen nikel (Ni), bakır (Cu) gibi metal alttaşlar üzerinde CVD yöntemiyle büyütülmektedir. Bu yöntemle büyütülen grafen katmanın bir alttaş üzerine transfer edilmesi gerekmektedir. Bu işlem zordur ve grafen katmanın kalitesinin düşmesine ve hatta katlanmasına yol açar. Bununla birlikte CVD metoduyla sentezlenen grafen daha geniş tane boyutlarına sahiptir. Araştırmacılar bu yöntemi silikon pul boyutlarına genişletilebileceğini düşünmektedirler.

Büyük ölçekte grafen sentezlenmesi için doğrudan kimyasal sentezleme [26], iyon implantasyonu [28], kristal sonifikasyon [26] ve hatta grafen tabaka oluşturmak için karbon nanotüplerin uçlarını açılması [29] gibi önerilen yöntemler vardır.

2.4 Grafen Alan Etkili Tranzistör Modelleme

İlk grafen tabanlı alan etkili tranzistör 2004 yılında üretilmiştir ve bu da grafenin elektronik özelliklerine muazzam bir ilgi başlatmıştır. Geçit gerilimi uygulanarak grafen FET'lerdeki yük taşıyıcıları elektronlardan hollere değiştirilebilir. Grafen 200,000 $\text{cm}^2/\text{V.s'ye}$ varan kendine özgü yüksek mobilité ve $5.5 \times 10^7 \text{ cm/s}$ gibi yüksek bir satürasyon hızı sergilemektedir [30]. Bu özellikleri grafeni yüksek hızdaki elektronik cihazlar için mükemmel bir malzeme haline getirmektedir. Yüksek kesim frekansına sahip bu tranzistörler çok iyi RF karakteristikleri sunmaktadırlar.

Grafen alan etkili tranzistörleri modelleme ve karakterize etme yöntemleri fabrikasyon teknolojileri ile beraber gelişmektedir, zira daha kaliteli GFET'ler üretildiğinde daha iyi

modeller geliştirilebilir. GFET'lerdeki fabrikasyona bağlı değişimler amprik modellemede sorun teşkil etmektedir.

Yapılan grafen FET devre modelleri ve küçük işaret modelleri GFET'in MOSFET gibi davrandığı gözlemine dayanarak yapılmıştır. GFET'in minimum kondüktans noktası ve Dirac noktası yakınındaki işleyişi henüz tamamen analiz edilmedi. Örneğin Dirac noktasının bir platoya genişlemesindeki asıl mekanizma etraflıca çalışılmamıştır.

Mobilite, kuantum kapasitansı, kontak ve kanal dirençleri, akım satürasyon hızı ve transkondüktanslar GFET'in ilgilenilen önemli parametreleridir.

2.4.1 Kuantum Kapasitansı

Kuantum kapasitansı grafen kanaldaki toplam net yükün uygulanan elektrostatik potansiyele göre türevi olarak tanımlanır [31]. Toplam yük Fermi enerji seviyesi E_F 'deki durum yoğunluklarının ağırlıklı ortalamaları ile orantılıdır. Durum yoğunlukları enerjinin bir fonksiyonu olarak bilindiği takdirde kanalın kuantum kapasitansı C_q ölçülebilir bir sıcaklıkta hesaplanabilir[32].

Kuantum kapasitansı, grafen kanal içindeki yükün iletim ve değerlik bandındaki harekete karşı davranışını tanımlar ve deneysel olarak gate voltajı V_G ile değiştirilebilen Fermi enerji seviyesinin, E_F , güçlü bir fonksiyonudur. Bu durum grafeni diğer bilinen iki boyutlu elektron sistemlerinden ayırır ki zaten bu sistemlerde genellikle kuantum kapasitansı deneysel verilerden çıkarmanın zor olduğu küçük ve sabit bir katkıdır [31]. Grafende durum yoğunlukları taşıyıcı konsantrasyonuna bağlıdır ve kapasitans ölçümlerinde bu durum küçük durum yoğunluğu katkılarını bile geometrik kapasitans üzerinde kolaylıkla farkedilebilir yapar [33].

Kuantum kapasitansı teriminin kökenini anlamak için bir elektrodu düşük durum yoğunluğuna sahip 2B bir metal ve diğer elektrodu büyük durum yoğunluğuna sahip normal bir metal olan paralel levhali kapasitör durumu değerlendirilebilir [33]. Grafen elektrik alan altında kuantum kapasitansı olarak ifade edilen kapasitif bir davranış gösterir. Kuantum kapasitansı grafenin kendine özel doğrusal enerji dağılımından kaynaklanır. Grafen alan etkili tranzistörlerde grafen katman, izolatör ve yarıiletkenin kapasitans katkısına seri olacak bir kapasitans ekler. Grafen kuantum kapasitansı geçit

oksidi kapasitansı ile seridir ve hesaplamalarda dikkate alınmalıdır ve eğer geit dielektrięi kalınlıęı azaltılırsa bu kapasitans hesaba katılmalıdır. Kuantum kapasitansı yk tařıyıcılar iin Fermi-Dirac daęılımı farz edilerek grafenin durum yoęunluęundan tretilmiřtir [34].

Grafenin kuantum kapasitansı kanal gerilimine ařaęı yukarı doęrusal olarak baęlıdır ve minimum kondktans noktası civarında minimum deęere sahiptir [35]. Dahası, kapasitans Dirac noktasına gre simetriktir [36]. Kuantum kapasitansı referans [35]'te eřitlik (2.6)'daki gibi ifade edilmektedir.

$$C_q = \frac{2q^2 k_B T}{\pi (\hbar v_F)^2} \ln \left[2 \left(1 + \cosh \frac{q V_{ch}}{k_B T} \right) \right] \quad (2.6)$$

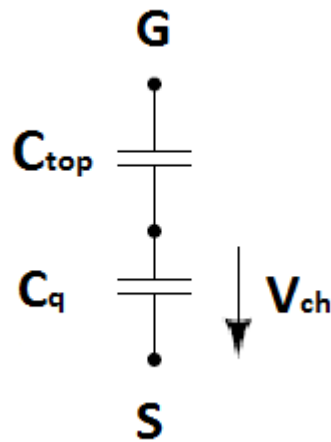
k_B : Boltzmann sabiti, $\hbar$: Plank sabiti V_{ch} : kanal gerilimi

Eřitlik (2.6)'yı $q V_{ch} \gg k_B T$ kořulunda ařaęıdaki gibi sadeleřtiririz.

$$C_q \approx q^2 \frac{2q V_{ch}}{\pi (\hbar v_F)^2} = \frac{2q^2 \sqrt{n}}{\hbar v_F \sqrt{\pi}} \quad (2.7)$$

Kuantum kapasitansı katkı maddelerinden ve kafes hatalarından etkilenmektedir [35].

Grafenin kuantum kapasitansı uygulanan st geit gerilimine gre doęrusal olduęu iin sensr uygulamalarında kullanılabilir fakat kuantum kapasitansındaki kk deęiřimlerin llmesi bir zorluktur.



řekil 2.3 Kuantum kapasitansı eřdeęer devresi

2.4.2 Mobilite

Tranzistörün özellikleri incelendiğinde yük taşıyıcıların mobilitesi sık sık başarımların ölçüsü (figure of merit) olarak kullanılır. Mobilitenin yüksek olması daha hızlı tranzistörler anlamına gelir. Mobilite kafesteki pertürbasyonların ve yabancı maddelerin sebep olduğu saçılım sebebiyle kısıtlanır. Silikon gibi diğer yarıiletkenlerin aksine grafenin katkılanmaya ihtiyacı yoktur. GFET'in mobilitesi için farklı tanımlamalar ve hesaplama yöntemleri vardır.

Drude modeli eğer taşıma ortalama serbest yolu örneğin uzunluğundan daha büyükse iletkenlik mobilitesini hesaplamak için kullanılabilir [37]. Grafen için taşıma ortalama serbest yolu aşağı yukarı 100 nm olarak kestirilir, yani Drude modeli mikrometre mertebelerindeki numuneler için uygulanabilir [38].

FET'ler için tanımlanabilen üç tip mobilite vardır; alan etkili mobilite, efektif mobilite ve satürasyon mobilitesi [39]. Bunlara ek olarak da Hall mobilitesi ölçülüp hesaplanabilir. Efektif mobilite drain kondüktansı g_d ve mobil yük yoğunluğu Q_n yardımıyla tanımlanır.

$$\mu_{eff} = \frac{g_d L}{W Q_n} \quad (2.8)$$

Alan etkili mobilite genellikle efektif mobiliteden daha düşüktür ve eşitlik (2.9) ile gösterilir.

$$\mu_{FE} = \frac{L_{ch} g_m}{W_{ch} C_G V_{DS}} \quad (2.9)$$

V_{DS} drain–source gerilimidir. Bu eşitliğin (2.9) kullanımı seri dirençlerin etkisinin kaldırılmasını gerektirir. Geçit kapasitansı C_G , grafen katmanının kuantum kapasitansını içermelidir.

Satürasyon mobilitesi satürasyon hızı kadar ilgi çekici bir parametre değildir. Meric vd.'nin çalışması [30] hariç çoğu GFET akım satürasyonu göstermez.

Literatürde grafen FET mobiliteleri hesaplanmıştır. Örneğin; M. Lemme vd. [40], holler için iletkenlik mobilitesini $710 \text{ cm}^2/\text{Vs}$ ve elektronlar için $530 \text{ cm}^2/\text{Vs}$ bulmuşlardır.

Dimitrakopoulos vd. [41], Hall mobilitelerini 1575 cm²/Vs, alan etkili mobiliteleri 1400 cm²/Vs olarak bulmuşlardır. Y. M. Lin vd. [42], alan etkili mobiliteleri 800-1500 cm²/Vs ve referans [43]'te alan etkili mobiliteleri 2700 cm²/Vs olarak rapor etmişlerdir. I. Meric vd. referans [44]'te düşük alan etkili mobiliteleri 10000 cm²/Vs olarak belirtmişlerdir.

Grafen tranzistörlerin mobilitesi başarımlı ölçüsü (figure of merit) olarak çok da iyi tanımlanmış değildir. Literatürdeki GFET çalışmalarında mobiliteler için hangi tanımların kullanıldığı çok net değildir. Bazen mobiliteler için kullanılan tanımın yetersiz raporlanması kafa karışıklığına yol açabilir [45]. Kısa kanallarda elektrik alan kuvveti nispeten düşük drain-source gerilimleriyle bile yüksektir. Yük taşıyıcıların hızlarının yüksek elektrik alanda satüre olması beklenir. Üstü kapalı tanımlamalar ve farklı ölçüm yöntemleri alan etkili tranzistörlerin mobiliteler değerlerinin karşılaştırılmasını zorlaştırır. Literatürde belirtilen yüksek mobiliteler değerleri bant aralıksız büyük alanlı grafenler için bulunmuştur ve bu değerlerin bant aralığı açılmış grafenden daha yüksek olması beklenir. Mobiliteler için yapılan farklı tanımlamalar referans [39]'da detaylıca incelenebilir.

Yapılan ölçümlerden mobilitenin çıkarımı için literatürde en yaygın kullanılan üç yöntem vardır. İlk yöntem transport eğrisinin ($\sigma - V_g$) ölçülmesidir ve mobiliteleri lineer

bölgede uydurmak için $\mu = C_g \frac{\Delta\sigma}{\Delta V_g}$ denklemi kullanılır. Transport eğrisinin doğrusal

olmaması ve lineer bölgenin keyfi seçilmesi bu yöntemin sıkıntılı tarafıdır. İkinci yöntem ise aşağıdaki denklem kullanılarak iletkenlik mobilitelerinin hesaplanmasıdır [46]

.

$$\mu = \frac{\sigma}{nq} = \frac{\sigma}{C_g (V_g - V_{drc})} \quad (2.10)$$

σ : elektriksel iletkenlik

Eşitlik (2.10) yük taşıyıcı yoğunluğuna veya geçit gerilimine bağlıdır. İkinci yöntemdeki problem ise Dirac noktası yakınında uygulanamamasıdır. Çünkü taşıyıcı yoğunluğu iyi tanımlanmamıştır. Üçüncü yöntem ise geçit gerilimine karşılık toplam direncin ölçülmesi ve eğri uydurulması yöntemidir. Xia vd. [46] üst dielektrik ortamın altgeçit kapasitansı

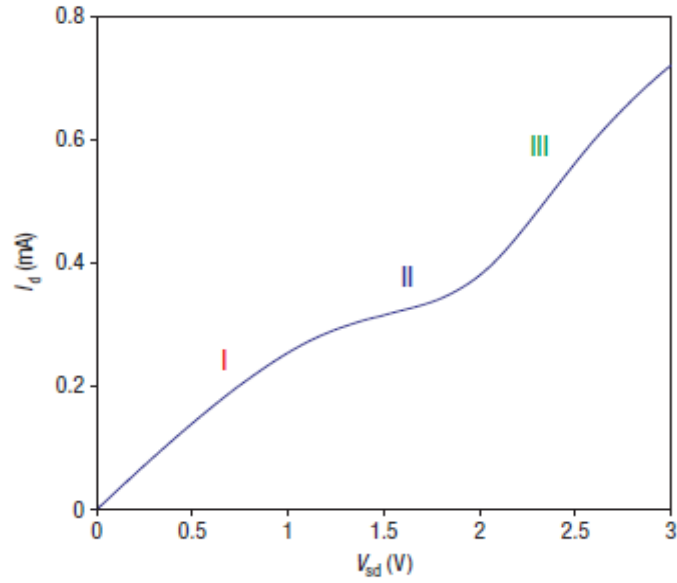
üzerindeki etkisini çalışmışlardır. Mobilite sabit kalırken, üst geçidin dielektrik boyutu değiştirilirse gate kapasitansının iki kat büyüklüğe eriştiği gözlenmiştir. Bununla yeni tip GFET sensörler ortaya çıkabilir.

2.4.3 Drain Akımı ve Akım Satürasyonu

Çoğu grafen FET'ler düşük sıcaklıkta incelenmektedirler, çünkü araştırmacılar yüklenmiş katkı maddelerinin ölçümleri etkileyeceğini düşünmektedirler. GFET cihazların var olan teknolojilerle rekabet edebilmesi için oda sıcaklığında çalışabilmesi gerekir. Oda sıcaklığı ölçümleri şu ana kadar çok başarılı bulunmamıştır. Bant aralığının olmaması RF cihazlar için kabul edilebilir olsa da tranzistörlerin çalışma şekli için akım satürasyonu da önemli bir olgudur.

Grafende akım satürasyonu neredeyse tek katmanlı grafendeki bant aralığının varlığı kadar tartışmalı bir konudur. Elektron hızının satüre olması için tüm elektronların grafende aynı yönde ilerlemesi gerekmektedir [22]. Bunun için Fermi enerjisinden daha büyük bir sürücü gerilim gerekmektedir. Fakat grafende elektron-elektron etkileşimleri hız satürasyonunu imkansız hale getirebilir.

Meric vd. [30] 2008 yılında akım satürasyonu olan bir grafen FET tanıtmışlardır. Gösterilen akım satürasyonu tam değildi ve eksiksiz bir satürasyona sahip olmanın mümkün olup olmadığı soruları sorulmaya başlandı. Grafende akım satürasyonunun kesin mekanizmasına ait dayanağı olan bir görüş henüz yoktur. Meric vd. [30] SiO_2 'deki akım satürasyonunun yük taşıyıcı konsantrasyonuna bağlı olduğunu ileri sürmüşlerdir. Grafende akım satürasyonu şekildeki gibidir ve drain akımı üç bölgeden oluşmaktadır. İlk bölgede kanaldaki tüm taşıyıcılar hollerdir. İkinci bölgede taşıyıcı minimal yoğunluk noktasına erişildiği zaman drainde daralma (pinch-off) bölgesi görülür. Üçüncü bölgede de elektronlar kanalı oluşturmaya başlar.



Şekil 2.4 Oda sıcaklığında GFET akım satürasyonu ve “kink efekt” [30]

Bant aralığı olmamasına ve açma kapatma akım oranının I_{ON}/I_{OFF} düşük olmasına rağmen grafen tranzistör akım satürasyonu ve $150 \mu S m^{-1}$ transkondüktans gösterir. Tranzistör hapsedilmiş yükleri dondurmak için 1.7 Kelvin sıcaklıkta incelenmiştir.

Meric vd., yüksek alan rejimli tek kutuplu kanal için optik fonon saçılmasına bağlı olarak taşıyıcı sürüklenme hızının satüre olduğunu bulmuşlardır. Akım drain-source geriliminden bağımsızdır.

$$I_d = \frac{W}{L} \int_0^L qn(x)v_{drift}(x)dx \quad (2.11)$$

W : kanal genişliği L : kanal uzunluğu

Taşıyıcı sürüklenme hızı (carrier drift velocity) aşağıdaki şekilde modellenir.

$$v_{drift} = \frac{\mu E}{1 + \mu E / v_{sat}} \quad (2.12)$$

E : Elektrik alan μ : taşıyıcı mobilitesi

Satürasyon hızı v_{sat} aşağıdaki gibi ifade edilir.

$$v_{sat} = \frac{v_F \hbar \Omega}{E_F} \quad (2.13)$$

$\hbar \Omega$: optik fonon enerjisi

Merici vd. [30] kanaldaki taşıyıcı konsantrasyonunu aşağı yukarı şu şekilde ifade etmişlerdir:

$$n(x) = \sqrt{n_0^2 + [C_{top}(V_{gs-top} - V(x) - V_T)/q]^2} \quad (2.14)$$

V_T : eşik gerilimi $V(x)$: kanal potansiyeli C_{top} : Top-gate kapasitansı

V_{gs-top} : Top-gate gerilimi

Taşıyıcı konsantrasyonunun hesaplanması için Fermi-Dirac dağılımı gibi diğer yollar da vardır [34].

Thiele vd. [34], GFET'in çalışma şeklini kaliteli şekilde incelemek için Merici vd. [30] gibi aynı formülü kullanmıştır. Thiele vd. [34] satürasyon hızı için formülü eşitlik (2.13)'den aşağıdaki formüle geliştirmişlerdir.

$$v_{sat} = \frac{\Omega}{(\pi \rho_{sh})^{0.5+AV^2(x)}} \quad (2.15)$$

$A : 10^{-3}$ mertebelerinde empirik bir sabittir.

Hem Merici vd. [30] hem de Thiele vd. [34] GFET modellemelerini geniş alanlı, tek katmanlı bir grafen kanalın MOS tranzistör gibi davrandığı gözlemine dayandırmışlardır. Merici vd. [30]'un modeli, tam olarak Şekil 2.4'teki gibi özgün kink efektini göstermiyor, fakat eşitlik (2.15) kullanılarak bahsi geçen etki kestirilebilir [34].

Barreiro vd. [47] Hall çubuğu cihazını çalışmışlardır. Ölçümler yapmak için dört nokta konfigürasyonun kullanmışlardır ve bu konfigürasyon grafen elektrot arayüzündeki kontak direncinin katkısını minimize etmek için kullanılmıştır. Barreiro vd. [47] bu cihazın satürasyon eğiliminde olduğunu ama tam bir satürasyon olmadığını

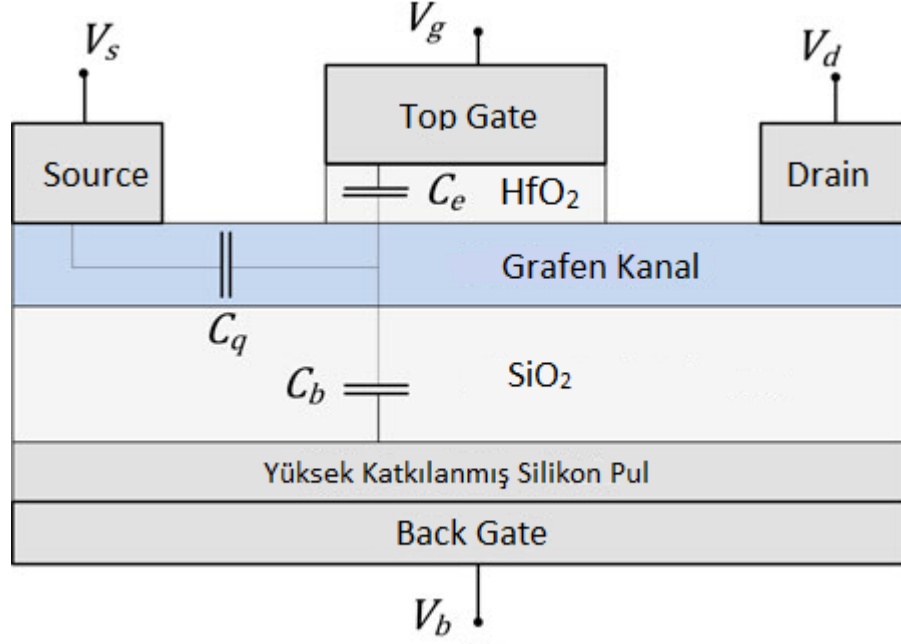
belirtmişlerdir. Ayrıca düşük alanda elastik saçılmanın prosesi domine ettiğini ve daha yüksek alanlarla optik fonon emisyonun akım satürasyonuna sebep olduğunu belirtmişlerdir. Elastik saçılma grafendeki kristal hatalarından kaynaklanmaktadır.

Barreiro vd. [47] tam bir akım satürasyonu elde etmek için fonon emisyonunun aniden meydana gelmesinin ve elastik saçılmanın da ihmal edilmek zorunda olduğunu iddia etmişlerdir, ama bu mümkün görünmemektedir. Bu yüzden yüksek alanlarda tam bir akım satürasyonu asla görülemez. Yüksek alan taşınımı elastik saçılmaya hassastır. Sıcak fonon proseslerinin yüksek elektrik alanda iletim olayları üzerinde çok küçük bir etkisi olacağı beklenmektedir. Yüksek elektrik alan altında akım satürasyonu elde edebilmek için mobilitenin en az on kat arttırılması gerekmektedir [47].

2.5 Spice simülatöründe Çalışabilen Grafen Alan Etkili Tranzistör

Bu kısımda hem elektron hem de hol iletimi için taşıyıcıların iletim karakteristikleri analitik olarak elde edilmiş ve SPICE’de çalışabilen bir grafen alan etkili tranzistör modeli verilmiştir. Şekil 2.5’te çift geçitli bir grafen FET’in kesit görüntüsü verilmiştir. Grafen yaygın olarak önceden hazırlanmış bir silikon pulun ve oksit tabakasının üzerine yerleştirilir. Genellikle yüksek derecede katkılanmış silikon alttaş, bunun üzerine silikon dioksit ve grafen katman şeklindedir. Katkılanmış alttaş tranzistorün arka geçit kontağını oluşturur. Çift geçitli bir tranzistör oluşturmak için grafen kanal ile üst geçit arasına bir oksit tabakası sıkıştırılabilir. Kanalin her ucu source veya drain kontakları ile sonlanır.

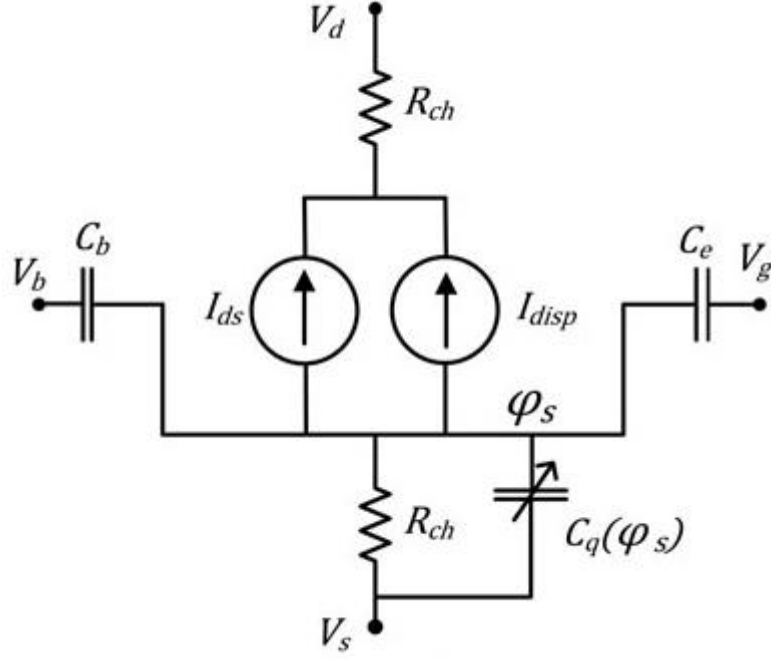
Grafen kanalla birlikte metal kontaklar kullanılır. Silikon FET’lerde source/drain kontakları iyon implantasyonu yöntemiyle oluşturulur. İyon implantasyonu bağlantı alanlarını yüksek derecede elektriksel olarak iletken hale getirir. Tranzistörün bağlantı alanı geçit ve source/drain kontağı arasında kalan bölgedir. Bağlantı bölgesinin olması parazitik üst üste binmiş kapasitansı azaltır, fakat akımı sınırlayan seri direnç yol açar. Grafende iyon implantasyonu kafes yapısında hatalara yol açar.



Şekil 2.5 Grafen alan etkili tranzistörün kesit görüntüsü [48]

Şekil 2.6’da çift geçitli grafen tranzistör için devre modeli verilmiştir. C_{top} etkin üst geçit kapasitansı, C_{back} de etkin arka geçit kapasitansıdır. İkisi de kanalda indirgenen taşıyıcılardan kaynaklanan kapasitansla birlikte üst geçit ve arka geçit oksitlerinin geometrik kapasitansına tekabül eder. Hem source hem de drainde kontak ve bağlantı direnci seri dirence tekabül eder ve akım kaynağı geçit gerilimi kontrollü drain akımına tekabül eder.

Tezimde kullanılan modelde HfO_2 geçit yalıtkanı (kalınlık: 15nm, dielektrik sabiti: 16) için $C_{top} = C_e C_q / (C_e + C_q)$ [2], [34] şeklinde hesaplanmıştır. Kuantum kapasitansı arka geçit kapasitansına göre çok büyük olduğu için $C_{back} = C_b C_q / (C_b + C_q)$ [48] ifadesi hesaplanırken kuantum kapasitansının etkisi olmayacaktır. SiO_2 arka geçit yalıtkanı (kalınlık: 285nm, dielektrik sabiti: 3.9) için C_{back} yaklaşık 12 nFcm⁻² olarak hesaplanmıştır [30]. Burada Şekil 2.5’te görüldüğü gibi C_e üst-geçit ve kanal arasında ($C_e = \epsilon_o \epsilon_1 / t_{ox}$), C_b de arka-geçit ve kanal arasındaki kapasitanstır ($C_b = \epsilon_o \epsilon_2 / H_{sub}$).



Şekil 2.6 Çift geçitli grafen alan etkili tranzistör için devre modeli [48]

V_d , V_g , V_s ve V_b sırasıyla drain, üst geçit, source ve arka geçit gerilimleridir, I_{ds} ve I_{disp} drain akımı ve yer değiştirme akımıdır, $C_q(\varphi_s)$ kuantum kapasitansı, C_b ve C_e ise sırasıyla arka geçit - kanal ve üst geçit - kanal arasındaki kapasitanslardır.

Dikey elektrik alan grafen kanalda mobil yükleri indükler. Taşıyıcıları source terminalinden kanalın içine doğru pompalamak için bir enerji gereklidir [49]. Kuantum kapasitansı bu enerjinin bir ölçüsüdür ve kanaldaki net yükün kanal potansiyeline göre türevidir. Kuantum kapasitansı, C_q , kanal yük yoğunluğu ile değişen bir kapasitandır. Şekil 2.6'da görüldüğü gibi kuantum kapasitansı kanal boyunda dağılmış olmasına rağmen source terminaline pay edilmiştir.

İki boyutlu serbest elektron gaz modelinden çıkarılan ifadelerle bağlı olarak quantum kapasitansı eşitlik (2.16)'daki gibi ifade edilmiştir [50].

$$C_{q\text{ var}}(\varphi_s) = \frac{2q^2 k_B T}{\pi(\hbar v_f)^2} \ln \left[2 \left(1 + \cosh \frac{q\varphi_s}{k_B T} \right) \right] \quad (2.16)$$

φ_s , kanal ve source terminali arasındaki potansiyel fark; v_f , fermi hızı; q elektron yükü; $\hbar$, indirgenmiş Plank sabiti; k_B , Boltzman sabiti ve T sıcaklıktır ($^{\circ}K$).

Eşitlik (2.16) sadeleştirilerek aşağıdaki eşitlik (2.17) gibi ifade edilir [35], [38].

$$C_{q\text{ var}} = q^2 \frac{2q|\varphi_s|}{\pi(\hbar v_f)^2} \quad (2.17)$$

Eşitlik (2.17) incelendiğinde yüzey potansiyeli sıfır olduğunda kuantum kapasitansının da sıfır olması beklenir. Ancak durum böyle değildir. Dirac noktası etrafında indüklenen yük safsızlıklarının bir sonucu olarak yüzey potansiyeli sıfır olduğunda kuantum kapasitansı sıfır olmamaktadır [51].

Dirac noktası etradındaki bu yüklü katkı atomları kanaldaki minimum yük yoğunluğuna sebep olur. Durum yoğunluğu kaybolsa bile Dirac noktası voltajında grafen diğer yarıiletkenlerin aksine kapanmaz. Yayınlanan raporlarda minimum taşıyıcı yoğunluğu $0.5 \times 10^{-12} \text{ cm}^{-2}$ dolaylarındadır [30], [41].

Yüzey potansiyeli sıfırken kanalda minimum yük yoğunluğu belirtiliyorsa kuantum kapasitansı eşitlik (2.18)'deki gibi ifade edilmektedir.

$$C_{q\text{ min}} = \frac{q^2 \sqrt{n_o}}{\sqrt{\pi} \hbar v_f} \quad (2.18)$$

Drude modelinden kanaldaki yük yoğunluğu, $n = \sqrt{n_o^2 + n_*^2}$ ifadesi ile gösterilir ve n_* gate potansiyelinden kaynaklanan yük yoğunluğudur. Dolayısıyla katmanın kuantum kapasitansı eşitlik (2.19) ile ifade edilir.

$$C_q(\varphi_s) = \frac{C_{q\text{ min}}^2 + 2(C_{q\text{ var}}(\varphi_s)/2)^2}{\sqrt{C_{q\text{ min}}^2 + (C_{q\text{ var}}(\varphi_s)/2)^2}} \quad (2.19)$$

Minimum yük yoğunluğu ve indüklenen yük yoğunluğunun $n = n + n_*$ olarak birleştirildiği varsayıldığında eşitlik (2.20) elde edilir.

$$C_q(\varphi_s) = C_{q\text{ min}} + C_{q\text{ var}}(\varphi_s) \quad (2.20)$$

Üst geçide uygulanan V_g potansiyeli için toplam üst geçit kapasitansı $C_{top}(\varphi_S) = C_e C_q(\varphi_S) / (C_e + C_q(\varphi_S))$ olarak ifade edilir.

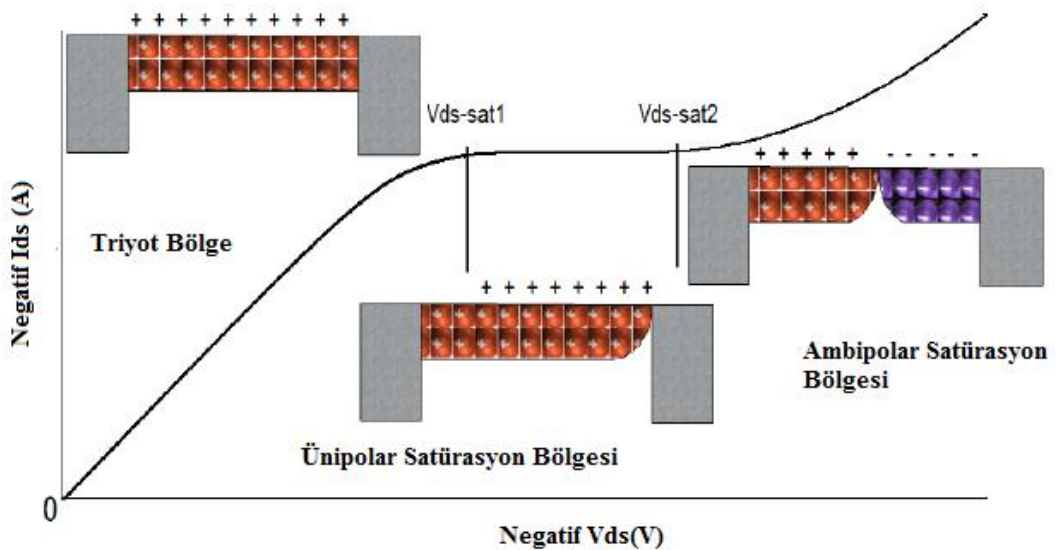
Arka geçide uygulanan V_b potansiyeli için toplam arka geçit kapasitansı $C_{back}(\varphi_S) = C_b C_q(\varphi_S) / (C_b + C_q(\varphi_S))$ olarak ifade edilir.

Kapatif potansiyel bölücü formül uygulandığında yüzey potansiyeli eşitlik (2.21) ile ifade edilir.

$$\varphi_S = \frac{C_g(V_{gs} - V_{gs}^0) + C_b(V_{bs} - V_{bs}^0)}{C_e + C_b + C_{q\min} + \frac{1}{2}C_{q\varphi}(\varphi_S)} \quad (2.21)$$

V_{gs}^0 ve V_{bs}^0 sırasıyla Dirac noktasında üst geçit ve arka geçit voltajlarıdır.

Grafen kanalın I-V karakteristiği Şekil 2.7’de görüldüğü gibi üç bölgeye ayrılmıştır: Triyot bölge, ünipolar satürasyon bölgesi ve ambipolar satürasyon bölgesi. İlk iki bölgede elektronlar veya holler vasıtası ile taşıyıcı iletimi tek kutupludur. Ünipolar satürasyon bölgesinde kanalın drain ucunda daralma (pinch-off) görülür. Drain voltajındaki daha çok artış kanaldaki iletimin hem elektron hem de holler tarafından yapılmasına yol açar. Bu bölgeye de ambipolar satürasyon bölgesi denir.

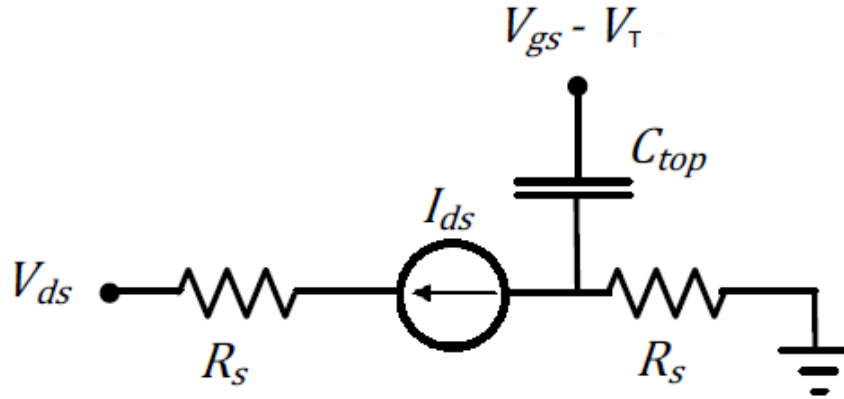


Şekil 2.7 Grafen kanalın I-V karakteristiği [48]

Grafende ambipolar iletim, iletim ortamının elektrostatik olarak hol tipi veya elektron tipi taşıyıcılarla katkılандığı anlamına gelebilir. Burada kullanılan düzende arka geçit kanalın katkılanmasından, üst geçit da taşıyıcı iletimini modüle etmekten sorumludur. Bu yüzden C_{back} , C_{top} ile beraber V_{bs} ve diğer içerde var olan gerilim ofsetleri tranzistörün eşik gerilimi (2.22)'deki gibi V_T 'nin hesaplanmasında kullanılır [30].

$$V_T = V_{gs}^0 + (C_{back}/C_{top})(V_{bs}^0 - V_{bs}) \quad (2.22)$$

Eşik gerilimi kanaldaki yük yansızlığının sağlandığı üst geçit gerilimidir. Şekil 2.6'daki model tek geçitli modele sadeleştirilebilir. Tek geçitli model durumunda V_T tranzistörün Dirac noktası geriliminden çıkarılır.



Şekil 2.8 Tek ve çift geçitli grafen tranzistörler için basitleştirilmiş devre modeli

Grafenin yapısal olarak bant aralığının olmaması sebebiyle grafen kanal ambipolar iletimi destekler. Bunun gibi çoğunluk taşıyıcısı iletimi hem elektronlar hem de holler tarafından üstlenilebilir. Holler ve elektronlar üst-geçit besleme gerilimine bağlı olarak çoğunluk taşıyıcıları olabilirler, böylece drift difüzyon modeli kullanılarak taşıyıcı iletim olayı türetilmiştir. Hol iletimi elektron iletiminden ayrı olarak türetilmiştir.

2.5.1 Hol İletimi

Overdrive gerilimi ($V_{gs} - V_T$) kanalın nasıl katkılандığını gösterir. Hol iletimi için $(V_{gs} - V_T) < 0$ olmalıdır. Bu bölgede holler çoğunluk taşıyıcılardır ve bu bölgede drain gerilimindeki değişimlere göre drain akım karakteristiği üç alt bölgeye ayrılabilir ; triyot bölgesi, unipolar satürasyon bölgesi ve ambipolar satürasyon bölgesi.

2.5.1.1 Triyot Bölgesi

Alan etkili tranzistörlerde üst geçit kapasitansı source gerilim engelini modüle eder. Gerçekte net yük yoğunluğu aşağıdaki gibi ifade edilir:

$$Q(x) = -C_{top}(V_{gs} - V(x) - V_T) \quad (2.23)$$

$V(x)$, x noktasındaki kanal potansiyelidir ve x source dan draine doğru alınır. Kolay anlaşılır olması bakımından C_{top} yüzey geriliminin bir fonksiyonu olarak gösterilmemiştir. Source ve drain arasında elektrik alanın varlığı taşıyıcıları source'den drain'e sürükler ve I_{ds} aşağıdaki denklemle gösterilir [52], [53].

$$I_{ds} = -WQ(x)v_E(x) \quad (2.24)$$

W : kanal genişliği $v_E(x)$: taşıyıcı sürüklenme hızı

Drain gerilimi arttığında, drain ve source arasındaki yanıl elektrik alan eşit derece artar ve satürasyon hızında taşıyıcıların satüre olmasına yol açar. Elektrik alana bağımlı sürüklenme hızı aşağıdaki gibi ifade edilir[54] :

$$v_E = \frac{\mu E}{(1 + (\mu E / v_{sat})^c)^{1/c}} \quad (2.25)$$

E : Source ve drain arasındaki elektrik alan μ : taşıyıcı mobilitesi

v_{sat} : satürasyon hızı ($v_{sat} = \mu E_c$) E_c : kritik elektrik alan

c : karakteristik sabit c sabiti deneysel veriyi eşleştirmek için $1 \leq c \leq 2$ şeklinde bulunmuştur [55], [56], [57].

Bu modelde $c > 1$ olduğunda gerçekçi bir yaklaşım yapabilmek ve hâlâ kapalı bir formül üretebilmek için β parametresi (2.25) denklemine sokulmuştur.

$$v_E = \frac{\beta \mu E}{1 + \mu E / v_{sat}} \quad (2.26)$$

$1 \leq c \leq 2$ için β 'nın sınırları $1 \leq \beta \leq 1.4$ şeklindedir.

Bu bölgede grafen FET drain source gerilimine lineer bağlıdır. Source ve drain terminallerinde R_s seri direnci olduğu değerlendirildiğinde sırasıyla source ve drain ucunda $V(0) = I_{ds}R_s$ ve $V(L) = V_{ds} - I_{ds}R_s$ şeklinde ifade edilir. Şekil 2.8’de R_s dirençlerinin eşit olduğu farzedilmiştir [58].

Yukarıdaki denklemleri uygulayarak ve $E = -\partial V/\partial x$ elektrik alanını kullanarak triyot bölgedeki genel akım denklemi aşağıdaki şekilde bulunur.

$$I_{ds} = \frac{-\beta W \mu \int_{V(0)}^{V(L)} C_{top} (V_{gs} - V_T - V(x)) \partial V / \partial x}{\int_0^L \left[1 + \frac{\mu(-\partial V / \partial x)}{v_{sat}} \right]} \quad (2.27)$$

L : kanaldaki aktif alanın uzunluğu

$$I_{ds} = \frac{1}{4R_s} \left[V_c - V_{ds} + 2Y \left(\frac{V_{ds}}{2} - V_{ov} \right) - \sqrt{\left(V_c + V_{ds} + 2Y \left(\frac{V_{ds}}{2} - V_{ov} \right) \right)^2 - 4V_c V_{ds}} \right] \quad (2.28)$$

$$V_c = L v_{sat} / \mu, \quad Y = \beta W v_{sat} C_{top} R_s \quad \text{ve} \quad V_{ov} = V_{gs} - V_T \quad [59].$$

2.5.1.2 Ünipolar Satürasyon Bölgesi

Eşitlik (2.28)’deki drain akımı drain gerilimi ile kuadratik ilişkilidir. Drain akımının drain gerilimine göre dönüş noktası satürasyon bölgesinin başlangıcını tanımlar [48]. Dönüş noktasında $\partial I_{ds} / \partial V_{ds} = 0$ ’dır.

Bu nedenle satürasyonun başlangıcında drain gerilimi aşağıdaki gibi ifade edilir.

$$V_{ds-sat1} = \frac{1}{(Y+1)^2} \left[2V_{ov} Y(1+Y) + (1-Y)(V_c - \sqrt{V_c^2 - 2V_c V_{ov}(Y+1)}) \right] \quad (2.29)$$

Bu bölgede satürasyon akımı aşağıdaki gibi ifade edilir.

$$I_{ds-sat} = \frac{Y}{R_s(1+Y)^2} \left[-V_c + (1+Y)V_{ov} + \sqrt{V_c^2 - 2(1+Y)V_c V_{ov}} \right] \quad (2.30)$$

Satürasyon akımı (I_{ds-sat}) bu bölgede Şekil 2.7'deki gibi sabittir. $V_{ds-sat1}$ 'de hol taşıyıcıların satüre olmasına rağmen bu potansiyelde kanalın drain ucunda yük nötrlüğü görülmeyebilir.

Eşitlik (2.28)'den anlaşıldığı üzere $V_{ds} = V_{gs} - V_T$ potansiyelinde drain ucunda sıfır yük vardır. $V_{ov} = V_{gs} - V_T$ olduğunda $V_{ds-sat1}$ ve V_{ov} arasında doğrusal bir yük progresyonu olduğu varsayılır. Bu iki potansiyel arasındaki yük aşağıdaki gibi ifade edilir.

$$Q_{dep} = -\frac{C_{top}}{2}(|V_{ov} - V_{ds-sat1}|) \quad (2.31)$$

Bu bölgenin sonunda Q_{dep} 'in aşılması zorunludur. $V_{ds-sat2}$ ünipolar satürasyon bölgesinin sonunu gösterir ve $V_{ds-sat1}$ ve $V_{ds-sat2}$ arasındaki $-C_{top}(V_{ds-sat1} - V_{ds-sat2})$ yükü Q_{dep} 'e eşit olmalıdır. Böylece ünipolar satürasyon bölgesinin ikinci sınır noktası aşağıdaki gibi hesaplanabilir.

$$V_{ds-sat2} = V_{ds-sat1} - \frac{1}{2}(|V_{ov} - V_{ds-sat1}|) \quad (2.32)$$

Bu noktada kanalda daralma (pinch-off) görülür.

2.5.1.3 Ambipolar Satürasyon Bölgesi

I-V karakteristiği grafiğinin ilk iki bölgesinde kanal ünipolardır ve taşıyıcı iletimi hollerle yapılır. Drain gerilimindeki ek bir artış drain ucundaki yüklerin nötr olduğu noktayı source ucuna doğru kanalın daha derinlerine iter. Sonuç olarak elektronlar drain ucundan kanalın içine enjekte edilirler. Drain terminali ve daralma bölgesi arasında sabit negatif yüklü yoksullaşmış bir bölge (depleted region) olması yerine bu elektronlar mobildir. Bu 2B grafende sıfır bant aralığı olmasının bir sonucudur ve bu olgu ambipolar iletim olarak bilinir [30].

L' source terminaline göre kanaldaki daralma bölgesinin pozisyonunu belirtir. $V(L') = V_{ds-sat2}$ durumu için eşitlik (2.23)'ten daralma noktasındaki yük aşağıdaki gibi ifade edilir.

$$Q(L') = -C_{top}(V_{gs} - V(L') - V_T) \quad (2.33)$$

Kanalda drain ucundaki potansiyel $V(L) = V_{ds}$ şeklindedir. Böylece drain ucunda karşılık gelen yük aşağıdaki gibidir.

$$Q(L) = -C_{top}(V_{gs} - V(L) - V_T) \quad (2.34)$$

Kanaldaki yük korunduğu için enjekte edilen yük $Q_d = Q(L) - Q(L')$ şeklinde ifade edilir.

$$Q_d = -C_{top}(V_{ds} - V_{ds-sat2}) \quad (2.35)$$

$$\frac{\partial Q_d}{\partial V_{ds}} = -C_{top} \quad (2.36)$$

Sürüklenme hızı, $\mu_n \frac{dV}{dx}$, için μ_n alternatif taşıyıcıların mobilitesidir. Triyot bölgede kullanılan mobilite değeri ile aynı olmayabilir. Eşitlik (2.24) ve (2.36) kullanılarak aşağıdaki ifade elde edilir.

$$I_{disp} = -\frac{W\mu_n Q_d^2}{2L(C_{top})} \quad (2.37)$$

Tranzistör bu bölgede çalıştığında (2.35) ve (2.37) kullanılarak satürasyon deplasman akımı (saturation displacement current) aşağıdaki gibi ifade edilir.

$$I_{disp} = -\frac{W}{2L} \mu_n (C_{top}) V_{ds-sat2}^2 \left(\frac{V_{ds}}{V_{ds-sat2}} - 1 \right)^2 \quad (2.38)$$

Buna ilaveten bir başka yayında satürasyon deplasman akımı aşağıdaki formülle ifade edilmiştir [63] ve EK-C'de yer alan modelde kullanılmıştır.

$$I_{disp} = \frac{W}{L_g} \mu (C_{back}) (|V_{bs} - V_{bs}^0|) V_{ds} \frac{1}{10} \left(\frac{V_{ds}}{V_{ds-sat}} - 1 \right)^2 \quad (2.39)$$

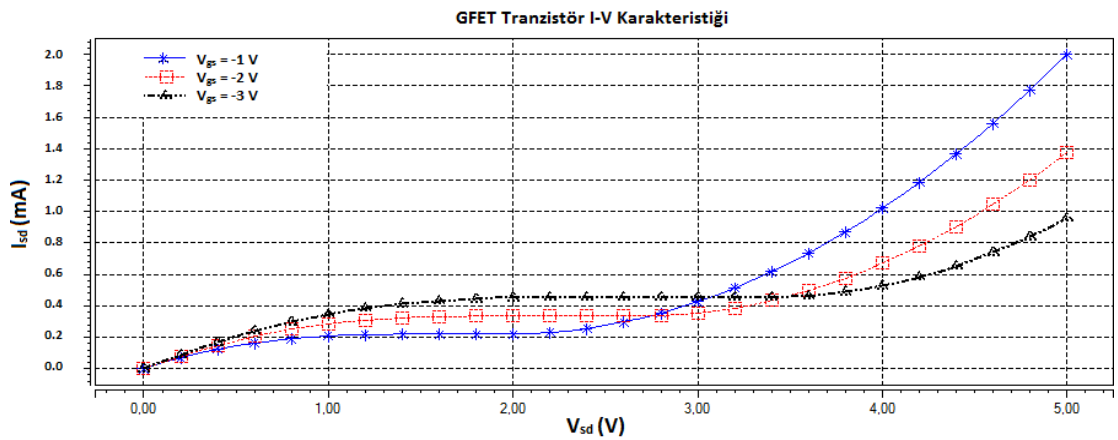
Kanalda source ve yük nötrallite noktası arasındaki yük, satürasyonun başlangıcındaki yüke eşittir. Bu yük (2.30)'daki satürasyon akımını sağlar. Buna ilaveten daralma noktası ve drain arasındaki deplesyon yükü, Q_d , de (2.38)'deki satürasyon deplasman akımının artmasını sağlar. Dolayısı ile kanalda akan toplam I_{ds} akımı satürasyon akımı ve satürasyon deplasman akımının cebirsel toplamıdır [48].

$$I_{ds} = I_{ds-sat} + I_{disp} \quad (2.40)$$

Şekil 2.9'da hol tipi iletim için GFET tranzistörün I-V karakteristiği çizdirilmiştir. EK-B'de verilen Verilog-A GFET modeli ve Çizelge 2.1'de verilen parametreler ile simülasyon gerçekleştirilmiştir. Referans [30]'da ölçülen V_{gs}^0 ve V_{bs}^0 sırasıyla 1.45 V ve 2.7 V olarak alınmıştır. $V_{bs}=0$ V gerilimi için eşik gerilimi $V_T=1.51$ V olarak hesaplanmaktadır. Hol tipi iletim için V_{gs} voltajı eşik gerilimi olan 1.51 volttan daha negatif değerler alınmalıdır. V_{gs} 'nin -1, -2 ve -3 V değerleri için simülasyon yapılmıştır.

Çizelge 2.1 Hol tipi iletim için kullanılan GFET parametreleri

L (μm)	W (μm)	V_{gs}^0 (V)	V_{bs}^0 (V)	μ (cm ² /Vs)	R_s (Ohms)	E_c (KV/cm)	V_{bs} (V)
1	1	1.45	2.7	700	800	4.5	0



Şekil 2.9 Verilog-A GFET (1) modelinin hol tipi I-V karakteristiği

2.5.2 Elektron İletimi

Bu bölümde V_{ds} gerilimi pozitifken iletim davranışı değerlendirilmiştir. Elektron iletimi $V_{gs} > V_T$ koşulu sağlandığında gerçekleşir. Hol iletiminde olduğu gibi elektron iletiminde de I-V karakteristiği üç bölgeden oluşur: triyot bölge, ünipolar satürasyon ve ambipolar satürasyon. Elektron iletimi durumunda bu bölgeler Şekil 2.7'deki gibidir.

2.5.2.1 Triyot Bölgesi

Alan etkili tranzistörler hem yatay hem de dikey elektrik alana sahiptirler. Dikey elektrik alan, kanalda yatay elektrik alan tarafından kaynaktan(source) draine doğru sürüklenen taşıyıcıları modüle etmek için kullanılır. Dolayısıyla dikey elektrik alan kanalda aşağıdaki gibi ifade edilen net bir yük yoğunluğu indükleyecektir.

$$Q(x) = -C_{top}(V_{gs} - V_T - V(x)) \quad (2.41)$$

Bu net yük drain terminalinden source terminaline akan drain akımını meydana getirir.

$$I_{ds} = -WQ(x)v(x) \quad (2.42)$$

W : kanal genişliği $v(x)$ = source–drain arasında x noktasındaki sürüklenme hızı

Sürüklenme hızı aşağıdaki formülle ifade edilir.

$$v(x) = \frac{-\beta\mu E}{1 + |E|/E_c} \quad (2.43)$$

Yatay elektrik alan $E = -\partial V/\partial x$ ile gösterilir. Daha önce hol iletiminde de gösterildiği gibi drain ve source için seri dirençler eşit farzedilmiştir. Bu nedenle source ucundaki elektrik potansiyeli $V(0) = I_{ds}R_s$, drain ucundaki potansiyel $V(L) = V_{ds} - I_{ds}R_s$ olarak belirtilir. Bölgedeki drain akımı aşağıdaki gibi ifade edilir [48].

$$I_{ds} = \frac{\beta W \mu \int_{V(0)}^{V(L)} C_{top}(V_{gs} - V_T - V(x)) \partial V / \partial x}{\int_0^L \left[1 + \frac{\mu(\partial V / \partial x)}{v_{sat}} \right]} \quad (2.44)$$

ya da bu şekilde gösterilir;

$$I_{ds} = \frac{1}{4R_s} \left[V_c + V_{ds} - 2Y \left(\frac{V_{ds}}{2} - V_{ov} \right) - \sqrt{\left(-V_c + V_{ds} + 2Y \left(\frac{V_{ds}}{2} - V_{ov} \right) \right)^2 + 4V_c V_{ds}} \right] \quad (2.45)$$

$V_c = L v_{sat} / \mu$, $Y = \beta W v_{sat} C_{top} R_s$ ve $V_{ov} = V_{gs} - V_T$ olarak alınmıştır.

2.5.2.2 Ünipolar Satürasyon Bölgesi

Triyot bölgedeki I_{ds} denklemi $V_{ds} < V_{ds-sat1}$ koşulu için geçerlidir. $V_{ds-sat1}$ satürasyonun başlangıç noktasıdır ve bu voltaj değerinde akım satüre olur. Bu nedenle satürasyon voltajı dönüm noktasında I_{ds} akımının V_{ds} 'ye göre türevi alınarak hesaplanır.

$$V_{ds-sat1} = \frac{1}{(Y+1)^2} \left[2V_{ov}Y(1+Y) + (Y-1) \left(V_c - \sqrt{V_c^2 + 2V_c V_{ov}(Y+1)} \right) \right] \quad (2.46)$$

Tranzistör bu bölgede çalışıyorsa satürasyon akımı (2.47)'deki gibi ifade edilir.

$$I_{ds-sat} = \frac{Y}{R_s(1+Y)^2} \left[V_c + (1+Y)V_{ov} - \sqrt{V_c^2 + 2(1+Y)V_c V_{ov}} \right] \quad (2.47)$$

Ünipoar ve ambipolar satürasyon bölgeleri arasında drain akım karakteristiğindeki süreksizlikleri hesaplamak için ambipolar bölgenin başlangıcında (2.31)'de verilen yük aşılmalıdır. Ayrıca drain ucunda $-C_{top}(V_{ds-sat2} - V_{ds-sat1})$ yükü de aşılmalıdır. Burada $V_{ds-sat2}$ gerilimden sonra artık eşitlik (2.47) geçerli değildir.

$$V_{ds-sat2} = V_{ds-sat1} + \frac{1}{2} (V_{ov} - V_{ds-sat1}) \quad (2.48)$$

2.5.2.3 Ambipolar Satürasyon Bölgesi

Ambipolar satürasyon bölgesinde kanal iletiminde hem elektronların hem de hollerin rolü vardır. Drain voltajı arttığında ikinci bir doğrusal drain akımı gözlenir. Hol iletiminde yapılanlara benzer şekilde sürüklenme hızı olan $-\mu \frac{\partial V}{\partial x}$ ifadesi için eşitlikler (2.33 – 2.36) değerlendirildiğinde satürasyon deplasman akımı aşağıdaki gibi belirtilir.

$$I_{disp} = \frac{W}{2L} \mu_n (C_{top}) V_{ds-sat}^2 \left(\frac{V_{ds}}{V_{ds-sat}} - 1 \right)^2 \quad (2.49)$$

Tranzistör bu bölgede çalıştığında kanaldaki toplam akım satürasyon akımı ve satürasyon deplasman akımının süperpozisyonudur. Sonuç olarak kanalda akan toplam akım satürasyon akımı ve satürasyon deplasman akımının cebirsel toplamıdır.

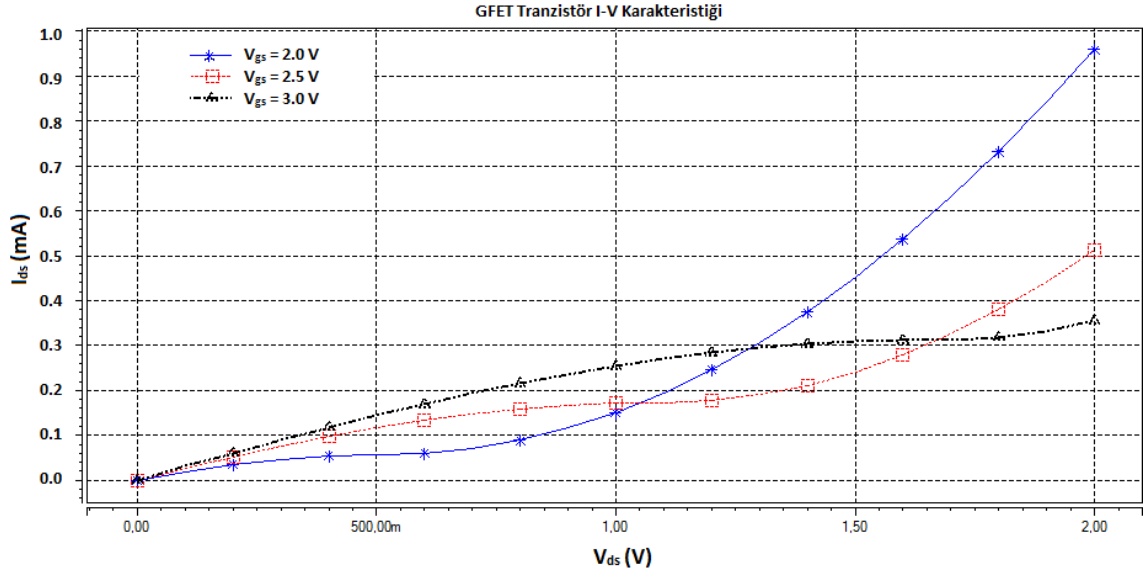
$$I_{ds} = I_{ds-sat} + I_{disp} \quad (2.50)$$

Hol iletiminde değinildiği gibi satürasyon deplasman akımı için (2.39)'daki formülde kullanılmaktadır.

Şekil 2.10'da elektron tipi iletim için GFET tranzistörün I-V karakteristiği çizdirilmiştir. EK-B'de verilen Verilog-A GFET modeli ve Çizelge 2.2'de verilen parametreler ile simülasyon gerçekleştirilmiştir. Referans [30]'da ölçülen V_{gs}^0 ve V_{bs}^0 sırasıyla 1.45V ve 2.7V olarak alınmıştır. $V_{bs}= 0V$ gerilimi için eşik gerilimi $V_0= 1.51V$ olarak hesaplanmaktadır. Elektron iletimi için V_{gs} eşik geriliminden büyük olmalıdır. V_{gs} 'nin 2, 2.5 ve 3 V değerleri için simülasyon yapılmıştır.

Çizelge 2.2 Elektron tipi iletim için kullanılan GFET parametreleri

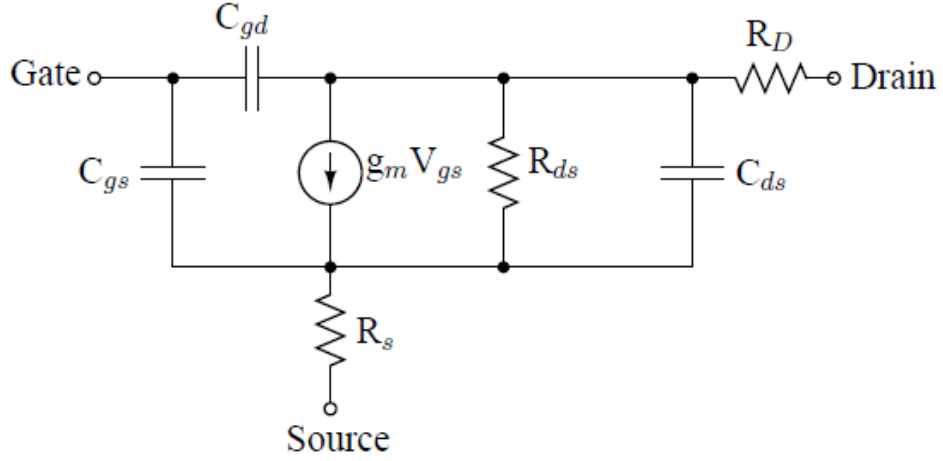
L (μm)	W (μm)	V_{gs}^0 (V)	V_{bs}^0 (V)	μ (cm^2/Vs)	R_s (Ohms)	E_c (KV/cm)	V_{bs} (V)
1	1	1.45	2.7	1500	1200	15	0



Şekil 2.10 Verilog-A GFET (1) modelinin elektron tipi I-V karakteristiği

2.5.3 Küçük İşaret Modeli ve SPICE Jakobi Girdileri

Küçük işaret modeli elektronikte yaygın bir konsepttir. İşaret aralığı küçükken doğru sonuçlar veren lineer olmayan bir tranzistörün lineer kestirimidir. İlk önce tranzistörün DC çalışma noktası hesaplanır ve daha sonra o nokta civarında lineer davranış gösterir. Küçük işaret modelinde kapasitanslar ve kazanç gibi bileşenler değişmez çünkü işarettaki değişim çok küçüktür ve çalışma noktası değişmez. Şekil 2.11'de grafen FET için küçük işaret eşdeğer devresi gösterilmiştir. Bu devre MOSFET küçük işaret eşdeğer devrelerine benzer. Eş değer devre source ve drain ucunda seri dirençler içerir ve bu dirençler iç gerilimler hesaplanırken dikkate alınmak zorundadır. Bu model hem elektron hem de hol iletiminde çalışır fakat hibrit iletim modunda çalışmaz.



Şekil 2.11 Grafen FET küçük işaret eşdeğer devresi [40]

SPICE’de Jakobi girdileri birinci dereceden kısmi türevlerin bir matrisidir. Bu türevler kullanılarak SPICE, tranzistörlerin düğüm voltajlarını ve düğümlerden çıkan akımları hesaplar.

Çıkış kondüktansı, gate-source gerilimi sabitken drain-source geriliminde küçük bir değişim olduğunda drain akımının değişimi olarak tanımlanır.

$$g_{ds} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}, V_{bs}} \quad (2.51)$$

Transkondüktans, drain-source gerilimi sabitken gate-source gerilimindeki değişimle birlikte drain akımındaki değişim olarak tanımlanır.

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}, V_{bs}} \quad (2.52)$$

Bulk transkondüktans, gate-source ve drain-source gerilimleri sabitken altgeçit etki votajındaki artış dolayısıyla drain akımındaki artışın ölçüsüdür.

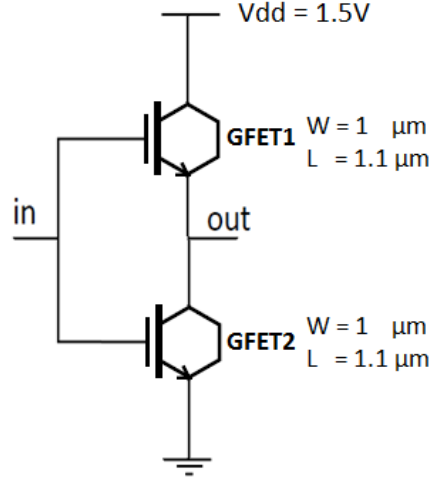
$$g_{mb} = \left. \frac{\partial I_{ds}}{\partial V_{bs}} \right|_{V_{gs}, V_{ds}} \quad (2.53)$$

GRAFEN TABANLI DEVRE ÖRNEKLERİ

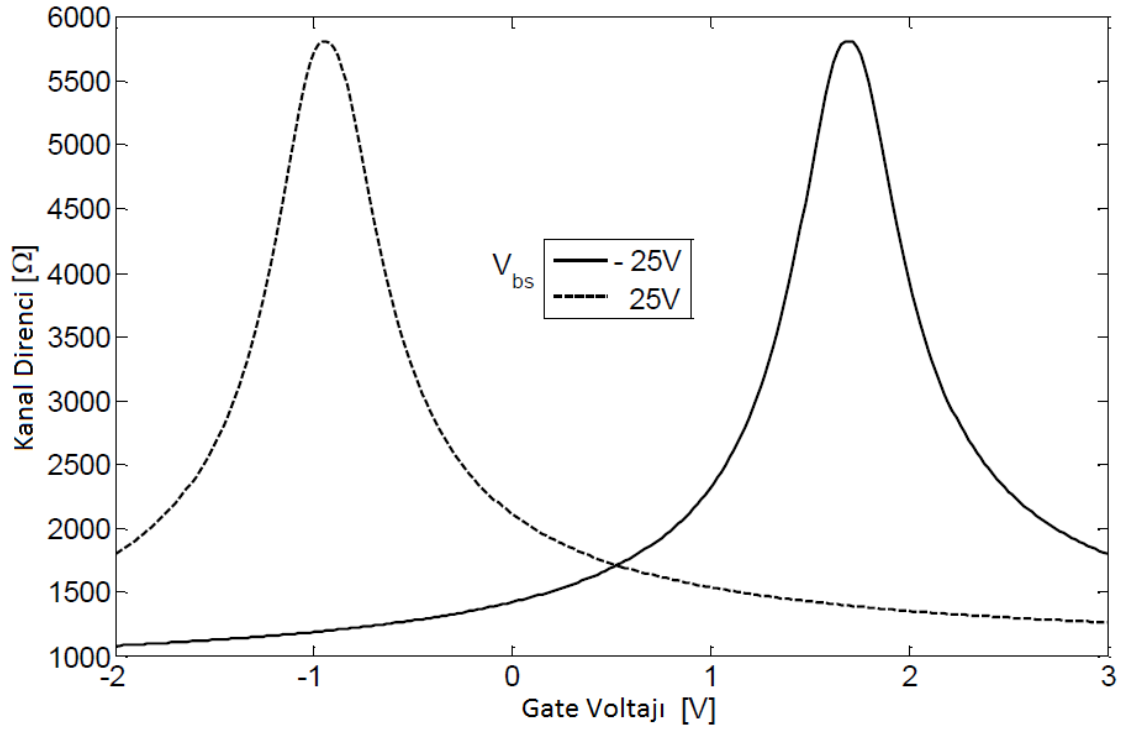
Bu bölümde grafen FET test edilmiştir. Gerilim kuvvetlendirici, frekans çiftleyici ve akım aynası devreleri SPICE’de simüle edilmiştir. Analog ve RF uygulamaları için GFET tabanlı gerilim kuvvetlendiriciler [15], [16], [17] ve frekans karıştırıcı ve çarpıcılar [10], [11], [60] literatürde bildirilmiştir. GFET tranzistörler dijital devrelerin uygulanmasına müsait olmamasına rağmen eşik gerilimi değiştirilerek eşlenik tranzistörlerin başarılabilmek yeteneği ile analog tasarımda kullanılmaktadır. İlk iki devre olan gerilim kuvvetlendirici ve frekans çiftleyici devrelerinde referansta [61] verilen GFET kütüphanesi kullanılarak devrelerin tekrar simülasyonları yapılmış ve sonuçlar incelendiğinde GFET tranzistörlerin doğru çalıştığı görülmüştür. Grafen akım aynası devrelerine de son olarak değinilmiş, fakat simülasyon sonuçlarına bir sonraki bölümde yer verilmektedir.

3.1 Gerilim Kuvvetlendirici Devresi

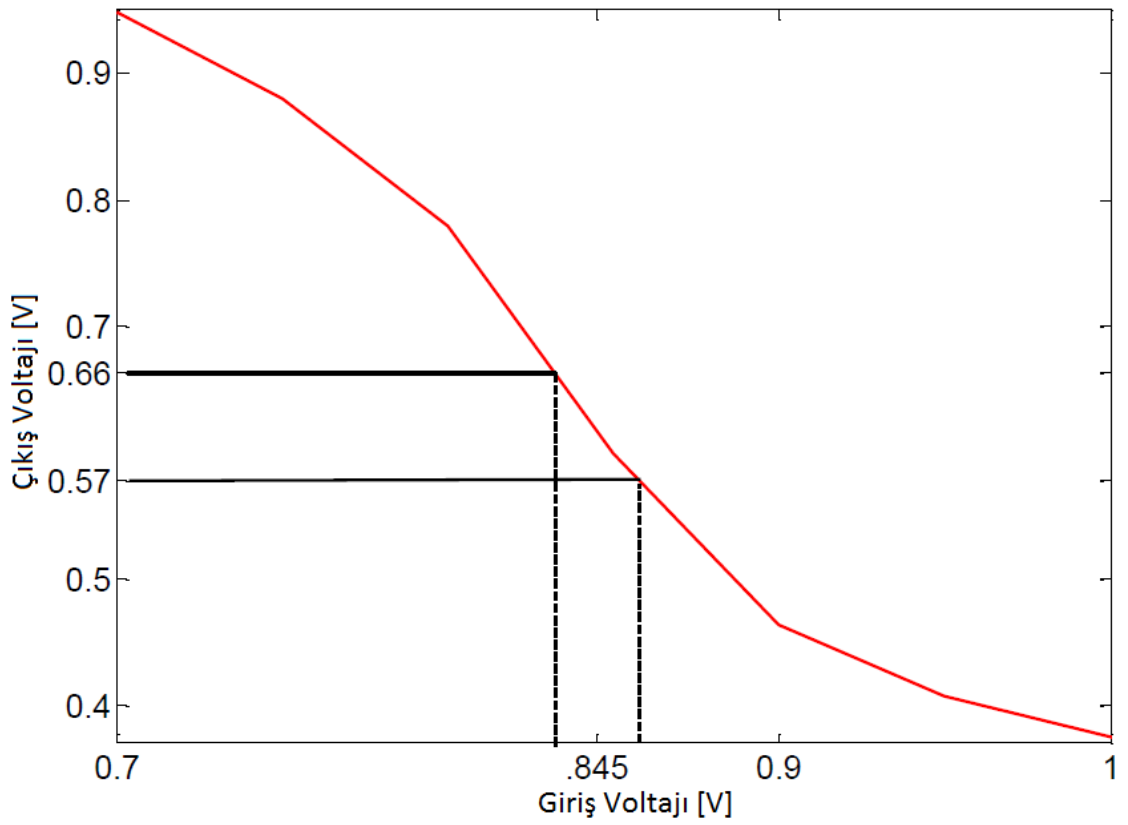
Şekil 3.1’de iki tranzistör den oluşan basit bir gerilim kuvvetlendiricisi görünmektedir. Bu tasarımda iki eşlenik tranzistör kullanılırken, GFET1 tranzistörü P-tipi MOSFET gibi GFET2 tranzistörü de N-tipi MOSFET gibi davranır. Tranzistörlerde tek katmanlı grafen kanal kullanılmaktadır.



Şekil 3.1 GFET Tabanlı Gerilim Kuvvetlendirici Devresi



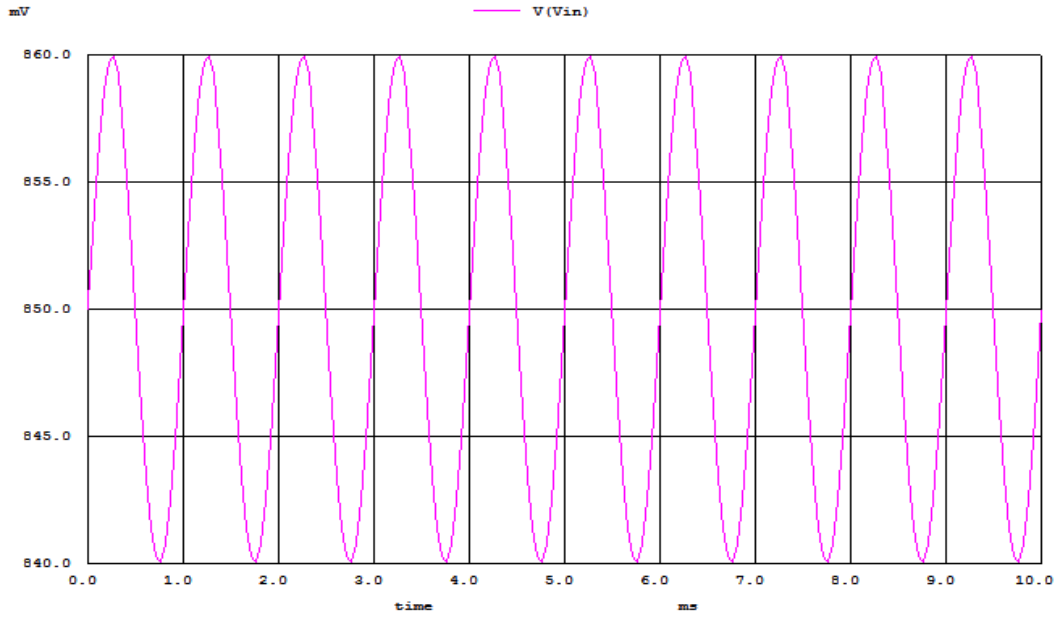
Şekil 3.2 Her bir tranzistörün kanal direnci–gate voltajı grafiği[62]



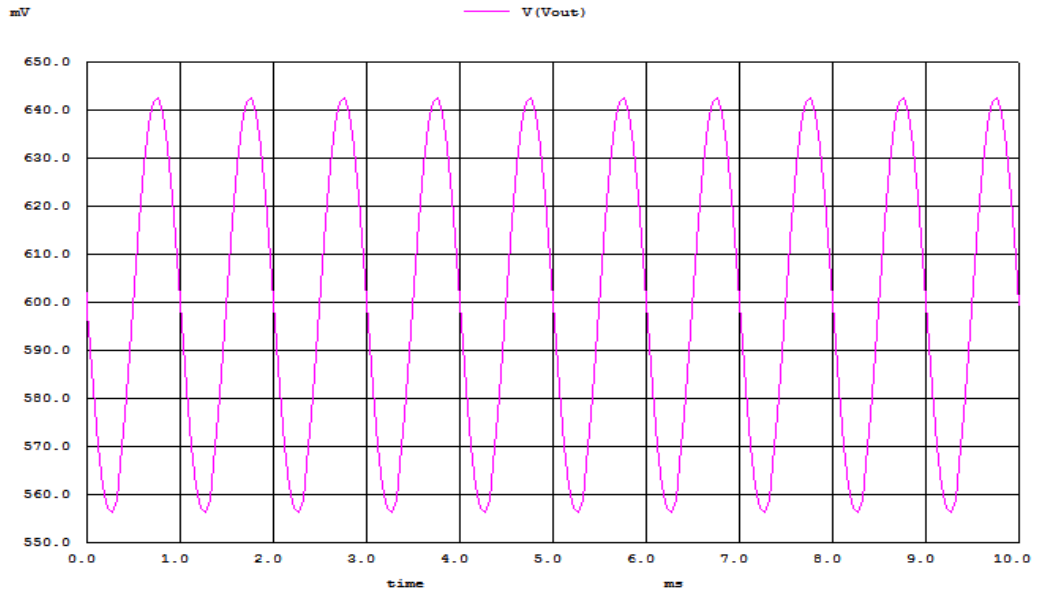
Şekil 3.3 Gerilim kuvvetlendiricinin besleme noktası yakınında giriş çıkış voltajı ilişkisi[62]

Şekil 3.2 devredeki tranzistörlerin kanal direncini göstermektedir. GFET1 tranzistörü V_{bs1} ($V_{bs1} = 25$ V) ile beslenirse kaynak gerilimine göre pozitif geçit eşik voltajı elde edilir. GFET1 tranzistörü eşlenik tranzistör devresinde n tipi tranzistör gibi çalışır. GFET2 tranzistörü V_{bs2} ($V_{bs2} = -25$ V) ile beslenerek kaynak gerilimi V_{dd} 'ye göre negatif geçit eşik gerilimi elde edilmiştir. Bu nedenle GFET2 tranzistörü de p tipi tranzistör gibi davranır. Geçit gerilimi değiştirilerek Şekil 3.3'te görüldüğü gibi evirici tipi çıkış karakteristiği elde edilir.

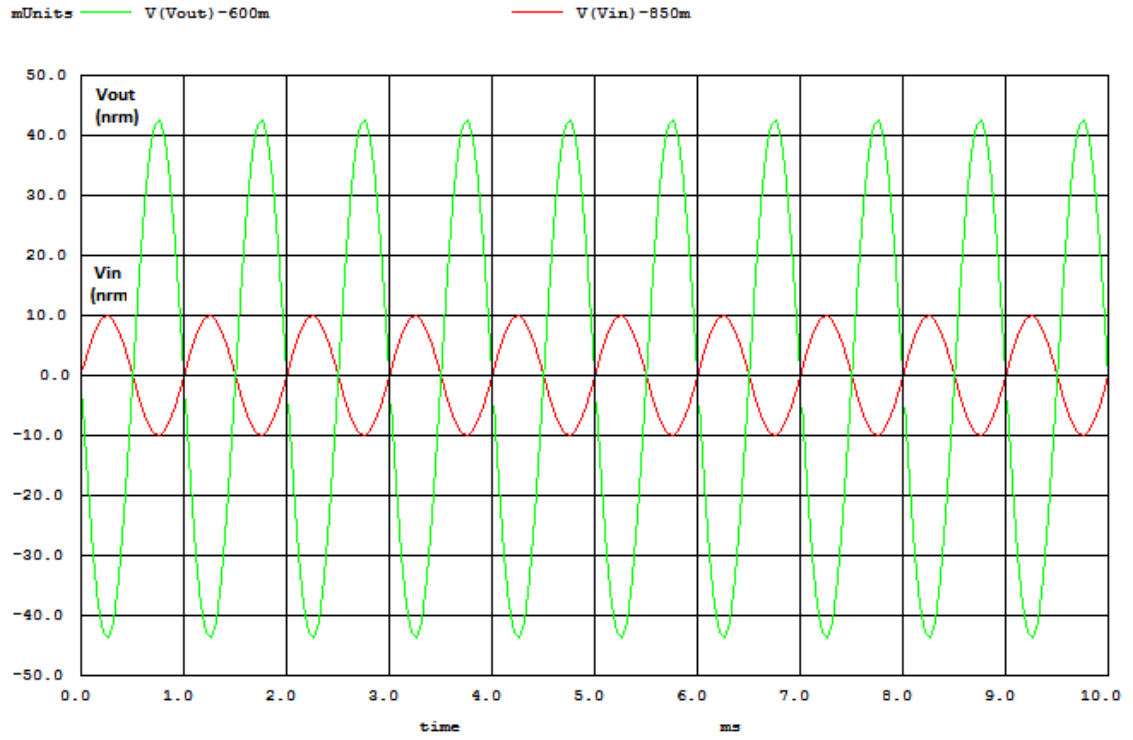
Tranzistörler yüklerin nötr olduğu noktadan ayrılmaya başladığında doğrusal bir çıkış voltajı görülür. Tranzistörü bu bölgede beslemek için DC gerilim kullanılır. Böylece, Şekil 3.4'te gösterilen frekansı 1 kHz, genliği 20 mV olan küçük bir AC işaret ve 0.85 V DC ofset gerilim kuvvetlendiricinin girişine uygulanarak çıkışta Şekil 3.5'teki gibi bir işaret elde edilir. AC geçit gerilimi çıkışta yükseltilir. Şekil 3.6'da normalize edilmiş giriş çıkış karakteristiği incelendiğinde giriş gerilimi yaklaşık dört kat kuvvetlendirilmiştir.



Şekil 3.4 Tek katmanlı GFET gerilim kuvvetlendiricinin giriş işareti

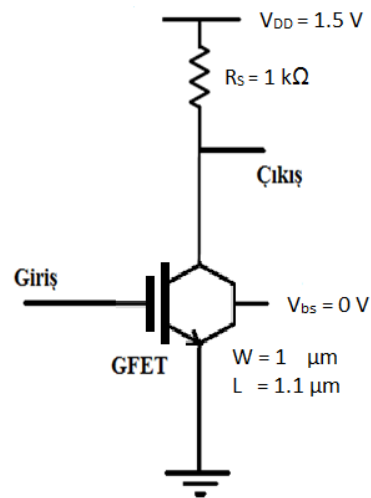


Şekil 3.5 Tek katmanlı GFET gerilim kuvvetlendiricinin çıkış işareti



Şekil 3.6 Tek katmanlı GFET gerilim kuvvetlendiricinin normalize edilmiş giriş çıkış karakteristiği

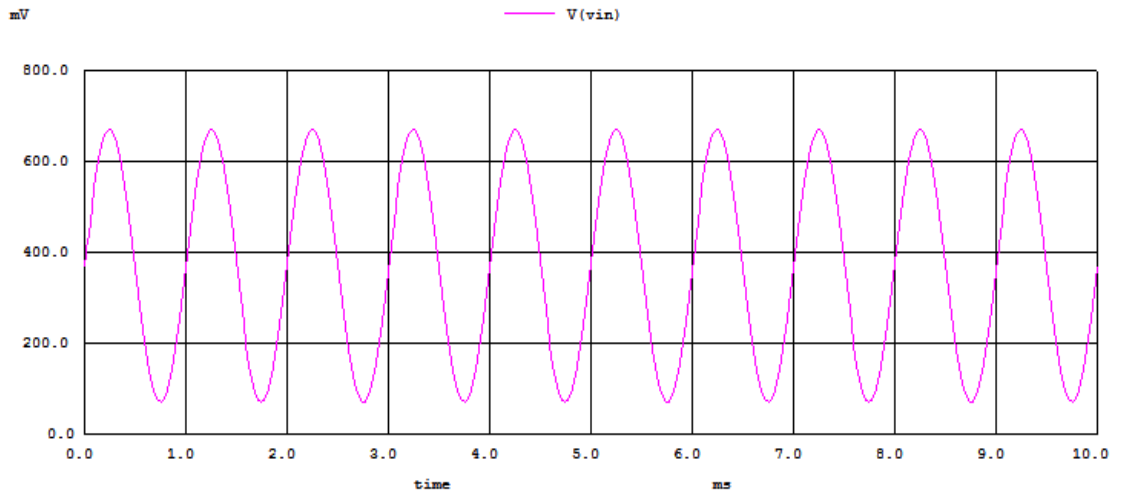
3.2 Frekans Çiftleyici Devresi



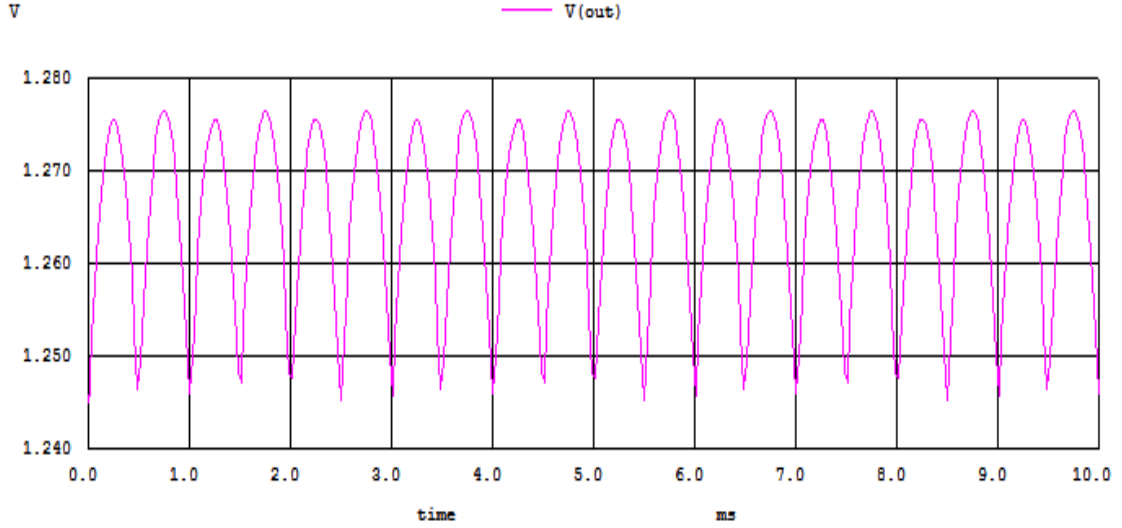
Şekil 3.7 GFET frekans çiftleyici devresi

Şekil 3.7 de gösterilen frekans çiftleyici devresinin çıkış işaretine bakıldığında giriş işaretinin frekansının iki katı görülür. Tek katmanlı grafen tranzistör kullanılmıştır. Devre tam dalga doğrultucunun yaptığı işe benzer şekilde frekansı çiftler ve bunun için grafen tranzistörün ambipolar yeteneğinden istifade edilir. Tranzistörü eşik geriliminde beslemek için geçit terminaline DC ofset voltajı verilir. Bu durumda 0.37 V DC gerilim gereklidir. Geçit işareti 1 kHz frekans ve 300 mV genliğe sahiptir.

Şekil 3.8 ve 3.9 giriş ve de çıkış gerilim karakteristikleri görülmektedir. AC giriş işaretinin pozitif çevrimi boyunca GFET elektron tipi yani n-tipi MOSFET gibi davranış gösterir. Böylelikle toprak terminalinden ' V_{dd} 'ye doğru kanal boyunca elektron tipi taşıyıcıların iletimine izin verir ve oluşan akım da ters yönde akar. İkinci çevrimde giriş işareti negatif olduğunda GFET hol tipi yani p-tipi MOSFET gibi davranış gösterir. ' V_{dd} 'den toprak terminaline doğru hol tipi taşıyıcıların iletilmesini sağlar ve oluşan akım da taşıyıcılarla aynı yöndedir.



Şekil 3.8 Tek katmanlı GFET frekans çiftleyicinin giriş işareti



Şekil 3.9 Tek katmanlı GFET frekans çiftleyicinin çıkış işareti

3.3 Akım Aynası Devreleri

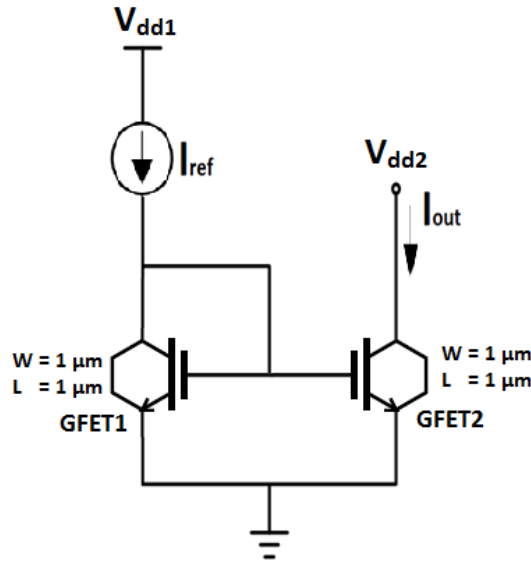
Akım aynaları analog tümdevrelerde kullanılan önemli yapıtaşlarıdır. Akım aynası basitçe düşük giriş direnci ve yüksek çıkış direnci olan ideal bir evirici akım kuvvetlendirici olarak veya akım kontrollü bir akım kaynağı olarak düşünülebilir. Akım aynası girişindeki referans akımını aynen veya belli oranda çıkışına kopyalamaktadır. Doğruluk (accuracy) ve çıkış direnci akım aynasının performansını gösteren iki önemli parametredir. İşlemsel kuvvetlendiriciler, transkondüktans kuvvetlendiriciler ve polarlama devreleri akım aynası içermektedirler.

Akım aynalarının belli bir çalışma bölgeleri vardır. İdealde çıkış empedansı sonsuzdur, böylece çıkış akımı ile çıkış gerilimi arasında bir bağımlılık yoktur. Bunlara ek olarak giriş empedansı sıfırdır yani herhangi bir giriş akımı için cihazın girişinde gerilim düşümü sıfırdır. İdeal bir akım aynası iki portlu akım kontrollü bir akım aynasına eşdeğerdir. Akım aynasının referans akımını çıkışa kopyalaması gerekirken çıkış direnci sonsuz olmadığı için çıkışındaki düğüm gerilimi çıkış akımını etkilemektedir. İdeal bir akım aynasında akım kazancı girişin frekansı ile değişim göstermez fakat gerçekte bu mümkün olmamaktadır. Transistörlerin parazitik kapasitansları akım aynasının her frekansta çalışmasına engel olmaktadır.

Akım aynalarının iki farklı konfigürasyonu olan basit akım aynasına ve kaskod akım aynasına bu bölümde sırasıyla değinilmektedir.

3.3.1 Basit Akım Aynası

Basit akım aynası Şekil 3.10'da görüldüğü gibi girişte diyot bağlı GFET1 tranzistörü ve çıkışta GFET2 tranzistörü olmak üzere iki adet tranzistörden oluşur. GFET1 tranzistörünün drain-geçit gerilimi sıfırdır. GFET1 tranzistörü akım aynasının düşük empedans girişidir, GFET2 tranzistörünün drain ucu da çıkış terminalidir.



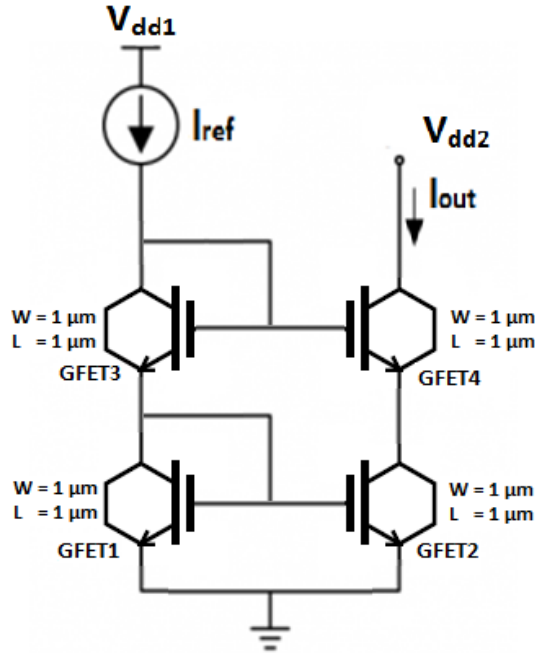
Şekil 3.10 GFET Tabanlı Basit Akım Aynası Devresi

CMOS akım aynası devresinde diyot bağlı tranzistör satürasyonda çalışırken grafen tabanlı akım aynasında diyot bağlı GFET çok kısıtlı bir voltaj aralığında satürasyonda çalışır. GFET1 ve GFET2 tranzistörlerinin sınırlı aralıkta çalışması akım aynasının idealliğini bozan bir durumdur. Akım aynasının düzgün çalışması için GFET2 tranzistörü de satürasyonda çalışmalıdır. GFET2 tranzistörünün V_{ds} gerilimi ayarlanarak satürasyonda çalışması sağlanmaktadır. Basit akım aynası için en düşük çıkış gerilimi GFET2 tranzistörünün doyma gerilimidir. Daha düşük V_{ds} gerilimi için GFET2 tranzistörü triyot bölgede çalışır ve çıkış akımı daha düşük olmaktadır. Daha yüksek V_{ds} gerilimi

için ise GFET2 tranzistörü ambipolar bölgede çalışır ve çıkış akımı referans akımından giderek uzaklaşır.

3.3.2 Kaskod Akım Aynası

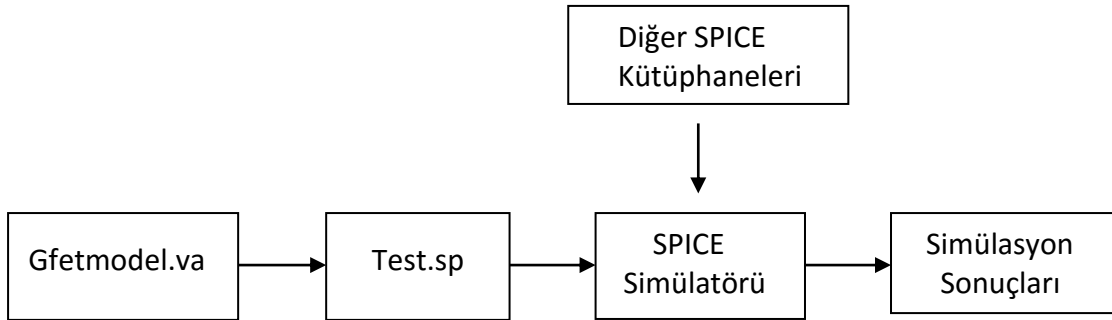
Basit akım aynasının çıkış empedansını arttırmak ve daha verimli bir akım aynası elde edebilmek için Şekil 3.11’de görülen kendinden ön gerilimlendirilmiş kaskod akım aynası konfigürasyonu kullanılmaktadır. Bu konseptte tranzistörler özdeş ve satürasyonda çalışıyorlarsa çıkış akımının referans akımına hemen hemen eşit olması beklenmektedir. Bu tasarımda GFET1 ve GFET2 tranzistörlerinin V_{ds} gerilimleri hemen hemen aynıdır ve bu tranzistörler giriş ve çıkış akımlarının oranını belirlemektedir. GFET3 tranzistörü GFET4 tranzistörünü kutuplar ve GFET4 ünipolar satürasyon bölgesinde çalıştığı sürece GFET2 tranzistörünün drain voltajı çıkış voltajından etkilenmeyecektir. Bu yapı sayesinde daha verimli ve daha yüksek çıkış empedanslı bir akım aynası oluşmaktadır. Kaskod yapının dezavantajı ise GFET2 ve GFET4 tranzistörlerini birlikte ünipolar satürasyon bölgesinde tutmak için daha yüksek gerilime ihtiyaç duyulmasıdır.



Şekil 3.11 GFET Tabanlı Kaskod Akım Aynası Devresi

SİMÜLASYON SONUÇLARI

Bu bölümde Verilog-A ile yazılan GFET modelinin SPICE simülatörüne nasıl entegre edileceği anlatılmıştır. Bununla beraber GFET tabanlı akım aynası devrelerinin DC analizi, kazancı, giriş ve çıkış dirençleri ve güç tüketimi EK-A de verilen parametreler ışığında simüle edilmiştir. Simülasyonlarda EK-C de verilen verilog-a ile kendi oluşturduğum ve referans [61]'de verilen GFET modelinden faydalanılmıştır. Referans [59] ve [63]'te anlatılan GFET modeli sadece p-tipi iletim için kodlanmıştır ve negatif V_{dd} değerleri kullanılmıştır. Diyot bağlı GFET'in yapılan simülasyonlarda V_{ds} gerilimi -1.7 V ve -4.2 V aralığında iken doyumda olduğu hesaplanmıştır ve yapılan analizlerde bu kısıtlamaya dikkat edilmiştir. Simülasyonlarda arka geçit (backgate) gerilimi tranzistörlerin source terminaline bağlanmıştır.



Şekil 4.1 SPICE simülatörü ve Verilog-A modeli ilişkisi

Verilog-A ile kodlanan GFET modeli SPICE’de netlist oluşturulurken .hdl komutu ile eklenir.

.HDL GFET.VA

Verilog-A modülünü alt devrelerde olduğu gibi X ön eki ile SPICE simülatörüne tanıtılıp, parametreleri için başlangıç değerleri verilebilir.

X1 DRAIN GATE SOURCE BACKGATE GFET L=1E-6 W=1E-6

Bu şekilde drain, gate, source ve backgate Verilog-A ile yazılmış gfet(drain, gate, source, backgate) modülüne adreslenir. Girilen parametre varsa parametrelerin modül içindeki default değerleri güncellenir.

Simülasyon gerçekleştirildiğinde simülatör Verilog-A kaynak dosyasını derler ve *.cml uzantısı ile saklar. Eğer kodda değişiklik yoksa bir sonraki simülasyonlarda tekrar tekrar derleme işlemi gerçekleştirilmez.

Referans [61]’de verilen SPICE kütüphanesi de netlist oluşturulurken aşağıdaki satırda gösterildiği gib simülatöre yüklenir.

.LIB ‘GFET.LIB’ GFET

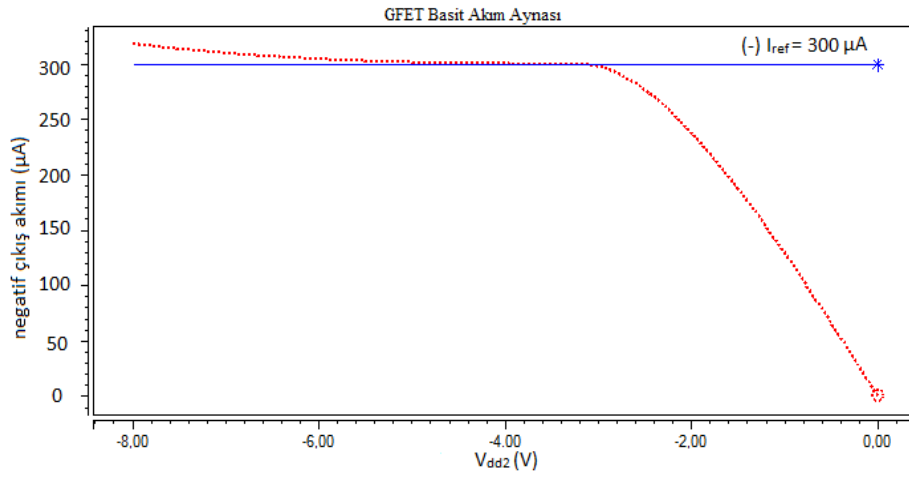
Bu kütüphane yüklendikten sonra grafen tranzistörler X ön eki ile SPICE simülatörüne tanıtılır ve kullanılacak parametreler de bu satırda gösterildiği gibi verilebilir.

X1 DRAIN GATE SOURCE BACKGATE GFET HSUB=285E-9 TOX= 15E-9 L=1.0E-6 W=1.0E-6

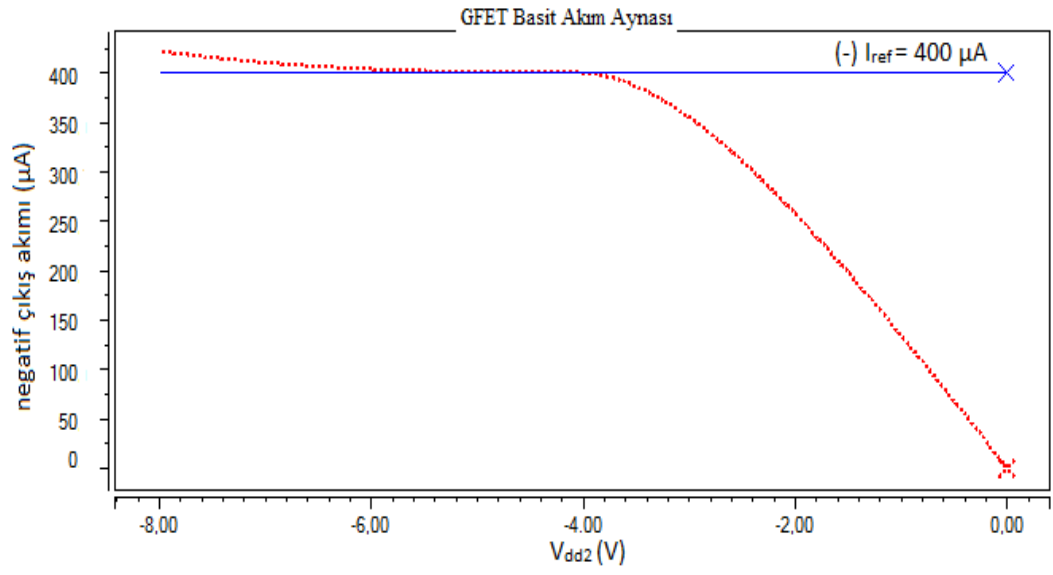
Analiz 1:

Basit akım aynası devresi GFET1’in drain ucuna DC bir akım kaynağı yerleştirilerek ve GFET2’nin V_{dd2} gerilimi DC sweep yapılarak simüle edilmiştir. İkinci grafen FET’in drain akımı I_{out} ’un I_{ref} ’e eşit olduğu V_{dd2} gerilimi gözlenerek grafen tranzistörlerden oluşan akım aynasının çalışıp çalışmadığı incelenmiştir. İdealde çıkış akımı I_{out} ’un referans akımı I_{ref} ’i takip etmesini bekleriz fakat GFET2 tranzistörü ambipolar bölgeye geçtiğinde I_{out} akımı V_{ds2} gerilimine bağlı olarak da artarak referans akımı I_{ref} ’i aşmaktadır. NMOS tranzistörlerdeki kısa kanal etkisine bağlı olarak çıkış akımının referans akımını aşması gibi değerlendirilebilir. Aşağıdaki şekillerde GFET akım aynalarının simülasyon sonuçları verilmiştir.

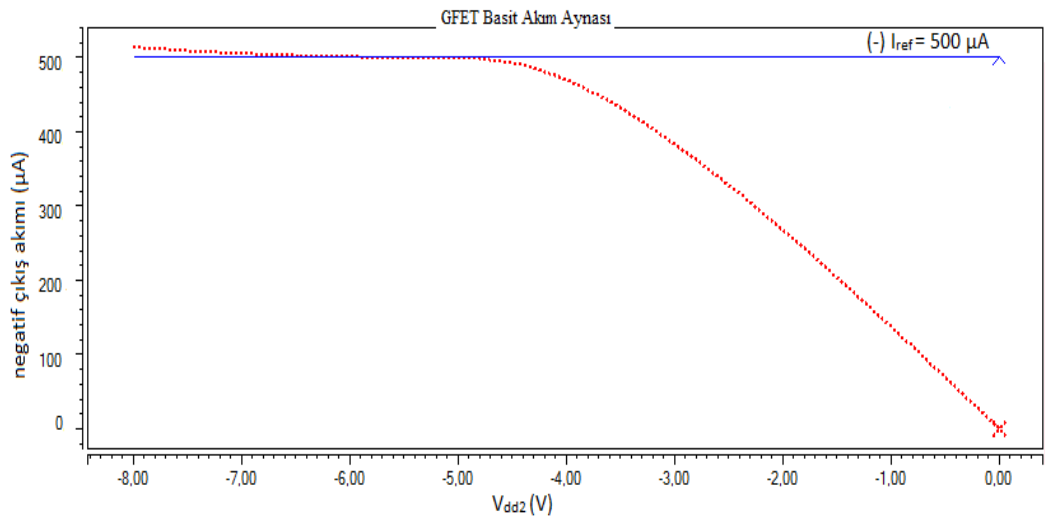
Basit akım aynası devresinde referans akımı olarak sırasıyla $-300\ \mu\text{A}$, $-400\ \mu\text{A}$, $-500\ \mu\text{A}$ ve $-600\ \mu\text{A}$ verilerek V_{dd2} gerilimi $0\ \text{V}$ ve $-8\ \text{V}$ arasında 'dc sweep' yapılmıştır. Bu akım kaynakları bağlandığında GFET1 ikinci bölgede yani ünipolar doyum bölgesinde çalışıyor ve V_{dd2} gerilimi artarken GFET2 tranzistörü önce lineer bölgede çalışır ve I_{out} akımı Şekil 4.2 – Şekil 4.5 arasındaki şekillerde görüldüğü gibi artmaya başlar. Daha sonra V_{dsat1} gerilimine ulaşıldığında tranzistör ünipolar doyum bölgesinde çalışır ve V_{dsat2} gerilimine ulaşınca kadar referans akımını takip eder. V_{dd2} daha da arttığında tranzistör ambipolar doyum bölgesinde çalışır ve V_{ds} gerilimine bağlı olarak I_{out} akımı Şekil 4.2 – Şekil 4.5 arasındaki şekillerde görüldüğü gibi I_{ref} akımını aşmaya başlar.



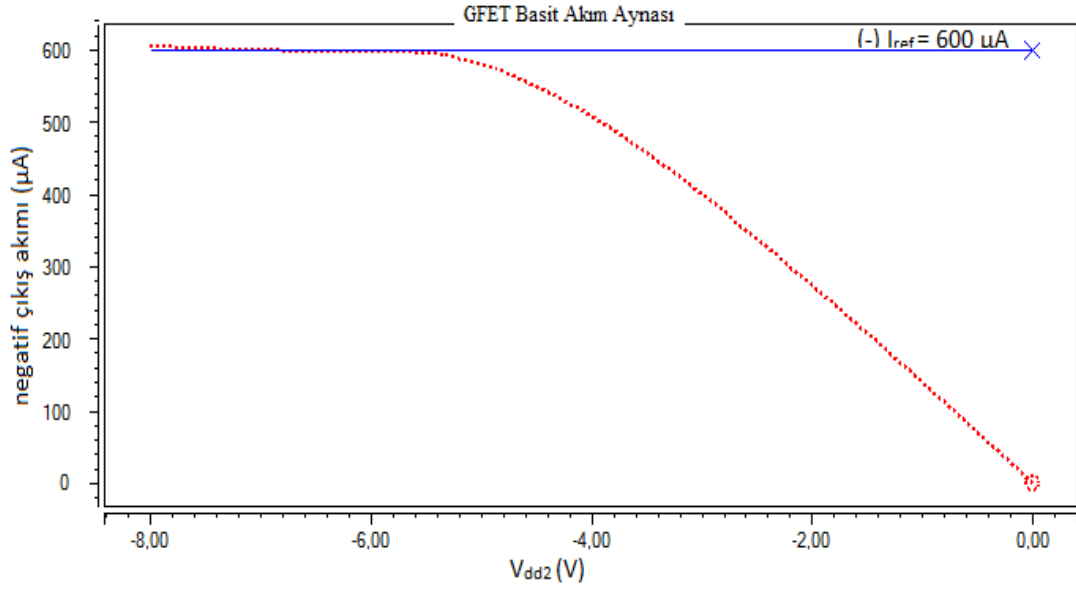
Şekil 4.2 $I_{ref} = -300\ \mu\text{A}$ için GFET tabanlı basit akım aynasının I_{out} çıktısı



Şekil 4.3 $I_{ref} = -400 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıkışı

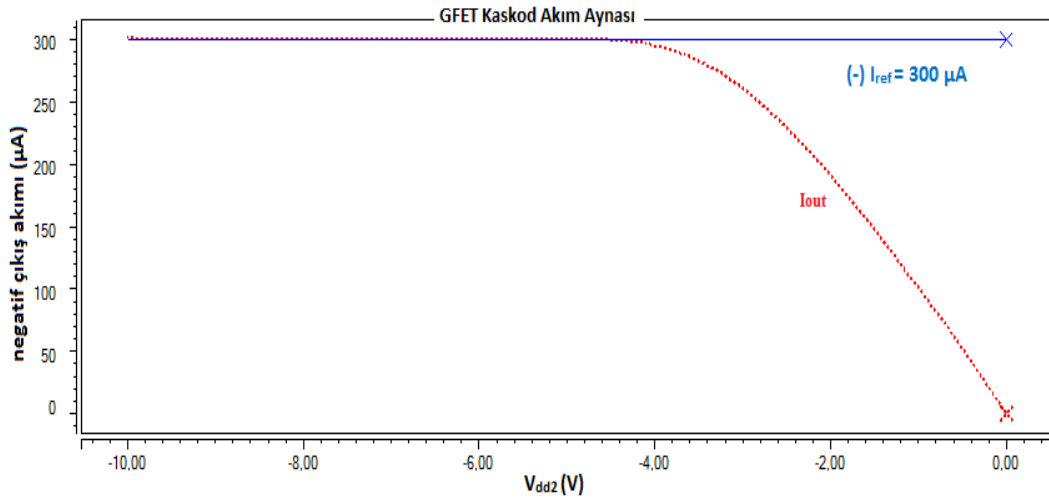


Şekil 4.4 $I_{ref} = -500 \mu A$ için GFET tabanlı basit akım aynasının I_{out} çıkışı

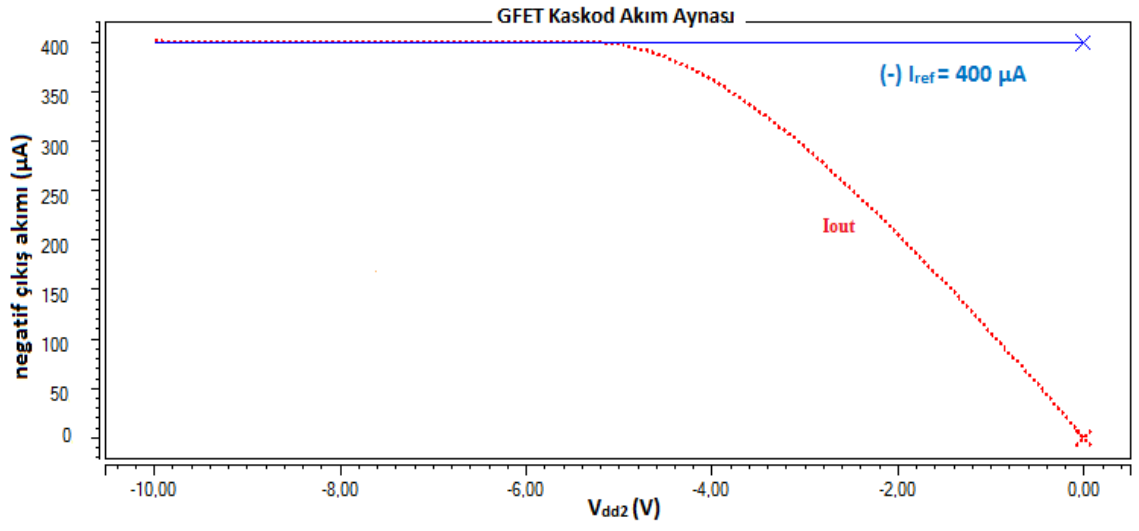


Şekil 4.5 $I_{ref} = -600 \mu A$ için GFET tabanlı basit akım aynası I_{out} çıkışı

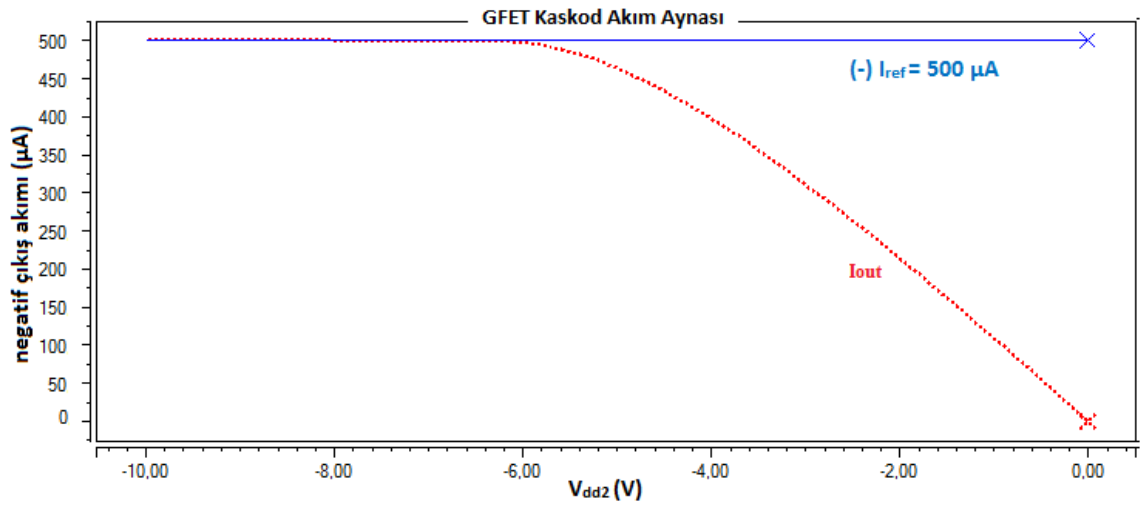
Kaskod akım aynası devresinde de referans akımı olarak sırasıyla $-300 \mu A$, $-400 \mu A$, $-500 \mu A$ ve $-600 \mu A$ verilerek V_{dd2} gerilimi 0 V ve -10 V arasında 'dc sweep' yapılmıştır. Kaskod yapıda da çıkış akımının referans akımını takip ettiği ve bu voltaj aralığında GFET2 ve GFET4 tranzistörlerinin doyumda çalıştığı görülmektedir. Fakat bu iki tranzistörü doyumda tutabilmek için daha yüksek V_{dd2} gerilimi gerekmektedir. Simülasyon sonuçları aşağıda sırasıyla verilmiştir.



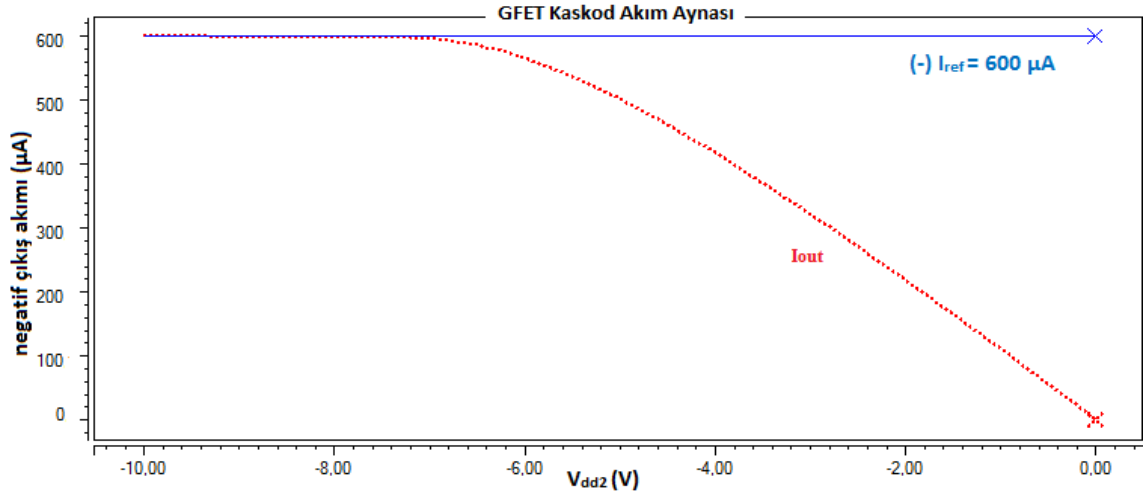
Şekil 4.6 $I_{ref} = -300 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı



Şekil 4.7 $I_{ref} = -400 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı



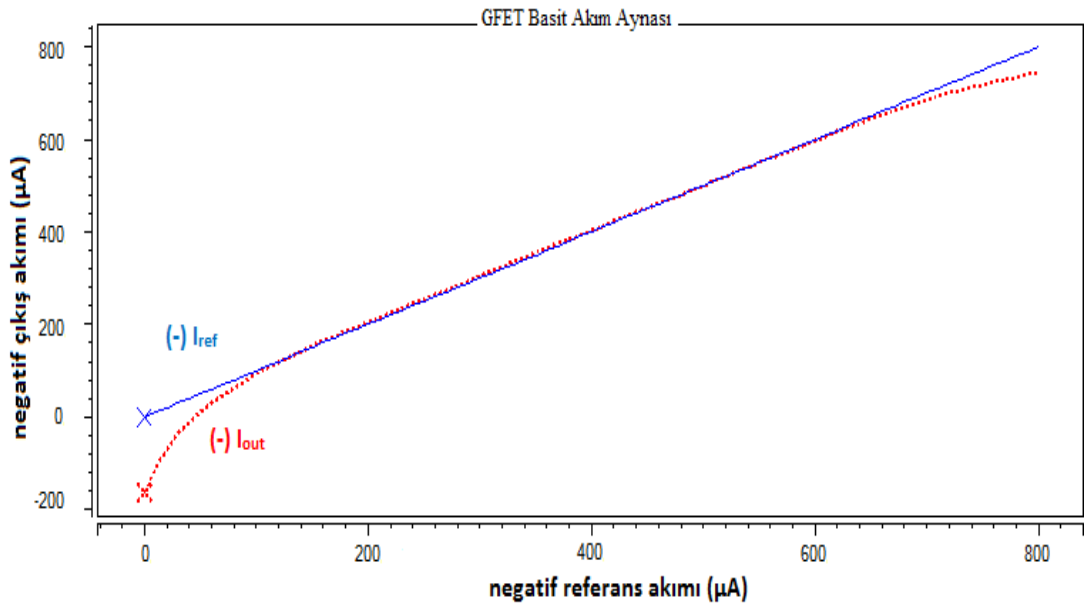
Şekil 4.8 $I_{ref} = -500 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı



Şekil 4.9 $I_{ref} = -600 \mu A$ için GFET tabanlı kaskod akım aynasının I_{out} çıktısı

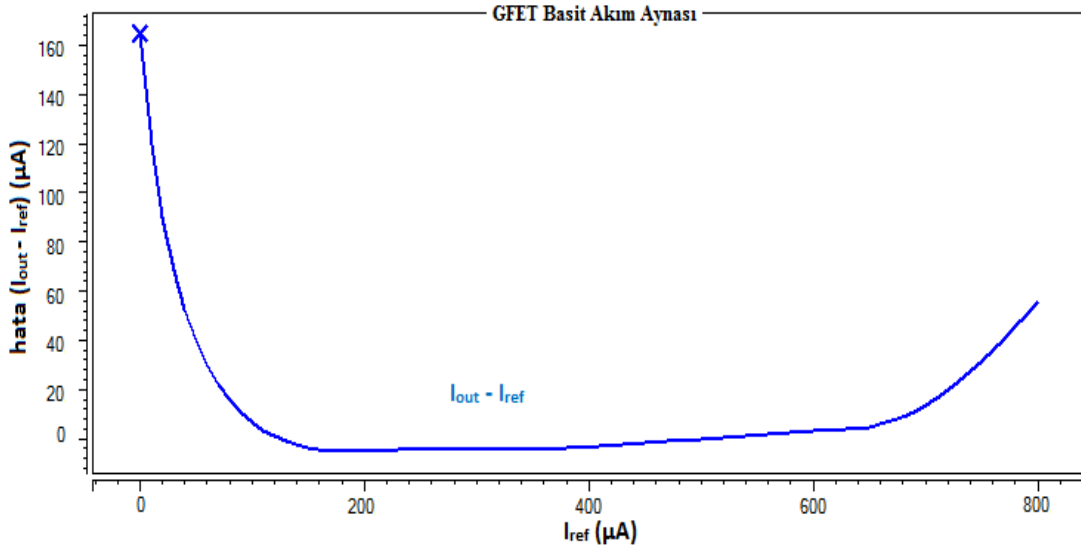
Analiz 2 :

GFET2 tranzistörünün V_{dd2} gerilimi $-6 V$ 'de sabitlenerek, I_{ref} akımı $0-800 \mu A$ arasında taranmıştır. Bir akım aynasında iki tranzistörde doyumda çalışıyorsa referans akımının çıkışına belli bir oranda kopyalanmasını bekleriz. Grafen bazlı basit akım aynasında da Şekil 4.10'da görüldüğü gibi çıkış akımı I_{out} 'un referans akımı I_{ref} 'i belli bir aralıkta takip ettiği görülmektedir. Bu referans akımı aralığında akım aynası istenildiği gibi çalışmaktadır. Referans akımı, I_{ref} , $600 \mu A$ büyüklüğünü aştığında çıkış akımı, I_{out} , referans akımını takip etmek yerine uzaklaşmaya başlamaktadır.



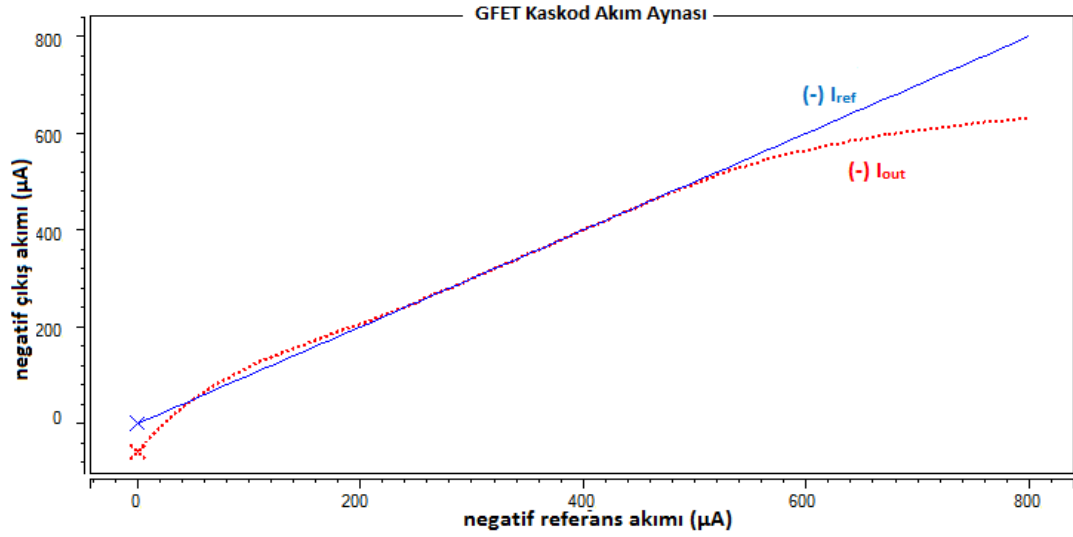
Şekil 4.10 I_{ref} akımı $0-800 \mu A$ arasında değişirken I_{ref} ve I_{out} arasındaki ilişki (BAA)

Bir akım aynası çıkış akımını stabil tutabilmelidir. Referans akımındaki değişimler çıkış akımında da benzer değişimlere yol açmalıdır. Yani çıkış akımı en az hatayla referans akımını takip etmelidir. Bunu analiz edebilmek için $V_{dd2} = -6$ V'ye sabitlenerek referans akımı I_{ref} 0-800 μA arasında taranmıştır. Hata eğrisinden de görüldüğü gibi yaklaşık 200 μA 'ya kadar çıkış akımı ile referans akımı arasındaki fark azalır ve 200 μA ile 600 μA arasında hata payı $\pm$ %1-2 civarındadır. Daha sonra şekilde de görüldüğü gibi hata giderek artmaktadır.

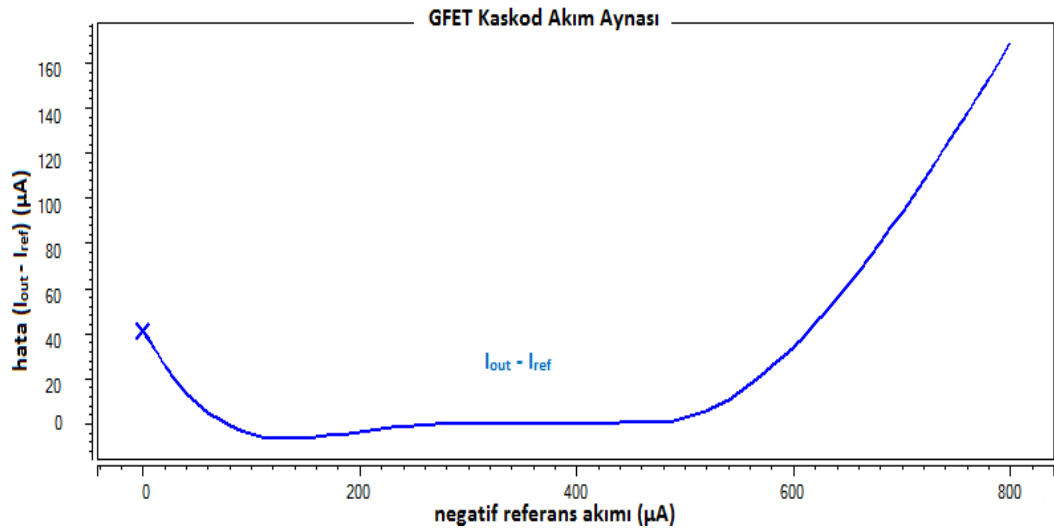


Şekil 4.11 I_{ref} akımı 0-800 μA arasında değişirken ($I_{ref} - I_{out}$) çıktısı (BAA)

Kaskod akım aynasında V_{dd2} gerilimi -6 V'ye sabitlenerek I_{ref} akımı 0–800 μA aralığında taranmıştır. Çıkış akımı 200–500 μA aralığında %1'den bile az hata payı ile referans akımını takip etmektedir. 500 μA 'dan sonra çıkış akımı referans akımından giderek uzaklaşmaktadır. Simülasyon sonuçları aşağıdaki şekillerde verilmiştir.



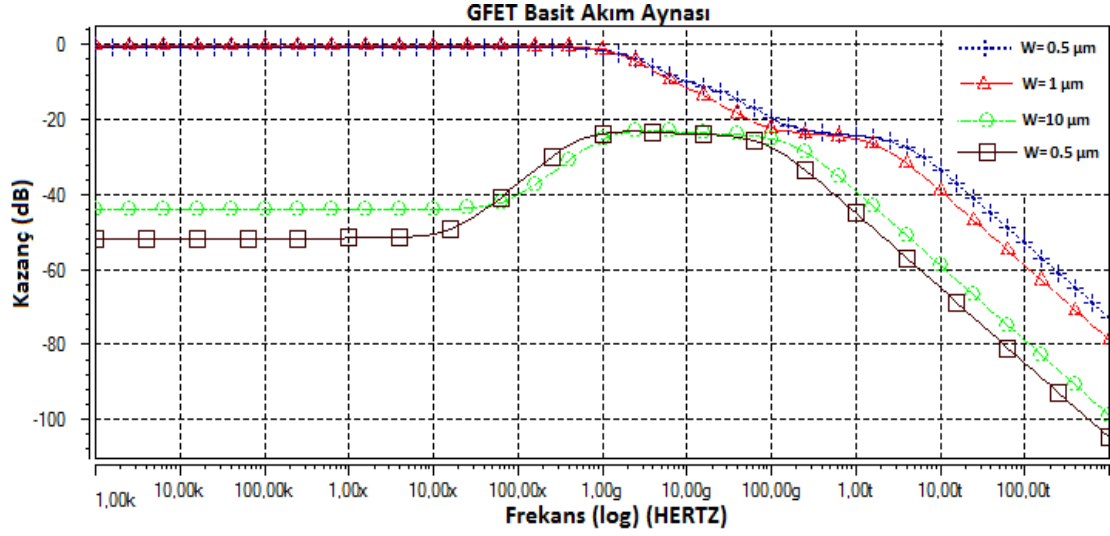
Şekil 4.12 I_{ref} akımı 0-800 μA arasında değişirken I_{ref} ve I_{out} arasındaki ilişki (KAA)



Şekil 4.13 I_{ref} akımı 0–800 μA arasında değişirken $(I_{out}-I_{ref})$ çıktısı (KAA)

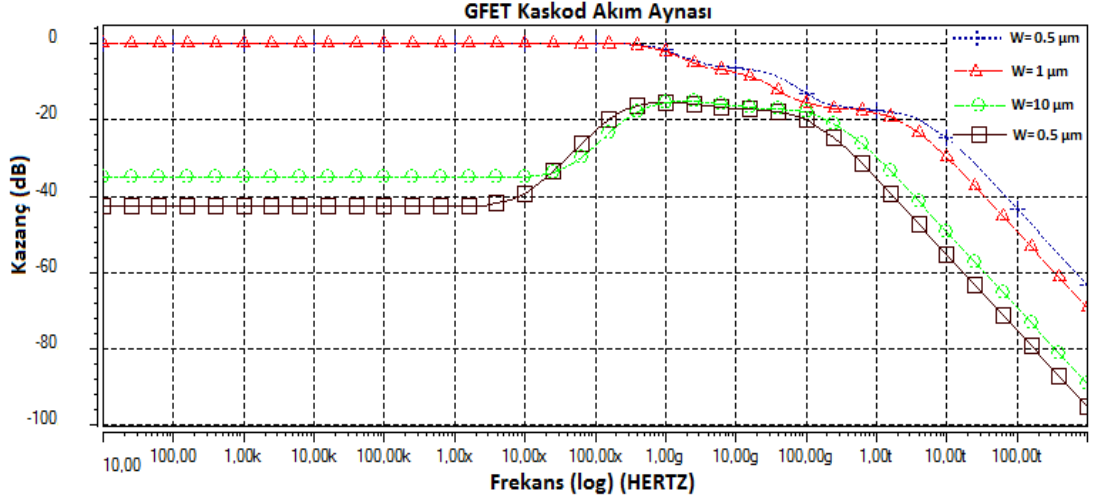
Analiz 3:

Bu aşamada ac analiz yapılmıştır. Basit akım aynası için V_{dd1} -4 V ve V_{dd2} -6 V ile iki tranzistör de ünipolar doyum bölgesinde çalışacak şekilde beslenmiştir. Sinüsoidal işaret (1 mV, 1 kHz) verilerek 10^{15} Hz'ye kadar AC sweep yapılmıştır. Akım aynasının frekansa karşılık kazanç eğrisi çizdirilerek band genişliği gözlenmiştir. İdeal bir akım aynası birim akım kazancı göstermelidir. Aşağıdaki şekilde de görüldüğü gibi GFET akım aynası yaklaşık 2 GHz'de -3 dB kazanç göstermektedir.



Şekil 4.14 GFET tabanlı basit akım aynası frekansa karşı kazanç grafiği

Kaskod akım aynası için V_{dd1} -4.5 volt ve V_{dd2} -6 V olacak şekilde devre simüle edilmiştir. Dört tranzistör de ünipolar satürasyon bölgesinde çalışmaktadır. Sinüsoidal işaret (1 mV, 1 kHz) verilerek 10^{15} Hz'ye kadar AC sweep yapılmıştır. Akım aynasının frekansa karşılık kazanç eğrisi çizdirilerek band genişliği gözlenmiştir. İdeal bir akım aynası birim akım kazancı göstermelidir. Aşağıdaki şekilde de görüldüğü gibi $w = 1 \mu\text{m}$ için GFET akım aynası yaklaşık 1.2 GHz'de -3 dB kazanç göstermektedir. Tranzistörlerin kanal genişliği değiştirildiğinde çalışma bölgeleri değişiyor ve kazanç grafiğinde bozulmalar görülüyor.



Şekil 4.15 GFET tabanlı kaskod akım aynası frekansa karşı kazanç grafiği

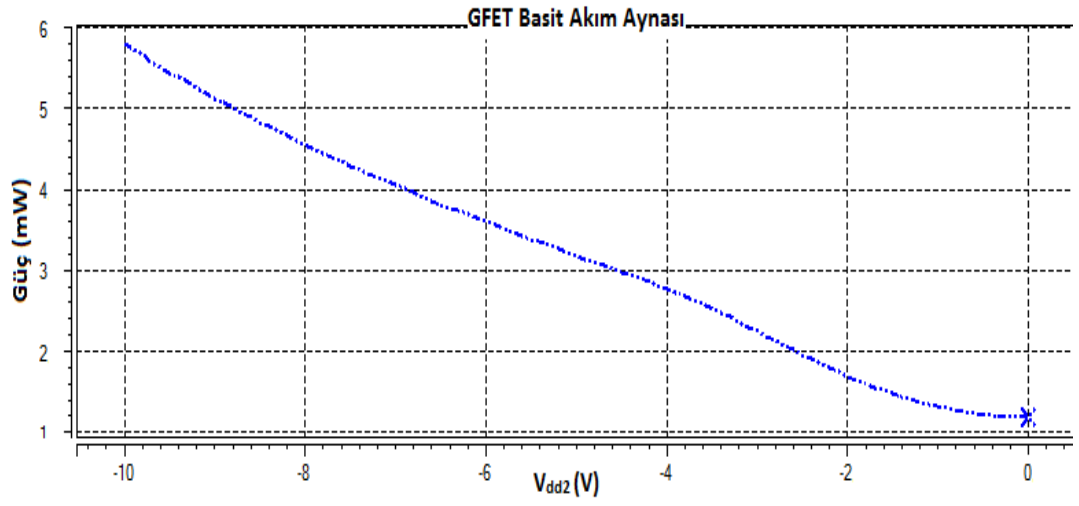
Analiz 4:

Basit ve kaskod akım aynası devrelerinin güç tüketimi, giriş ve çıkış dirençleri simüle edilerek incelenmiştir.

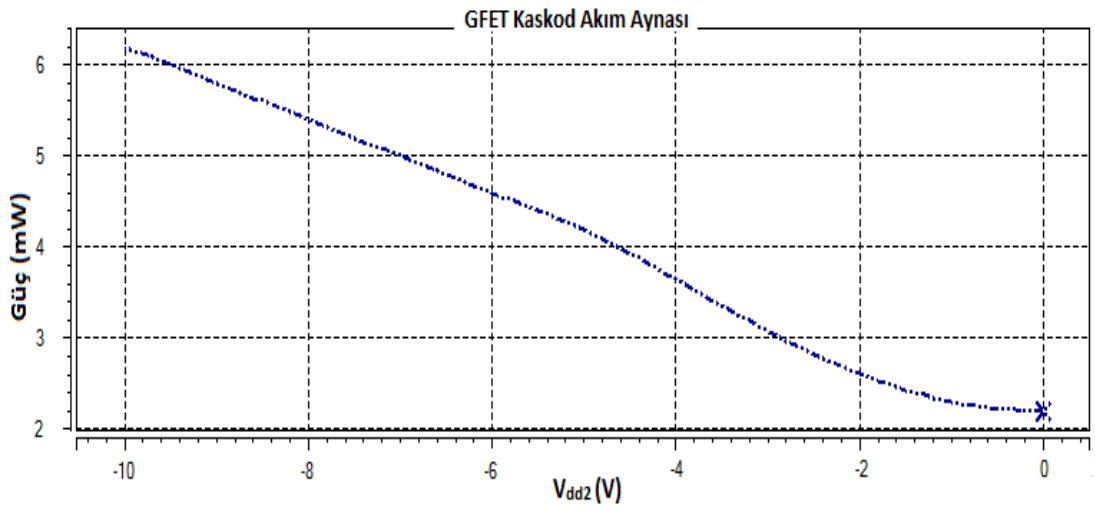
Basit akım akım aynası devresinde $-400 \mu\text{A}$ referans akımı ve -6 volt V_{dd2} gerilimi için yaklaşık olarak giriş direnci $9 \text{ k}\Omega$ ve çıkış direnci $214 \text{ k}\Omega$ olarak bulunmuştur. Basit akım aynasının 0 V ile -10 V arasında değişen V_{dd2} gerilimi karşın güç tüketimi Şekil 4.16'da verilmiştir.

Kaskod akım aynası devresinde de $-400 \mu\text{A}$ referans akımı ve -6 volt V_{dd2} gerilimi için giriş ve çıkış direnci sırasıyla yaklaşık $18 \text{ k}\Omega$ ve $6 \text{ M}\Omega$ olarak bulunmuştur. Kaskod yapı simülasyon sonuçlarının doğruladığı gibi çıkış direncini arttırmaktadır. V_{dd2} 0 V ile -10 V arasında değişirken kaskod akım aynasının güç tüketimi Şekil 4.17'de verilmiştir.

Çizelge 4.1'de giriş, çıkış dirençleri ve verilen çalışma noktasındaki güç tüketimi her bir akım aynası konfigürasyonu için özetlenmiştir.



Şekil 4.16 BAA güç tüketimi grafiği ($I_{ref} = -400 \mu A$)



Şekil 4.17 KAA güç tüketimi grafiği ($I_{ref} = -400 \mu A$)

Çizelge 4.1 GFET akım aynaları için giriş, çıkış dirençleri ve güç tüketimi tablosu

	R_{in}	R_{out}	Güç
GFET Basit Akım Aynası	9 k Ω	214 k Ω	4.60 mW
GFET Kaskod Akım Aynası	18 k Ω	6 M Ω	6.53 mW

SONUÇ VE YORUMLAR

Literatürdeki grafen tranzistör modelleri oldukça karmaşık matematiksel ifadeler içermektedir. Bu modelleri devre analizinde kullanabilmek için bazı varsayımlar, basitleştirmeler yapılmaktadır. Bu yapılan işlemler teorik ve pratikteki çalışmalar arasında kısıtlamalara ve hataya neden olabilmektedir. Tezde kullanılan GFET modeli Verilog-A ile kodlanarak SPICE devre simülatörüne entegre edilmiş ve başarılı simülasyon sonuçları elde edilmiştir. Farklı modeller de bu şekilde Verilog-A ile kodlanarak SPICE için GFET kütüphanesi oluşturulabilir, geliştirilebilir. Grafen gerilim kuvvetlendiriciler ve frekans çarpıcı SPICE’de tekrardan simüle edilerek literatürdeki örnekleri gibi bir giriş çıkış karakteristiği görülmüştür. SPICE simülatörüne entegre edilen grafen kütüphanesinin düzgün çalıştığı, düğüm gerilimleri ve akımlarının doğru hesaplandığı görülmüştür. Ayrıca sıkça karşılaşılan DC yakınsaklık problemleri burada görülmemiştir.

Kullanılan GFET tranzistörün drain akımı satürasyon bölgesine sahiptir ve bu durum tranzistörün analog devrelerde kullanılmasına olanak sağlar. Yapılan simülasyonlarda bu satürasyon durumu net olarak görülebildiğinden grafen bir akım aynasının nasıl sonuçlar vereceği merak edilerek bu tezde analiz edildi. Basit ve kaskod akım aynası devreleri sırasıyla analiz edildi. Grafen basit akım aynasının çıkış akımı çalışma bölgesi içerisinde referans akımını yüksek doğrulukla takip edebilmektedir. Kaskod yapıyı incelediğimizde de aynı durumu gözlemekteyiz. Üstelik kaskod yapının çalışma aralığının daha büyük olduğu görülmüştür. İleride grafen üzerine yapılan çalışmalarda tranzistörün doymada çalışma aralığı arttırıldığında daha başarılı sonuçlar elde

edilebilir. Ayrıca diyot bağı GFET'in diyot bağı CMOS tranzistörlerden farklı olarak sadece küçük bir aralıkta doyuma girmesi de kısıtlayıcı bir faktör olmaktadır, yani tranzistörün doyumda çalışması sadece sınırlı bir V_{ds} voltaj aralığında mümkün olmaktadır.

Basit ve kaskod yapının 1-2 GHz'lik bir band genişliğinde stabil bir frekans cevabı olduğu görülmüştür. Bu bant genişliğinin grafenin potansiyelini yansıtmadığı düşünülmektedir. Halbuki grafen malzeme ile yüksek hızlı tranzistörler üretilmektedir. Parazitik kapasitansların ve seri dirençlerin tranzistörün kesim frekansını etkilediği bilindiğinden ileriki çalışmalarda bu etkilerin azaltılması grafen tabanlı devrelerin daha geniş bant aralığında çalışacağı düşünülebilir. Üretim teknolojisi geliştikçe ve farklı parametreler kullanıldığı takdirde band genişliğinin çok büyük oranda artması beklenmektedir. Simülasyonda ayarlanan gerilim değerleri için basit akım aynasında çıkış direnci 214 k Ω görülürken kaskod akım aynasında 6 M Ω çıkış direnci görülmüştür. İki yapıda da tranzistörler satürasyonda çalıştırılmıştır. Beklendiği gibi kaskod yapı akım aynasının çıkış direncini arttırmıştır. Güç tüketimi grafikleri incelendiğinde kaskod yapının belirtilen gerilim aralığında daha çok güç tükettiği görülmekte fakat basit akım aynası ambipolar bölgede çalışmaya başladığında kaskod yapı hâlâ ünipolar satürasyon bölgesinde çalıştığından basit akım aynasının çıkış akımı artmakta ve güç tüketiminde kaskod yapıyı giderek yakaladığı görülmektedir.

Yapılan çalışma simülasyon aşamasında kaldığından bu çalışma pratiğe aktarıldığında cevaplanması gereken sorular da olacaktır. Arka geçit (back-gate) gerilimi, V_{bs} , değiştirildiğinde bant aralığının nasıl değişeceği, bu değişimin tranzistörün satürasyon durumunu nasıl etkileyeceği görülmelidir. Akım satürasyonunu artırılmış, daha yüksek düşük alan mobilitesine (low field mobility) sahip grafen alan etkili tranzistörlerin üretilmesi, parazitik kapasitansların ve seri dirençlerin iyileştirilmesi ilerde yapılacak olan analog devreler için daha yüksek performans verebilir. Ayrıca bu çalışmanın ardından silikon tabanlı devreler ile karşılaştırmalı çalışmalar yapılabilir ve hatta bu çalışma diğer akım aynası devresi konfigürasyonları (Wilson akım aynası vb.), farksal kuvvetlendiriciler ve işlemsel kuvvetlendiriciler için genişletilebilir.

KAYNAKLAR

- [1] Geim, A. K. ve Novoselov, K., (2007). "The Rise of Graphene" , Nature Materials, 6:183-191.
- [2] Schwierz, F., (2010). "Graphene transistors", Nature Nanotechnology, 5:487-496.
- [3] Novoselov, K.S., Geim, A.K., Morozov, S.V., Jiang, D., Zhang, Y., Dubonos, S.V., Grigorieva, I.V. ve Firsov, A.A., (2004). "Electric Field Effect in Atomically Thin Carbon Films", Science, 306:666-669.
- [4] Liao, L., Lin, Y.C., Bao, M., Cheng, R., Bai, J., Liu, Y., Qu, Y., Wang, K.L., Huang, Y. ve Duan, X., (2010). " High-speed graphene transistors with a self-aligned nanowire gate", Nature, 467:305-308.
- [5] Cheng, R., Bai, J., Liao, L., Zhou, H., Chen, Y., Liu, L., Lin, Y.C., Jiang, S., Huang, Y., Duan, X., (2012). "High-frequency self aligned graphen transistors with transfered gate stacks", Proc. Nat. Acad. Sci., 109:11588-11592.
- [6] Schwierz, F., (2013). "Graphene transistors : Status, prospects and problems", Proc. IEEE, 101:1567-1584.
- [7] Meric, I., Dean, C.R., Han, S.J., Wang, L., Jenkins, K.A., Hone, J. ve Shepard, K.L., (2011). " High-frequency performance of graphene field effect transistors with saturating I-V characteristics", IEDM, 5-7 Aralık 2011, Washington.
- [8] Lin, Y.L., Valdes-Garcia, A., Han, S.H., Farmer, D.B., Meric, I., Sun, Y., Wu, Y., Dimitrakopolos, C., Grill, A., Avouris, P. ve Jenkins, K.A., (2011). "Wafer-Scale Graphene Integrated Circuit", Science, 332(6035):1294-1297.
- [9] Wang, H., Hsu, A., Kim, K.K., Kong, J. ve Palacios, T., (2010). "Gigahertz Ambipolar Frequency Multiplier based on CVD Graphene", IEDM, 6-8 Aralık 2010, San Francisco.
- [10] Wang, H., Hsu, A., Wu, J., Kong J. ve Palacios T., (2010). "Graphene-based Ambipolar RF Mixers", IEEE Electron Device Letters, 31(9):906-908.
- [11] Wang, H., Nezich, D., Kong, J. ve Palacios, T., (2009). "Graphene Frequency Multipliers", IEEE Electron Device Letters, 30(5):547-549.

- [12] Hang, Z., Zhang, Z., Xu, H., Ding, L., Wang, S. ve Peng, L.M., (2010). "A high-performance top-gate graphene field-effect transistor based frequency doubler", *Applied Physics Letters*, 96(17).
- [13] Yang, X., Liu, G., Balandin, A.A. ve Mohanram, K., (2010). "Triple-Mode Single Transistor Graphene Amplifier and its Applications", *ACS Nano*, 4(10):5532-5538.
- [14] Lee, J., Seo, D.H., Shin, H., Park, S. ve Chung, H.J., (2014). "Step-by-step implementation of an amplifier circuit with a graphene field effect transistor on a printed- circuit board", *Current Applied Physics*, 14:1057-1062.
- [15] Han S.J., Jenkins, K.A., Valdes-Garcia, A., Franklin, A.D., Bol, A.A. ve Haensch, W., (2011). "High Frequency Graphene voltage Amplifier", *Nano Letters*, 11(9):3690-3693.
- [16] Chen, H.Y. ve Appenzeller, J., (2012). "On the Voltage Gain of Complementary Graphene Voltage Amplifiers with Optimized Doping", *Electron Device Letters*, 33(10):1462-1464.
- [17] Guerriero, E., Polloni, L., Rizzi, L.G., Bianchi, M., Mondello, G., Sordan, R., (2012). "Graphene Audio Voltage Amplifier", *Small*, 8(3):357-361.
- [18] Castro-Neto, A.H., Guinea, F., Peres, N.M.R., Novoselov, K.S. ve Geim, A.K., (2009). "The electronic properties of graphene", *Rev. Mod. Phys.*, 81(1):109-162.
- [19] Gökçek, N. (2011). *Grafen Kuantum Noktaları, Yüksek Lisans Tezi, Ankara Üniversitesi, Fen Bilimleri Enstitüsü, Fizik Anabilim Dalı, Ankara.*
- [20] Abergel, D.S.L, Apalkov, V., Berashevich, J., Ziegler, K., Chakraborty, T., (2010). "Properties of graphene: a theoretical perspective", *Advances in Physics*, 59(4):261-482.
- [21] Ostinga, J., Heersche, H., Liu, X., Morpurgo, A. ve Vandersypen, L.M.K., (2008). "Gate-induced insulating state in bilayer graphene devices", *Nature Materials*, 7: 151-157.
- [22] Banerjee, S.K., Register, L.F., Tutuc, E., Basu, D., Kim, S., Reddy, D., ve MacDonald, A.H., (2010). "Graphene for CMOS and beyond CMOS application", *Proceedings of the IEEE*, 98(12):2032-2046.
- [23] Wang, X., Ouyang, Y., Li, X., Wang, H., Guo, J. ve Dai, H., (2008). "Room-temperature all-semiconducting sub 10nm graphene nanoribbon field effect transistors", *Phys. Rev. Lett.*, 100(20).
- [24] Geim, A.K., Katsnelson, M. ve Guinea, F., (2010). "Energy gaps and zero-field quantum Hall effect in graphene by strain engineering", *Nat. Phys.*, 6:30-33.
- [25] Avouris, P., (2010). "Graphene: Electronics and photonic properties and devices", *Nano Letters*, 10(11):4285-4294.
- [26] Geim, A.K., (2009). "Graphene : Status and Prospects", *Science*, 324(5934):1530-1534.

- [27] Hass, J., Feng, R., Li, T., Li, X., Zong, Z., de Heer, W.A., First, P.A, Comrad, E.H., Jeffrey, C.A., ve Berger, C., (2006). "Highly ordered graphene for two dimensional electronics", *Applied Physics Letters*, 89(14).
- [28] Garaj, S., Hubbard, W. ve Golovchenko, J., (2010). "Graphene synthesis by ion implantation", *Applied Physics Letters*, 97(18).
- [29] Kosynkin, D., Higginbotham, A.L., Sinitskii, A., Lomeda, J.R., Diminiev, A., Price, K.B. ve Tour, J.M., (2009). "Longitudinal unzipping of carbon nanotubes to form graphene nanoribbons", *Nature*, 458:872-876.
- [30] Meric, I., Han, M., Young, A.F., Ozyilmaz, B., Kim, P. ve Shepard, K.L., (2008). "Current saturation in zero-bandgap, top-gate graphene field-effect transistors", *Nature Nanotechnology*, 3(11):654-659.
- [31] Kliros, G.S., (2010). "A phenomenological model for the quantum capacitance of monolayer and bilayer graphene devices", *Romanian Journal of Information Science and Technology*, 13(3):332-341.
- [32] Datta, S. (2005). *Quantum Transport: Atom to Transistor*, Cambridge University Press, Cambridge.
- [33] Yu, G.L., Jalil, R., Belle, B., Mayarov, A.S., Blake, P., Schedin, F., Morozov, S.V., Ponomarenko, L.A., Chiappini, F., Wiedmann, S., Zeitler, A., Katsnelson, M.I., Geim, A.K., Novoselov, K.S. ve Elias, D.C., (2013). "Interaction phenomena in graphene seen through quantum capacitance", *PNAS*, 110(9):3282-3286.
- [34] Thiele, S., Schafer, J. ve Schwierz, F., (2010). "Modelling of graphene metal-oxide semiconductor field effect transistors with gapless large area graphene channels", *Journal of Applied Physics*, 107(9).
- [35] Xia, J., Chen, F., Li, J. ve Tao, N., (2009). "Measurement of the quantum capacitance of graphene", *Nature nanotechnology*, 4:505-509.
- [36] Sonde, S., Giannazzo, F., Raineri, V. ve Rimini, E., (2009). "Dielectric thickness dependence of capacitive behaviour in graphene deposited on silicon dioxide", 27(2):868-873.
- [37] Drude, P., (1900). "Zur elektronentheorie der metalle", *Annalen der Physik*, 306(3):566-613.
- [38] Das, A., Pisana, S., Chakrabarty, B., Piscanec, S., Saha, S., Waghmore, U., Novoselov, K., Krishnomurthy, H., Geim, A., Ferrari, A. ve Saad, A., (2008). "Monitoring dopants by Raman scattering in an electrochemically top-gated graphene transistors", *Nature Nanotechnology*, 3:210-215.
- [39] Schroder, D., (2006). *Semiconductor Material and Device Characterization*, Third Edition, Wiley- IEEE Press, New Jersey .
- [40] Lemme, M., Echtermeyer, T., Baus, M. ve Kurz, H., (2007). "A graphene field-effect device," *Electron Device Letters, IEEE*, 28(4):282-284.

- [41] Dimitrakopoulos, C., Lin, Y.M., Grill, A., Farmer, D.B., Freitag, M., Sun, Y., Han, S.J., Chen, Z., Jenkins, K.A., Zhu, Y., Liu, Z., Mcardle, T.J., Ott, J.A., Wisnieff, Robert (2010). "Wafer-scale epitaxial graphene growth on the Si-face of hexagonal SiC (0001) for high frequency transistors", *Journal of Vacuum Science & Technology : Microelectronics and Nanometer Structures*, 28(5):985-992.
- [42] Lin, Y.M., Dimitrakopolous, C., Jenkins, K.A., Farmer, D.B., Chiu, H.Y., Grill, A. ve Avouris, P., (2010). "100 GHz Transistors from Wafer-Scale Epitaxial Graphene", *Science*, 327(5966):662.
- [43] Lin, Y.M., Chiu, H.Y., Jenkins, K.A., Farmer, D.B., Avouris, P. ve Valdes-Garcia, A. (2010). "Dual-gate graphene FETs with f_T of 50 GHz", *Electron Device Letters, IEEE*, 31(1):68-70.
- [44] Meric, I., Dean, C., Young, A., Hane, J., Kim, P. ve Shepard, K., (2010). "Graphene field- effect transistors based on boron nitride gate dielectrics", *Electron Devices Meeting*, 6-8 Aralık 2010, San Francisco.
- [45] Schwierz, F., (2010). "Graphene Transistors", *Nature nanotechnology*, 5(7): 487-496.
- [46] Xia, J.L., Chen, F., Wiktor, P., Ferry, D.K. ve Tao, N.J., (2010). "Effect of top dielectric medium on gate capacitance of graphene field effect transistors: Implications in mobility measurements and sensor applications", *Nano Letters*, 10(12):5060-5064.
- [47] Barreiro, A., Lazzeri, M., Moser, J., Mauri, F. ve Bachtold, A., (2009). "Transport properties of graphene in the high current limit", *Phys. Rev. Lett.*, 103(7).
- [48] Umoh, I.J., Kasmierski, T.J., Al-Hashimi, B.M., (2013). "A dual gate graphene FET Model for circuit simulation- SPICE implementation", *IEEE Transactions on nanotechnology*, 12(3):427-435.
- [49] Wong , H.-S. ve Akinwonde, D. (2011). "Carbon Nanotube and Graphene Device Physics", Cambridge University Press.
- [50] Fang, T., Konar, A., Xing, H. ve Jena, D., (2007). "Carrier statistics and quantum capacitance of graphene sheets and ribbons", *Applied Physics Letters*, 91(9).
- [51] Xu, H., Zhang, Z., Wang, Z., Wang, S., Liang, X. ve Peng, L-M, (2011). "Quantum capacitance limited vertical scaling of graphene field effect transistors", *ACS Nano*, 5(3):2340-2347.
- [52] Brews, J.R., (1978). "A charge-sheet model of the MOSFET", *Solid-State Electronics*, 21(2):345-355.
- [53] Gray, P.R., Hurst, P.J., Lewis, S.H., Meyer, R.G., (2010). *Analysis and Design of Analog Integrated Circuits*, Fifth Edition, John Wiley & Sons, New Jersey.
- [54] Sze, S.M. ve Ng, K.K., (2007). *Physics of Semiconductor Devices*, Third Edition, Wiley-Interscience, New Jersey.
- [55] Bae, M.H., Ong, Z.Y., Estrada, D. ve Pop, E., (2012). "Imaging, Simulation and Electrostatics Control of Power Dissipation in Graphene Devices", *Nano Letters*, 10(12):4787-4793.

- [56] Chauhan, J. ve Guo, J., (2009). "High-field transport and velocity saturation in graphene", Applied Physics Letters, 95(2).
- [57] Dorgan, V.E., Bae, M.H. ve Pop, E., (2010). "Mobility and saturation velocity in graphene on SiO₂", Applied Physics Letters, 97(8).
- [58] Raychaudhuri, A., Kolk, J., Deen, M.J., King, M.I.H., (1995). "A simple method to extract the asymmetry in parasitic source and drain resistances from measurements on a MOS transistor", Electron Devices, IEEE Transactions on, 42(7):1388-1390.
- [59] Scott, B.W. ve Leburton, J., (2011). "Modeling of the Output and Transfer Characteristics of Graphene Field Effect Transistors", Nanotechnology IEEE Transactions, 10(5):1113-1119.
- [60] Moon, J.S., Curtis, D., Zehnder, D., Kim, S., Gaskill, D.K., Jernigan, G.G., Myers-Ward, R.L., Eddy, C.R., Campbell, P.M., Lee, K.-M. ve Asbeck, P., (2011). "Low-Phase-Noise Graphene FETs in Ambipolar RF applications", Electron Device Letters, 32(3):270-272.
- [61] ESD, School of Electronics and Computer Science, University of Southampton, GFET Modelling, http://www.cnt.ecs.soton.ac.uk/gfet_web/model.htm, 1 Temmuz 2015.
- [62] Umoh, I. J. (2014). Graphene FET Circuit-level Device Modelling, PhD Thesis, University of Southampton, Faculty of Engineering and Applied Science School of Electronic and Computer Science, Southampton.
- [63] Umoh, I.J. ve Kazmierski, T.J., (2011). "VHDL-AMS model of a dual gate graphene FET.", Forum on Specification&Design Languages, 13-15 Eylül 2011, Oldenburg.

GFET PARAMETRELERİ

Parametre	Tanım	Değer
q	Elektron yükü	1.60e-19 C
vf	Karakteristik elektron hızı	1e-6 m/s
Ec	Kritik elektrik alan	4.5e5 V/m
L	GFET tranzistörün kanal uzunluğu	1µm
T	Sıcaklık	300K
k_sub	Back-Gate dielektrik sabiti (HfO ₂)	16
k	Top-Gate dielektrik sabiti (SiO ₂)	3.9
tox	Top-gate dielektrik malzeme kalınlığı	15 nm
Hsub	Sübstratın kalınlığı	285 nm
W	GFET tranzistörün kanal genişliği	1 µm
µ	Taşıyıcı mobilitesi	700e-4cm ² /(V.s)
k _B	Boltzman sabiti	1.38e-23 J/K
h	Planck sabiti	6.26e-34 J.s
ntop	Taşıyıcı konsantrasyonu	2.1209e15cm ⁻³
Cgio	Katkı atomlarına bağlı kapasite düşümünü modelleyen sabit	0.8012

epsr	Vakum geçirgenliđi	8.854ee-12 F/m
h_ba	İndirgenmiř Planck sabiti	1.05 e-34 J.s
pi	π	3.1415926
Rs	Seri direnç	800 Ohms
Vgs0	Dirac noktasında top-gate gerilimi	1.45 V
Vbs0	Dirac noktasında back-gate gerilimi	2.7 V

GFET VERİLOG-A MODELİ (1)

```

`include "disciplines.vams"
`include "phys_constants.vams"

module gfet(Drain, Gate, Source, BackGate);

    inout    Drain, Gate, Source, BackGate;
    electrical Drain, DrainInt, Gate, Source, SourceInt, BackGate;

    // model kapasitans ve dirençleri
    branch(Gate,SourceInt)    Cap1;
    branch(Gate,DrainInt)     Cap2;
    branch(BackGate,SourceInt) Cap3;
    branch(BackGate,DrainInt) Cap4;
    branch(Drain,DrainInt)    Res1;
    branch(Source,SourceInt)  Res2;
    branch(Drain,Source)      Rd;
    // parametreler
    parameter real L=1.0e-6;
    parameter real W=1.0e-6;
    parameter real tox=15.0e-9;
    parameter real Hsub=285.0e-9;
    parameter real k=16;
    parameter real k_sub=3.9;
    parameter real Vgs0=1.45;
    parameter real Vbs0=2.70;
    parameter real Rs=1500.0;
    parameter real mu=1200.0e-4;
    parameter real Ec=15e5;
    parameter real ntop=2.1209e16;
    parameter real Cgio=0.8072;
    parameter real Vf = 1.0e6;
    parameter integer type=1 from [-1:1] exclude 0;
    parameter real beta=1;

```

```

//Global deęiřkenler
real Cq;
real Ce;
real Ctop;
real Cback;
real Vc;
real Ids;
real Y;
real VT;
real Vg0;
real Vsat;
real Vdsat1;
real Vdsat2;
real Vds,Vgs,Vbs;
real C1,C2,C3,C4,R1,R2;
//ana kod
analog
begin
Vds=type*V(Drain,Source);
Vgs=type*V(Gate, Source);
Vbs=type*V(BackGate,Source);
Cq = pow((ntop/pi),0.5)*pow(q,2)/Vf/hbar;
Ce = Cgio*epso*k/tox;
Ctop = Cq*Ce/(Cq+Ce);
Cback=epso*k_sub/Hsub;
C1=0.5*W*L*Ctop;
C2=0.5*W*L*Ctop;
C3=0.5*W*L*Cback;
C4=0.5*W*L*Cback;
R1=Rs;
R2=Rs;
VT=Vgs0+(Cback/Ctop)*(Vbs0-Vbs);
Vg0=Vgs-VT;
Vc=Ec*L;
Vsat=mu*Ec;
Y=beta*W*Vsat*Ctop*Rs;
//Akım Hesaplama
if (Vgs<VT)
begin
Vdsat1=1/pow((Y+1),2)*(2*Vg0*Y*(1+Y)+(1-Y)*(Vc-sqrt(pow(Vc,2)-2*Vc*Vg0*(Y+1))));
Vdsat2=Vdsat1-0.5*abs(Vg0-Vdsat1);
if (Vds>Vdsat1)
Ids=(-1/Rs/4*(Vc-Vds+2*Y*(Vds/2-Vg0)-sqrt(pow((Vds+Vc+2*Y*(Vds/2-Vg0)),2)-4.0*Vc*Vds)));
else if (Vds <= Vdsat1 && Vds > Vdsat2)
Ids=(Y/Rs/pow((1.0+Y),2)*(-Vc+(1.0+Y)*Vg0+sqrt(pow(Vc,2)-2.0*(1+Y)*Vc*Vg0)));

```

```

else if (Vds<=Vdsat2)
    Ids=(Y/Rs/pow((1+Y),2)*(-Vc+(1+Y)*Vg0+sqrt(pow(Vc,2)-2*(1+Y)*Vc*Vg0))+(-
mu*W/L/2*Ctop*pow(Vdsat2,2)*pow((Vds/Vdsat2-1),2)));
    I(Drain, Source) <+ -Ids;
end
else if (Vgs>=VT)
begin
Vdsat1=1/pow((Y+1),2)*(2*Vg0*Y*(1+Y)+(Y-1)*(Vc-sqrt(pow(Vc,2)+2*Vc*Vg0*(Y+1))));
Vdsat2=Vdsat1+0.5*abs(Vg0-Vdsat1);
if (Vds<Vdsat1)
    Ids=(1/Rs/4*(Vc+Vds-2*Y*(Vds/2-Vg0)-sqrt(pow((Vds-Vc+2*Y*(Vds/2-
Vg0)),2)+4.0*Vc*Vds)));
else if (Vds >= Vdsat1 && Vds < Vdsat2)
    Ids=(Y/Rs/pow((1.0+Y),2)*(Vc+(1.0+Y)*Vg0-sqrt(pow(Vc,2)+2.0*(1+Y)*Vc*Vg0)));
else if (Vds >= Vdsat2)
    Ids=(Y/Rs/pow((1+Y),2)*(Vc+(1+Y)*Vg0-
sqrt(pow(Vc,2)+2*(1+Y)*Vc*Vg0)))+(mu*W/L/2*Ctop*pow(Vdsat2,2)*pow((Vds/Vdsat2
-1),2)));
    I(Drain, Source) <+ -Ids;
end
end
endmodule

```

GFET VERİLOG-A MODELİ (2)

```

`include "disciplines.vams"
`include "phys_constants.vams"
module gfet(Drain, Gate, Source, BackGate);

inout    Drain, Gate, Source, BackGate;
electrical Drain, DrainInt, Gate, Source, SourceInt, BackGate;
// model kapasitans ve dirençleri
branch(Gate,SourceInt)    Cap1;
branch(Gate,DrainInt)     Cap2;
branch(BackGate,SourceInt) Cap3;
branch(BackGate,DrainInt) Cap4;
branch(Drain,DrainInt)    Res1;
branch(Source,SourceInt)  Res2;
branch(Drain,Source)      Rd;
// parametreler
parameter real L=1.0e-6;
parameter real W=1.0e-6;
parameter real tox=15.0e-9;
parameter real Hsub=285.0e-9;
parameter real k=16;
parameter real k_sub=3.9;
parameter real Vgs0=1.45;
parameter real Vbs0=2.70;
parameter real Rs=800.0;
parameter real mu=700.0e-4;
parameter real Ec=4.5e5;
parameter real ntop=2.1209e16;
parameter real Cgio=0.8072;
parameter real vf = 1.0e6;
parameter integer type=1 from [-1:1] exclude 0;

```

```

//Global deęiřkenler
real Cq;
real Ce;
real Ctop;
real Cback;
real Vc;
real Ids;
real Rc;
real Gamma;
real VT;
real Vg0;
real Vdsat;
real I0;
real Vds,Vgs,Vbs;
real C1,C2,C3,C4,R0,R1,R2;

//ana kod
analog
begin
Vds=type*V(Drain,Source);
Vgs=type*V(Gate, Source);
Vbs=type*V(BackGate,Source);
Cq = pow((ntop/`pi),0.5)*pow(`q,2)/vf/`hbar;
Ce = Cgio*`epso*k/tox;
Ctop = Cq*Ce/(Cq+Ce);
Cback=`epso*k_sub/Hsub;
C1=0.5*W*L*Ctop;
C2=0.5*W*L*Ctop;
C3=0.5*W*L*Cback;
C4=0.5*W*L*Cback;
R1=Rs;
R2=Rs;
VT=Vgs0+(Cback/Ctop)*(Vbs0-Vbs);
Vg0=Vgs-VT;
Vc=Ec*L;
Rc=1.0/((W/L)*mu*Ctop*Vc);
Gamma = Rs/Rc;
Vdsat=2.0*Gamma*Vg0/(1.0+Gamma)+(1.0-Gamma)/pow((1.0+Gamma),2)*(Vc-
sqrt(pow(Vc,2)-2.0*(1.0+Gamma)*Vc*Vg0));
I0=2.0*(W/L)*mu*Vc*Ctop*(Vgs-VT-Vds/2.0);

```

```

// Drain akımı hesabı
if (Vds>Vdsat)
    Ids=-(1/Rs/4*(Vds-Vc+I0*Rs+sqrt(pow((Vds-Vc+I0*Rs),2)-4.0*I0*Rs*Vds)));
else if (Vds <= Vdsat)
    Ids=-(Gamma/Rs/pow((1.0+Gamma),2)*(-Vc+(1.0+Gamma)*Vg0+sqrt(pow(Vc,2)-
    2.0*(1+Gamma)*Vc*Vg0)))+(mu*Cback*(abs(Vbs-Vgs)-abs(Vbs0-
    Vgs0))*Vds*W/L/10.0*pow((Vds/Vdsat-1.0),2)));
else
    Ids =0.0;
    I(Drain, Source) <+ -Ids;
end
endmodule

```

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı : Nihat AKKAN
Doğum Tarihi ve Yeri : 26.04.1987 ISPARTA
Yabancı Dili : İngilizce
E-posta : nihatakkn@gmail.com

ÖĞRENİM DURUMU

Derece	Alan	Okul/Üniversite	Mezuniyet Yılı
Lisans	Elektrik Elektronik Mühendisliği	Hacettepe Üniversitesi	2011
Lise	Fen Bilimleri	Isparta Anadolu Lisesi	2005

İŞ TECRÜBESİ

Yıl	Firma/Kurum	Görevi
2015	Yıldız Teknik Üniversitesi Elektrik-Elektronik Fakültesi Biyomedikal Mühendisliği	Araştırma Görevlisi