



T.C.
KONYA TEKNİK ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ



KAPASİTANS ÖLÇÜMLERİ İÇİN
ELEKTRONİK DEVRE TASARIMLARININ
İNCELENMESİ

Mehmet DEMİRTAŞ

DOKTORA TEZİ

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Temmuz-2020
KONYA
Her Hakkı Saklıdır

TEZ KABUL VE ONAYI

Mehmet DEMİRTAŞ tarafından hazırlanan “Kapasitans Ölçümleri için Elektronik Devre Tasarımlarının İncelenmesi” adlı tez çalışması 09/07/2020 tarihinde aşağıdaki jüri tarafından oy birliği ile Konya Teknik Üniversitesi Lisansüstü Eğitim Enstitüsü Elektrik Elektronik Mühendisliği Anabilim Dalı’nda DOKTORA TEZİ olarak kabul edilmiştir.

Jüri Üyeleri

İmza

Başkan

Prof. Dr. Muciz ÖZCAN

.....

Danışman

Prof. Dr. Salih GÜNEŞ

.....

Üye

Doç. Dr. Murat CEYLAN

.....

Üye

Doç. Dr. Bayram AKDEMİR

.....

Üye

Dr. Öğr. Üye. Ali Osman ÖZKAN

.....

Yukarıdaki sonucu onaylarım.

Prof. Dr. SAADETTİN ERHAN KESEN
Enstitü Müdür V.

Bu tez çalışması TÜBİTAK tarafından 1059B281400028 nolu proje ile desteklenmiştir.

TEZ BİLDİRİMİ

Bu tezdeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edildiğini ve tez yazım kurallarına uygun olarak hazırlanan bu çalışmada bana ait olmayan her türlü ifade ve bilginin kaynağına eksiksiz atıf yapıldığını bildiririm.

DECLARATION PAGE

I hereby declare that all information in this document has been obtained and presented in accordance with academic rules and ethical conduct. I also declare that, as required by these rules and conduct, I have fully cited and referenced all material and results that are not original to this work.



Mehmet DEMİRTAŞ

Tarih: 09/07/2020

ÖZET

DOKTORA TEZİ

KAPASİTANS ÖLÇÜMLERİ İÇİN ELEKTRONİK DEVRE TASARIMLARININ İNCELENMESİ

Mehmet DEMİRTAŞ

**Konya Teknik Üniversitesi
Lisansüstü Eğitim Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı**

**Danışmanlar: Prof. Dr. Salih GÜNEŞ
Prof. Dr. Mehmet Akif ERİŞMİŞ**

2020, 119 Sayfa

**Jüri
Prof. Dr. Salih GÜNEŞ
Prof. Dr. Muciz ÖZCAN
Doç. Dr. Murat CEYLAN
Doç. Dr. Bayram AKDEMİR
Dr. Öğr. Üye. Ali Osman ÖZKAN**

Akış, basınç, sıvı seviyesi, mesafe, kalınlık, şaft açısı, lineer pozisyon, ivme, eğim ölçümleri gibi birçok kullanım alanı bulunan kapasitif sensörler farklı materyaller için ölçüm yapabilmeleri, temassız çalışmaları ve aşınmaya dirençli olmaları sebebiyle tercih edilirler. Kapasitif sensörlerin çalışma performanslarını ve etkinliğini belirleyen en önemli faktörlerden birisi sensörün yapısının yanında sensörden gelen bilgiyi işleyen elektronik devrelerin tasarımıdır. Genel olarak kapasitif ölçümünden gelen sinyali ilk olarak kabul eden ön-yüz devresi ve akabinde bir sinyal işleme devresinden oluşan bu elektronik devre yapılarının incelenmesi bu tezin konusunu oluşturmaktadır.

Ön-yüz devresi topolojisi olarak, uygulamada kendisine en fazla yer bulan transempedans yükselteçler seçilmiştir. Kapasitanstan gelen akım verisini gerilime çevirerek daha sonraki sinyal işleme devresine verme prensibine dayanan transempedans yükselteçler birçok performans kriteri açısından analiz edilmiştir. Ayrıca bilgisayar ortamında yapılan benzetim çalışmaları ve nümerik hesaplamalar ile daha optimize, kararlı ve düşük gürültülü ön yüz devrelerinin tasarımına yardımcı olacak bir inceleme bu tezde sunulmuştur. Kapasitif ölçümün genel yapısında yer alan sinyal işleme devrelerinden hem analog hem de dijital demodülasyon içeren yöntemler bu tez çalışmasında incelenmiştir. Kayıplı kapasitans ölçümleri için tasarlanan hibrit sistemde, dijital yöntemlerle sürme sinyali ve referans sinyaller üretilmiş; analog faz kilitlemeli yükselteçler ile de demodülasyon işlemi yapılmıştır. Dijital faz kilitlemeli yükselteçler ile seçilen dijital sinyal işleme platformu için teorik, analitik, nümerik analizler yapılmıştır. Bunun yanında platformda sentezlenen dijital devrenin kapasitans ölçüm performansı incelenmiştir.

Anahtar Kelimeler: analog demodülasyon, dijital demodülasyon, kapasitans ölçümleri, kapasitif sensörler

ABSTRACT

PhD THESIS

INVESTIGATION OF ELECTRONIC CIRCUIT DESIGNS FOR CAPACITANCE MEASUREMENTS

Mehmet DEMİRTAŞ

**Konya Technical University
Institute of Graduate Studies
Department of Electrical and Electronics Engineering**

**Advisors: Prof. Dr. Salih GÜNEŞ
Prof. Dr. Mehmet Akif ERİŞMİŞ**

2020, 119 Pages

**Jury
Prof. Dr. Salih GÜNEŞ
Prof. Dr. Muciz ÖZCAN
Assoc. Prof. Dr. Murat CEYLAN
Assoc. Prof. Dr. Bayram AKDEMİR
Asst. Prof. Dr. Ali Osman ÖZKAN**

Capacitive sensors with many uses such as measurements of flow, pressure, liquid level, distance, thickness, shaft angle, linear position, acceleration, inclination are preferred because they can measure different materials, work contactless and are resistant to wear. Besides the structure of the sensor itself, one of the most important factors that determine the working performance and effectiveness of capacitive sensors is the design of the electronic circuits that process the information from the sensor. The subject of this thesis is the investigation of these electronic circuit structures, which generally consist of the front-end circuit that accepts the signal from capacitive measurement and a signal processing circuit unit.

As the front-end circuit topology, the transimpedance amplifiers, which are mostly preferred in practice, were chosen. Transimpedance amplifiers based on the principle of converting current data coming from the capacitance to voltage and outputting it to the next signal processing circuit unit have been analyzed for many performance aspects. In addition, an investigation including simulation studies and numerical calculations in the computer environment is presented in this thesis to help design more optimized, stable, and low noise front-end circuits. Both analog and digital demodulation methods, which are the parts of signal processing circuits in the general structure of capacitive measurement, are examined in this thesis. With the hybrid system designed for lossy capacitance measurements, a drive signal and reference signals are generated by digital methods; demodulation process was performed with analog lock-in amplifiers. Theoretical, analytical, and numerical analyzes were performed for a digital signal processing platform using digital lock-in amplifiers. Also, capacitance measurement performance implemented in the digital platform was examined.

Keywords: analog demodulation, capacitive measurements, capacitive sensors, digital demodulation

ÖNSÖZ

Tez çalışmam boyunca maddi ve manevi her türlü desteğini veren, iyi ve kötü günde her daim yardımını gördüğüm danışmanım Konya Teknik Üniversitesi, Mühendislik ve Doğa Bilimleri Fakültesi öğretim üyesi Prof. Dr. Salih GÜNEŞ'e teşekkürlerimi sunuyorum. İkinci danışmanım olan ve aynı zamanda Necmettin Erbakan Üniversitesi'nde birlikte teşrik-i mesai yapmaktan gurur duyduğum Prof. Dr. Mehmet Akif ERİŞMİŞ'e teknik anlamdaki yol göstericiliği için müteşekkirim.

Türkiye Bilimsel ve Teknolojik Araştırma Kurumu'na (TÜBİTAK) “2228-B Yüksek Lisans Öğrenciler için Doktora Burs Programı 2014/1 (1059B281400028)” kapsamında vermiş olduğu burs desteği için teşekkür ediyorum.

Her zaman bana güvenen ve moral destek sunan anneme, babama, ablama ve kız kardeşlerime minnettarım. Bana karşı olan sabrı, sevgisi ve saygısının yanında, 2020 yılında ülkemizi ve tüm dünyayı etkileyen pandemi krizinde bir sağlık çalışanı olarak mücadele veren sevgili eşim Uzm. Dr. Fatma DEMİRTAŞ'a kendim ve ülkemiz adına teşekkür ediyorum. Son olarak evimizin neşe kaynağı olan ve ebeveynlik duygusunu yaşatarak hayatımıza yeni bir anlam katan kızım Fatma Sare DEMİRTAŞ'a sevgilerimi sunuyorum.

Mehmet DEMİRTAŞ
KONYA-2020

İÇİNDEKİLER

ÖZET	iv
ABSTRACT.....	v
ÖNSÖZ	vi
İÇİNDEKİLER	vii
SİMGELER VE KISALTMALAR	ix
1. GİRİŞ	1
1.1. Tez Konusunun Amacı ve Önemi.....	3
1.2. Tezin Organizasyonu	5
2. KAYNAK ARAŞTIRMASI	7
2.1. Analog Sinyal İşleme Devreleri ile Kapasitif Ölçümler	7
2.2. Dijital Sinyal İşleme Devreleri ile Kapasitif Ölçümler	10
2.3. Tümlleşik Devreler ile Kapasitif Ölçümler.....	13
3. KAPASİTİF ÖLÇÜMÜN TEMELLERİ	16
3.1. Kapasitansın Tanımı	16
3.2. Değişken Kapasitans.....	17
3.3. Kayıplı Kapasitans	19
3.4. Kapasitans Ölçümleri için Sinyal İşleme Devreleri.....	20
3.4.1. Sinyal İşleme Devrelerinin Özellikleri	22
3.4.2. Doğrudan DC ile Ölçüm	23
3.4.3. Osilatör Devreleri ile Ölçüm.....	23
3.4.4. Zarf Detektörü Devresi ile Ölçüm	24
3.4.5. Senkron Demodülasyon ile Ölçüm	25
4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA.....	31
4.1. Ön-Yüz Devrelerinin İncelenmesi	31
4.1.1. Frekans-Uzayı Analizi	33
4.1.2. Zaman-Uzayı Analizi.....	33
4.1.3. Kararlılık Analizi	34
4.1.4. Gürültü Analizi	35
4.1.5. SPICE Simülasyonları ve Nümerik Sonuçlar	42
4.1.5.1. Elemanların Seçimi.....	42
4.1.5.2. Frekans-Uzayı Simülasyonları.....	42
4.1.5.3. Zaman-Uzayı Simülasyonları	45
4.1.5.4. Kararlılık Simülasyonları.....	47
4.1.5.5. Gürültü Simülasyonları.....	48
4.2. Kayıplı Kapasitans Ölçümleri.....	53
4.2.1. Tasarlanan Devre Şemasının Tanıtımı.....	54

4.2.2. Teorik Analiz	56
4.2.3. Bilgisayar Destekli Analizler	58
4.2.3.1. Sinyal Üretim Simülasyonları	59
4.2.3.2. SPICE Simülasyonları	59
4.2.4. Deneysel Sonuçlar	69
4.3. Dijital Yöntemlerle Kapasitans Ölçümleri	74
4.3.1. DLIA'nın Teorik Analizi	74
4.3.2. DLIA ile Kapasitans Ölçüm Simülasyonları	76
4.3.3. Xilinx Sistem Üretici ile Tasarlanan DLIA	88
4.3.4. AD7746 ile Kapasitif Ölçümler	94
4.3.5. Dijital Yöntemlerle Yapılan Kapasitans Ölçüm Kıyaslamaları	97
5. SONUÇLAR VE ÖNERİLER	101
5.1. Sonuçlar	101
5.2. Öneriler	103
KAYNAKLAR	104
ÖZGEÇMİŞ	108

SİMGELER VE KISALTMALAR

Simgeler

A	: İletken Plakaların Kesişim Alanı
A_v	: İşlemsel Yükseltecin Açık Döngü Eğrisi
$A_n(jf)$	: Gürültü Kazancı
$B_{\theta(n)}$	: Faz Toplayıcıdaki Toplam Bit Sayısı
β	: Geri Besleme Oranı
C_F	: Geri besleme Kapasitörünün Değeri
C_{in}	: İşlemsel Yükseltecin Girişleri Arası Kapasitans
C_S	: Kaçak Kapasitans
C_x	: Ölçülen Kapasitansın Değeri
d	: Elektrotlar Arası Mesafe
$\Delta\theta$	: Faz Artış Değeri
E_n	: Gerilim Gürültüsü Karekök Ortalama Değeri
$e_n(f)$	: Gerilim Gürültüsü Spektral Yoğunluğu
e_R	: Geri Besleme Direncinin Termal Gürültü Spektral Yoğunluğu
ε_0	: Elektrik Sabiti
ε_r	: Bağlı Dielektrik Sabiti
f_c	: Köşe Frekansı
f_{GBWP}	: Birim Kazanç-Bant Genişliği Çarpımı
f_s	: Örnekleme Frekansı
$g_n(f)$	: Gürültü Kaynağının Spektral Yoğunluğu
I	: Aynı Faz Bileşeni
I_n	: Akım Gürültüsü Karekök Ortalama Değeri
$i_n(f)$	: Akım Gürültüsü Spektral Yoğunluğu
i_{nn}	: İşlemsel Yükselteç Eviren Giriş Akım Gürültü Yoğunluğu
i_{np}	: İşlemsel Yükselteç Evirmeyen Giriş Akım Gürültü Yoğunluğu
k	: Boltzmann Sabiti
K_n	: Çevirme Faktörü
μ	: Ortalama Değer
q	: Elektrik Yüğü
Q	: Kuadratik-Faz Bileşeni
$r(t)$	: Referans Sinyali
R_{es}	: Çözünürlük
R_F	: Geri besleme Direncinin Değeri
R_x	: Ölçülen Direncin Değeri
S	: Hassasiyet
σ	: Standart Sapma
t_{DLIA}	: Demodülasyon İçin Geçen Zaman
$t_{yerleşme}$	: Yerleşme Zamanı
τ	: Zaman Sabiti
v_n	: İşlemsel Yükselteç Giriş Gerilimi Gürültü Yoğunluğu

Kısaltmalar

AAF	: (Anti-Aliasing Filter) : Kenar Yumuşatma Filtresi
ADC	: (Analog-to-Digital Converter) : Analog Dijital Dönüştürücü
AGF	: Alçak Geçiren Filtre
AM	: (Amplitude Modulation) : Genlik Modülasyonu
ASIC	: (Application Specific Integrated Circuit) : Uygulamaya Özel Tümleşik Devre
CDC	: (Capacitance-to-Digital Converter) : Kapasitans-Dijital Dönüştürücü
CPLD	: (Complex Programmable Logic Device) : Karmaşık Programlanabilir Lojik Aygıt
CMOS	: (Complementary Metal Oxide Semiconductor) : Bütünleyici Metal Oksit Yarı İletken
dB	: Desibel
DAC	: (Digital-to-Analog Converter) : Dijital Analog Dönüştürücü
DDS	: (Direct Digital Synthesis) : Doğrudan Dijital Sentez
DLIA	: (Digital Lock-In Amplifier) : Dijital Faz Kilitlemeli Yükselteçler
DSP	: (Digital Signal Processor) : Dijital Sinyal İşleyici
ECT	: (Electrical Capacitance Tomography) : Elektriksel Kapasitans Tomografi
ENOB	: (Equivalent Noise Bandwidth) : Eşdeğer Gürültü Bant Genişliği
FFT	: (Fast Fourier Transform) : Hızlı Fourier Dönüşümü
FIFO	: (First In First Out) : İlk Giren İlk Çıkar
FIR	: (Finite Impulse Response) : Sonlu Darbe Yanıtlı
FPGA	: (Field Programmable Gate Arrays) : Alanda Programlanabilir Kapı Dizileri
HDL	: (Hardware Description Language) : Donanım Tanımlama Dili
IIR	: (Infinite Impulse Response) : Sonsuz Darbe Yanıtlı
LIA	: (Lock-In Amplifier) : Faz Kilitlemeli Yükselteç
LUT	: (Look-Up Table) : Arama Tablosu
LSB	: (Least Significant Bit) : En Değersiz Bit
MEMS	: (Micro Electro-Mechanical Systems) : Mikro Elektro-Mekanik Sistemler
OPAMP	: (Operational Amplifier) : İşlemsel Yükselteç
PCB	: (Printed Circuit Board) : Baskılı Devre Kartı
PDF	: (Probability Density Function) : Olasılık Yoğunluk Fonksiyonu
PID	: (Proportional Integral Derivative) : Oransal İntegral Türevsel Denetleyici
PMOD	: (Peripheral Module) : Çevre Birimi Modülü
PSD	: (Phase Sensitive Demodulator) : Faza Duyarlı Demodülatör
RLS	: (Recursive Least Squares) : Yinelemeli En Küçük Kareler
RMS	: (Root Mean Square) : Karekök Ortalama
SNR	: (Signal-to-Noise Ratio) : Sinyal Gürültü Oranı
SPICE	: (Simulation Program with Integrated Circuit Emphasis) : Entegre Devre Temalı Simülasyon Programı
TIA	: (Transimpedance Amplifier) : Transempedans Yükselteç
VHDL	: (Very High Speed Integrated Circuit Hardware Description Language) : Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili
XSG	: (Xilinx System Generator) : Xilinx Sistem Üretici

1. GİRİŞ

Teknolojinin günümüzde geldiği nokta itibarıyla “ölçüm” yapabilmek ve yapılan bu ölçümü belli bir doğruluk, kesinlik ve hızla gerçekleştirmek büyük bir önem arz etmektedir. Sanayinin, ticaretin, bilimin ve teknolojinin gelişimi ve ilerlemesi güvenli ölçüm mekanizmalarıyla doğrudan ilişkilidir. İşte “sensör” denilen yapılar gerçek dünyada var olan mekanik, termal, manyetik, kimyasal veya elektriksel değişkenleri tespit edip, bu değişkenlerin ölçümü neticesinde elektriksel çıktı üretebilen araçlardır. Sensör girdi olarak ölçülmek istenilen parametreyi alır ve bu değişkene bağlı olarak bir çıkış sinyali üretir; ölçüm parametresinde meydana gelen bir değişiklik, çıkış sinyalinde de değişime neden olur. Bir ölçüm mekanizmasının genel çalışma mantığı şu şekildedir: sensör dışarıdan ham veriyi alır, sensörün aldığı bu ham veri sinyal işleme devreleri tarafından işlenerek istenilen bilgi çıkartılır ve son olarak bu bilgi kullanım amacıyla başka bir sisteme aktarılır. Literatürde sensörler için tasarlanan çok sayıda sinyal işleme devresi bulunmaktadır. Dahası, bu sinyal işleme devreleri sensörler ile bütünleşmiş bir biçimde tek bir pakette birleştirilebilirler. Ayrıca, elde edilen ölçüm bilgisi elektronik olarak metin, grafik veya nümerik olarak kaydedilip, insanların kullanımı amacıyla ekranda gösterilebilir.

Gerçek dünya uygulamalarında sıkça kullanılan ve kullanımda birçok avantaj sunduğu için tercih edilen sensör tiplerinden birisi de kapasitif sensörlerdir. Kapasitif sensörler aslında bir kapasitans değerinin veya kapasitans değişiminin ölçülebilmesi amacıyla kullanılan sistemlerdir. Genellikle hava veya sıvı gibi bir dielektrik ortamda yer alan iki veya daha fazla iletkenin arasında meydana gelen kapasitans değerinin elektronik olarak ölçülmesi amaçlanmaktadır. Bir kondansatörün kapasitans değeri geometrik şekline göre değişmekle beraber genellikle iletken plakaların paralel durumda olması en yaygın tiptir. Paralel plakaların kapasitans değeri dört farklı değişkene bağlıdır: iletken plakaların kesişim alanı (A), plakalar arası mesafe (d) ve plakalar arasındaki materyalin bağıl dielektrik sabiti (ϵ_r) ile elektrik sabiti ($\epsilon_0=8.85 \text{ pF/m}$). Fiziksel dünyada meydana gelen bir değişim kapasitans değerini belirleyen bu üç değerden birisinde (A , d veya ϵ_r) değişime neden olur ve bu değişim sensör tarafından elektrik sinyali şeklinde çıktı olarak üretilir. Elektronik sinyal işleme devreleri bu çıktıdan ölçümü istenilen parametre değerini çıkartır.

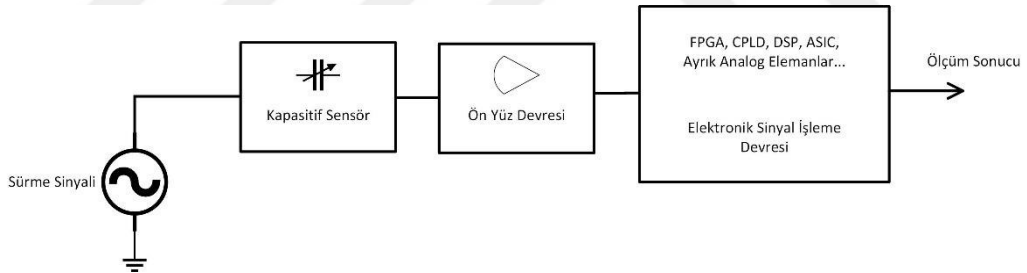
Kapasitif sensörler farklı materyaller için ölçüm yapabilmeleri, temassız ve aşınmaya dirençli olmaları sebebiyle tercih edilirler. Ayrıca mikro fabrikasyon

tekniklerinin gelişmesi ile çok küçük boyutlarda ve düşük güç tüketimi sunan entegre kapasitif sensörler bulunmaktadır. Bu avantajları nedeniyle bu tip sensörler kendilerine çok geniş kullanım alanları bulmuşlardır. Aşağıdaki maddelerde bu kullanım alanları listelenmiştir:

- Akış Ölçümü: Birçok akışölçer (debimetre / *flow meter*) geçen sıvının akış hacmini “yer değiştirmeye (*displacement*)” çevirerek ölçmektedir. Kapasitif sensörler ise plakanın yer değiştirme miktarını algılayarak elektrik sinyaline çevirirler.
- Basınç Ölçümü: Kapasitansı oluşturan plakalardan birisi sabit tutulurken, diğer plaka diyafram şeklindedir ve basınca göre saptmaya uğrar. Bu sapma kapasitans değerinde basınçla orantılı bir değişime neden olur.
- Sıvı Seviyesi Ölçümü: Bir tankın içine konulan sıvının seviyesinin ölçümü de kapasitif sensörler vasıtasıyla yapılabilmektedir. Sıvı içerisine daldırılan ve yalıtılmış plakalardan oluşan kapasitansın değeri sıvı seviyesine bağlı olarak bağlı dielektrik sabitinin değişimine dolayısıyla kapasitans değerinin değişimine sebep olur.
- Mesafe Ölçümü: Metal bir nesnenin kondansatör elektrotuna olan mesafesinin değişimi kapasitans değerinde değişimine sebebiyet verebilir. Kapasitans değişiminin elde edilmesi ile mesafe ölçülebilir.
- Kalınlık Ölçümü: Özellikle hassas boyutlar gerektiren makine parçalarının kalınlığını ölçmek amacıyla kullanılır. Ölçülmek istenen parçanın her iki tarafına da yerleştirilen sensör plakaları arasındaki kapasitans değeri parçanın kalınlığına bağlı olarak değişerek ölçümü gerçekleştirir.
- Şaft Açısı ve Lineer Pozisyon Ölçümü: Çoklu plaka kullanımı ile açı veya pozisyon kapasitif olarak ölçülebilir. Açı veya pozisyonun farklılaşması kapasitanstaki plakalar arası mesafenin değişimine neden olarak kapasitif ölçümü mümkün kılmaktadır.
- İvme ve Eğim Ölçümü: Özellikle mikro-mekanik yöntemlerle çok küçük boyutlarda üretilebilen kapasitif sensörler ivme ve eğim ölçümlerinde kullanılabilirler.

Kapasitif ölçüm sistemlerinin genel yapısı Şekil 1.1’de gösterilmiştir. Şekilde gösterilen sürme sinyali AC veya DC kaynaktan üretilir ve genellikle gerilim kaynağı tarafından kapasitif sensöre uygulanır. Eğer kapasitif ölçüm sistemi entegre bir sistemse bu uyarma sinyali entegre içerisinde lokal olarak da üretilebilir. Bu sürme sinyalinin

kapasitif sensör üzerinde meydana getirdiği akım, sensörün değişimine göre modüle edilir. Sensörden sonra bağlanan ön yüz devresiye bu akım değerini yükseltip, gerilim alanına çevirmek için kullanılabilir. Ön yüz devresinin çıkış sinyali içerisinde kapasitif sensörün değişim bilgisini tutan, modüle edilmiş ve demodülasyona tabi tutulması gereken sinyaldir. Demodülasyon işlemi yani kapasitif sensördeki değişimin çıkartılıp, anlamlandırılması ise elektronik sinyal işleme devrelerince gerçekleştirilir. Bu devreler içinse İşlemsel Yükselteçler (Operational Amplifier-OPAMP), direnç, kondansatör, anahtar, çarpıcı gibi ayırık analog devre elemanları kullanılabileceği gibi, Uygulamaya Özel Tümleşik Devre (Application Specific Integrated Circuit-ASIC) ile tümleşik bir kapasitif ölçüm sistemi de yapılabilir. Öte yandan, sinyal işleme devresinin dijital olarak da gerçekleştirilmesi mümkündür. Alanda Programlanabilir Kapı Dizileri (Field Programmable Gate Arrays-FPGA), Dijital Sinyal İşleyiciler (Digital Signal Processor-DSP), Karmaşık Programlanabilir Lojik Aygıtlar (Complex Programmable Logic Device-CPLD) kullanılarak dijital düzlemde demodülasyon işlemi yapılabilmektedir. Her devre sonucunda elde edilen çıkış aslında kapasitif sensörün ölçmek istediği gerçek dünya verisinin değeri ile orantılı bir sonuçtur.



Şekil 1.1. Kapasitif ölçümün genel yapısı

1.1. Tez Konusunun Amacı ve Önemi

Kapasitif ölçümler genellikle elektronik devreler yardımıyla endirekt olarak gerçekleştirilir. Örneğin, bir osilatörün frekans değişimi veya AC giriş sinyalinin genliğinde ve fazında meydana gelen değişim, kapasitans değişimine karşılık gelir. Dolayısıyla, bu değişimleri saptayan ve sonrasında kapasitansı ölçecek olan devreler optimum bir şekilde tasarlanmalı, gerekli hassasiyete, çözünürlüğe ve kesinliğe sahip olmalıdır. Bu tez çalışmasında, Şekil 1.1’de görülen kapasitif ölçümün genel yapısında yer alan ön-yüz devreleri ile elektronik sinyal işleme devreleri incelenerek, bu devre tasarım parametreleri analiz edilmiştir.

Ön-yüz devresi olarak en çok tercih edilen topolojilerden olan transempedans yükselteç devresi incelenmiştir. Transempedans yükselteç devrelerinin tercih edilmesinin en önemli nedeni kaçak kapasitans etkilerini azaltmalarıdır. 10 pF'tan 10 nF'a kadar değişen değerlerde olabilen kaçak kapasitanslar, önlem alınmazsa ölçümdeki en önemli hata kaynaklarından. Transempedans yükselteçler, kaçak ve parazitik kapasitansların etkilerini, onların üzerinde yer alan gerilimi topraklayarak minimize ederler. Bu açıdan bakıldığında, bu yükselteçlerin performanslarının yükseltilmesi kapasitif ölçümlerin iyileşmesi anlamına gelir. Bu bağlamda, bu tez çalışmasında transempedans yükselteçlerin istenilen performans parametrelerinin optimize edilmelerine yardımcı olmak için çeşitli teorik, nümerik ve benzetimsel analizler yapılmıştır. Kapasitans ölçümünde analog gürültünün etkisi göz önüne alındığında, özellikle gürültü analizi ve simülasyonlarının incelenmesi önem arz etmektedir.

Nem ölçmede, sıvıların dielektrik üzerinden saptanmasında veya uzaklık ölçümünde kullanılan; paralel bağlı bir direnç ve kondansatör şeklinde modellenebilen kayıplı kapasitanslar için bu tez çalışmasında hibrit ve alternatif bir ölçüm devresi geliştirilmiştir. Devrenin hibrit olmasının sebebi, sürme sinyali ve kare dalga olan referans sinyallerinin FPGA'den dijital ortamda üretilerek devreye verilip; analog demodülasyon sonucunda çıkışta oluşan DC geriliminin yine FPGA'deki entegre analog-dijital dönüştürücü ile ölçülmesidir. Entegre Devre Temalı Simülasyon Programı (Simulation Program with Integrated Circuit Emphasis-SPICE) ortamında yapılan benzetim çalışmalarında yenilik olarak iki farklı hata analizi yapılarak devrenin performansı incelenmiştir: İlk olarak analog kısımda yer alan pasif devre elemanlarının hataya katkısı incelenmiştir. İkinci olarak, dijital ortamda sentezlenecek olan sürme sinyali ve referans sinyal arasındaki faz uyumsuzluğunun ölçüme etkisidir. İkinci hata analizinin, dijital sinyallerin dijital ortamda üretilmesi sayesinde oldukça azaltılabileceği gösterilmiştir.

Dijital yöntemlerle kapasitans ölçümleri performans olarak analog emsallerinden daha iyi sonuçlar vermektedir. Ancak, daha hassas ölçüm gerektiren uygulamalar için bu dijital devrelerin de performansları incelenmelidir. Bu bölümde kapasitans ölçüm metodu olarak dijital faz kilitlemeli yükselteçler; dijital sinyal işleme platformu olaraksa FPGA'ler seçilmiştir. Teorik analizi yapılan ve simülasyon ortamında incelenen dijital faz kilitlemeli yükselteçlerin kapasitans ölçümünde kullanılmaları durumunda; hassasiyet, çözünürlük, sinyal-gürültü oranı, cevap süresi gibi değerlerinin analog gürültüye ve Analog-Dijital Dönüştürücü (Analog to Digital Converter-ADC) tarafından

eklenen kuantalama hatasına göre nasıl değıştikleri bulunmuştur. Analog gürültünün az, ADC'nin hızlı ve yüksek çözünürlüklü olduğu durumlar için hataların azaldığı tespit edilmiştir. Ayrıca, FPGA'de sentezleme ve uygulama için Xilinx'in Sistem Üreticisi ile dijital demodülasyon devresi tasarımı yapılmıştır. Tasarımı yapılan devrenin FPGA konfigürasyon dosyası oluşturulmuş, FPGA'de donanım tanımlama dili ile sentezlenen bu devrenin kapasitif ölçüm için kullanılabileceği ortaya konmuştur. Son olarak, dijital ölçümler yapabilen ve sanayiye uyarlanabilecek 24 Bitlik bir Kapasitans-Dijital Dönüştürücü ile kapasitans ölçümleri yapılarak, küçük değerli kapasitansların nominal değerlerine nazaran gerçek değerlerinin ne kadar oldukları bulunmuştur.

1.2. Tezin Organizasyonu

Bu tez çalışması beş ana bölümden oluşmaktadır. “Giriş” bölümünden sonra ilk olarak kapasitif ölçümlerde kullanılan sinyal işleme devrelerinin kaynaklarının araştırıldığı “Kaynak Araştırması” bölümü bulunmaktadır. Literatürde var olan üç temel yaklaşım yani sırasıyla analog sinyal işleme yöntemleri, dijital sinyal işleme yöntemleri ve tümleşik devreler ile ilgili çalışmalar incelenmiştir.

“Kapasitif Ölçümün Temelleri” bölümünde öncelikle kapasitans tanıtılmış, sonra kapasitans türlerinden olan değışken ve kayıplı kapasitanslar hakkında bilgiler verilmiştir. Ayrıca, kapasitans ölçümü için var olan temel ölçüm metotları hakkında teorik analiz içeren malumat sunulmuştur.

Tezin en kapsamlı ve en uzun kısmı “Araştırma Sonuçları ve Tartışmanın” yer aldığı dördüncü ana bölümdür. Bu bölümde tez için yapılan araştırmaların sonucunda elde edilen neticeler üç alt başlıkta toplanmıştır. İlk bölümde kapasitif ölçümler için analog veya dijital sinyal işleme devrelerinden önce yer alarak, ilk sinyal işlemeyi yapan ön-yüz devreleri incelenmiştir. Frekans-uzayı, zaman-uzayı, kararlılık analizi ve gürültü analizleri sırasıyla teorik olarak yapılmıştır. Daha sonra bilgisayarda SPICE destekli benzetimler ve nümerik hesaplamalar gerçekleştirilmiştir. İkinci alt bölümde, birçok uygulamada kullanılan kayıplı kapasitanslar için bir ölçüm devresi tasarımı yapılmıştır. Tasarlanan devrenin sözel anlatımının akabinde teorik olarak analizine yer verilmiştir. Daha sonrasında, ölçüm devresini oluşturan kısımlar ayrı ayrı ve birlikte SPICE'da simüle edilerek performanslarına bakılmıştır. Ayrıca bu kısımda çeşitli hata analizlerine yer verilmiştir. Deneysel sonuçlar kısmında pratik olarak gerçekleştirilen ölçüm devresinin ölçüm verileri alınmıştır. Alt başlıkların sonucunda, dijital yöntemlerle

kapasitans ölçüm metotlarından birisi olan dijital faz kilitlemeli yükselteçler detaylı bir şekilde incelenmiştir. İlk olarak bu yükselteçlerin teorik analizine yer verilmiştir. Sonrasında, kapasitans ölçümlerinde kullanıldıkları durumlar için analizi yapıp, ölçüm simülasyonları yapılmıştır. Bu kısımda, simülasyonlar için gerçekleştirilme ihtimali mümkün olan değerler seçilmiştir. Ölçülmek istenen kapasitans değeri 10 pF olarak varsayılmış; benzetim çalışmaları bu değer dikkate alınarak tasarlanan ön-yüz devresi ve dijital demodülasyon devresine göre gerçekleştirilmiştir. Ön-yüz devresi kaynaklı analog gürültülerin ve örnekleme kaynaklı kuantalama hatasının etkileri simüle edilmiştir. Ayrıca, birçok ölçüm parametresinin benzetim sonuçları bu etkiler çerçevesinde listelenmiştir. Bunların yanında, Xilinx blokları ile tasarlanan bir dijital faz kilitlemeli yükselteç devresi derlenerek FPGA çipine aktarılmış ve orada da kapasitif bir ölçüm yapabileceği gösterilmiştir. Gerçek bir ölçüm devresine referans olması açısından endüstriyel bir kapasitans ölçüm devresi ile yapılan ölçüm sonuçları da bu bölümde sunulmuştur.

Beşinci ana bölüm olan “Sonuçlar ve Öneriler” kısmında ise, tez boyunca yapılan çalışmalar ve analizlerden elde edilen neticeler özetlenmiştir. “Öneriler” kısmında, bu tezin kaynaklığında ve oluşturduğu müktesebat çerçevesinde gelecekte yapılabilecek çalışmalardan bahsedilmiştir.

2. KAYNAK ARAŞTIRMASI

Kapasitans ölçme ve kapasitif sensörler için geliştirilen ön yüz ve sinyal işleme devreleri ile ilgili yapılan çalışmaları üç alt başlıkta incelemek mümkündür. İlk olarak ön yüz devresinin ve sinyal işleme devrelerinin analog sinyal işleme metotlarıyla ve devre elemanlarıyla yapıldığı literatür taranmıştır. İkinci olarak, FPGA, CPLD, DSP gibi dijital sinyal işlemciler kullanan ve sinyal işlemeyi dijital alanda yapan çalışmalar incelenmiştir. Son olarak, mikro fabrikasyon yöntemleriyle geliştirilen ve ASIC şeklinde tümleşik olarak tasarlanan kapasitif sensör elektroniği ile ilgili çalışmalar incelenmiştir.

2.1. Analog Sinyal İşleme Devreleri ile Kapasitif Ölçümler

Kapasitans ölçümlerinin en sık kullanıldığı uygulamalardan birisi olan ve bir nesnenin içindeki dielektrik geçirgenlik dağılımının harici kapasitans ölçümleriyle tespit edilmesine dayanan Elektriksel Kapasitans Tomografi (Electrical Capacitance Tomography-ECT) için Huang ve ark. (1992) tarafından önerilen analog devre tabanlı sistemde 0.3 fF çözünürlük elde edilmiştir. Literatürdeki ilk önemli çalışmalardan olan bu makalede, 12 adet elektrotun kullanıldığı bu sistem sıvı/gaz akışını görüntülemek için tasarlanmış ve 0.08 fF'lık düşük bir gürültü seviyesi ile 76 dB'lik dinamik aralık sunmuştur. Daha sonra, Yang ve ark. (1994) tarafından Huang ve ark. (1992)'nin tasarladığı devre geliştirilmiş ve devrede oluşabilecek parazitik kapasitanslara karşı dayanıklı AC tabanlı bir ölçüm devresi tasarlanmıştır. Bu çalışmada geliştirilen ve önceki çalışmalara göre yapılan yenilikler şu şekildedir: yüksek frekanslı bir dijital sinyal üretici kullanılmış, kullanılan ön yüz devresinin parametreleri optimize edilmiş ve demodülasyon için faz-duyarlı bir kapasitans değeri çıkartma metodu uygulanmıştır. Bütünleyici Metal Oksit Yarı İletken (Complementary Metal Oxide Semiconductor-CMOS) tabanlı anahtarlar ile gerçekleştirilen analog sinyal işleme devresi neticesinde 0.035 fF'lık ölçüm çözünürlüğü elde edilmiştir. Yine ECT konusunda Yang (1996)'ın yaptığı çalışmada, ilk kez kapasitans ölçüm kayıtlarının bilgisayar tarafından kaydedilmesi, işlenmesi ve geri besleme verip ölçüm elektronik devresini kontrol edebilmesi sağlanmıştır. Bu çalışmada, ECT ölçümlerinde ölçümü etkileyen, elektrotların devreye bağlanmasında kullanılan blendajlı kablolar ve CMOS anahtarlarının parazitik etkilerini azaltmak için şarj/deşarj devresi ve AC tabanlı ön yüz devreleri kullanılmıştır. Yang ve York (1999) tarafından yapılan diğer bir çalışmada ECT sistemleri için, parazitik

kapasitansa duyarsız 0.01 pF kapasitans ölçümünü 0.0002 pF hata payıyla ölçebilen ve anahtar yerine analog çarpıcı kullanarak demodülasyon yapan bir devre topolojisi önerilmiştir. Gamio ve ark. (2001) ECT sistemleri için tasarladıkları AC-tabanlı analog devrenin yüksek sinyal-gürültü oranına (Signal to Noise Ratio-SNR) sahip olduğunu ve parazitik kapasitansa karşı duyarlılığının şarj/deşarj devrelerine nazaran daha düşük olduğunu tespit etmişlerdir. Devre tasarımında kullanılan amplifikatörlerin frekans bağımlı kazanç sınırlamaları ve CMOS anahtarların açık durumdaki direnç değerlerinin frekans cevabına olan etkilerini incelemişlerdir. Lin ve ark. (2007) küçük kapasitans değerlerinin ucuz ve pratik analog elemanlarla ölçülebilmesi için akım kompanzasyon metodunu kullanan devre sunmuşlardır. Bu devre topolojisinde ölçülmek istenen C_x kapasitans değeri bir referans kapasitans değeri ile karşılaştırılmış ve analog anahtarlama ile çıkışta gerilim değeri C_x ile orantılı periyodik kare dalga elde edilmiştir. 202.2 mV/pF gibi bir hassasiyetle ölçüm yapabilen devre yer değiştirme, sıvı seviyesi ölçümü ve eğim açısı ölçümü gibi üç farklı uygulamada denenmiştir. Deabes ve ark. (2008) da ECT sistemlerinde kullanılabilecek kapasitans ölçümünü yüksek frekans ve düşük maliyetle yapabilmek için yeni bir devre yapısı önermişlerdir. Küçük kapasitans değişimlerini yüksek hassasiyetle ölçebilen bu yapı ve senkron demodülasyon devresini sinyal işleme için ve farksal şarj/deşarj devresini de ön yüz devresi için kullanmıştır. Çok geniş bir frekans bandında sıfır faz kaymasını sağlayan devrenin ideal olmayan karakteristikleri SPICE programı ile analiz edilmiştir. Chen ve ark. (2010a) analog sinyal işleme devrelerinde yer alan Alçak Geçiren Filtre (AGF)'nin geçici cevabını teorik olarak analiz edip, benzetim ve deneysel sonuçlarını sunmuşlardır. Dördüncü dereceden Butterworth tipinde tasarlanan AGF'yi meydana getiren devre elemanlarının, filtrede meydana gelen zaman gecikmesine olan etkisi incelenmiştir. Nojdelov ve Nihtianov (2014) şarj dengeleme metoduna dayanan bir kapasitif sensör ara yüz devresi önermişlerdir. 45 mW güç tüketen ve hali hazırda satılan analog elemanlarla baskılı devre kartı (Printed Circuit Board-PCB) üzerinde tasarlanan devre yüksek kararlılıkta çalışabilmektedir. 0.35 ms dönüştürme süresine sahip olan devre, 8 pF'a kadar olan değişimleri 0.18 fF çözünürlükte ölçebilmektedir. González-Landaeta ve ark. (2019) yeni bir analog tam farksal demodülatör devresi önermişlerdir. Bu yeni devre, empedans ölçümlerinden çıkan genlik modülasyonlu (Amplitude Modulation-AM) sinyallerin demodülasyonu için kullanılabilmektedir. AM giriş sinyalini aynı faz ve frekansta kare dalga ile çarpan devrenin düşük gürültü ürettiği belirlenmiştir.

Kayıplı kapasitans devrelerinde ölçülmek istenilen kapasitöre paralel şekilde bağlı ve kayba neden olan bir direnç değeri bulunmaktadır. Buradaki kayıp direncin de varlığı aslında nem ölçümü, yakınlık ölçümü ve iki sıvının yoğunluk ölçümlerinde etkin rol oynayabilmektedir (Khan ve ark., 2019). Kolle ve O'Leary (1998) yaptıkları çalışmada, 100 kHz'de çalışan senkron modülasyon ve demodülasyon işlemlerine dayanan kayıplı kapasitans ölçme devresi önermişlerdir. İki kanallı Dijital Analog Dönüştürücü (Digital to Analog Converter-DAC) hem sürücü sinyali oluşturmak hem de demodülasyon işleminde çarpmayı gerçekleştirmek için kullanılmıştır. FPGA üzerinde, Doğrudan Dijital Sentez (Direct Digital Synthesis-DDS) metodu ile sentezlenen sinüzoidal sürüm sinyali aynı zamanda demodülasyon işlemi için de kullanılmıştır. Ölçülen kapasitansın değeri 50 pF ve 600 pF arasındadır. Yang (2010) kondansatör ve paralel direnç içeren kayıplı bir kapasitansın ölçümü için anahtarlamalı faza duyarlı demodülatör (Phase Sensitive Demodulation-PSD) devresi önermiştir. Bu devredeki anahtarları sürmek için gereken anahtar sürücü devresi lojik kapılardan oluşurken, devrenin uyarım sinyali fonksiyon jeneratörden sinüs olarak verilmiştir. PSD devresinin çıkışında yer alan AGF ölçülmek istenen kapasitans veya direnç değeri ile orantılıdır. Chen ve ark. (2010b) yine kayıplı kapasitanslara için üç farklı analog devre yapısı önermişlerdir. İlk olarak anahtarlamalı PSD, analog çarpıcı tabanlı PSD ve son olarak ikili-frekanslı PSD. Anahtarlamalı PSD yapısı, Yang (2010) makalesindeki yapıyken, analog çarpıcı yapısıysa fonksiyon jeneratördeki sürücü sinyalinin, ölçüm devresinin çıkışındaki sinyal ile çarpılması prensibine dayanmaktadır. Öte taraftan, makaleyi yenilikçi kılan kısım ikili-frekanslı PSD yapısıdır. Bu yapı iki farklı frekans üretici, iki adet analog çarpıcı ve iki AGF gerektirse de ilk iki yapıdan daha fazla doğruluk sağlamıştır.

Analog sinyal işleme devrelerinin kullanıldığı diğer bir alan da kapasitif ivmeölçerler ve jiroskoplar için tasarlanan analog okuma devreleridir. Grigorie (2008a) kapasitif mikro ivmeölçerler için matematiksel modellerin yanında, açık döngü analog devre tasarımı vermiştir. Bu devre şarj amplifikatörü ve PSD'den oluşmaktadır. Grigorie (2008b) diğer çalışmasındaysa bu defa kapalı döngü analog devre tasarımının MATLAB/Simulink ile analizine yer vermiştir. Kapalı döngü analog sinyal işleme devresinde de şarj amplifikatörü ve geri besleme için oransal integral türevsel denetleyici (Proportional Integral Derivative-PID) kullanılmıştır. Acar (2004) doktora tez çalışmasında, mikro fabrikasyon yöntemlerle tasarlanmış kapasitif jiroskoplar için analog okuma devreleri sunmuştur. Transimpedans Yükselteç (Transimpedance Amplifier-TIA) ve farksal yükselteç kullanılan okuma devresinde, analog çarpıcılar kullanılarak taşıyıcı

demodülasyonu ve Coriolis cevabı için Coriolis demodülasyonu yapılmıştır. Lobur ve Holovatyy (2009) yaptıkları çalışmada, Mikro Elektro-Mekanik Sistem (Micro Electro-Mechanical Systems-MEMS) işlemleriyle üretilen jiroskoplar için çeşitli analog ölçüm devrelerinin analizini yapıp, performanslarını karşılaştırmışlardır. Genelde kullanılan üç adet okuma devresi yani anahtarlama kapasitör, sürekli zamanlı çalışan TIA ve sürekli zamanlı gerilim okuma devreleri analiz edilmiştir. Terzioğlu (2015) yaptığı yüksek lisans tez çalışmasında MEMS yöntemiyle tasarladığı ivmeölçerler için kapalı döngü analog okuma devreleri sunmuştur. İvmeölçer parametrelerinin nümerik, benzetim-tabanlı analizleri ile beraber deneysel çalışmalar yapılmıştır. Bu tez çalışmasında demodülasyon yöntemi olarak senkron demodülasyon kullanılmıştır.

Kapasitif sensörlerin tasarımı ve uygulamaları hakkında ilk ve en önemli kitapsa 1997 yılında yayımlanmıştır (Baxter Larry, 1997). Bu kitapta kapasitif sensörlerin temel çalışma prensiplerinden bahsedilmiş ve kapasitif sensörlerin mikrofon, ivmeölçer, mesafe ölçme gibi uygulama alanlarından örnekler verilmiştir. Kapasitans ölçme devrelerinin yüksek doğrusalılık, parazitik kapasitans etkilerinden arındırılmış, düşük gürültülü, yeterince sinyal bant genişliği sağlamak gibi özelliklere sahip olması gerektiği söylenmiştir. Bu özellikleri bünyesinde barındıran analog sinyal işleme devresi olarak en doğru ve esnek sonuçların senkron demodülasyon yöntemi ile elde edilebileceği vurgulanmıştır. Yine içerisinde kapasitif sensör elektroniğine yer veren “Sensörler ve Sinyal İşleme” kitabı Pallas-Areny ve Webster (2012) tarafından yazılmıştır. Bu kitapta reaktans değişimine bağlı olarak çalışan sensörler üst başlığı altında, kapasitif sensörler ve özellikle nem sensörleri için analog sinyal işleme devrelerine yer verilmiştir. AC köprüleri, PSD demodülasyon devreleri, kapasitans dijital dönüştürücü devreler gibi sinyal işleme devrelerinin analizleri verilmiştir.

2.2. Dijital Sinyal İşleme Devreleri ile Kapasitif Ölçümler

Kullanıcı tarafından üretim sonrasında bile yapılandırılabilen ve bu bakımdan çok büyük bir tasarım esnekliği sunan, FPGA, CPLD, DSP, Mikroişlemci gibi dijital sinyal işleme platformlarının gelişimi ile birlikte, kapasitans ölçümleri için gereken sinyal işleme devreleri dijital ortamda da gerçekleştirilmeye başlamıştır. Nitekim Huaxiang ve ark. (2008) tarafından daha önce analog donanım ile yapılan kapasitans ölçümü FPGA kullanılarak yapılmıştır. Analog tasarımda dar bant genişliği ve uzun süren yerleşme zamanı gibi performansı sınırlandıran dezavantajlar dijital ortamdaki tasarımlarla

giderilebilmektedir. Tabi ki bu avantajlardan faydalanabilmek için FPGA'lerdeki lojik kaynaklardaki artış ve maliyetlerindeki düşüş etkili olmuştur. Dijital tasarımda FPGA'lerin kullanımı ile birlikte, uyarma sinyalinin üretimi ve ön yüz devresinin çıktı sinyalinin demodülasyonu aynı platform üzerinde yapılabilir. Xuehui ve Huaxiang (2008) ECT sistemleri için PSD yapılarını hem analog hem dijital metotlarla uygulayıp, karşılaştırmışlardır. Sistemin doğruluğu ve hızı bakımından FGPA ve DSP üzerinde gerçekleştirilen dijital demodülasyon işlemi analog emsallerine göre daha iyi performans sergilemiştir. Reverter ve Casas (2010) da yaptıkları çalışma ile kayıplı kapasitif ölçümler için ön yüz devresi içermeyen ve direkt mikrodenetleyici ile ilgili verilerin elde edilebildiği bir devre tasarımı önerilmiştir. Tasarlanan devre kapasitif bir nem sensörü için denenmiş ve devrenin basitliği ve etkinliği ispatlanmıştır. Cui ve ark. (2011) tarafından FPGA kullanarak gerçekleştirilen devrede, ECT için yüksek performans sergileyen dijital bir sistem gerçekleştirilmiştir. Bu devrede kullanılan FPGA'nin lojik kaynakları fazla, üzerinde yer alan ADC ve DAC'ın hızları yüksek seçilmiştir. Yüksek frekansla sürülen kapasitans değerinin demodülasyonu için PSD tekniği uygulanmış ve yüksek SNR elde edilmiştir. Zhou ve ark. (2013) ise CPLD üzerinde uygulanabilen, düşük maliyetli bir dijital demodülasyon işlemi önermişlerdir. Lojik kontrol, sinyal üretimi, veri edinimi, dijital demodülasyon işlemi ve iletişim protokolleri uygulanmalarının tamamı CPLD üzerinde uygulanmıştır. Bu çalışmada 70 dB SNR elde edilmiş ve ölçülen kapasitans değerinin standart sapması 0.09 fF olmuştur.

Dijital sinyal işleme platformları içerisinde uygulanan sinyal işleme metotlarının çeşitlilik gösterdiği görülmektedir. Zhou ve ark. (2012)'nin yaptığı çalışmada ölçülen sinüzoidal sinyalin dijital yollarla doğrultulması gerçekleştirilmiştir. CPLD gibi kısmen basit ve ucuz dijital sinyal işleyici devrelerinde bile kolaylıkla uygulanabilen bu metot, aynı zamanda geleneksel metot olan dijital demodülasyon gibi bir referans sinyali gerektirmemektedir. Bir sinüs sinyalinin yalnızca yarım periyoduna ihtiyaç duyulan bu metodun etkinliği ve uygulanabilirliği gösterilmiştir. Xu ve ark. (2013a) tarafından önerilen diğer bir yöntem de yinelemeli en küçük kareler (Recursive Least Squares-RLS) tabanlı dijital demodülasyondur. Bu yöntemle beraber, demodülasyonun hızı ile sistemin esnekliği artmıştır. Örneklenen sinüs sinyalinin ilk iki örneğini alarak faz ve genlik değerlerinin ilk sonuçlarını veren ve daha sonra örnek sayısı arttıkça, sonuçları yinelemeli bir şekilde düzelten ve gürültü miktarını tedricen sınırlayan bir metottur. Bu sayede demodülasyon hassasiyeti ve SNR oranında artış görülmüştür. Aynı şekilde, Xu ve ark. (2013b) tarafından önerilen diğer bir yöntem de dijital anahtarlama demodülasyondur.

Aslında bu yöntem PSD metodunun dijital olarak karakterize edilmesidir. Bu dijital anahtarlama metoduyla beraber analog CMOS anahtarlarına gerek kalmamıştır; geleneksel PSD'ye göre ne referans sinyali ne de çarpma gerektirdiği için dijital alanda da basitlik sağlamıştır. Ayrıca, CPLD üzerinde ucuz ve basit bir şekilde uygulanabilmektedir. Sun ve ark. (2014) tarafından önerilen diğer bir demodülasyon yöntemi de enformasyon filtreleme demodülasyonudur. Bu yöntemde, ilk demodülasyon sonuçları örneklenen verinin küçük bir sayıdaki örneklerine göre verilmektedir ve örnek sayısı arttıkça SNR artmaktadır. Diğer dijital demodülatörler sinyal periyodunun tam sayı katlarında örnek alırken, bu demodülatör için böyle bir gereklilik yoktur. Ayrıca, Xu ve ark. (2013a) tarafından önerilen RLS metoduna kıyasla daha az hesap gerektirip, FPGA'ler üzerinde uygulanabilir. Bir ölçüm için gereken sürenin $17 \mu s$ olduğu ve bunun sürme sinyali 20 kHz olduğunda yalnızca bir periyodun üçte birine tekabül ettiği görülmüştür. 65 dB SNR sağlayan bu demodülasyon yönteminde eğer bir sinyalin tüm periyodu kullanılırsa 75 dB SNR ile 0.012° faz standart sapması elde edilmiştir. Xu ve ark. (2015) dijital kapasitans ölçüm devrelerinin nümerik ve teorik analizini vermişlerdir. Devrelerin statik ve dinamik performansları ile SNR, standart sapma, doğruluk, doğrusallık, cevap zamanı gibi parametreleri değerlendirilmiştir. Simülasyon sonuçlarına göre, gürültünün standart sapması 0.08 mV olduğunda; 6 pF ölçülen kapasitans değeri için SNR 90 dB ve ölçümün standart sapması 0.17 fF olmaktadır, 3 fF ölçmek istenildiğinde SNR 22 dB ve ölçümün standart sapması 0.24 fF olmaktadır. Yani SNR oranı ve standart sapma ölçülen kapasitans değeri ile ters orantılıdır. Yusuf ve ark. (2016)'nın ECT için önerdikleri algoritma hem sürme sinyalini hem de devrenin cevap sinyalini yüksek hızlı bir ADC ile elde edip, değerleri ilk giren ilk çıkar (First In First Out-FIFO) hafızasına kaydeden bir sistemdir. Bu iki sinyalden genlik ve faz değerlerinin elde edilmesi sonrasında matematiksel işlemler ile kapasitans değeri bulunabilir. Sun ve ark. (2017a) paralel mod kapasitans ölçüm metodu ile dijital yinelemeli demodülasyonu birleştirerek yüksek hızlı ECT geliştirmişlerdir. Dijital yinelemeli demodülasyon metodu sürme sinyalinin bir periyodundan daha az bir sürede ölçüm yapabilmekte ve paralel mod ölçme ünitesi ise tüm elektrotların eşzamanlı ölçümünü mümkün kılmaktadır. 100 kHz sürme frekansı ve bir periyodun 0.6 katı sürede $15150 \text{ kare/saniye}$ veri toplama hızı elde edilmiştir. (Sun ve ark., 2017b)'nın önerdiği diğer bir yöntemde bu defa Kalman filtresi algoritmasına dayanan dijital yinelemeli demodülatör kullanılarak demodülasyon hızı ve esnekliği artırılmıştır. Kaynak kullanımı ve geçen zaman bakımından, Kalman filtresi tabanlı demodülatör ile klasik dijital kareleme demodülatörü kıyaslanmış ve SNR ve

ölçüm süreleri bakımından daha iyi sonuçlar elde edilmiştir. Sun ve ark. (2018) diğer bir yayınlarında yeni bir demodülasyon yöntemi daha önermişlerdir. Bu yeni yinelemeli demodülasyon metodu, çoklu sinüzoidal sinyallerin demodülasyon işlemi için periyodun tam sayıda olmasını gerektirmemektedir. Bunun yanı sıra, yüksek hızda düşük doğruluk veya düşük hızda yüksek doğruluk sağlayan sonuçlar verebilen bu sistem esnekliği arttırmıştır. Ayrıca, bu yöntemin işleyişi hem DSP hem de FPGA üzerinde denenip, performansı analiz edilmiştir.

2.3. Tümlleşik Devreler ile Kapasitif Ölçümler

Hem kapasitif sensörün kendisini hem de sensör elektroniğini tek bir entegre üzerinde toplayan, yani aynı çip üzerinde dışarıdan alıp, dönüştürüp, işleyerek sonuç veren ölçüm sistemleri de mevcuttur. Örneğin Analog Devices tarafından üretilen ADXL150 (Device, 1998) ivmeölçeri bu tip bir sistemdir. Bu ivmeölçerler, bir silikon yüzeyinde mikro işleme teknikleri ile üretilirler. Mekanik sensör kütle ve yaylarıyla merkezde yer alırken, elektronik sinyal işleme devreleri çevrededir. Merkezdeki kapasitif elektrotların dışarıdan gelen ivmeye göre yer değiştirmesi ve sonucunda kapasitans değişimi ile beraber oluşan sinyal, senkron demodülasyona tabi tutulur ve dışarıya ivme ile orantılı gerilim verilir. Bahsedilen tüm bu yapıların fabrikasyonu standart entegre devre üretim metotları ile yapılmıştır. Yazdi ve ark. (2004) mikro-g seviyelerinde ölçüm yapabilen kapasitif mikro ivmeölçerler için ön yüz okuma devrelerini incelemişlerdir. Bunlar, bölüm 2.1 ve 2.2’de bahsedilen kapasitif sinyal işleme devreleriyle benzer işlemleri yapan devrelerdir. Ön yüz okuma devreleri genel olarak üç tip topolojiden oluşmaktadır: gerilim yükselteçli AC-köprüsü, TIA tabanlı devreler ve anahtarlamalı kapasitör devreleri. Bu devre topolojilerinin transfer fonksiyonları, gürültü miktarları ve çözünürlükleri incelenmiş ve kıyaslanmıştır. Yapılan analizlerde devrelerin doğrusallığı ile bant genişliği arasında ters orantı tespit edilmiştir. Saukoski ve ark. (2008) tasarladıkları ASIC üzerinde, mikro işlemlerle üretilmiş kapasitif bir jiroskopun ön yüz ve kontrol elektroniğini gerçekleştirmişlerdir. Jiroskopun mekanik sensörü ve sensörden gelen veriyi işleyecek elektronik kısmı aynı çipin üzerinde üretilmiştir. Elektronik kısım için 0.7 μm CMOS teknolojisi ile üretilen şarj-duyarlı yükselteç, filtreler ve senkron demodülasyon işlemleri gerçekleştirilmiştir. Aezinia ve Bahreyni (2012) kapasitif sensörler için, 0.35 μm CMOS teknolojisi ile üretilen tümlleşik yeni bir okuma devresi tasarlamışlar ve nem sensörü üzerinde okuma devresinin performansını test etmişlerdir.

Farksal kapasitansı süren üçgen dalga üretici, TIA, senkron demodülasyon devresi ve sürüm sinyalinin genliğini kontrol eden genlik kontrol devresi bütünleşik olarak üretilmiştir. Aezinia ve Bahreyni (2013) yaptıkları diğer çalışmadaysa, yine farksal kapasitans ölçümü için ayarlanabilir dinamik aralığı olan ve standart 0.35 μm CMOS teknolojisi ile imal edilen okuma devresi sunmuşlardır. Demodülasyon için gereken referans sinyalleri çip üzerinde üretilmiş ve anahtarlama senkron demodülasyon işlemi için kullanılmışlardır. Devrenin ölçüm çözünürlüğü 0.4 fF ve ölçüm bant genişliği 50 kHz olarak bulunmuştur.

Tümleşik sistemlerdeki sinyal işleme devrelerini temelde açık döngü devreler ve kapalı döngü devreler şeklinde ikiye ayırmak mümkündür. Lee ve Chan (2008) hem sensörün kendisini hem de sinyal işleme devrelerini içeren, dışarıdan ekstra eleman bağlamayı gerektirmeyen, tam entegre bir kapasitif ivmeölçer tasarlamışlardır. Bu ivmeölçerdeki sinyal işleme devresi açık döngü olarak tasarlanmış ve sensör ile beraber bir ASIC üzerine gerçekleştirilmiştir. Devre 10 mW güç tüketirken, 500 Hz bant genişliğinde çalışır ve 1.6 fF/g hassasiyete sahiptir. Bu ASIC, boyutları 2.8 mm x 2.3 mm şeklinde olacak şekilde, standart 0.6 μm CMOS teknolojisi ile üretilmiştir. Paavola ve ark. (2009)'nın yaptığı ve açık döngü içeren diğer bir çalışmada, 3-eksenli kapasitif ivmeölçerlerin sinyal işlemesi için IC devre sunmuşlardır. Bu devrenin uygulanması için de 0.25 μm CMOS teknolojisi kullanılmıştır. Sigma-Delta sensör ön yüzü kullanan devre, gelen ivmeyi doğrudan dijital alana aktararak ADC gereksinimini ortadan kaldırmaktadır. 0.19 mW güç tüketen tasarımın hassasiyeti 200 fF/g olarak bulunmuştur. Açık döngü içeren diğer bir örnekte ise, Tan ve ark. (2011) MEMS kapasitif ivmeölçerleri için 0.35 μm CMOS teknoloji ile üretilen, tümleşik sinyal işleme devresi sunmuşlardır. Bu devrede düşük gürültü ve etkin bias gerilimi sabitlenmesi amaçlanmıştır. 457 mV/g hassasiyeti olan tümleşik devrede, sinyal işleme işlemi için farksal yükselteç ile senkron demodülasyon işlemi kullanılmıştır. Öte taraftan, kapalı döngü sinyal işleme devrelerini kullanan ivmeölçerlere örnek olarak, Kulah ve ark. (2006) yaptığı çalışma verilebilir. Yüksek doğruluk oranına sahip, yüksek hassasiyetli ve sıcaklığa duyarlılığı az kapasitif bir ivmeölçer için yaptıkları gürültü analizi ve karakterizasyonunda, anahtarlama kapasitör ön yüzü kullanmışlardır. 120 dB dinamik aralığa sahip devrenin, 10 aF çözünürlüğe sahiptir. Pastre ve ark. (2009) 5. Dereceden sigma-delta kapalı döngülü kapasitif ivmeölçer sunmuşlardır. Tasarladıkları ASIC üzerinde gerilim-modlu ön yükselteç, korelasyonlu ikili örnekleme işlemi yapan iki adet demodülatör ve 7-bit ADC

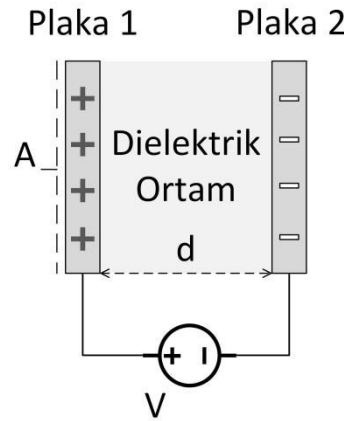
bulunmaktadır. Bu sinyal işleme devresi MEMS sensörleri ile birleştirilip, g altı ivmeleri iyi bir gürültü performans ile ölçebilmektedir.



3. KAPASİTİF ÖLÇÜMÜN TEMELLERİ

3.1. Kapasitansın Tanımı

En temel anlamda kapasitans, yük depolama kapasitesi ve elektriksel potansiyel arasındaki ilişkiyi tanımlayan değerdir. Yani, bir devrenin veya devre elemanının elektriksel yük cinsinden enerjiyi toplama veya depolama yeteneği denilebilir. Bu durumda, yükün (q) elektriksel potansiyele yani gerilime (V) bölümü kapasitansı (C) vermektedir. Bir kapasitans değeri iletken plakaların geometrik şekilleri ve plakaların konumlarıyla birlikte aradaki yalıtkanın cinsine bağlıdır. Aynı zamanda dielektrik olarak da bilinen yalıtkan malzeme seramik, cam veya başka bir malzeme olabilir. Şekil 3.1’de iki adet paralel metal plakanın bir dielektrik ortam tarafından ayrılmasıyla oluşturulan en basit formdaki kapasitans gösterilmiştir.



Şekil 3.1. Paralel plakalı kapasitans

Bir gerilim kaynağının (V) bağlanmasıyla beraber, metal plakalar üzerinde, zıt ve eşit büyüklükte yükler toplanır. Toplanan pozitif ve negatif yükler dielektrik ortamın içerisinde elektrik alanı meydana getirir. Bir kapasitansa gelen akımın büyüklüğü arttığında bu elektrik alanının ve plakalar arasında depolanan enerjinin miktarları artar. Bir kondansatörün plakaları arasında elektrostatik alan tipinde yük depolama özelliğine kapasitans denilebilir. Paralel plakalar arasında oluşan kapasitansın değeri denklem (3.1)’de verilmiştir.

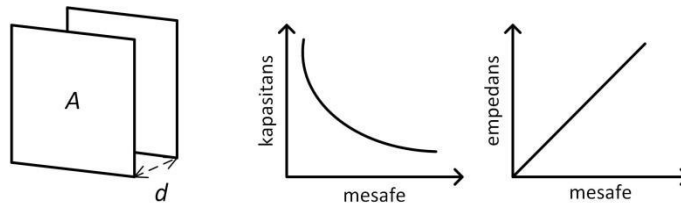
$$C = \frac{\epsilon \epsilon_0 A}{d} \quad (3.1)$$

Bu denklemde yer alan ε bağıl geçirgenlik katsayısını, ε_0 serbest uzayın geçirgenliğini (8.85×10^{-12} F/m), A metal plakaların yüzey alanını ve d metal plakalar arasındaki mesafeyi temsil etmektedir.

3.2. Değişken Kapasitans

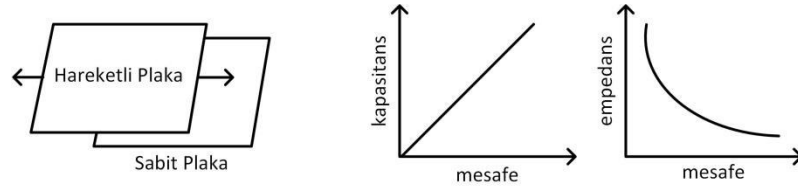
Kapasitansın tanımında değinildiği gibi bir kapasitans değeri, iletken plakaların geometrilerine ve aralarındaki materyalin bağıl geçirgenliğine bağlıdır. Dolayısıyla denklem (3.1)'de verilen parametrelerden ε , A veya d değerlerinde meydana gelen bir değişim kapasitans değerini farklılaştırır. Kapasitif sensör yapıları oluşan bu kapasitans farklarını algılayıp, bir gerçek dünya değerinin ölçülmesini sağlar.

Değişken kapasitansların özellikle hareket algılamada kullanılan türlerinde, plakalar arasındaki mesafenin değişimi (d) kullanılmaktadır. Harekete duyarlı olarak tasarlanan sensörlerde, mesafenin değişim miktarı ve değişimin hızı ölçülebilmektedir. Şekil 3.2'de mesafenin değişimine göre kapasitans ve empedans değerlerinin grafiği gösterilmiştir. Mesafede meydana gelen yüzdesel değişim kapasitans değerine ters orantılı olarak etki etmektedir. Mesafe ile lineer değişen empedans değerinin ölçülmesi de diğer bir seçenektir. Bu geometride plakalar aynı boyutta olursa istenmeyen eksenlerde meydana gelen hareketler ölçümü ciddi anlamda bozabilir. Bu açıdan, plakalardan birisi daha büyük seçilerek, üst üste gelen alanın değişmemesi sağlanabilir.



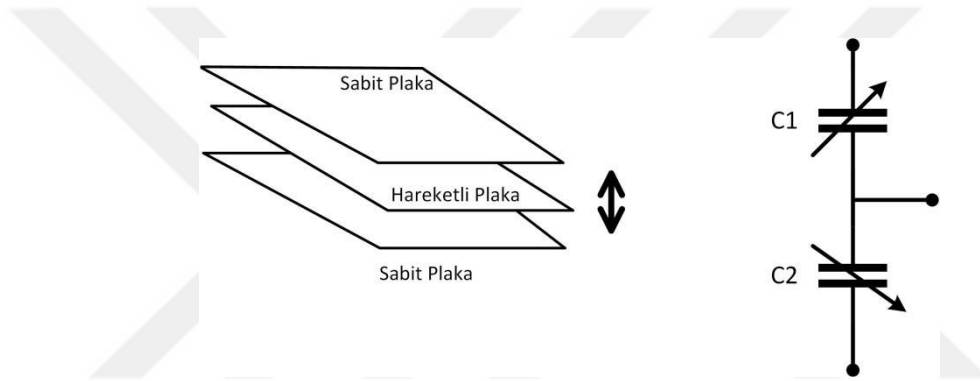
Şekil 3.2. Mesafenin değişimine göre kapasitans ve empedans değişimi

Diğer bir değişken kapasitans tipinde ise plakalar arası mesafe sabit tutularak üst üste gelen alanın değişmesi prensibi uygulanabilir. Şekil 3.3'te alanını değişimine göre kapasitans ve empedans değişimleri gösterilmiştir. Bu durumda kapasitans değeri ölçülen mesafe ile lineer değişmektedir ancak bu sefer duyarlılık azalmaktadır. Bu tip sensörlerin dezavantajı plakalar arası mesafeyi sabit tutmanın zor olması ve eğimin ölçümü etkilemesidir. Doğru elektrot geometrisi ve ölçüm devresinin düzgün tasarımıyla hataların giderilmesi mümkündür.



Şekil 3.3. Alanın değişimine göre kapasitans ve empedans değişimi

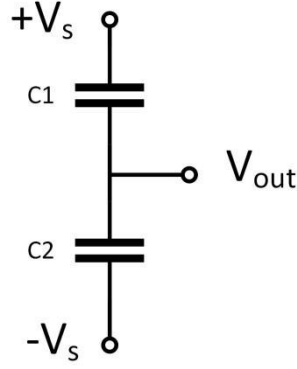
Daha fazla kullanılan diğer bir değişken kapasitans tipindeyse kenarlarda sabit tutulan plakaların arasında hareket eden plakalar ile sensörler tasarlanabilir. Bu durumda, istenmeyen eksenlerdeki hareketlere karşı duyarlılık azalır. Özellikle mikro-sensörlerde kullanılan bu tip sistemler genellikle pozisyon tespitinde kullanılır. Şekil 3.4’te bir adet farksal kapasitör (*differential capacitor*) örneği ve eşdeğer devre modeli gösterilmiştir.



Şekil 3.4. Farksal kapasitans yapısı ve eşdeğer devre modeli

Farksal kapasitans modelinde merkeze yerleştirilen hareketli elektrot, iki sabit plakanın arasında dışarıdan gelen pozisyon bilgisine göre yer değiştirir. Hareketli parçanın yukarı doğru hareketi C1 kapasitans değerini artırıp, C2 kapasitans değerini azaltır. Aşağı yönlü hareketse tam tersi bir değişime sebep olur. Örneğin, alttaki iki plakanın sabit tutulup, yalnızca en üstteki plakanın hareket etmesi de farksal bir kapasitans meydana getirir.

Farksal kapasitörler iki adet eşdeğer kapasitanstan oluşuyorsa, denge noktasında 0 V çıkış üretirken; hareketin yönüne göre artı veya eksi gerilim üreten çıktı üretirler. Sistem bakış açısıyla, farksal kapasitörler denge noktasına göre doğrusallaştırma gerçekleştirirler. Şekil 3.5’te farksal kapasitansın tipik bir kullanımı görülmektedir. Bu yapıda üst üste gelen alanların eşit olduğunu, plakalar arası mesafenin sırasıyla d_1 ve d_2 olduğunu ve üstteki elektrota $+V_s$ ve alttaki elektrota $-V_s$ gerilim verildiğini kabul edersek; çıkış gerilimi V_{out} denklem (3.2)’deki gibi olmaktadır.



Şekil 3.5. Farksal kapasitansın tipik kullanımı

$$V_{out} = -V_S + \frac{C_1}{C_1 + C_2} (2V_S) = \frac{C_1 - C_2}{C_1 + C_2} V_S \quad (3.2)$$

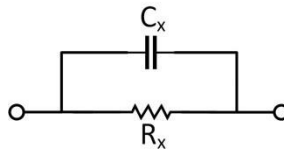
Denklem (3.2)'deki çıkış gerilimi, plaka alanlarının eşit olduğu göz önüne alınırsa denklem (3.3)'teki gibi yeniden yazılabilir.

$$V_{OUT} = \frac{d_2 - d_1}{d_1 + d_2} V_S \quad (3.3)$$

Denklem (3.3)'te verilen ifadeye göre plakalar arası mesafeler eşitse çıkış gerilimi sıfırdır. Ancak, ortadaki plaka hareket ederse, iki farklı mesafe oluşur ve çıkış gerilimi bu değişimin doğrusal bir fonksiyonu olarak ifade edilebilir.

3.3. Kayıplı Kapasitans

Kapasitörler doğaları gereği kayıplı bir karakteristiğe sahiptirler. Saf kapasitif bir eleman teorik olarak kayıpsızken; saf rezistif bir elemansa kayıplıdır yani enerji tüketmektedir. Bu bakımdan kayıplı bir kapasitör, ideal bir kapasitansa paralel bağlı direnç şeklinde Şekil 3.6'daki gibi modellenebilir.



Şekil 3.6. Kayıplı kapasitans modeli

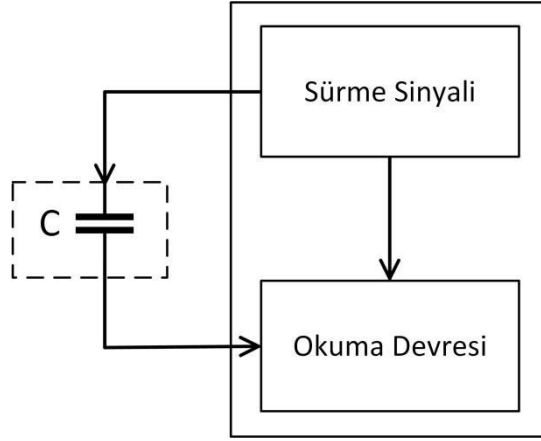
Kayıplı kapasitans modelindeki eşdeğer empedans değeri denklem (3.4)'teki gibi ifade edilebilir.

$$Z_x = R_x \parallel \frac{1}{sC_x} = \frac{R_x}{1+j\omega C_x R_x} \quad (3.4)$$

Denklem (3.4)'te yer alan parametrelerin elde edilebilmesi için bir AC kaynak, bir TIA ve bir adet demodülasyon yapan devreye ihtiyaç vardır. Kayıplı kapasitans, uygulanan AC kaynağa cevap olarak reel ve sanal kısımlardan oluşan ve R_x ve C_x değerleri ile orantılı bir akım meydana getirir. Bu kapasitans ve direnç değerleri, bir ortamın örneğin bir su/yağ karışımının elektriksel özelliklerini temsil edebilir. Oluşan akım değerini gerilim formuna dönüştürmek için TIA kullanılır. Öte yandan direnç ve kapasitans değerlerini elde etmek içinse, bu gerilim değerine faza duyarlı demodülasyon (Yang, 2010) uygulanabilir. Sinüs veya kare dalga şeklindeki bir referans sinyali ve referans sinyalinin 90° faz kaymış hali ayrı ayrı bilgi sinyali ile çarpılarak kapasitans ve direnç değerleri elde edilebilir. Çarpma işlemi analog anahtarlar veya çarpıcılarla yapılabilir. Çarpım işlemi neticesinde oluşan yüksek frekanslar filtrelendir ve AGF çıkışında ölçülen DC değer kayıplı kapasitansın, kapasitans veya direnç değeri ile orantılı bir sonuç çıkacaktır. Kayıplı kapasitanslar genellikle farklı sıvıların bağıl geçirgenliklerini elde ederek, sıvı türünün tespit edilmesinde kullanılabilir. Örneğin, yenilebilir yağların bağıl geçirgenlik katsayılarının elde edilmesi bu yağların kalitesi ve karakteristiği hakkında bilgi verir. Bu bakımdan, örneğin, hardal yağı ile ayçiçeği yağının dielektrik katsayılarının belirlenmesi için kayıplı kapasitans olarak modellenip, çıkış gerilimi ölçülerek iki yağın farklı özellikleri elde edilebilmektedir (Khan ve ark., 2019). Ayrıca, kayıplı kapasitans nem sensörlerinin (Reverter ve Casas, 2010) modellenmesinde kullanılabilir.

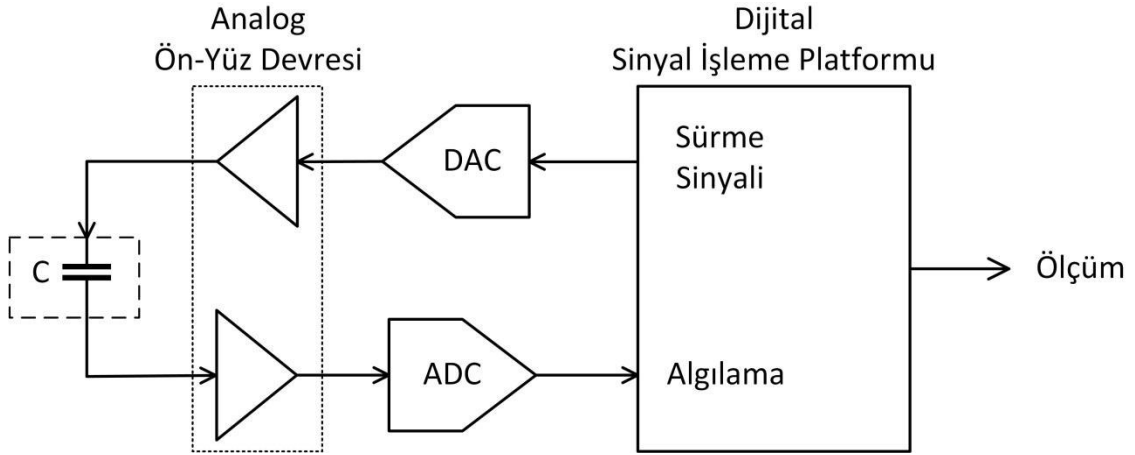
3.4. Kapasitans Ölçümleri için Sinyal İşleme Devreleri

Bir kapasitans ölçüm sisteminin en genel çalışma prensibi şu şekildedir: sabit veya değişken kapasitans bir uyarma sinyali ile sürülür. Kapasitansın bu uyarma sinyaline verdiği cevap bir okuma devresi yardımıyla anlamlandırılarak, kapasitans değeri elde edilir. Şekil 3.7'de bir kapasitans ölçüm bloğunun genel görünümü verilmiştir.



Şekil 3.7. Kapasitans ölçümü için genel blok yapısı

Sürme sinyali akım veya gerilim kaynaklı olabileceği gibi okuma devresi tarafından ölçülen değer de akım ya da gerilim olabilir. Genellikle kullanılan metot, cevap akımını yükselteçler yardımıyla gerilime dönüştürmek ve daha sonra dijital veya analog olarak bu gerilimi işlemek şeklindedir. Sürme sinyalinin dalga formu genellikle bir adet sinüs şeklindedir ama çoklu sinüs uygulandığı uygulamalar da literatürde mevcuttur (Woody ve ark., 2008). Üretimi sinüse göre daha basit ve kolay olan kare dalga formunun, sürme sinyali olarak kullanıldığı durumlar da mevcuttur (Zhou ve ark., 2013). Üretim sinyalinin frekans değeri de önemli bir parametredir. Örneğin, yalnızca direnç ölçülmek istenirse DC bir sinyal yeterli olmaktadır. Kapasitif ölçümlerdeyse frekanslar Hz değerlerinden MHz değerlerine kadar değişkenlik gösterebilmektedir. Okuma devresi kapasitif sensör yapısından elde edilen cevap sinyalinin okunduğu, işlendiği ve sonuçlandırıldığı kısımdır. Okuma devresi dijital veya analog sinyal işleme metotlarını kullanan ve ön-yüz devresinin çıkışını işleyen blok yapılarıdır. Şekil 3.8’de analog bir ön-yüz devresi ile dijital bir sinyal işleme platformu içeren kapasitans ölçüm blok şeması gösterilmiştir. Bu ölçüm blok şeması en fazla kullanılan kapasitans veya daha genel anlamda empedans ölçüm mimarisidir. Analog ön-yüz devresi genellikle bir transempedans yükselteciyken, dijital sinyal işleme platformu ile analog ön-yüz devresi arasında sinyal dönüşümlerini ADC ve DAC’ler sağlar. DAC’ler FPGA, DSP, mikrodenetleyici veya PC gibi platformlarda üretilen ikili kodları analog sinyale çevirerek sürme sinyalini üretirler. Öte taraftan, yine aynı dijital platform ADC’lerden aldığı örneklenmiş ikili kodları dijital sinyal işleme yöntemleri kullanarak işler ve ölçüm sonucunu çıktı olarak verir.



Şekil 3.8. Analog ön-yüz devresi ve dijital sinyal işleme platformu içeren ölçüm sistemi

3.4.1. Sinyal İşleme Devrelerinin Özellikleri

Kapazitif ölçüm yapan yani sabit veya değişken kapasitansı ölçen devrelerin, genellikle aşağıdaki özelliklere sahip olmaları istenir:

- doğrusallık,
- sürme sinyali ve kapasitans arasında oluşabilecek kaçak elektrik alanlarının izole edilmesi,
- sensördeki kaçak kapasitansların topraklanarak onlara duyarlılığın azaltılması,
- düşük gürültü,
- yeterli sinyal bant genişliği,
- sürme sinyalinin şeklinin ve frekansının doğru seçimi.

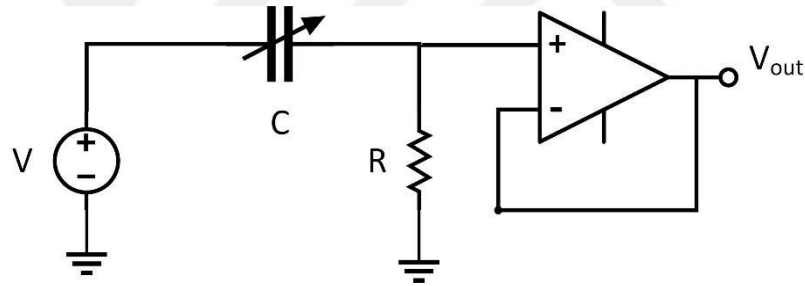
Bölüm 3.2’de bahsedildiği gibi, değişken kapasitanslar genellikle alan veya mesafenin değişmesine göre sınıflandırılırlar. Alan ile değişen sensörlerde kapasitans alan ile doğrusalken, mesafe ile değişen sensörlerde empedans mesafe ile doğrusaldır. İyi bir devre tasarımı çıktı sinyalinin her iki durum için de doğrusallığını sağlamalıdır. Diğer bir ölçüt de sensör plakaları veya bağlantı kabloları kaynaklı kaçak elektrik alanların ve kapasitansların sinyalleri bozmamasıdır. Bu kaçak alanların ve kapasitansların etkisi doğru bir koruma ile giderilebilmektedir. Gürültüye karşı duyarlılık da elektrostatik alanlara karşı iyi bir koruma ve güç kaynaklarına ayırma kondansatörü eklenerek azaltılabilir. Geniş bant gürültü ise senkron demodülatörlerde, uyarma sinyali ile aynı merkez frekansına sahip bant geçiren filtrelerle bastırılabilir.

3.4.2. Doğrudan DC ile Ölçüm

En basit kapasitans detektör devresi Şekil 3.9’da görüldüğü gibi doğrudan DC kullanılarak yapılabilir. Kapasitans değişimi DC gerilim değişimi şeklinde ölçülmektedir. Ölçülmek istenen kapasitans, DC gerilim ile şarj edilir ve yüksek empedanslı OPAMP girişine bağlanır. Kapasitör üzerindeki yük sabitleştiğinde, $q=CV$ denklemi gereği, kapasitans üzerindeki gerilim kapasitans ile ters orantılı değişir. Eğer C kapasitansı $1/(RC)$ ’den daha yüksek frekanslarda bir değişim gösteriyorsa, çıkış gerilimi denklem (3.5)’teki gibi ifade edilebilir.

$$V_{out} = \frac{q}{C} = \frac{C_{avg}V}{C} \quad (3.5)$$

Bu denklemdeki q kapasitör üzerindeki yük miktarını, C_{avg} ise kapasitansın yeni değerini göstermektedir.

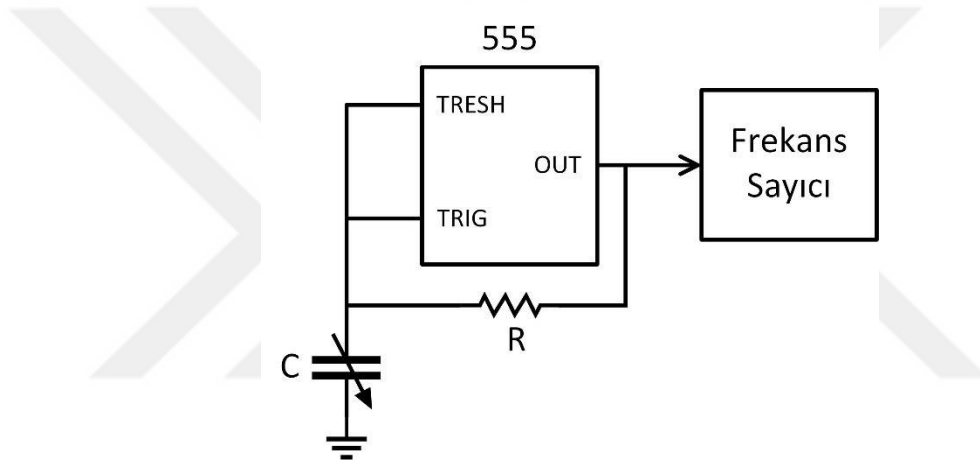


Şekil 3.9. Doğrudan DC ile kapasitans ölçüm detektörü

3.4.3. Osilatör Devreleri ile Ölçüm

Şekil 3.9’da verilen doğrudan DC ölçüm devresi çok küçük kapasitans değişimlerinin ölçümü için çok yüksek giriş empedans değerlerine sahip OPAMP’lar gerektirmektedir. Örneğin bu devrede 10 pF’lık bir C değerinin değişimi için pA’ler mertebesinde çok küçük akımların ölçülebilmesi şarttır. Dahası, DC ölçümde kabloların gürültüsü, termokupl gerilimleri, yarıiletkenlerin $1/f$ gürültüsü gibi istenmeyen etkiler daha belirgindir. Osilatör devrelerindeyse genellikle yüksek frekanslı sürme sinyalleri tercih edilir ve bilinmeyen kapasitansın reaktif empedansı osilatörde frekansın ayarlanması ile bulunur. Farklı tipte osilatörlerin farklı avantajları vardır: RC tip osilatörlerde çıkış frekansı $1/RC$ ile orantılıyken; LC tip osilatörlerdeyse $1/\sqrt{LC}$ ile

orantılıdır ve çıkış frekansının doğrusallaştırılması daha zordur. Şekil 3.10'da 555 zamanlayıcının ve harici direnç ve kapasitör ile ürettiği kare dalganın frekansı, frekans sayıcı tarafından sayılır. % 50 görev döngüsüne sahip olan, topraklanmış bir ölçüm kondansatörü içeren bu devrenin çalışma prensibi klasik bir RC-geri beslemeli Schmitt-tetikleyici devresi gibidir. Çıkıştaki sinyal dalga şeklinin dönüş noktaları besleme gerilimlerinin $1/3$ 'ü ve $2/3$ 'ü şeklindedir. Dolayısıyla, çıkış frekansı besleme gerilimlerinin değişimlerinden etkilenmez. Ölçüm kapasitörü ile devre arasına anahtar koyup çoklu kapasitör ölçümü yapmak da mümkündür. 555 tetikleyicinin çıkış sinyali genellikle dijital değerlere çevrilerek bir frekans sayıcı tarafından sayılır. Elde edilen frekans $1/RC$ değeri ile orantılı olacağı için, kapasitans değeri çıkartılabilir.

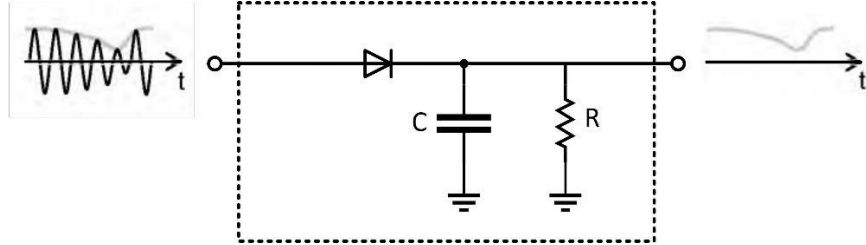


Şekil 3.10. RC osilatör devresi ile kapasitans ölçümü

3.4.4. Zarf Detektörü Devresi ile Ölçüm

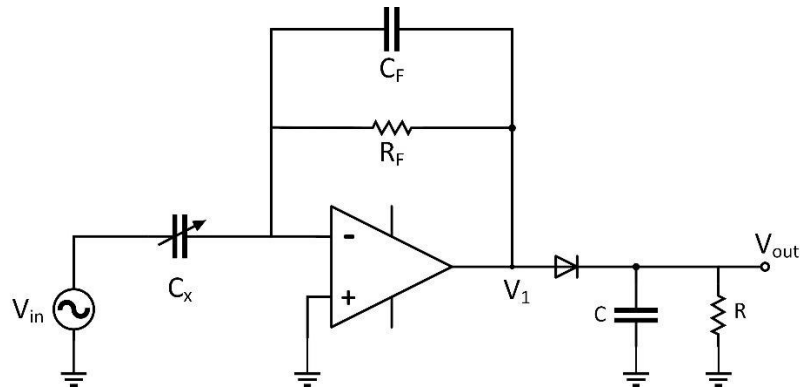
Şekil 3.9'da ve Şekil 3.10'da verilen ölçüm devrelerinin çıkışlarında elde edilen gerilim veya frekans değerlerinden kapasitansın elde edilmesi basit cebirsel işlemlerle mümkündür. Ölçüm için AC bir sürme sinyali uygulanırsa şayet, çıkış gerilimi sinüzoidal bir biçimde olur ve ek sinyal işleme adımları gerekir. Yalnızca sinyalin büyüklüğünün bulunmasının yeterli olduğu durumlarda zarf detektörü devresi ile kapasitans ölçümü yapılabilir. Şekil 3.11'de diyot, kondansatör ve dirençten oluşan bir zarf detektör devresi görülmektedir. Bu devrede giriş sinyalini diyot yarım dalga şeklinde doğrultur. Eğer girişteki sinyalin değeri kondansatördeki gerilimden yüksek olursa diyot açılır ve kondansatörün üzerinde daha yüksek gerilim oluşur. Bu gerilim paralel bağlı direnç üzerinde yavaşça deşarj olarak, giriş sinyalinin tepe değerleri izlenmiş olur. Deşarj

sırasındaki zaman sabitinin değerini RC çarpımı belirler. Devre, zaman sabitinin çok küçük olduğu durumlarda zarf yerine yüksek frekanslı bileşeni takip eder. Zaman sabiti çok yüksekse bu defa belli bir müddet sonra sabit bir çıkış vermeye başlar. Bu bakımdan zaman sabitinin seçimi önem arz etmektedir.



Şekil 3.11. Zarf detektörü devresi

Şekil 3.11’de verilen zarf detektörü devresinin kapasitör ölçümünde kullanımı Şekil 3.12’de gösterilmiştir. İşlemsel yükseltecin çıkış gerilimi olan V_1 , ölçülmek istenilen kapasitans olan C_x ile orantılı yüksek frekansta bileşenler içeren bir sinyaldir. RC çarpımının oluşturduğu zaman sabiti yarım doğrultulmuş tepe noktalarını takip edecek şekilde seçildiğinde, zarf detektör devresinin çıkışı olan V_{out} yüksek frekanslardan arındırılmış, girişin genliğini takip eden yani ölçülmek istenen kapasitans ile orantılı bir sinyaldir.

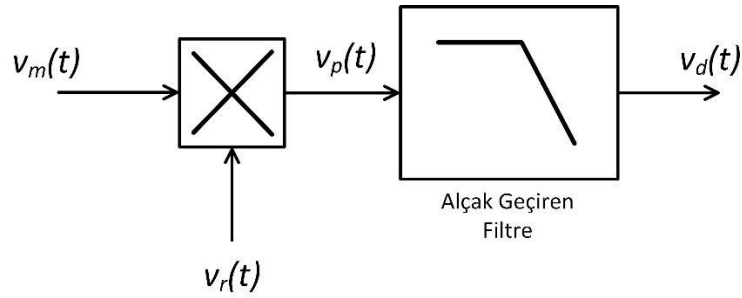


Şekil 3.12. Zarf detektörü ile kapasitans ölçüm devresi

3.4.5. Senkron Demodülasyon ile Ölçüm

Kapasitans ölçümünde en doğru ve kesin sonuçları veren ve çeşitli versiyonlarıyla birlikte en çok kullanılan yöntem senkron demodülasyondur. Bir empedansın hem büyüklük verisini hem de faz verisini elde etmeyi sağlayan bu yöntem aynı zamanda faza

duyarlı demodülasyon olarak da isimlendirilir. Bu tip detektör devrelerinde genellikle 10 kHz ile 1 MHz arasında frekansı olan sürme sinyalleri kullanılır; yükseltme, çarpma ve filtreleme işlemleri uygulanarak faz ve büyüklük elde edilebilir. Senkron demodülatör devreleri doğrudan kapasitans değerini ölçebileceği gibi, kapasitans ile orantılı doğrusal bir sonuç da üretebilir. Senkron detektör devreleri sinüzoidal veya kare şeklinde giriş olarak gelen modüle sinyallerin demodülasyonunda kullanılabilir. Şekil 3.13'te senkron demodülatör devresinin genel bir blok diyagramı gösterilmiştir.



Şekil 3.13. Senkron detektör genel blok diyagramı

Diyagramda yer alan $V_m(t)$ ölçülen kapasitanstan ve ön-yüz devresinden gelen modüle edilmiş sinyali, $V_r(t)$ kapasitansı süren uyarma sinyali ile aynı fazdaki referans sinyalini, $V_p(t)$ modüle sinyalin ve referans sinyalin çarpım sonucu oluşan sinyali ve $V_d(t)$ ise alçak geçiren filtreden geçirilmiş, demodüle edilmiş çıktı sinyalini temsil etmektedir. Referans sinyali denklem (3.6)'daki gibi frekansı f_r olan bir sinüzoid olarak verilmiş olsun.

$$v_r(t) = V_r \cos 2\pi f_r t \quad (3.6)$$

Modüle edilmiş giriş sinyali ise denklem (3.7)'de gösterildiği gibi olsun.

$$v_m(t) = X(t)V_m \cos 2\pi f_m t \quad (3.7)$$

Denklem (3.7)'deki $X(t)$ ifadesi zamana göre yavaş değişen ve kapasitans değişimine karşılık gelen terimi, f_m giriş sinyalinin frekansını göstermektedir. Bu durumda, çarpım sonucu meydana gelen sinyal denklem (3.8)'deki gibi ifade edilebilir.

$$v_p(t) = v_r(t) v_m(t) = \frac{X(t)V_m V_r}{2} [\cos(2\pi(f_r - f_m)t) + \cos(2\pi(f_r + f_m)t)] \quad (3.8)$$

Referans sinyali ve modüle edilmiş sinyallerin frekansları eşit ve $f_r = f_m = f$ kabul edildiğinde çarpım sinyali denklem (3.9)'daki gibi olur.

$$v_p(t) = \frac{X(t)V_mV_r}{2} [1 + \cos(2\pi(2f)t)] \quad (3.9)$$

Denklem (3.9)'da köşeli parantez içerisinde yer alan yüksek frekanslı ifade, kesim frekansı yavaş değişimleri geçiren ama yüksek frekansları baskılayan alçak geçiren bir filtreden süzüldüğünde, demodüle edilmiş sinyal çıktısı denklem (3.10)'daki elde edilir.

$$v_d(t) = \frac{X(t)V_mV_r}{2} \quad (3.10)$$

Denklem (3.10)'da kapasitans değişimini gösteren ifadenin çıktı sinyalinde aynen yer aldığı ve yalnızca belli bir sabit genlik çarpımı ile ölçeklendirildiği görülebilir.

Referans sinyalinin sinüs olduğu çarpma işlemi için hassas analog çarpıcılar gerekmektedir. Hassas analog çarpıcılar pahalı olduğu için, alternatif olarak ucuz analog anahtarlarla gerçekleştirilen demodülasyon işleminde referans sinyali olarak simetrik kare dalgalar kullanılmaktadır. Referans sinyali, frekansı f_r ve tepe değerleri $+V_r$ ve $-V_r$ olan bir kare dalga olarak tanımlandığında, bu sinyalin Fourier serisi açılımı olarak ifadesi denklem (3.11)'deki gibidir.

$$v_r(t) = \frac{4V_r}{\pi} \sum_{n=0}^{\infty} (-1)^n \frac{\cos(2\pi(2n+1)f_r t)}{2n+1} \quad (3.11)$$

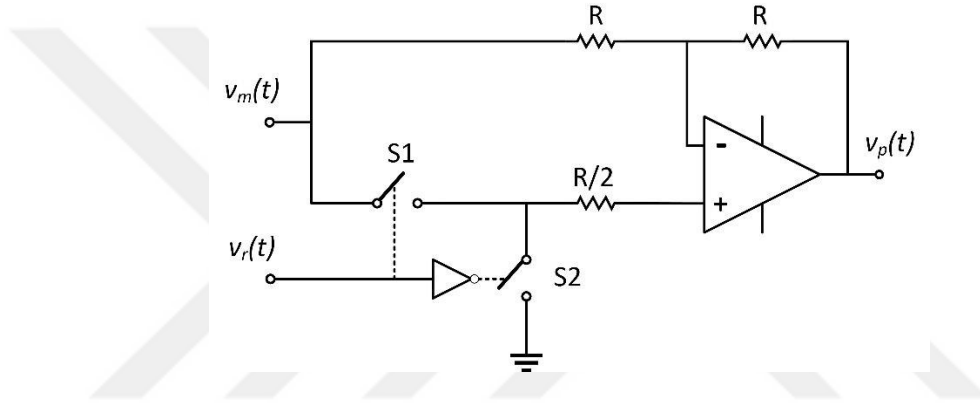
Bu kare dalganın spektrumu, f_r frekansının genliği giderek azalan tek harmoniklerinden meydana gelmektedir. Bu referans sinyali ile denklem (3.7)'deki modüle edilmiş sinyal, $f_r = f_m = f$ kabul edilip çarpıldığında denklem (3.12) elde edilir.

$$v_p(t) = \frac{2X(t)V_mV_r}{\pi} [1 + \cos(4\pi f t)] - \frac{2X(t)V_mV_r}{3\pi} [\cos(4\pi f t) + \cos(8\pi f t)] + \dots \quad (3.12)$$

Bu denklemde yer alan yüksek frekanslı ifadeler, kesim frekansı kapasitans değişim frekansından fazla olan ve $f_c < 2f$ olan bir alçak geçiren filtreden geçirildiğinde bastırılır ve denklem (3.13)'teki ifade demodüle edilmiş sinyal olarak çıkışta yer alır.

$$v_d(t) = \frac{2X(t)V_mV_r}{\pi} \quad (3.13)$$

Denklemler (3.13) ve (3.10)'a bakıldığında, her iki denklemin de kapasitans değişimi ile orantılı sonuçlar verdiği, sadece sabit çarpım skalalarının farklılık gösterdiği görülmektedir. Kare dalga'nın referans olarak kullanılmasının iki avantajı vardır: İlk olarak, referans sinyalin tepe noktası olan V_r değerini sabit tutmak bir sinüse göre çok daha kolaydır. İkincisi, çarpımı gerçekleştiren devre yapısı Şekil 3.14'te görüldüğü gibi bir analog çarpıcıdan daha ucuza mal edilebilmektedir. Bu devrenin tek dezavantajı çıkış sinyaline $(2n+1)f$ deki frekans bileşenlerinin yaptığı gürültü katkısıdır.



Şekil 3.14. Kare dalga çarpım devresi

Şekil 3.14'te görülen kare dalga çarpım devresinde, S1 ve S2 anahtarları farklı zamanlarda sırasıyla açık veya kapalı konuma geçmektedirler. Anahtarların açık veya kapalı konumda olmalarını referans sinyali kontrol etmektedir. Örneğin, S1 açık S2 kapalı konumdayken devrenin kazancı -1 olmakta ve giriş çıkışa evirilerek verilmektedir. Öte yandan, S1 kapalı S2 açık olursa kazanç +1'dir ve devrenin çıkışı girişine eşittir. Örneğin, bu devrenin giriş sinyali denklem (3.14)'teki gibi verilmiş olsun.

$$v_m(t) = V_m \sin(\omega t + \theta) \quad (3.14)$$

Denklem (3.14)'teki V_m giriş sinyalinin genlik değerini, ω açısal frekansını ve θ ise giriş sinyali ile referans sinyali arasındaki faz farkını göstermektedir. Bu devrenin anahtarlardan kaynaklı kazanç fonksiyonu ise denklem (3.15)'teki gibi tanımlanabilir.

$$\text{kazanç} = \begin{cases} 1, & \text{eğer } 0 < \omega t < \pi \\ -1, & \text{eğer } \pi < \omega t < 2\pi \end{cases} \quad (3.15)$$

Bu durumda devrenin çıkışı denklem (3.16)'daki gibidir.

$$v_p(t) = \begin{cases} v_m(t) = V_m \sin(\omega t + \theta), & \text{eğer } 0 < \omega t < \pi \\ -v_m(t) = -V_m \sin(\omega t + \theta), & \text{eğer } \pi < \omega t < 2\pi \end{cases} \quad (3.16)$$

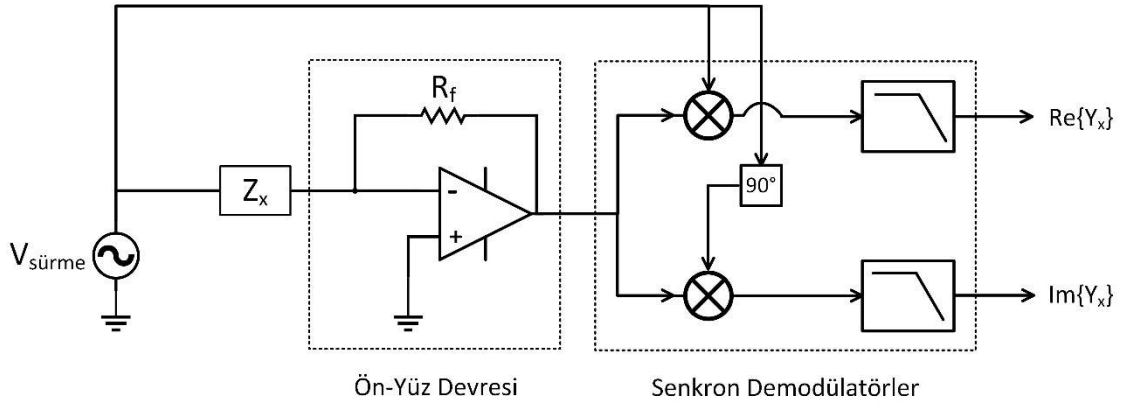
Sadece DC ve çok küçük frekanstaki bileşenleri geçiren bir alçak geçiren filtre denklem (3.16)'da verilen ifadenin ortalama değerini denklem (3.17)'deki gibi bulunabilir.

$$v_d(t) = \frac{1}{2\pi} \left[\int_0^\pi V_m \sin(\omega t + \theta) d\omega t - \int_\pi^{2\pi} V_m \sin(\omega t + \theta) d\omega t \right] = \frac{2V_m}{\pi} \cos \theta \quad (3.17)$$

Denklem (3.17)'de görüleceği üzere, filtrenin çıkışı hem giriş sinyalinin genliğine hem de giriş sinyali ile referans sinyali arasındaki faz farkına bağlıdır. Bu durumda eğer herhangi bir faz farkı yoksa, filtrenin çıkışı denklem (3.18)'deki gibi oluşur.

$$v_d(t) \big|_{\theta=0^\circ} = \frac{2V_m}{\pi} \quad (3.18)$$

Senkron demodülatörler, kapasitans ölçümü için veya daha genel anlamda empedans ölçümleri için Şekil 3.15'te verilen devre şemasındaki gibi görevlendirilebilirler (Teren ve ark., 2018). Bu yapıda ön-yüz devresinin çıkışı iki adet paralel çarpıcıya giriş olarak verilmiştir. Bu iki çarpıcıya gelen iki adet referans sinyali bulunmaktadır. Referans sinyallerinden birisi sürme sinyali ile senkronudur ve ölçülmek istenen empedansın admitansının reel kısmını üretmektedir. 90° kaydırılmış olan diğer referans sinyaliyse kuadratik-fazdadır ve admitansın sanal kısmını çıktı olarak verir. Frekans uzayında, senkron demodülasyon işlemi $f_{sürme}$ frekansı çevresinde modüle edilmiş sinyali, ana banda ve $2f_{sürme}$ çevresine çeker. Alçak geçiren filtreler, $2f_{sürme}$ etrafındaki frekansları süzerek yalnızca DC ve yavaş değişen çıkışları bırakırlar. Sonuç olarak bu devre yapısı, empedans vektörünün bileşenleriyle orantılı iki farklı DC sinyal üreterek, ölçülen empedansı tamamen karakterize etmeye yarar. Devre şemasında görülen çarpma işlemi, AD835 (± 1 V giriş-çıkış gerilimi, 250 MHz bant genişliği) veya AD633 (± 10 V giriş-çıkış gerilimi, 1 MHz bant genişliği) gibi Analog Devices tarafından üretilen ticari analog çarpıcılarla yapılabileceği gibi, CMOS ile üretilmiş basit anahtarla da yapılabilir (Ciccarella ve ark., 2016).



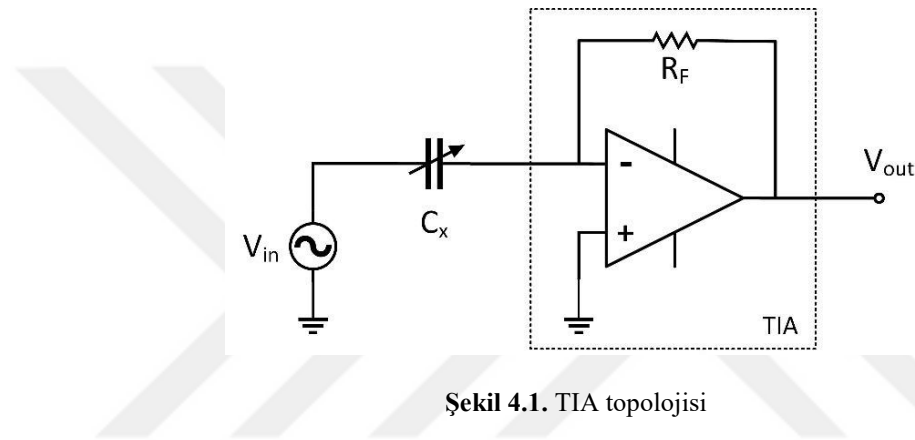
Şekil 3.15. Senkron demodülatörler ile empedans ölçümü

Senkron demodülasyon işleminin analog çarpıcılar, anahtarlar, OPAMP'lar, pasif elektronik elemanlarla yapılabileceği yukarıda gösterilmiştir. Bunların yanında, dijital platformlar kullanılarak aynı sinyal işleme devrelerinin dijital ortamda gerçekleştirilmesi de mümkündür (Huaxiang ve ark., 2008; Xuehui ve Huaxiang, 2008; Cui ve ark., 2011; Sun ve ark., 2018). Dijital sistemlerde genellikle analog ön-yüz devrelerinden gelen çıkış sinyali ADC'ler aracılığıyla dijital uzaya çevrilir. Sinüs ve kosinüs referans sinyalleri ise dijital sistemde daha önce depolanmış olarak arama tablosunda (Look Up Table-LUT) bulunmaktadır. Bu iki değer dijital olarak çarpıma tabi tutulur. Dijital çarpım işlemi analog çarpım işlemine göre çok daha kesin ve hatasız sonuçlar vermektedir. Örneğin, analog çarpıcılarda meydana gelen DC ofset gerilimi dijital çarpımda görülmez. Dolayısıyla, çarpım işlemi çok küçük bir hata payı içinde gerçekleşir. Ayrıca, dijital çarpımın sonucu analoğa göre daha doğrusaldır. En önemlisiyse, analog çarpıcılar dışarıdan gelen referans sinyalinin genliğinde olan her değişimi çıkışa yansıtır. Özellikle sıcaklık kaynaklı genlik değişimi çarpım sonucunu etkiler. Öte yandan, dijital referans sinyallerinin genlikleri sabittir ve sıcaklığa bağlı olarak değişmez. Çarpıcılardan daha sonra yer alan alçak geçiren filtre yapıları, sonlu darbe cevaplı (Finite Impulse Response-FIR) ve sonsuz darbe cevaplı (Infinite Impulse Response-IIR) tipte filtrelerle dijital uzayda gerçekleştirilebilir. Örneğin, hareketli ortalama filtresi (Moving Average Filter-MAF) en çok tercih edilen ve uygulaması en kolay dijital filtreleme biçimlerindendir.

4. ARAŞTIRMA SONUÇLARI VE TARTIŞMA

4.1. Ön-Yüz Devrelerinin İncelenmesi

Kapasitans ölçümlerinde sinyal işleme devrelerinden önce kullanılan, kapasitanstan gelen bilgiyi sinyal işlemeye müsait bilgi haline getiren devrelere ön-yüz devresi denilmektedir. Ölçümlerde en sık tercih edilen, akım ölçme ve gerilime dönüştürme mantığında çalışan ön-yüz devre topolojisi transempedans yükselteçtir. Şekil 4.1’de klasik TIA topolojisi gösterilmiştir.



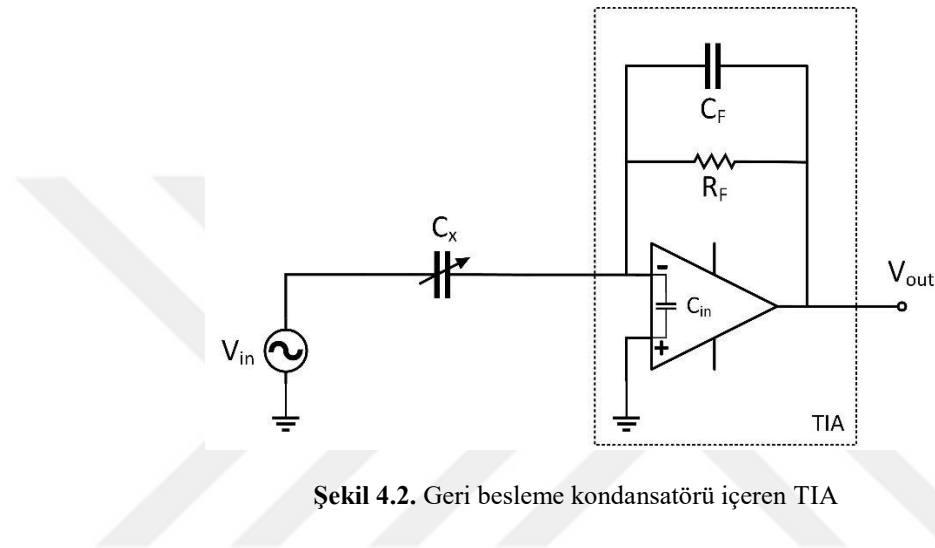
Şekil 4.1. TIA topolojisi

Giriş gerilimi tarafından bilinmeyen kapasitans üzerinde meydana getirilen akım, geri besleme direncinin üzerinden akarak çıkışta gerilim meydana getirir. Bu TIA topolojisinde, evirmeyen OPAMP girişi doğrudan topraklanmıştır. Dolayısıyla, eviren giriş sanal olarak topraklanmıştır ve üzerinde 0 V gerilim oluşmaktadır. İdeal bir OPAMP’da farksal giriş direncinin sonsuz olduğu göz önüne alındığında, kapasitanstan geçen akımın tamamı geri besleme direnci R_F üzerinden geçerek V_{out} gerilimini oluşturur. Dolayısıyla C_x üzerinden geçen akım i_x çıkış gerilimi ile doğru orantılıdır. Denklem (4.1)’de Şekil 4.1’deki devrenin giriş-çıkış arasındaki ilişkiyi frekans uzayında tanımlayan eşitlik verilmiştir.

$$V_{out} = i_x(-R_F) = \frac{V_{in}}{\frac{1}{j\omega C_x}}(-R_F) = -V_{in}j\omega C_x R_F \quad (4.1)$$

Şekil 4.1’de verilen TIA topolojisinin ön-yüz devresi olarak tercih edilmesinin en önemli sebebi kaçak kapasitans etkilerine karşı duyarlılığının az olmasıdır. Kaçak kapasitans genellikle ölçüm yapan devre ile sensör arasına bağlanan kablunun kapasitif

etkisinden kaynaklanır. Örneğin, elektromanyetik girişimleri engellemek için koaksiyel kablolar bağlantıda kullanılırsa, kablonun dış kısmındaki iletken kalkan yaklaşık 50-100 pF/m’lik bir kapasitans oluşturabilir (Li ve Ferrari, 2018). Bu TIA devresinin çıkış geriliminde oluşabilecek salınımları engellemek için, geri besleme direncine paralel bir kondansatör bağlamak gereklidir. Şekil 4.2’de geri besleme kondansatörünün (C_F) ve özellikle devrenin gürültüsünü ve kararlılığını etkileyen OPAMP’ın giriş kapasitansının (C_{in}) yer aldığı TIA ön-yüz devresi gösterilmiştir.



Şekil 4.2. Geri besleme kondansatörü içeren TIA

Şekil 4.2’de görülen OPAMP’ın giriş kapasitansı C_{in} diferansiyel mod giriş kapasitansı ve ortak mod giriş kapasitansı tarafından oluşturulur ve ilgili OPAMP’ın veri sayfasından elde edilebilir. Girişteki V_{in} sinüzoidal sürme sinyalidir; çıkıştaki V_{out} ise girişin faz ve genliği modüle edilmiş versiyonudur. Çıkış sinyali, giriş sinyaline, OPAMP’ın iç parametrelerine ve harici pasif elemanlara bağlı olarak değişir. Bu parametrelerden yalnızca C_x değeri bilinmez ve bulunması gerekir. Bunun için Bölüm 3.4’te verilen sinyal işleme devreleri ile demodülasyon yapılabilir.

Bölüm 4.1’in içerisinde yer alan sıradaki alt bölümlerde sırasıyla TIA tabanlı ön-yüz devrelerinin frekans-uzayı, zaman-uzayı, kararlılık ve gürültü analizleri yapılmıştır. 10 pF’lık gerçek dünya uygulamalarına uygun bir kapasitans değeri için benzetimler yapılmıştır. Gerçekleştirilen ve yorumlanan bu analitik, nümerik ve benzetimsel sonuçlar daha optimize, daha kararlı ve düşük gürültülü ön yüz devrelerinin tasarımına yardımcı olmaktadır (Demirtaş ve ark., 2020b).

4.1.1. Frekans-Uzayı Analizi

Şekil 4.2'deki devre için frekans-uzayında çıkış geriliminin giriş gerilimine oranı denklem (4.2)'deki ifade edilebilir.

$$\frac{V_{out}}{V_{in}} = \frac{-j\omega C_x R_F}{1 + \frac{1}{A_v(f)} + j\omega \left(C_F R_F + \frac{C_F R_F}{A_v(f)} + \frac{C_{in} R_F}{A_v(f)} + \frac{C_x R_F}{A_v(f)} \right)} \quad (4.2)$$

Denklem (4.2)'de verilen $A_v(f)$ ifadesi OPAMP'ın açık döngü kazancını ifade eder ve çalışma frekansı ω arttıkça azalır. Açık döngü kazancı, paydasından bulunduğu değerlere göre çok daha büyük bir değer olduğu için denklem (4.2)'deki ifade denklem (4.3)'teki ifadeye dönüştürülebilir.

$$\frac{V_{out}}{V_{in}} = \frac{-j\omega C_x R_F}{1 + j\omega C_F R_F} \quad (4.3)$$

Dahası, $\omega^2 C_F^2 R_F^2 \gg 1$ şartı sağlanırsa eğer, paydada yer alan ifadedeki 1 değeri yok sayılıp, çıkış girişi oranı denklem (4.4)'teki ifadeye sadeleştirilebilir.

$$\frac{V_{out}}{V_{in}} = -\frac{C_x}{C_F} \quad (4.4)$$

Böyle bir durumda, ölçüm frekansa karşı duyarsız olur ve çıkış değeri doğrudan ölçülen kapasitans ile uyumlu olur. Ayrıca giriş ile çıkış arasında 180° 'lik sabit faz farkı oluşur (Cui ve ark., 2011).

4.1.2. Zaman-Uzayı Analizi

Zaman-uzay analizi veya tranziyent analizi, bu devrenin dinamik davranışını anlamak için gerekmektedir. Giriş sinyali birim basamak bir fonksiyonsa ($V_{in}(s)=U(s)=1/s$), çıkış gerilimi denklem (4.5)'teki gibi ifade edilebilir.

$$V_{out}(s) = \frac{-\frac{C_x}{C_F}}{s + \frac{1}{R_F C_F}} \quad (4.5)$$

Denklem (4.5)'in ters Laplace dönüşümü yapıldığında, zaman-uzayındaki birim basamak cevabı denklem (4.6)'daki gibi elde edilir.

$$V_{out}(t) = -\frac{C_x}{C_F} e^{-\frac{t}{R_F C_F}} \quad (4.6)$$

Denklem (4.6)'daki ifade, zaman sıfır olduğunda $-C_x/C_F$ değerinden başlar ve üstel olarak sifıra yakınsar. Kararlı durumun % 1'lik dilimine ulaşmak için geçen süre yerleşme zamanı olarak kabul edilir ve denklem (4.7)'deki gibi ifade edilebilir.

$$t_{yerleşme} = 4.6\tau = 4.6C_F R_F \quad (4.7)$$

Bu durumda 4.6 zaman sabiti (τ) kadar süre geçtiğinde, devrenin çıkış gerilimi kararlı duruma geçmektedir. Daha iyi bir dinamik davranış için devrenin yerleşme süresi dikkatli bir şekilde ayarlanmalıdır. Bu süre devrenin sürücü sinyalinin periyodundan düşük olmalıdır (Xu ve ark., 2015).

4.1.3. Kararlılık Analizi

Şekil 4.2'de Şekil 4.1'den farklı olarak OPAMP'ın çıkışı ve eviren girişi arasına bir geri besleme kondansatörü eklenmiştir. Yalnızca bir negatif geri besleme direncinin olması kararlılığı tamamen garanti etmemektedir. Özellikle kaçak kapasitanslar ve OPAMP'ın giriş kapasitansı çıkışta kararsızlığa neden olabilir. Bu bakımdan geri besleme kondansatörü devrenin çıkış geriliminde meydana gelebilecek salınımları bertaraf etmeye yardımcı olur ve kararlılığa katkı sağlar. Eklenmesi gereken kapasitansın değerini bulmak için öncelikle OPAMP'ın frekansa bağlı açık döngü kazancı ($A_v(f)$) ve devrenin geri besleme oranı (β) bulunmalıdır. Açık döngü kazancı, DC ve düşük frekanslarda sabitken, yüksek frekanslarda 20 dB/dec şeklinde azalır ve birim kazanç-bant genişliği çarpım frekansında (f_{GBWP}) 0 dB'den geçer. Geri besleme oranıysa çıkış geriliminin eviren girişe aktarılma oranı olarak tanımlanmaktadır. Bu değerler yardımıyla, kararlılık $1/\beta$ oranı ile açık döngü kazancının değişimleri arasındaki farkın (kapanma oranı) en fazla 20 dB/dec olması şeklinde ifade edilmektedir. Şekil 4.2'deki devre için geri besleme oranı denklem (4.8)'de verilmiştir.

$$\beta = \frac{1+sC_F R_F}{1+sR_F(C_F+C_x+C_{in})} \quad (4.8)$$

Denklem (4.8)'de görülebileceği gibi, C_F kondansatörünün eklenmesi $1/\beta$ oranına frekansı $1/(2\pi R_F C_F)$ olan yeni bir kutup eklemekte ve +20 dB/dec olan değişim hızını sıfırlamaktadır. Bu durumda kapanma oranı, $|-20 \text{ dB/dec} - 0| = 20 \text{ dB/dec}$ olmakta ve sistem optimal kararlılığa ulaşmaktadır. Bu bağlamda, Şekil 4.2'deki devrenin kararlı olması için gereken geri besleme kapasitansının minimum değeri denklem (4.9)'daki gibi hesaplanabilir (Bhat, 2012).

$$C_F \geq \frac{1}{4\pi R_F f_{GBWP}} \left(1 + \sqrt{1 + 8\pi R_F (C_x + C_{in}) f_{GBWP}} \right) \quad (4.9)$$

Denklem (4.9)'da karekök içerisinde yer alan ifadenin birden çok büyük olduğu varsayıldığında, geri besleme kondansatörünün değeri denklem (4.10)'daki ifadeye sadeleştirilebilir.

$$C_F \geq \sqrt{\frac{C_x + C_{in}}{2\pi R_F f_{GBWP}}} \quad (4.10)$$

Denklem (4.10)'a göre minimum geri besleme kondansatörünün değerini seçmek gerekir. Kondansatörün değerinin bu değerden daha fazla seçilmesi, sistemi daha kararlı hale getirir ancak bu durumda bant genişliği azalır ve yerleşme zamanı artar.

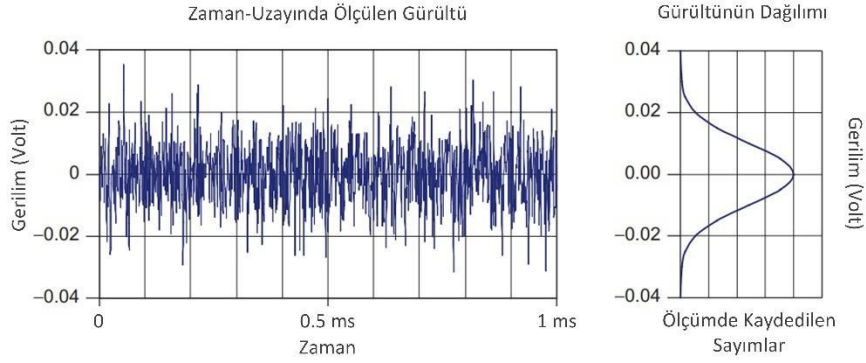
4.1.4. Gürültü Analizi

İlgilenilen sinyale karışan, onu değiştiren ve istenmeyen etkilere sebep olan iç veya dış kaynaklı bozucu etkilere gürültü adı verilmektedir. Gürültü yapısı gereği rastgele süreçtir ve anlık değerinden çok istatistiksel dağılımına göre gürültü değerlendirilir. Zamana bağlı bir gerilim veya akım gürültüsü $x_n(t)$ 'nin karekök ortalama değeri (Root Mean Square-RMS) denklem (4.11)'deki gibi yazılabilir.

$$X_n = \sqrt{\frac{1}{T} \int_0^T x_n^2(t) dt} \quad (4.11)$$

Denklem (4.11)'de T ölçümün zaman aralığını göstermektedir. Fiziksel olarak X_n^2 , $x_n(t)$ tarafından 1Ω 'luk bir direnç üzerinde tüketilen ortalama güç anlamına gelir.

Rastgele bir süreç olan gürültü, Şekil 4.3'te görülen örnekteki gibi istatistiksel olarak Gauss dağılımı şeklinde temsil edilebilir.



Şekil 4.3. Gürültünün zaman-uzayı ve istatistiksel gösterimi (Kay, 2012)

Şekil 4.3'teki "Gürültünün Dağılımı" grafiği, zaman-uzayındaki rastgele gürültünün olasılık yoğunluk fonksiyonunu (Probability Density Function-PDF) göstermektedir. Rastgele gürültünün PDF karakteristiği ile o gürültünün tepeden tepeye gerilim değeri arasında bir ilişki kurulabilir. Ortalama değeri μ , standart sapması σ olan bir Gauss dağılımı için, gürültü örneklerinin % 68,27'si ortalama değer bir standart sapma uzağındadır. Gürültü örneklerinin % 95,45'i ortalama değer 2σ 'lık aralığında, % 99,73'üyse ortalama değer 3σ 'lık aralığındadır. Genel olarak literatürde, gürültünün RMS değerinin 6,6 katı ($6,6\sigma$) tepeden tepeye değeri olarak kabul edilir. Bu durumda zaten anlık değerlerin % 99,9'u bu aralıkta kalmaktadır.

Gürültünün diğer bir önemli karakteristiği spektral yoğunluğudur. Rastgele olması sebebiyle gürültünün gücü genelde tüm frekans spektrumuna yayılır. Bu açıdan, her zaman ölçüm veya hesaplama yapılacak frekans bandı önceden belirlenmelidir. Spektral yoğunluk tanım olarak frekansın karekökü başına düşen RMS gürültü gerilimidir. Gürültünün gerilim veya akım olmasına bağlı olarak spektral yoğunluğun birimi $\frac{V}{\sqrt{Hz}}$ veya $\frac{A}{\sqrt{Hz}}$ olabilir. Öte taraftan, güç spektral yoğunluğunun birimi ise $\frac{W}{Hz}$ 'dir. Spektral yoğunluğu bilinen bir gürültünün RMS değeri bulunabilir. Bunun için spektral yoğunluk önce karesi alınarak güce çevrilir, sonra belli bir frekans aralığında integrali alınır ve en son karekökü alınarak gerilim veya akıma dönüştürülür. Gerilim gürültüsü spektral

yoğunluğu $e_n(f)$ ve akım gürültüsü spektral yoğunluğu $i_n(f)$ olmak üzere, gerilim ve akımın RMS değerleri denklem (4.12) ve denklem (4.13)'teki gibi elde edilebilir.

$$E_n = \sqrt{\int_{f_L}^{f_H} e_n^2(f) df} \quad (4.12)$$

$$I_n = \sqrt{\int_{f_L}^{f_H} i_n^2(f) df} \quad (4.13)$$

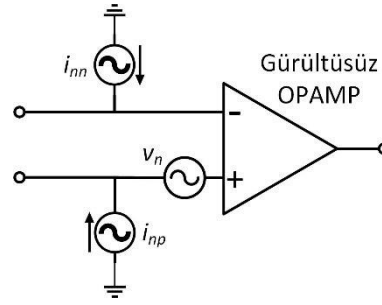
Denklem (4.12) ve denklem (4.13)'teki f_L ve f_H terimleri sırasıyla ilgilenilen frekans bandının en düşük ve en yüksek frekansını göstermektedir.

Şekil 4.2'de verilen devrede OPAMP'ın iç gürültüleri dışında gürültüye neden olan harici tek eleman geri besleme direncidir. Tüm pasif rezistif elemanlar termal gürültü veya Johnson Gürültüsü adı verilen gürültüden üretir. Bunun nedeni, içerideki elektronların ısı kaynaklı rastgele hareketleridir. Bir direncin termal gürültüsü, gürültüsüz bir direnç ve bu direncin spektral yoğunluğunun temsil edildiği bir gerilim kaynağının seri bağlantısı ile modellenenir. Geri besleme direnci R_F 'in termal gürültüsünün spektral yoğunluğu denklem (4.14)'teki gibi bulunabilir.

$$e_R = \sqrt{4kTR_F} \quad (4.14)$$

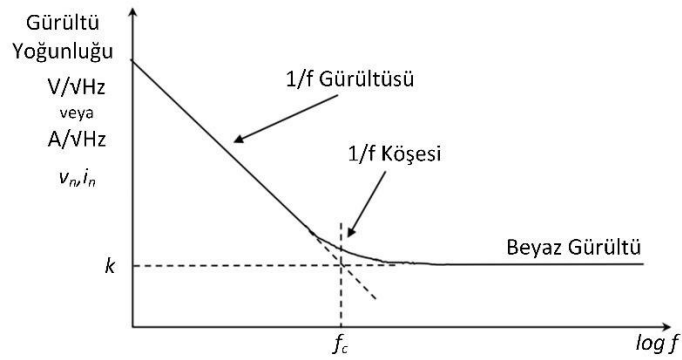
Denklem (4.14)'teki k Boltzmann sabitini ($1,38 \times 10^{-23}$ J/K), T ise Kelvin cinsinden sıcaklığı göstermektedir. Direncin termal gürültü spektral yoğunluğu denklem (4.14)'te görüleceği üzere frekansa bağlı değildir ve tüm frekanslarda sabittir. Dolayısıyla, direncin beyaz gürültü tipinde bir spektrası vardır. Bu geri besleme direncinin termal gürültüsünün RMS değeri denklem (4.14) ile denklem (4.12) kullanılarak bulunabilir.

Şekil 4.2'de gürültüye neden olan diğer kaynaklarsa, OPAMP'ın iç çalışmasından doğmaktadır. Bir OPAMP'ın gürültüsü şu üç eşdeğer gürültü kaynağı aracılığıyla modellenenir: giriş gerilimi gürültü yoğunluğu v_n , eviren giriş akım gürültü yoğunluğu i_{nn} ve evirmeyen giriş akım gürültü yoğunluğu i_{np} . Şekil 4.4'te pratik bir OPAMP'ın gürültü modeli bu bahsedilen gürültü kaynakları ve gürültüsüz bir yükselteç şeklinde gösterilmiştir.



Şekil 4.4. Pratik OPAMP gürültü modeli

OPAMP'ların gürültü kaynaklarının değerleri veri sayfalarından alınmalıdır. OPAMP gürültüleri genellikle yüksek frekanslarda beyaz gürültü özelliği gösterirken yani sabitken; düşük frekanslardaysa $1/f$ gürültüsü şeklindedir yani frekansla ters orantılı değişmektedir. Şekil 4.5'te gerilim veya akım gürültü yoğunluğunun genel karakteristiği gösterilmiştir.

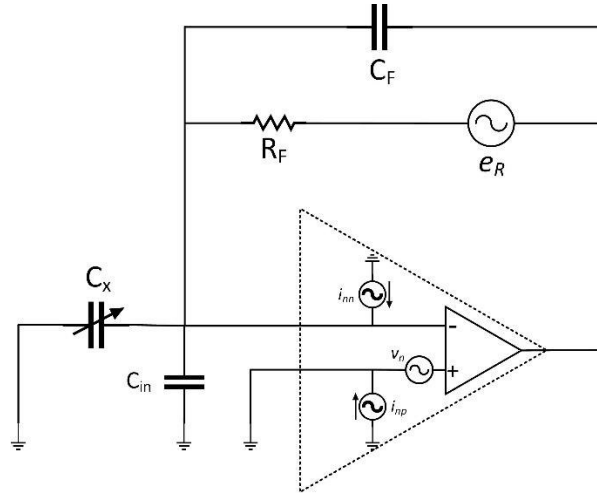


Şekil 4.5. OPAMP gürültülerinin frekans karakteristiği

Şekil 4.5'te görülen f_c köşe frekansını yani 10 dB/dec olarak azalan $1/f$ gürültüsünün sabitleşmeye başladığı frekansı göstermekteyken; k değeri spektral yoğunluğun beyaz gürültüdeki değerini göstermektedir. Bu değerler OPAMP'ların veri sayfalarında belirtilir.

Şekil 4.2'deki TIA devresinin gürültü modeli Şekil 4.6'da verilmiştir. Görüldüğü gibi OPAMP'ın çıkışındaki gürültüyü etkileyen dört farklı kaynak vardır. Her bir gürültü kaynağının çıkıştaki toplam gürültüye katkısının RMS biçimindeki formülü denklem (4.15)'te verilmiştir.

$$E_{n,RMS} = \sqrt{\int_0^{ENOB} |A_n(jf)|^2 g_n^2(f) df} \quad (4.15)$$



Şekil 4.6. TIA gürültü modeli

Denklem 4.15'te görülen $A_n(jf)$ çıkışa yansıyan gürültü kazancını, $g_n(f)$ gürültünün spektral yoğunluğunu ve ENOB (Equivalent Noise Bandwidth) ise eşdeğer gürültü bant genişliğini göstermektedir. Bu dört gürültü değeri için ayrı ayrı gürültü kazancı ve ilgili eşdeğer gürültü bant genişliği bulunmalıdır. Gürültü kazancı sinyal kazancından farklı olarak gürültü kaynağından görülen kazançtır ve süperpozisyon metodu ile bulunabilir. Eşdeğer gürültü bant genişliğiye, açık döngü kazancı veya kapalı döngü kazancı ile sınırlanır. Bu bant genişliğinde integral alınırken, üst sınırdaki gürültüyü tam dik şekilde kesip atmak mümkün değildir. Bu yüzden ismine düzeltme faktörü adı verilen (K_n) bir çarpım katsayısı kullanılır. Düzeltme faktörünün değeri gürültü kazancının -20 dB/dec değiştiği yerlerde 1,57 olarak bulunur.

İlk olarak direncin oluşturduğu termal gürültü (e_R) ele alınabilir. Şekil 4.6'da görüldüğü gibi termal gürültü doğrudan doğruya çıkışa yansır yani gürültü kazancı birdir. Bu gürültü kaynağının eşdeğer bant genişliği, denklem (4.16)'daki gibi TIA'nın sinyal bant genişliği ile düzeltme faktörünün çarpımı olarak ifade edilebilir.

$$ENOB_R = \frac{K_n}{2\pi R_F C_F} = \frac{1.57}{2\pi R_F C_F} \quad (4.16)$$

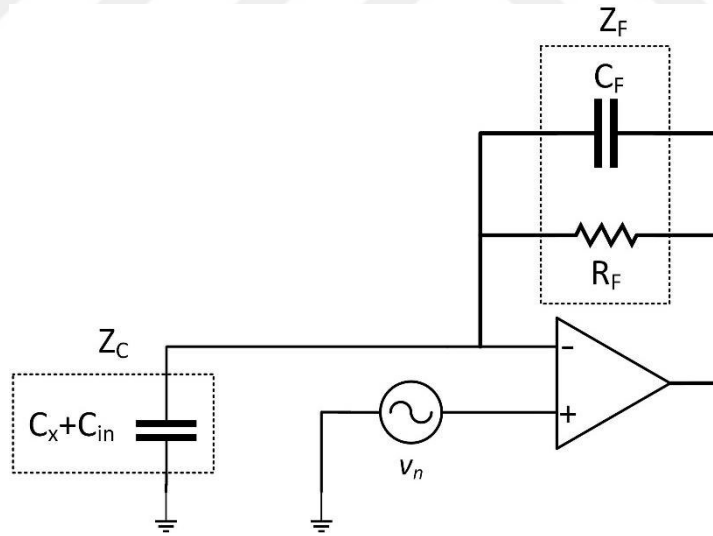
Termal gürültünün çıkışta oluşturduğu RMS değeri, denklem (4.14), denklem (4.15) ve denklem (4.16) kullanılarak, denklem (4.17)'deki gibi yazılabilir.

$$E_{n,R} = \sqrt{\int_0^{ENOB_R} |1|^2 e_R^2 df} = \sqrt{4kTR_F} \sqrt{ENOB_R} \quad (4.17)$$

Evirmeyen giriş akım gürültü yoğunluğunun (i_{np}) çıkışta oluşturduğu gürültünün değeri ihmal edilebilir. Evirmeyen girişteki akım çıkışta herhangi bir gerilim oluşturmaksızın toprağa akar ve dolayısıyla gürültü kazancı sıfırdır. Öte taraftan, eviren giriş akım gürültü yoğunluğunun (i_{nn}) bant genişliği denklem (4.16)'daki gibi ifade edilebilirken; gürültü kazancıysa diğer gürültü kaynakları devre dışı bırakılarak bulunabilir. Buna göre, Şekil 4.6'daki eviren girişteki akım kaynağının oluşturduğu akımın tamamı geri besleme kolundan çıkışa akar ve gürültü geri besleme kolundaki empedans kadar yükseltilir. Dolayısıyla, i_{nn} için gürültü kazancı denklem (4.18)'deki gibi yazılabilir.

$$A_{i_{nn}}(jf) = R_F \parallel C_F = \frac{R_F}{1+j\omega R_F C_F} \quad (4.18)$$

Son olarak, OPAMP'ın giriş gerilimi gürültü yoğunluğunun (v_n) çıkışa etkisi incelenmelidir. Gürültü kazancı için Şekil 4.6'ya süperpozisyon tekniğinin uygulandığı Şekil 4.7 kullanılabilir.

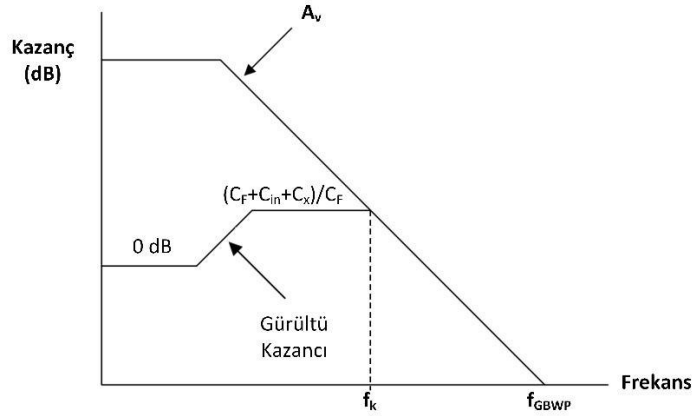


Şekil 4.7. OPAMP'ın giriş gerilimi gürültü yoğunluğunun çıkışa etkisi

Şekil 4.7'de görüleceği üzere, v_n 'in gürültü kazancını bulabilmek için evirmeyen giriş referans alınarak kazanç bulunmalıdır. Bu devre yapısı gürültü kaynağı için evirmeyen yükselteç gibi davranmaktadır. Bu durumda gürültü kazancı denklem (4.19)'daki gibi yazılabilir.

$$A_{v_n}(jf) = 1 + \frac{Z_F}{Z_C} = \frac{1+j\omega R_F(C_F+C_{in}+C_x)}{1+j\omega R_F C_F} \quad (4.19)$$

Giriş gerilimi gürültü yoğunluğunun eşdeğer bant genişliği, Şekil 4.8’de görüldüğü gibi gürültü kazanç eğrisi ile OPAMP’ın açık döngü kazanç eğrisinin (A_v) kesişimi ile bulunabilir.



Şekil 4.8. Giriş gerilimi gürültü yoğunluğunun bant genişliği

Şekil 4.8’e göre, f_k ile gösterilen ve gürültü kazancı ile açık döngü kazancı eğrisinin kesişimine denk gelen bant genişliği düzeltme faktörünün de eklenmesiyle birlikte denklem (4.20)’deki gibi formüle edilebilir.

$$ENOB_{v_n} = K_n f_{GBWP} \frac{C_F}{C_F+C_x+C_{in}} \quad (4.20)$$

Çizelge 4.1’de TIA için gürültü kaynakları, kaynakların spektral yoğunlukları, gürültü kazançları ve eşdeğer bant genişlikleri özetlenmiştir.

Çizelge 4.1. TIA için gürültü kaynaklarının parametreleri

Gürültü kaynağı	Spektral yoğunluk	Gürültü kazancı	ENOB
Termal gürültü	$\sqrt{4kTR_F}$	1	$\frac{K_n}{2\pi R_F C_F}$
OPAMP’ın giriş gerilim gürültüsü	e_{v_n}	$\frac{1+j\omega R_F(C_F+C_{in}+C_x)}{1+j\omega R_F C_F}$	$K_n f_{GBWP} \frac{C_F}{C_F+C_x+C_{in}}$
OPAMP’ın evirmeyen giriş akım gürültüsü	$e_{i_{np}}$	0	-
OPAMP’ın eviren giriş akım gürültüsü	$e_{i_{nn}}$	$\frac{R_F}{1+j\omega R_F C_F}$	$\frac{K_n}{2\pi R_F C_F}$

Çizelge 4.1'deki parametreler kullanılarak, çıkıştaki toplam gürültünün RMS değeri ($E_{toplamlam}$), denklem (4.21)'deki gibi her bir gürültünün RMS değerlerinin karelerinin toplamalarının karekökü şeklinde yazılabilir.

$$E_{toplamlam} = \sqrt{E_{R_F}^2 + E_{v_n}^2 + E_{i_{nn}}^2} \quad (4.21)$$

4.1.5. SPICE Simülasyonları ve Nümerik Sonuçlar

Bu devrelerin simülasyonu için, SPICE programlarından Linear Technologies tarafından ücretsiz bir şekilde kullanıma sunulan LTSPICE kullanılmıştır. Ayrıca, nümerik sonuçları elde etmek için MATLAB'da yazılan programlar kullanılmıştır. Simülasyon grafiklerinin daha net elde edilmesi için de LTSPICE'daki veriler dışarı aktarılıp, MATLAB'ın grafik çizdirme olanakları kullanılmıştır.

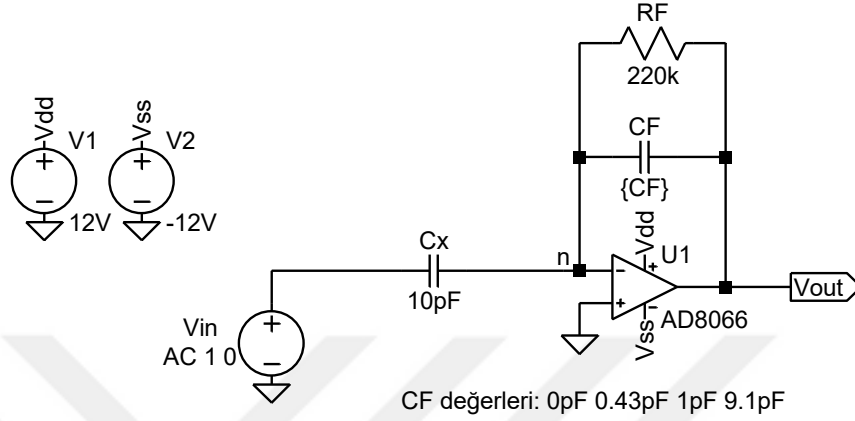
4.1.5.1. Elemanların Seçimi

İlk olarak benzetimi yapılacak olan bilinmeyen kapasitansın değeri 10 pF olarak seçilmiştir. Bu kapasitans değeri sıvı seviyesi ölçümü, basınç ölçümü veya ivme ölçümü gibi birçok uygulamanın simülasyon ortamında modellenebilmesini sağlayabilecek bir değerdir (Lin ve ark., 2007). TIA devrelerinde tercih edilen ve Analog Devices tarafından üretilen düşük gürültülü AD8066 işlemsel yükseltici frekans-uzayı, zaman-uzayı ve kararlılık benzetimleri için kullanılmıştır. Kıyaslama yapabilmek adına, gürültü analizleri ve simülasyonları için Linear Technologies tarafından üretilen LTC6268 ve Texas Instruments tarafından üretilen OPA380 de AD8066'nın yanında kullanılmıştır. Böylece farklı OPAMP'ların gösterdikleri gürültü performansları karşılaştırılmıştır.

4.1.5.2. Frekans-Uzayı Simülasyonları

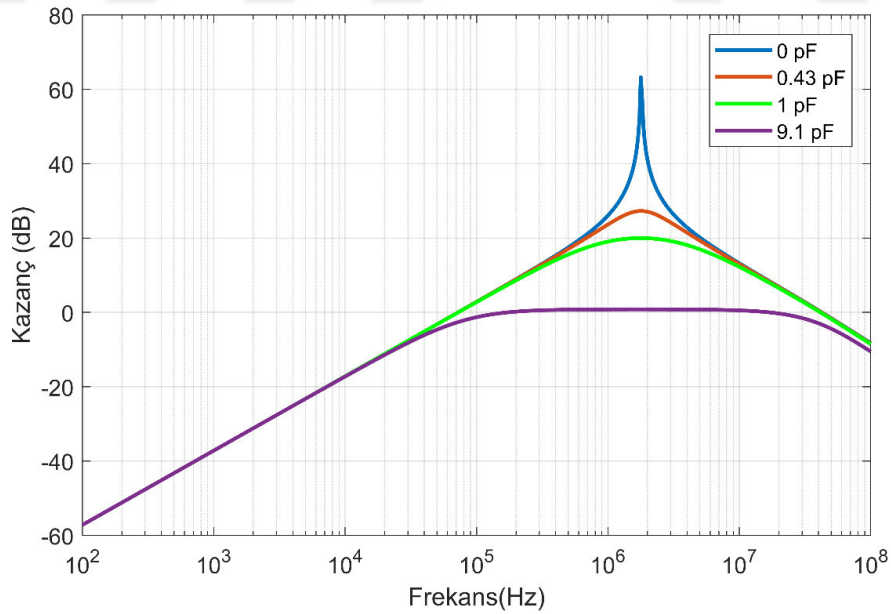
Frekans-uzayı simülasyonlarında ve sonraki simülasyonlarda seçilen değerlerin pratik uygulamalara uygun olmasına dikkat edilmiştir. Örneğin, çok yüksek direnç değerlerinin PCB üzerinde gerçekleşmesi zordur. Bu bağlamda değeri genellikle 10 MΩ'dan küçük seçilen geri besleme direnci sırasıyla 220 kΩ, 1 MΩ ve 2.2 MΩ olarak seçilmiştir. Burada farklı değerdeki geri besleme kondansatörlerinin kazanç etkisi

incelenmiştir. Şekil 4.9’da devrenin LTSPICE ortamında çizilen şematiği gösterilmiştir. Geri besleme kondansatörü olarak 0 pF (geri besleme kondansatörü yok), 0.43 pF (minimum kararlılık kondansatörü), 1 pF (kararlı bir kondansatör değeri) ve 9.1 pF (daha kararlı bir kondansatör değeri) alınmıştır.



Şekil 4.9. TIA devresinin LTSPICE ortamında çizimi

Seçilen geri besleme kondansatörlerine göre devrenin ürettiği AC cevabın büyüklüğü 100 Hz-100 MHz için Şekil 4.10’da gösterilmiştir.

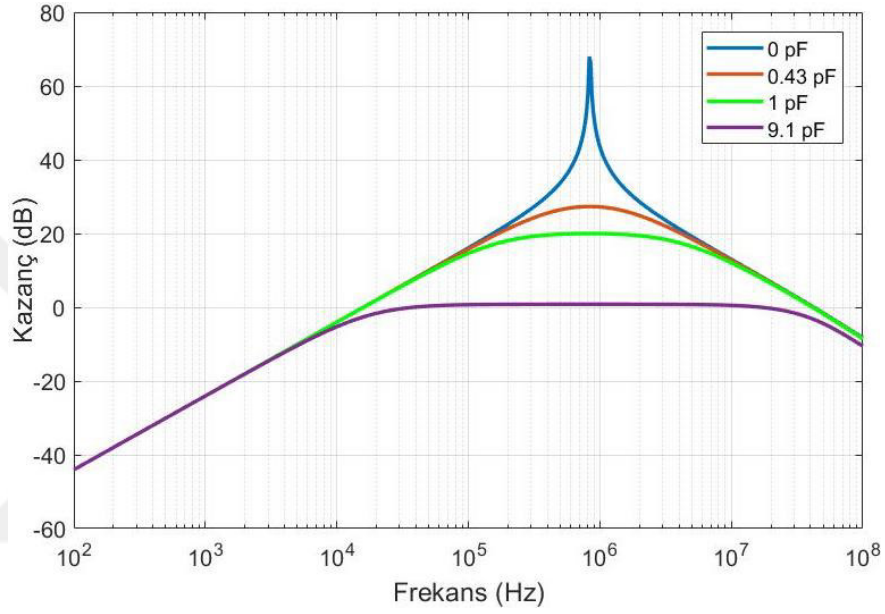


Şekil 4.10. Farklı geri besleme kondansatörleri için frekans cevabı ($R_F=220 \text{ k}\Omega$)

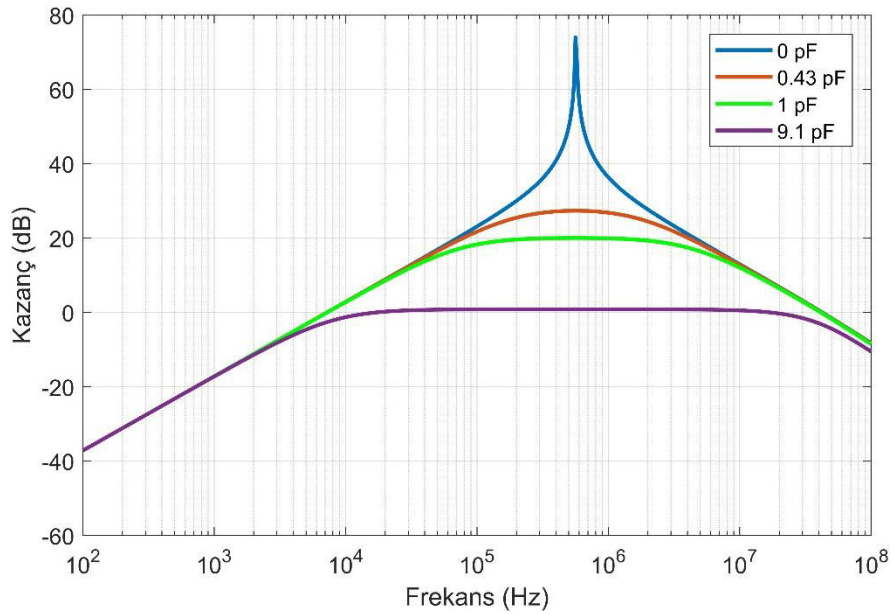
Özellikle yüksek frekanslarda, denklem (4.4)’te verildiği gibi, kazanç geri besleme kondansatörünün değeri ile ters orantılıdır dolayısıyla en düşük kazanç $C_F = 9.1 \text{ pF}$ için elde edilmektedir. Daha yüksek frekanslardaysa, örneğin 50 MHz’den sonra OPAMP’ın

kazanç bant genişliği devreye girmekte ve kazançları düşürerek birbirlerine benzer hale getirmektedir. Düşük frekans değerlerinde, denklem (4.3)'teki ifadenin paydasında yer alan 1 değeri yanındaki ifadeden çok daha büyük olmaktadır. Dolayısıyla, kazancın büyüklüğü geri besleme kondansatör değerinden bağımsızlaşmakta ve devre benzer kazançlar üretmektedir.

Geri besleme direncinin değeri $1\text{ M}\Omega$ ve $2.2\text{ M}\Omega$ olduğunda, devrenin frekans cevapları sırasıyla Şekil 4.11 ve Şekil 4.12'de görülebilir.



Şekil 4.11. Farklı geri besleme kondansatörleri için frekans cevabı ($R_F=1\text{ M}\Omega$)



Şekil 4.12. Farklı geri besleme kondansatörleri için frekans cevabı ($R_F=2.2\text{ M}\Omega$)

Şekil 4.11 ve Şekil 4.12’de de Şekil 4.10’a benzer frekans cevapları oluşmuştur. Çalışma frekansının değerine göre kazançlar farklılık göstermektedir. Simülasyonlarda elde edilen sinyal kazanç değerleri, 1 kHz, 100 kHz, 500 kHz ve 100 MHz frekansları için Çizelge 4.2’de özetlenmiştir.

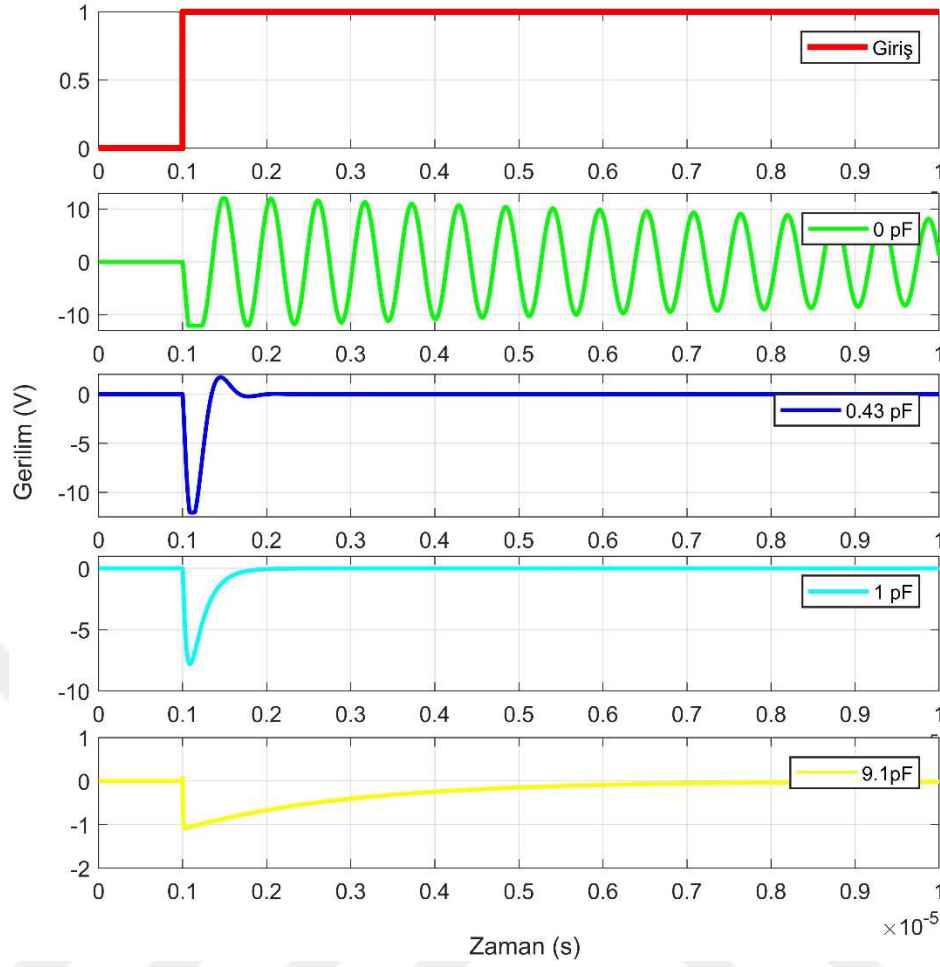
Çizelge 4.2. Farklı çalışma frekansları ve geri besleme direnç değerleri için kazanç büyüklükleri

Çalışma Frekansı	C_F (pF)	Kazanç (dB)		
		$R_F=220\text{ k}\Omega$	$R_F=1\text{ M}\Omega$	$R_F=2.2\text{ M}\Omega$
1 kHz	0	-37.188	-24.036	-17.188
	0.43	-37.188	-24.039	-17.188
	1	-37.188	-24.039	-17.189
	9.1	-37.189	-24.053	-17.256
100 kHz	0	2.839	16.087	23.087
	0.43	2.823	15.773	21.698
	1	2.756	14.606	18.263
	9.1	-1.298	0.692	0.793
500 kHz	0	17.496	33.739	49.916
	0.43	17.066	26.428	27.296
	1	15.558	19.816	19.991
	9.1	0.726	0.817	0.819
100 MHz	0	-8.235	-8.236	-8.237
	0.43	-8.356	-8.358	-8.358
	1	-8.515	-8.517	-8.517
	9.1	-10.543	-10.544	-10.544

Çok yüksek ve düşük frekans değerlerinde geri besleme direncinin değeri kazancı çok etkilememektedir. Daha makul çalışma frekanslarındaysa, sinyal kazancı ile geri besleme direncinin değeri doğru orantılıdır. Öte taraftan, Şekil 4.10, Şekil 4.11 ve Şekil 4.12’de görülen ve düşük geri besleme kondansatörlerinde daha yüksek olan kazanç daha az bant genişliğine karşılık gelmektedir. Örneğin, geri besleme kondansatörünün olmadığı veya çok küçük olduğu durumlarda, giriş frekansında meydana gelebilecek küçük bir değişim, sinyal kazancının istenen değerden fazlaca sapmasına neden olabilir.

4.1.5.3. Zaman-Uzayı Simülasyonları

Bu devrenin zaman-uzayındaki cevabının bulunması için, bir birim-basamak giriş fonksiyonu 1 μs ’de uygulanmıştır. Geri besleme direnci 220 k Ω olmak üzere, farklı C_F değerleri için zaman-uzayı simülasyon sonuçları 10 μs zaman aralığı için Şekil 4.13’te görüldüğü gibidir.



Şekil 4.13. Birim basamak giriş sinyali için çıkış sinyalleri ($R_F=220 \text{ k}\Omega$)

Kararlılığı sağlayan besleme kondansatörü bağlanmazsa, şekilde görüldüğü gibi çıkış gerilimi osilasyon yapar. Öte yandan, $R_F=220 \text{ k}\Omega$ için minimum kararlılığı sağlayan değer olan 0.43 pF 'lık geri besleme kondansatörü için bile aşma olmakta ve küçük sapmalar meydana gelmektedir. Geri besleme kondansatörünün değeri arttıkça çıkıştaki sapmalar azalır fakat yerleşme zamanı artar. Çizelge 4.3'te üç geri besleme direnç değeri için elde edilen yerleşme zamanı değerleri özetlenmiştir.

Çizelge 4.3. Farklı geri besleme direnç değerleri için yerleşme süreleri

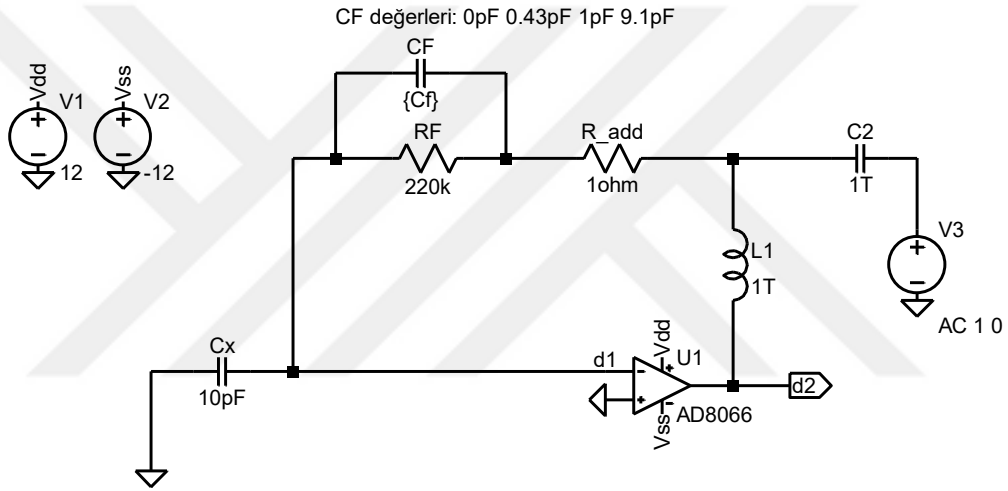
C_F (pF)	Yerleşme Süresi (μs)		
	$R_F=220 \text{ k}\Omega$	$R_F=1 \text{ M}\Omega$	$R_F=2.2 \text{ M}\Omega$
0	Yerleşme yok	Yerleşme yok	Yerleşme yok
0.43	0.44	1.97	4.35
1	1.01	4.62	10.12
9.1	9.21	41.82	92.09

Çizelge 4.3'e göre, 1 pF 'lık geri besleme kondansatörü için $1.01 \mu\text{s}$ olan yerleşme zamanı, 9.1 pF 'lık geri besleme kondansatörü için $9.21 \mu\text{s}$ 'dir. Benzer şekilde, farklı R_F değerleri

için yapılan simülasyon sonuçları da yerleşme zamanının geri besleme direnci ile arttığını göstermiştir. Örneğin, 9.1 pF C_F için; geri besleme direnci 1 M Ω 'ken 41.82 μ s olan yerleşme zamanı, direnç 2.2 M Ω olduğunda 92.09 μ s'ye çıkmaktadır.

4.1.5.4. Kararlılık Simülasyonları

Bölüm 4.1.3'te bahsedildiği gibi devrenin kararlılığını bulmak için, OPAMP'ın açık döngü kazancının ve geri besleme oranının tersinin ($1/\beta$) eğrilerini çizdirmek gerekmektedir. Bu amaçla, LTSPICE'in çalışma ve yakınsama prensipleri de dikkate alınarak Şekil 4.14'teki devre simüle edilmiştir.

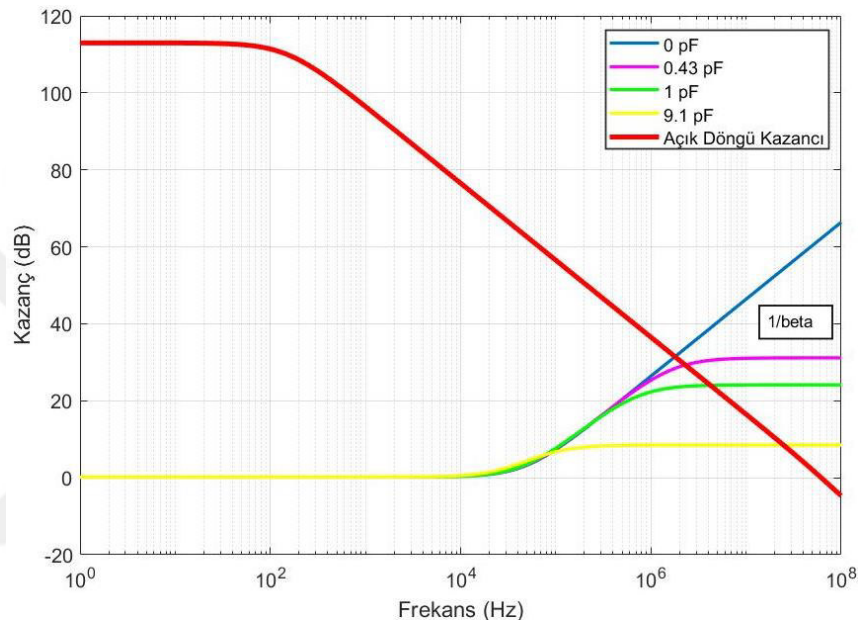


Şekil 4.14. TIA devresinin kararlılık analizi

Şekil 4.14'te görülen $d2$ noktasındaki gerilimin $d1$ noktasındaki gerilime olan oranı AD8066 OPAMP'ının açık döngü kazanç eğrisini verir. Aynı şekilde, geri besleme oranı için de $d1$ noktasındaki gerilimin tersi çizdirilmelidir ($1/V(d1)$). Birlikte çizdirilen bu iki eğrinin kapanma oranlarına göre devrenin kararlılığı belirlenebilir.

Şekil 4.15'te 220 k Ω 'luk geri besleme direnci için farklı C_F değerlerine göre bu eğrilerin grafikleri gösterilmiştir. Şekilde elde edilen açık döngü kazanç eğrisi AD8066 OPAMP'ının veri sayfasındaki değerlerle karşılaştırılabilir. Veri sayfasına göre düşük frekanslardaki tipik açık döngü kazancı 113 dB'dir ve f_{GBWP} değeriye 61.5 MHz civarındadır. Benzetim sonuçları da bu eğri için çok benzer değerler vermektedir. Öte taraftan, bir geri besleme kondansatörü bağlanmadığında, kapanma oranı değeri 40 dB/dec olmakta ve devrenin kararsız olduğunu işaret etmektedir. 0.43 pF'lık geri besleme kondansatörü bağlıyken $1/\beta$ eğrisinin tam düzelmeye başladığı nokta ile açık döngü

eğrisinin kesişimi görülmektedir. Bu durum $220\text{ k}\Omega$ 'luk geri besleme direnci için 0.43 pF 'lık kondansatörün minimum kararlılığı sağladığı anlamına gelmektedir. 1 pF 'lık ve 9.1 pF 'lık değerlerinse kararlı çıkış verdikleri gözlemlenmektedir. Geri besleme direncinin $1\text{ M}\Omega$ ve $2.2\text{ M}\Omega$ olduğu durumlardaysa geri besleme kondansatörü yokken kararsız bir çıkış oluşmaktadır. Öte yandan, denklem (4.10) gereği 0.43 pF 'tan daha küçük bir C_F değeri bile bu dirençlerin yer aldığı TIA'yı minimum kararlılığa getirmeye yetmektedir.



Şekil 4.15. Açık döngü kazancı ve farklı C_F değerleri için $1/\beta$ değerleri ($R_F=220\text{ k}\Omega$)

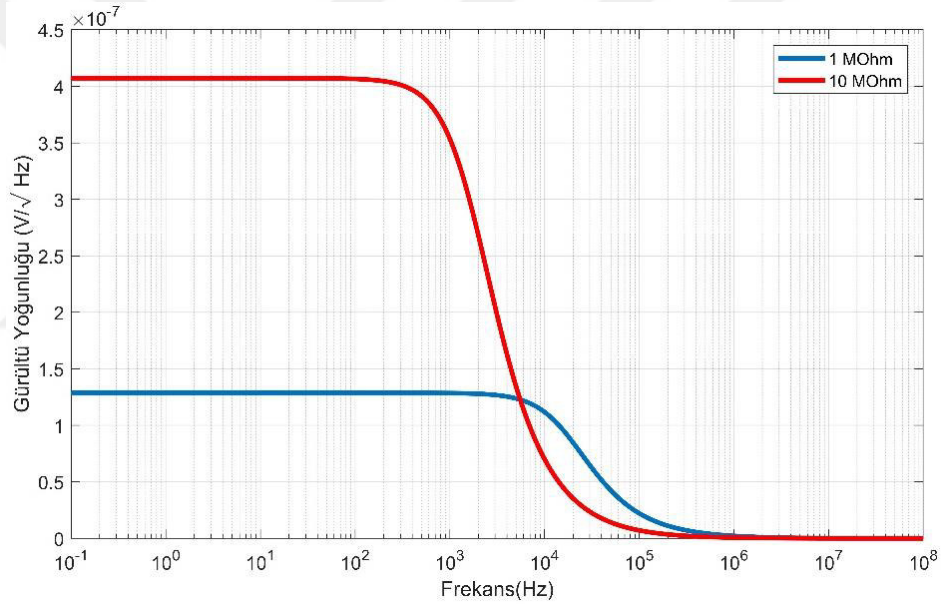
4.1.5.5. Gürültü Simülasyonları

Gürültü simülasyonları için AD8066, LTC6268 ve OPA380 isimlerinde üç adet piyasada bulunabilen OPAMP kullanılmıştır. Geri besleme direnci olarak $1\text{ M}\Omega$ olarak seçilmiş; geri besleme kondansatörü içinse stabil bir çıkış sağlayan 1 pF ve 9.1 pF için ayrı ayrı simülasyonlar yapılmıştır. Kullanılan OPAMP'lar düşük giriş gerilim ve akım gürültü yoğunluğuna ve düşük giriş kapasitansına sahiptirler. Çizelge 4.4'te bu OPAMP'ların gürültü ile alakalı parametreleri gösterilmiştir. Gürültü hesaplamaları içinse Çizelge 4.1'deki denklemler ve OPAMP'ların veri sayfalarından alınan Çizelge 4.4'te yer alan değerlerin yer verildiği MATLAB programları kullanılmıştır.

Çizelge 4.4. AD8066, LTC6268 ve OPA380 için gürültü ile alakalı parametreler

Gürültü parametresi	AD8066	LTC6268	OPA380
e_n ($nV/\sqrt{Hz}$)	7	4.3	5.8
i_{nn} ($fA/\sqrt{Hz}$)	0.6	5.5	10
f_{GBWP} (MHz)	65	500	90
C_{in} (pF)	6.6	0.55	1.1

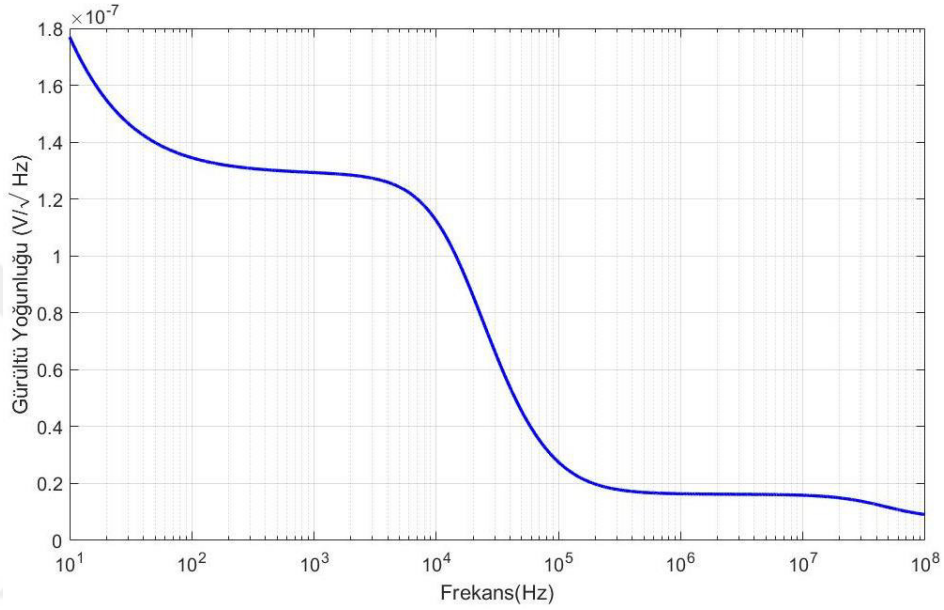
LTSPICE ortamında yapılan benzetimlerde ilk olarak, R_F direncinin TIA'nın çıkışında oluşturduğu gerilimin gürültü yoğunluğuna ve çıkıştaki RMS gerilimine yaptığı katkı incelenebilir. Örnek olarak, Şekil 4.16'da 1 M Ω ve 10 M Ω 'luk geri besleme dirençlerinin TIA'nın çıkışında meydana getirdikleri gürültünün yoğunluğu gösterilmiştir ($C_F=9.1$ pF için).

**Şekil 4.16.** Farklı R_F değerlerinin çıkışta oluşturduğu gürültü yoğunlukları ($C_F=9.1$ pF)

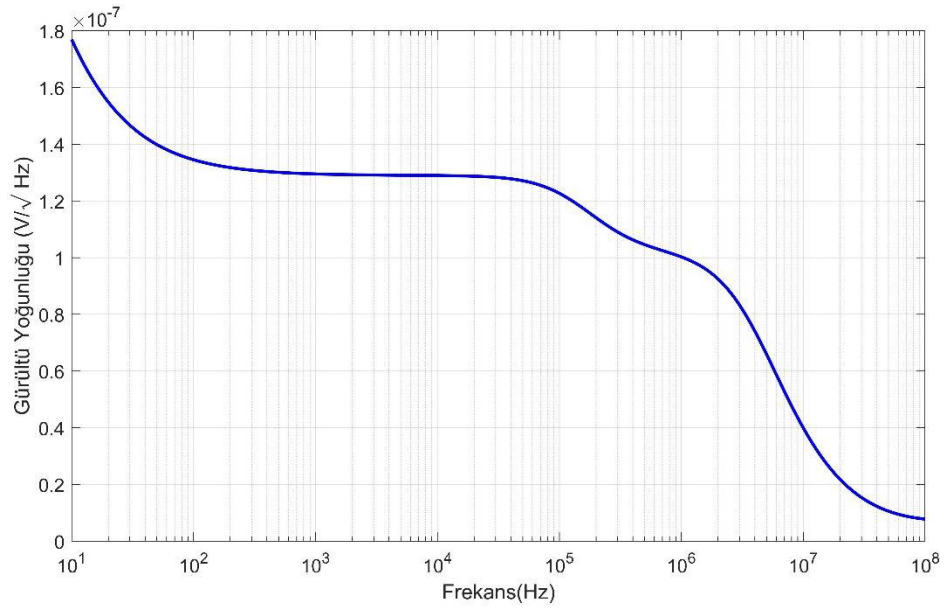
Düşük frekanslarda 10 M Ω 'luk direncin termal gürültüsünün spektral yoğunluğu $407 \frac{nV}{\sqrt{Hz}}$ ve 1 M Ω 'luk direncinkiyse $128 \frac{nV}{\sqrt{Hz}}$ civarındadır. Bu benzetim değerleri denklem (4.14) ile uyumlu çıkmaktadır. Bu dirençlerin çıkış gürültüsünün RMS'ine katkısı için denklem (4.16)'daki gibi gürültü bant genişliği değerleri bulunmalıdır. Bant genişliği değeri 10 M Ω 'luk direnç için 1.75 kHz ve 1 M Ω 'luk direnç içinse 17.5 kHz civarındadır. Denklem (4.15)'in önerdiği gibi, grafikte görülen eğrilerin altında kalan alanlar integral alınarak bulunursa çıkışta oluşturulan RMS gerilim değeri bulunur. Bu değer her iki direnç için de

21.34 μV 'tur. Dolayısıyla, R_F değerinin değişimi, çıkışa olan gürültü katkısının miktarını değiştirmemektedir.

Geri besleme direnci 1 M Ω ve geri besleme kondansatörü 9.1 pF olan devre için AD8066 OPAMP'ın çıkış gürültü yoğunluğu Şekil 4.17'de verilmiştir. Diğer koşullar aynı kalmak şartıyla, geri besleme kondansatörünün 1 pF olduğu devrenin çıkış gürültü yoğunluğusa Şekil 4.18'de gösterilmiştir.



Şekil 4.17. Çıkış gürültü yoğunluk eğrisi ($C_F=9.1$ pF, $R_F=1$ M Ω)



Şekil 4.18. Çıkış gürültü yoğunluk eğrisi ($C_F=1$ pF, $R_F=1$ M Ω)

Şekil 4.17 ve Şekil 4.18’de görüldüğü gibi, çıkış gürültü yoğunluk eğrisinde düşük frekanslarda $1/f$ gürültüsü etkin olmaktadır. Daha sonra TIA’nın transempedans kesim frekansının oluşturduğu kutup $(\frac{1}{2\pi R_F C_F})$ gürültü kazancı azaltmaya başlar. Yüksek frekanslardaysa, OPAMP’ın kazanç bant genişliği limiti gürültü kazancında düşüşe sebep olur. Geri besleme kondansatörü 9.1 pF olduğunda kesme frekansı 159 kHz değerindeyken; 1 pF ise 17.5 kHz civarındadır. Bu şu anlama gelmektedir: geri besleme kondansatörünün bağlanması kararlılığı sağladığı gibi toplam gürültü kazancını sınırlandırarak çıkıştaki gürültünün RMS değerini de azaltmaktadır.

Şekil 4.17 ve 4.18’deki gürültü yoğunluk eğrilerinin altında kalan alanlar bulunarak gürültünün toplam RMS değeri LTSPICE aracılığıyla bulunabilir. Ayrıca, ilgili değerler ve Çizelge 4.1’deki denklemler kullanılarak hesaplama yapılmış ve hem simülasyonlar hem de nümerik sonuçlar Çizelge 4.5’te AD8066 OPAMP’ı için gösterilmiştir. Değerlerden anlaşılabileceği üzere geri besleme kondansatörünün değeri arttıkça çıkıştaki toplam gürültü azalmaktadır.

Çizelge 4.5. Çıkıştaki gürültünün toplam RMS değerleri (AD8066)

	Gürültünün RMS değeri (μV)	
	$C_F=1 \text{ pF}, R_F=1 \text{ M}\Omega$	$C_F=9.1 \text{ pF}, R_F=1 \text{ M}\Omega$
Hesaplanan değer	303.6	120.8
Simülasyondaki değer	289.9	114.1

Bu benzetimler için çıkıştaki gürültünün RMS değerlerini oluşturan üç farklı gürültü kaynağının etkisinin ayrı ayrı hesaplandığı değerler Çizelge 4.6’da verilmiştir.

Çizelge 4.6. Çıkıştaki toplam gürültüye gürültü kaynaklarının ayrı ayrı katkıları (AD8066)

Gürültü kaynağı	Gürültünün RMS katkısı (μV)	
	$C_F=1 \text{ pF}, R_F=1 \text{ M}\Omega$	$C_F=9.1 \text{ pF}, R_F=1 \text{ M}\Omega$
Termal gürültü	64.16	21.26
OPAMP’ın giriş gerilim gürültüsü	296.73	118.87
OPAMP’ın eviren giriş akım gürültüsü	0.3	0.1

Gürültüler karelerin toplamının karekökü şeklinde toplandığı için, aslında toplam gürültüye en önemli katkıyı sağlayan gürültü kaynağının OPAMP’ın giriş gerilim

gürültüsü olduğu söylenebilir. Öte taraftan, OPAMP'ın giriş akım gürültüsüye en küçük katkısı sağlar ve değeri ihmal edilebilir.

Hesaplamalarda OPAMP'ın giriş kapasitans değerinin toplam çıkış gürültüsüne olan etkisini incelemek amacıyla AD8066 OPAMP'ının 6.6 pF olan giriş kapasitans değeri varsayımsal olarak 1 pF ve 10 pF olarak alınmıştır. Çıkıştaki toplam gürültünün RMS değerleri Çizelge 4.7'de gösterilmiştir. Örneğin, $C_F=1$ pF, $R_F=1$ M Ω değerleri için giriş kapasitansı 6.6 pF yerine 1 pF olsaydı, toplam gürültü değeri 303.6 μ V'tan 253.28 μ V'a düşmektedir. Öte taraftan, giriş kapasitansı 10 pF olsaydı toplam gürültü değeri 330.42 μ V'a çıkmaktadır. TIA tasarımında giriş kapasitansı düşük olan OPAMP'ların tercih edilmesi gürültüde azalma sağlayabilir.

Çizelge 4.7. Farklı giriş kapasitans değerleri için çıkıştaki toplam RMS gürültü (AD8066)

Giriş Kapasitans Değeri	Toplam gürültünün RMS değeri (μ V)	
	$C_F=1$ pF, $R_F=1$ M Ω	$C_F=9.1$ pF, $R_F=1$ M Ω
1 pF	253.28	107.25
10 pF	330.42	128.26

Son olarak, aynı geri besleme direnç ve kondansatör değerleri farklı OPAMP'larla oluşturulan TIA devrelerinde denenmiştir. LTC6268 ve OPA380 isimli OPAMP'lar için elde edilen çıkıştaki toplam gürültünün benzetim sonuçları ve nümerik hesaplamaları Çizelge 4.8'de gösterilmiştir. En düşük gürültü değerleri OPA380 işlemsel yükseltici içeren TIA devresinden elde edilmiştir. Düşük giriş kapasitansına sahip olması ve birim kazanç-bant genişliği çarpımının görece düşük olmasıyla beraber sınırlanan gürültü kazancı bu durumda etkili olmuştur.

Çizelge 4.8. Çıkıştaki gürültünün toplam RMS değerleri

		Gürültünün RMS değeri (μ V)	
		$C_F=1$ pF, $R_F=1$ M Ω	$C_F=9.1$ pF, $R_F=1$ M Ω
LTC6268	Hesaplanan değer	424.5	180.9
	Simülasyondaki değer	418.8	171.4
OPA380	Hesaplanan değer	259.7	107.8
	Simülasyondaki değer	240.5	99.6

Bölüm 4.1 boyunca gerçekleştirilen çeşitli nümerik ve simülasyon tabanlı analizlerin amacı, istenilen kazanç ve yerleşme sürelerine sahip, düşük gürültülü ve kararlı ön-yüz devreleri tasarlamaktır. Örneğin, literatürde yer alan ve kapasitans ölçümü için ön işlemede TIA devreleri kullanan yayınlarda parametre seçimlerinin sezgisel yapıldığı ve analitik yapılmadığı tespit edilmiştir (Gamio ve ark., 2001; Gonzalez-Nakazawa ve ark., 2005; Xu ve ark., 2015; Sun ve ark., 2017a). Bu bakımdan gerçekleştirilen frekans-uzayı analizleri ile devrenin kazancını farklı frekans aralıkları için bulmak mümkündür. Bu sayede devre için ideal çalışma frekansı da tespit edilebilmektedir. Zaman-uzayı analizleri sayesinde ise yerleşme zamanı bulunabilir. Böylece, tasarlanan devrenin girişteki kapasitans değişimine vereceği cevap için geçmesi gereken süreler de bulunmuştur. Kararlılık analizleri ile devrenin çıkışındaki gerilimin osilasyon yapıp yapmadığı bulunmuştur. Çıkışta bir osilasyon varsa bu durum kararlılık problemi olduğuna işaret etmektedir. Gereken minimum geri besleme kondansatör değerleri bulunmuş ve bu kondansatörlerin etkileri tartışılmıştır. Kapasitans ölçümleri için TIA devrelerinin gürültü analizleri literatürde çok fazla tartışılmayan bir konudur. Bu tez çalışmasında ve tezden üretilen makalede (Demirtaş ve ark., 2020b) TIA'nın komple gürültü modeli çıkartılmıştır. Gürültülerin spektral yoğunlukları, kazançları ve bant genişlikleri her bir gürültü kaynağı için ayrı ayrı modellenmiştir. Elde edilen model kullanılarak çıkıştaki toplam gürültü RMS olarak hesaplanmıştır. Hesaplanan değerler simülasyon ortamında doğrulanmıştır. Çıkıştaki toplam gürültüye en fazla katkı sağlayan kaynağın OPAMP'ın giriş gerilim gürültüsü olduğu bulunmuştur. Ayrıca, OPAMP'ın giriş kapasitans değerinin artmasıyla toplam gürültünün arttığı tespit edilmiştir. Bu açıdan, TIA tasarımlarında giriş kapasitansı düşük olan OPAMP'lar tercih edilmelidir. Farklı gürültü parametrelerine sahip OPAMP'lar için yapılan gürültü analizleri sonucunda, düşük kazanç-bant genişliği çarpımının gürültüyü azalttığı bulunmuştur.

4.2. Kayıplı Kapasitans Ölçümleri

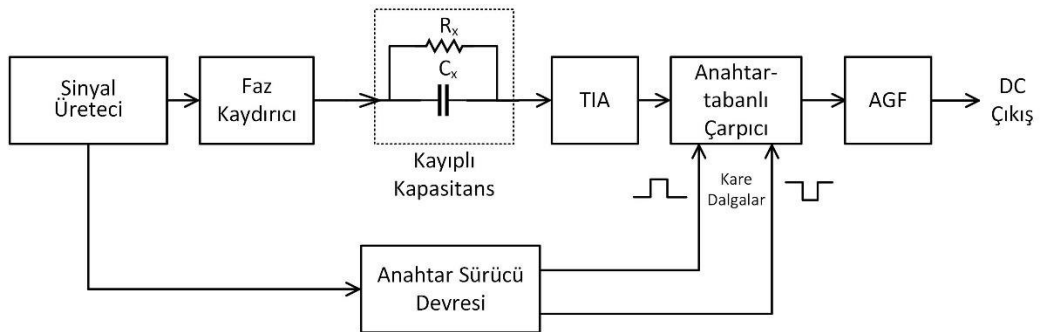
Kayıplı kapasitans Şekil 3.6'da gösterildiği gibi ideal bir kapasitöre paralel bağlı direnç şeklinde modellenebilir. Genelde kayıplı kapasitans modellemelerinde özellikle ölçüm yapılan kapasitif sensörün bağlantısında kullanılan kablolardan kaynaklanan parazitik kapasitörler de dikkate alınır. Bu parazitik kapasitanslardan kurtulmanın iki tane yolu vardır: düşük empedanslı giriş sinyalinin devrenin sürülmesi ve TIA devreleri kullanarak parazitik kapasitansların üzerindeki gerilimin sanal topraklama ile sıfırlanması

(Chen ve ark., 2010b). Kayıplı kapasitanslar genelde nem ölçümlerinde, sıvıların dielektrik bilgisi üzerinden tipinin belirlenmesinde veya uzaklık ölçümlerinde kullanılabilir (Khan ve ark., 2019).

Kayıplı kapasitans bir AC gerilim kaynağı ile sürülür; paralel direnç ve kapasitans üzerinde oluşan akım TIA aracılığıyla gerilime çevrilir. TIA çıkışındaki gerilimden kapasitans ve direncin değerini çıkartmak için Bölüm 3.4.5'te bahsedilen senkron demodülasyon tekniğini kullanan faz kilitlemeli yükselteçler (Lock In Amplifier-LIA) kullanılabilir. LIA'nın çıkışı DC bir gerilimdir ve bu DC değer LIA'nın giriş sinyalinin genliğine ve bu giriş sinyali ile referans sinyali arasındaki faz farkına bağlıdır. LIA'da bir çarpma birimi ve bir alçak geçiren filtre yer alır. Çarpma biriminde analog çarpıcılar veya daha ucuz olan CMOS anahtarlar kullanılabilir. Çarpma biriminden sonra gelen filtre ise çarpım sonucunun ortalamasını (DC seviyesini) bulmaktadır. Bu DC çıkış aslında ölçülmek istenen direnç ve kapasitans ile tüm devrenin bilinen parametrelerinin bir fonksiyonudur. Ölçümü yapılan DC seviyedeki bilinen parametreler yerine konarak, bilinmeyen kayıplı kapasitans değerleri elde edilir.

4.2.1. Tasarlanan Devre Şemasının Tanıtımı

Kayıplı kapasitansların ölçümü için kullanılabilecek, senkron demodülasyon işleminde anahtar tabanlı çarpma kullanan genel devre şeması Şekil 4.19'da gösterilmiştir.

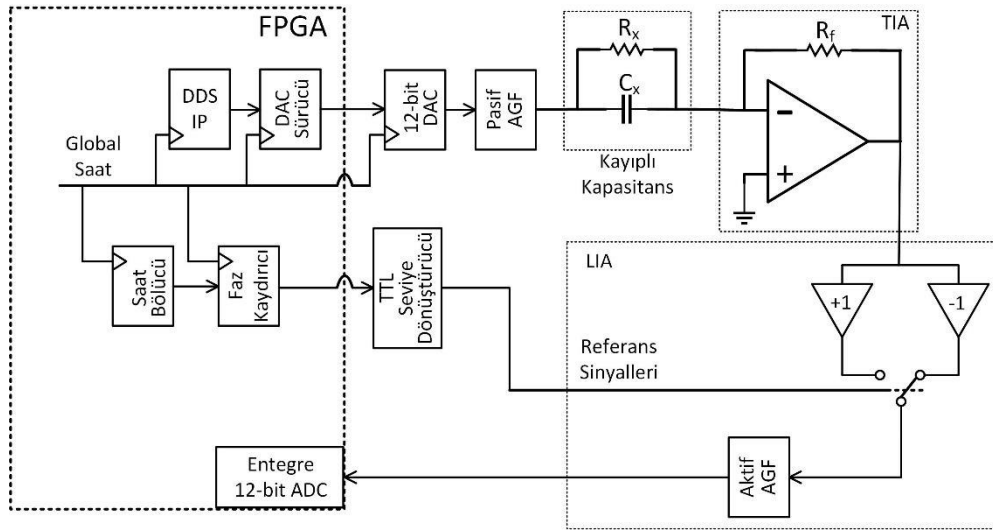


Şekil 4.19. Kayıplı kapasitans ölçüm devresi genel şeması

Alternatif olarak, şekildeki anahtar tabanlı çarpıcı yerine analog çarpıcı, anahtar sürücü devresi yerine faz kaydırıcı da kullanılabilir. Sinyal üreticinin ürettiği AC sinyalin fazı 90° kaydırılıp, kayıplı kapasitansın parametrelerini ayrı ayrı DC çıkış değerinden

çıkartmak mümkündür. Bu devrede yer alan faz kaydırıcı ve anahtar sürücü devreleri OPAMP'lar, dirençler, kondansatörler ve bazı lojik devre elemanları ile gerçekleştirilebilir.

Şekil 4.20'de alternatif olarak tasarlanan kayıplı kapasitans ölçüm devresi gösterilmiştir (Demirtaş ve ark., 2020a). Şekil 4.19'da sinyal üreticisinden üretilen sinüzoidal sürme sinyali FPGA tarafından üretilmiştir. FPGA'nın içindeki global saat sinyalinin tetiklediği ve DDS metodunun kullanıldığı bu sinyal üretimini dışarıya vermek için 12-bitlik bir DAC kullanılmıştır. DDS metodu hassas frekans çözünürlüğü, çıkış sinyalleri arasında hızlı frekans değişimi ve sürekli faz sinyali üretimi sağlar. DDS'in kullanılan FPGA'de uygulanması için Xilinx tarafında sağlanan DDS bloğu kullanılmıştır. 12-bitlik DAC'ın sürülmesi içinse donanım tanımlama dilinde (Hardware Description Language-HDL) DAC sürücüsü yazılmıştır. Kayıplı kapasitanstan önce konulan pasif AGF üretilen sürme sinyalinin düzeltmek içindir.



Şekil 4.20. Tasarlanan kayıplı kapasitans ölçüm devresi

Kullanılan LIA devresi anahtarlamalı bir devredir. Girişine gelen sinyali aynen ya da evirerek aktif AGF'ye giriş olarak verir. Anahtarların konumu ve açılıp kapanma frekansları LIA'nın çalışmasını belirler. FPGA tarafından üretilen referans sinyalleri bu anahtarları kontrol eder. Referans sinyaller birbirleriyle örtüşmeyen kare sinyallerdir ve basitçe FPGA'deki global saatin bölünmesiyle elde edilir. Aslında Şekil 4.19'da yer alan ve referans sinyalleri üreten anahtar sürücü devresi dijital olarak gerçekleştirilmiştir. Ayrıca, Şekil 4.20'de yer alan dijital Faz Kaydırıcı bloğu Şekil 4.19'daki analog olarak gerçekleştirilen ve OPAMP ile pasif elemanlar gerektiren devrenin gereksinimini ortadan kaldırmakta ve daha net ve kusursuz faz kaydırma yapabilmektedir. Kullanılan FPGA'nın

çıkışı 3.3 V olduğundan, transistör-transistör mantığı seviye dönüştürücü kullanılarak referans kare sinyaller 5 V'a yükseltilerek anahtarlar ile uyumlu hale getirilmiştir. LIA'nın içerisinde yer alan aktif filtre olarak, düşük kesim frekanslı ikinci dereceden Sallen-Key Butterworth tipinde bir AGF kullanılmıştır. AGF'nin çıkış gerilimi ise yine kullanılan FPGA çipinde entegre olarak bulunan 12-bit 1 MSPS ADC ile ölçülmüştür. Özet olarak, tasarlanan ölçüm devresinde FPGA üç işlev görmektedir: analog sürme sinyali ve referans sinyallerin üretimi, bu sinyaller arasındaki faz farkının kontrolü ve LIA'nın çıkış geriliminin ölçülmesi. Sonuç olarak, komple ve esnek bir karışık sinyal kayıplı kapasitans ölçüm devresi önerilmiştir.

4.2.2. Teorik Analiz

Şekil 4.20'de yer alan TIA'nın çıkış gerilimi frekans-uzayında denklem (4.22)'deki gibi ifade edilebilir.

$$V_{out} = -V_{in} \left(\frac{1}{\frac{1}{A_v(f)} + \frac{Z_x}{A_v(f)R_f} + \frac{Z_x}{R_f}} \right) \quad (4.22)$$

Denklem (4.22)'deki V_{in} ifadesi kayıplı kapasitansı süren sinyalin değerini göstermektedir. Z_x kayıplı kapasitansın değerini ifade etmekten, R_f TIA'nın geri besleme direncinin değeridir. $A_v(f)$ ifadesiyse TIA'daki OPAMP'ın açık döngü kazancını ifade eder. TIA'nın çalışma frekansı göz önüne alındığında, açık döngü kazancı paydasında bulunduğu değerlerden çok büyüktür. Dolayısıyla denklem (4.22)'deki TIA'nın çıkış gerilim ifadesi (ω giriş sinyalinin doğal frekansı olmak üzere) denklem (4.23)'e sadeleştirilebilir.

$$V_{out} = -V_{in} \frac{R_f}{Z_x} = -V_{in} \left(\frac{R_f}{R_x} + j\omega C_x R_f \right) \quad (4.23)$$

Denklem (4.23)'e göre kayıplı kapasitans bir sinüs dalgası ile sürüldüğünde, TIA'nın çıkışında aynı frekansta ama farklı bir faz ve genlikte sinüzoidal bir sinyal oluşur. Ayrıca, denklem (4.23)'teki çıkış sinyali birbiriyle 90° faz farkına sahip iki terimden meydana gelmektedir. Denklemdeki ilk terim bilinmeyen direnç değerini (R_x), ikinci terimse bilinmeyen kapasitans değerini (C_x) bulmakta kullanılabilir.

Şekil 4.20'deki LIA'nın rolü senkron demodülasyonu kullanarak, TIA'nın çıkış sinyalinin bilinmeyen direnç ve kapasitans değerlerini çıkartmaktır. LIA'nın çıkış sinyali referans sinyalinin fazına bağlı olarak denklem (4.23)'ün reel veya sanal kısmı ile orantılı bir çıkış üretecektir. Doğrudan ayırık analog bir çarpıcı kullanılmasa da anahtarlar giriş sinyalini, genliği 1 V olan aynı frekanstaki bir sinyal ile çarpılmaktadır. LIA'nın giriş sinyalini denklem (4.24)'teki gibi kabul edelim.

$$x(t) = A \sin(\omega t + \theta) \quad (4.24)$$

Bu denklemde A , ω ve θ sırasıyla giriş sinyalinin genliğini, doğal frekansını ve referansla faz farkını ifade etmektedir. 90° faz farkına sahip iki farklı referans sinyali kapasitans ve direnç değerlerini elde etmek için ayrı ayrı üretilmeli ve denklem (4.24)'teki giriş sinyali ile çarpılmalıdır. Birinci referans sinyali $r_1(t)$ ve 90° fazı kaymış ikinci referans sinyali $r_2(t)$ sırasıyla denklem (4.25) ve denklem (4.26)'daki gibi tek frekanstaki sinüzoidlerin toplamı şeklinde yazılabilir.

$$r_1(t) = kare(\omega t) = \frac{4}{\pi} \left(\sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) + \dots \right) = \frac{4}{\pi} \sum_{k=0}^{\infty} \frac{1}{2k+1} \sin[(2k+1)\omega t] \quad (4.25)$$

$$r_2(t) = kare\left(\omega t + \frac{\pi}{2}\right) = \frac{4}{\pi} \sum_{k=0}^{\infty} \frac{1}{2k+1} \cos[(2k+1)\omega t] \quad (4.26)$$

Denklem (4.24)'teki giriş sinyali ile denklem (4.25)'teki referans sinyalinin çarpımı sonucunda denklem (4.27)'deki aynı faz bileşeni (I) çıkışta üretilir. Giriş sinyali ile referans sinyal arasında bir faz farkı bulunmamaktadır. Benzer şekilde, denklem (4.24) ile denklem (4.26)'daki referans sinyalleri çarpılırsa, denklem (4.28)'de gösterilen kuadratik-faz (Q) bileşeni elde edilir.

$$I = x(t) \cdot r_1(\omega t) = \frac{2}{\pi} A \cos \theta - \frac{2}{\pi} A \cos(2\omega t + \theta) + \frac{2}{\pi} A \sum_{k=1}^{\infty} \frac{1}{2k+1} [\cos(2k\omega t - \theta) - \cos(2(k+1)\omega t + \theta)] \quad (4.27)$$

$$Q = x(t) \cdot r_2(\omega t) = \frac{2}{\pi} A \sin \theta + \frac{2}{\pi} A \sin(2\omega t + \theta) + \frac{2}{\pi} A \sum_{k=1}^{\infty} \frac{1}{2k+1} [\sin(2(k+1)\omega t + \theta) - \sin(2k\omega t - \theta)] \quad (4.28)$$

Şekil 4.20'deki aktif AGF'nin kesim frekansı ω 'dan küçük şekilde tasarlanırsa denklem (4.27) ve denklem (4.28) ifadelerinde yer alan yüksek frekanslı bileşenler bastırılır. Dolayısıyla, LIA'nın çıkışı aynı-faz ve kuadratik-faz çıkışlar için sırasıyla denklem (4.29) ve denklem (4.30)'daki gibi ifade edilebilir.

$$I = \frac{2}{\pi} A \cos \theta \quad (4.29)$$

$$Q = \frac{2}{\pi} A \sin \theta \quad (4.30)$$

Denklem (4.29) ve denklem (4.30)'da yer alan ifadeler aktif AGF'nin çıkışında oluşan DC gerilim değerleridir ve giriş sinyalinin genliğine ve girişle referans arasındaki faz farkına bağlıdır. Aynı-faz ve kuadratik-faz bileşenleri aynı anda bulunmamaktadır ve FPGA içinde uygulanan faz kaydırıcı yardımıyla sırasıyla bulunmaktadır. Denklem (4.23), denklem (4.29) ile denklem (4.30) kullanılarak bilinmeyen direnç değeri denklem (4.31)'deki gibi, bilinmeyen kapasitans değeri ise denklem (4.32)'deki gibi elde edilebilir.

$$R_x = -\frac{2AR_f}{\pi I} \quad (4.31)$$

$$C_x = -\frac{Q}{4AfR_f} \quad (4.32)$$

Kayıplı kapasitans parametreleri, denklem (4.29) ve denklem (4.30)'daki değerleri LIA'nın çıkışında ölçüldükten sonra, denklem (4.31) ve denklem (4.32)'deki yerlerine koyarak bulunabilir.

4.2.3. Bilgisayar Destekli Analizler

Bilgisayar destekli analiz ölçüm sisteminin deneysel olarak değerlendirilmesinden önceki son aşamadır. Sürme sinyalinin ve referans sinyallerinin benzetimleri Vivado Design Suite programında gözlenmiştir. Ayrıca, ölçüm devresinin farklı kısımlarının performanslarının simülasyonları için LTSPICE kullanılmıştır.

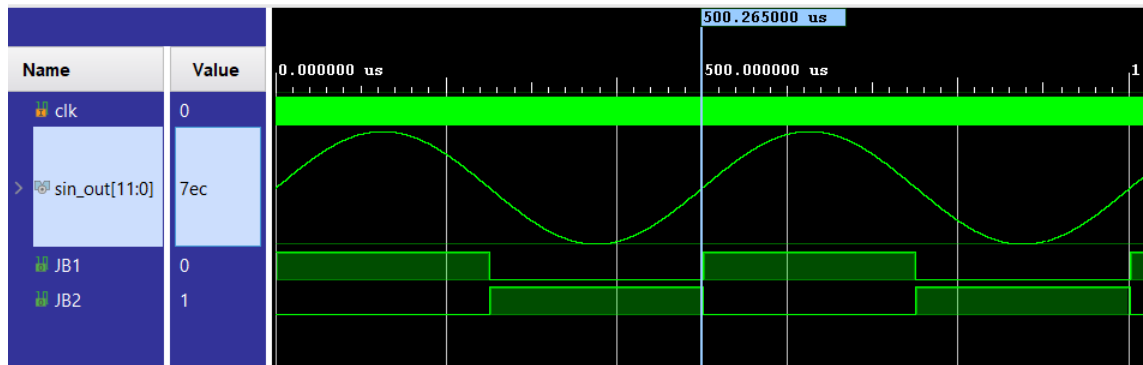
4.2.3.1. Sinyal Üretim Simülasyonları

Şekil 4.20’den görülebileceği üzere, kayıplı kapasitans ölçüm devresinin sürme sinyali ve referans sinyalleri FPGA’in içinde üretilmiştir. Bu sistem için üretilen sürme sinyali 2 kHz, 3.3 V_{pp}’e sahip bir sinüstür. DDS metodu ile üretilen sürme sinyalinin frekansının hesaplanması için gereken formül denklem (4.33)’te verildiği gibidir.

$$f_{out} = \frac{f_{clk}\Delta\theta}{2^{B_{\theta(n)}}} \quad (4.33)$$

Denklemdaki f_{clk} FPGA’in sistem saat frekansını göstermektedir. Kullanılan FPGA için bu değer 100 MHz’dir. $B_{\theta(n)}$ faz toplayıcıdaki toplam bit sayısını, $\Delta\theta$ ise faz artış değerini sembolize etmektedir. Bu faz artış değeri hesaplanarak, Xilinx’in DDS derleyicisine girilmiş ve istenen frekans değerinde sinüs elde edilmiştir. Referans sinyalleri için de FPGA’in global saat sinyali frekans bölücüler yardımıyla bölünmüş ve çıkışa Digilent’in Çevre Birimi Modülü (Peripheral Module-PMOD) aracılığıyla gönderilmiştir.

Şekil 4.21’de sistem saatinin (clk), sürme sinyalinin (sin_out) ve referans sinyallerinin ($JB1, JB2$) davranışsal simülasyonları VIVADO ortamında gösterilmiştir. Sürme sinyali ve referans sinyali aynı-fazdadır ve görüldüğü gibi periyotları 500 µs’dir. Üretilen sürme sinyali 12-bit DAC ile devreyi sürmek için verilir.



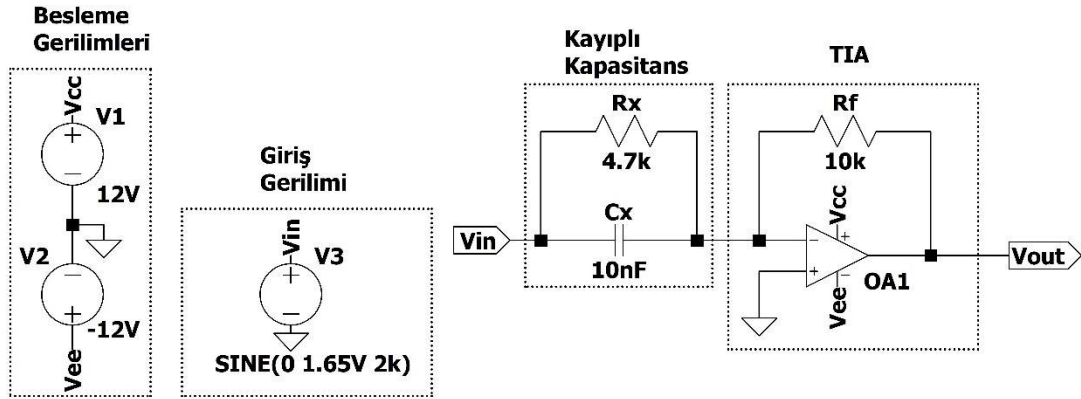
Şekil 4.21. Sürme sinyali ve referans sinyallerinin simülasyonları

4.2.3.2. SPICE Simülasyonları

LTSPICE simülasyonları bu devrenin gerçek dünya performansını tahmin edebilmek için kullanılmıştır. Kullanılacak olan devre elemanlarının testini deney yapmadan önce görebilmeyi sağlaması benzetimleri önemli kılar. Simülasyonlar için

önce kayıplı kapasitans ve TIA'nın giriş ve çıkış sinyalleri gözlenmiştir. Daha sonra, analog LIA devresi anahtarlar, OPAMP ve pasif elemanlarla kurulmuş ve performansı simüle edilmiştir. Son olarak, ölçüm devresinin tamamı simülasyona tabi tutulmuştur.

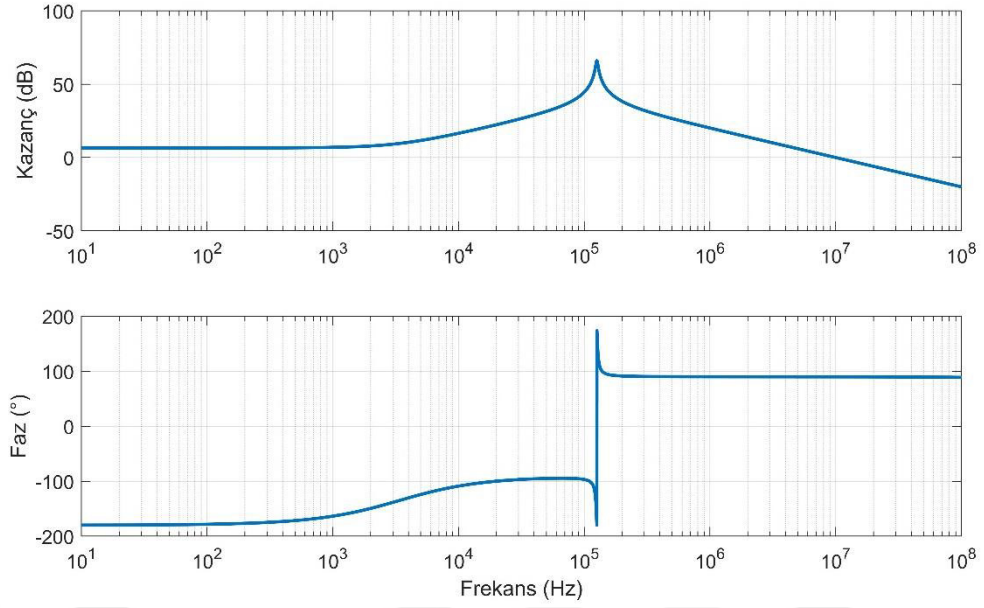
Şekil 4.22'de kayıplı kapasitans ve TIA'nın birlikte bulunduğu şematik gösterilmiştir.



Şekil 4.22. Kayıplı kapasitans ve TIA'nın şematiği

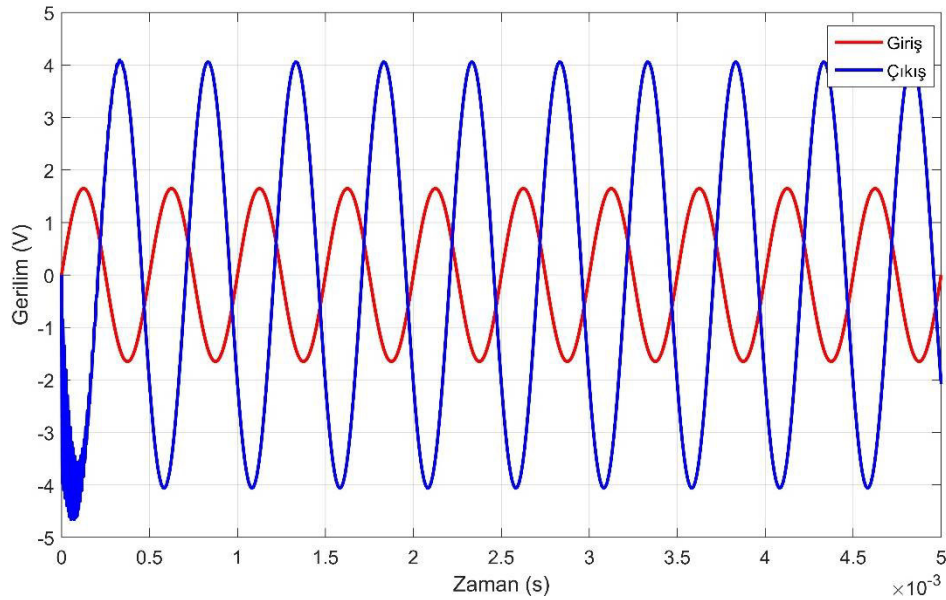
Bu devredeki kayıplı kapasitans birbirine paralel bağlı $4.7 \text{ k}\Omega$ direnç ve 10 nF kapasitanstan oluşmaktadır. Besleme gerilimleri olarak $+12 \text{ V}$ ve -12 V olarak seçilmiş; devreye giriş sinyali olaraksa sürme sinyalinin değerleri olan 2 kHz , 3.3 V_{pp} sinüs verilmiştir. İsmi OA1 olan genel OPAMP modeli ideal bir OPAMP olmayıp, şu ideal olmayan özellikleri içermektedir: 10^6 açık-döngü gerilim kazancı, 10 MHz kazanç-bant genişliği çarpımı, $10 \text{ V}/\mu\text{s}$ dönüş oranı (*slew rate*), maksimum 25 mA çıkış akımı ve $500 \text{ M}\Omega$ giriş direnci. $10 \text{ k}\Omega$ 'luk geri besleme direnci TIA'nın kazancını ayarlamaktadır.

Şekil 4.22'deki devrenin çalışma frekansı 2 kHz olsa da devrenin farklı frekans aralıkları için çalışma prensibinin tespiti için AC cevabı Şekil 4.23'teki gibi çizdirilmiştir. Bu frekans cevabından aslında bu devrenin eviren yükselteç gibi çalıştığını göstermektedir. Çıkıştaki kazanç genliği frekansla artmaktadır çünkü kayıplı kapasitans değeri frekansla artar. Frekans değeri çok fazla arttıındaysa, OPAMP'ın kazanç-bant genişliği çarpımı kazancı azaltmaya başlar.



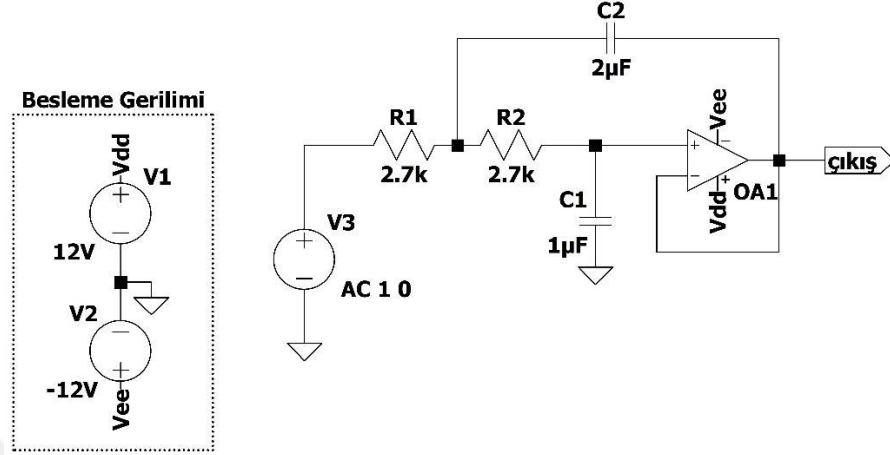
Şekil 4.23. Kayıplı kapasitans ve TIA'nın AC cevabı

Şekil 4.24'teyse tranziyent analiz 10 periyot boyunca koşturulduğunda giriş ve çıkış sinyallerinin grafikleri gösterilmiştir. Kararlı durumda, giriş sinyalinin tepe değeri 1.65 V ise, çıkış geriliminin tepe değeri 4.06 V olmaktadır; yani kazanç 7.86 dB'dir. Ayrıca, faz farkı -149.5° bulunmuştur. Çıkış gerilimi doyuma gitmemekte ve kayıplı kapasitansın bilgilerini içermektedir.



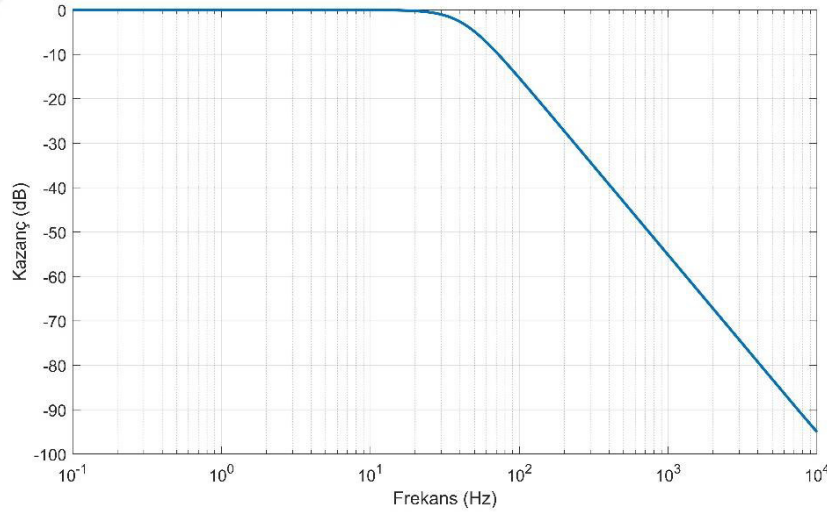
Şekil 4.24. Kayıplı kapasitans ve TIA'nın tranziyent cevabı

Analog LIA'nın performansında önemli bir rol oynayan ve çarpım işleminin sonucunun DC değerini çıkartarak ortalamasını bulan aktif AGF'nin tasarımı Şekil 4.25'te gösterilmiştir.



Şekil 4.25. Aktif alçak geçire filtre tasarımı

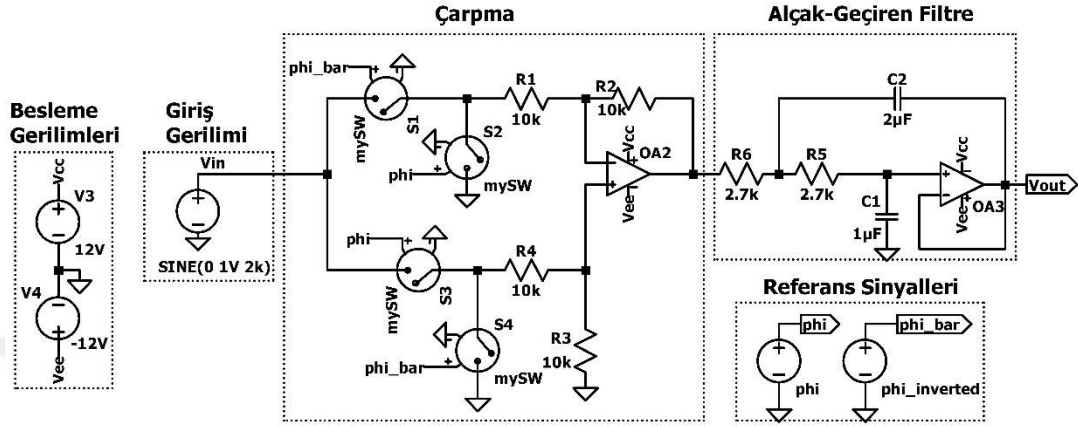
Tasarlanan filtre Sallen-Key topolojisinde ve ikinci dereceden Butterworth cevabı göstermektedir. Bu filtrenin frekans cevabı Şekil 4.26'da verilmiştir.



Şekil 4.26. Aktif alçak geçiren filtrenin frekans cevabı

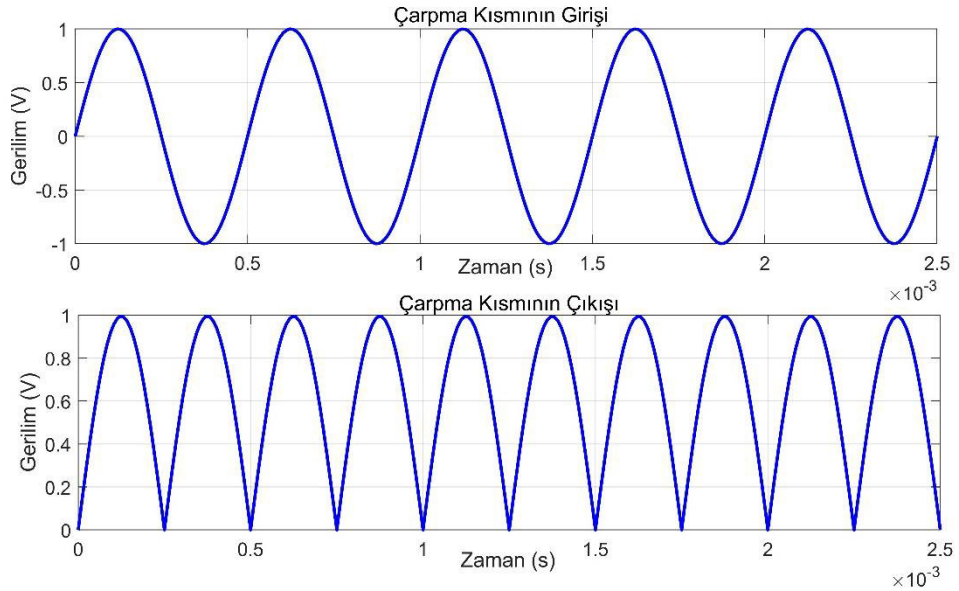
DC çıkış vermesi beklenen aktif AGF, Şekil 4.26'da görülebileceği üzere çok düşük frekanslarda yani geçirme bandında 0 dB kazanç sağlamaktadır ve -3 dB kesim frekansı 40 Hz'dir. 4 kHz'deki kazancın -80 dB civarında olduğu düşünüldüğünde harmoniklerin yeterince bastırıldığı düşünülebilir. LIA'nın benzetimleri için kullanılacak olan devrenin çizimi Şekil 4.27'de gösterildiği gibidir. Bu devre iki kısımdan oluşmaktadır: çarpma

kısmı ve Şekil 4.25'te verilen AGF kısmı. Çarpma kısmındaki dört adet anahtarı iki adet örtüşmeyen referans sinyali sürmektedir. S2 ve S3 anahtarları açıldığında, S1 ve S4 anahtarları kapanır ve OPAMP ile dirençler +1 kazanç üretirler. Benzer şekilde, S2 ve S3 anahtarları kapandığında, S1 ve S4 anahtarları açılır ve devrenin kazancı -1 olur.



Şekil 4.27. LIA devresi

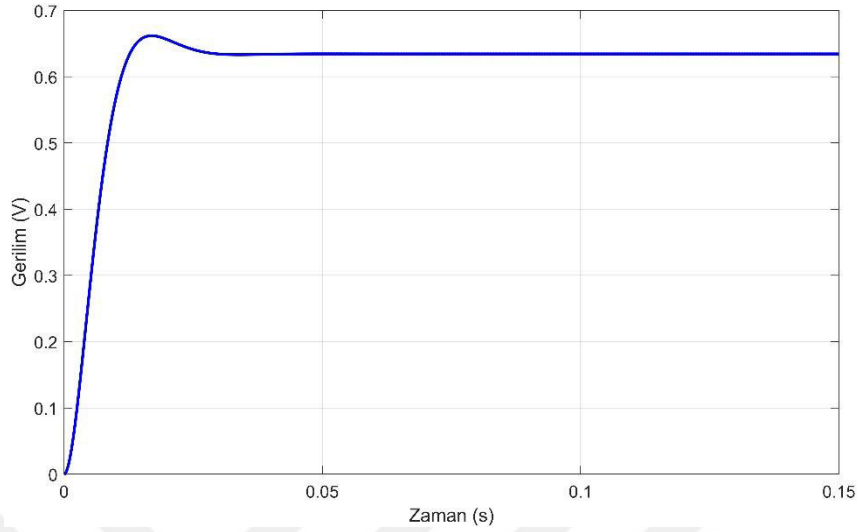
Şekil 4.28'de giriş sinyali ve referans sinyali aynı-fazdaysa, çarpma kısmının giriş ve çıkış sinyalleri gösterilmiştir. Çarpma işleminin çıkışı 1 V tepe değeri olan 4 kHz, tam dalga doğrultulmuş sinüsdür.



Şekil 4.28. Çarpma kısmının giriş ve çıkış sinyalleri

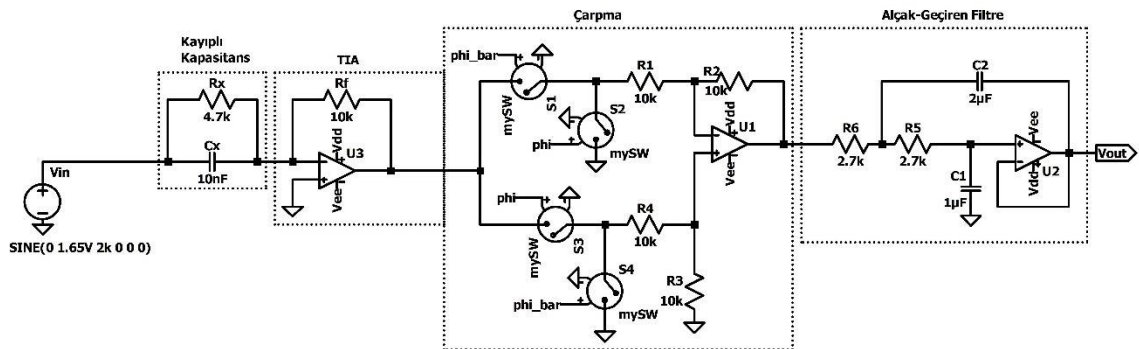
Şekil 4.29'da girişi 1 V genlikli, 2 kHz sinüs olan LIA devresinin çıkış sinyali gösterilmiştir. Bu devrenin aktif AGF tarafından belirlenen yerleşme zamanı 25 ms

civarındayken; kararlı durum çıkış gerilimi denklem (4.29) ile uyumlu ve yaklaşık 0.625 V'tur.



Şekil 4.29. LIA devresinin çıkış sinyali

Son olarak, ölçüm devresinin tamamının simülasyonu ve testi için kayıplı kapasitans, TIA ve LIA devreleri bir araya getirilerek Şekil 4.30'daki gibi LTSPICE ortamında çizilmiştir. Sürme sinyali 2 kHz, 3.3 V_{pp} sinüs ve referans sinyalleri 5V kare dalgadır. Sürme sinyali ve referans sinyali arasındaki faz farkı referansa belli miktarda gecikme eklenerek elde edilmiştir. Tüm devrenin performansını elde edebilmek için tranziyent analizler yapılmıştır.



Şekil 4.30. Ölçüm devresinin tamamının şematiği

Simülasyonlar ve deneysel ölçümler için üç farklı kayıplı kapasitans değeri belirlenmiştir. Bu değerler ayırık elektronik elemanlarla gerçekleştirilerek Şekil 4.30'daki devrede kullanılmıştır. Seçilen kayıplı kapasitans değerleri sırasıyla şu şekildedir: $R_x=4.7$

$k\Omega \parallel C_x=10 \text{ nF}$, $R_x=10 \text{ k}\Omega \parallel C_x=4.7 \text{ nF}$ ve son olarak $R_x=22 \text{ k}\Omega \parallel C_x=2.2 \text{ nF}$. Üç farklı kapasitans ve direnç değerinden oluşan bu kayıplı kapasitans modellerinin her birinin Şekil 4.30'daki simülasyon devresinin çıkışında oluşturduğu aynı-faz (I) ve kuadratik-faz (Q) bileşenleri bulunmuştur. Bu değerler, denklem (4.31) ve denklem (4.32)'deki yerlerine konarak, her üç kayıplı kapasitans modeli için de R_x ve C_x için benzetim değerleri hesaplanmıştır. Çizelge 4.9'da bu kayıplı kapasitanslar için elde edilen değerler özetlenmiştir.

Çizelge 4.9. Farklı kayıplı kapasitans değerleri için benzetim sonuçları

R_x (k Ω)	C_x (nF)	I (V)	Q (V)	Benzetim Sonucu R_x (k Ω)	Benzetim Sonucu C_x (nF)
4.7	10	-2.226	-1.325	4.719	10.038
10	4.7	-1.047	-0.627	10.033	4.742
22	2.2	-0.476	-0.289	22.068	2.189

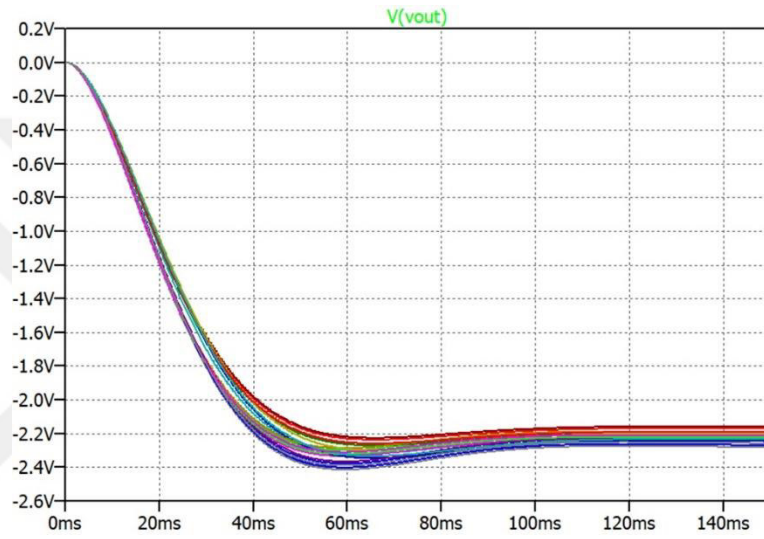
Çizelgede görülebileceği üzere, ölçüm devresinin çıkışında elde edilen I ve Q gerilimleri çıkışın kararlı durumundaki DC değerlerdir. Q değerlerini elde etmek için referans sinyaline 125 μ s gecikme eklenerek giriş ve referans arasında denklem (4.28)'de verilen faz farkı elde edilmiştir. Örneğin, 4.7 k Ω olan direncin değeri benzetim sonucunda 4.719 k Ω elde edilirken; 10 nF olan kapasitans değeri 10.038 nF olarak bulunmuştur. Gerçek değer ve benzetim sonucunda oluşan bu fark denklem (4.34)'te yüzdesel olarak formüle edildiği gibi bağıl bir hataya sebep olur. Bu hatanın asıl sebebi kullanılan OPAMP'ların ideal olmayan özellikleri ile çarpma işlemi gerçekleştiren anahtarların açık veya kapalı konumlarıdaki iç direnç değerleridir. OPAMP'ların ve anahtarların ideal olarak seçilmemesi gerçeğe yakın benzetim sonuçları elde etmeyi sağlamaktadır.

$$\text{bağıl hata (\%)} = \frac{|\text{benzetim sonucu} - \text{gerçek değer}|}{\text{gerçek değer}} \times 100 \quad (4.34)$$

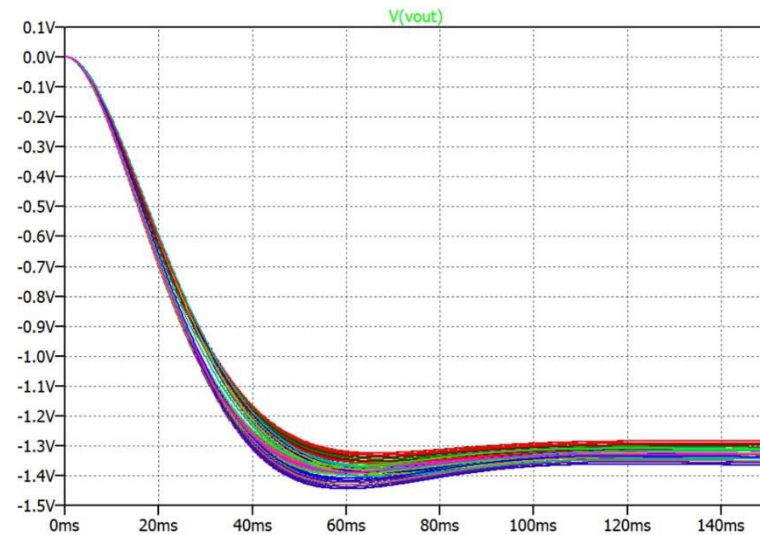
Denklem (4.34)'ün yardımıyla ve Çizelge 4.9'daki verilerden gerçek değere göre bağıl hata bulunabilir. Ancak gerçek dünyadaki devreler göz önüne alındığında, ölçümlerde hataya yol açabilecek farklı sebepler olabilir. Bunlardan birisi de Şekil 4.30'da görülen direnç ve kapasitör gibi pasif devre elemanlarının tolerans değerlerinin etkisidir. Bağıl hata bulunurken bu pasif elemanların nominal değerlerinden sapmadıkları

varsayılır ancak gerçek dünyada bu nominal değerler sıcaklık, eskime, basınç, nem, toz gibi harici sebeplerden dolayı toleransları nispetinde değişime uğrarlar. İşte bu değişimlerin devrenin ölçüm performansına etkisini incelemek gerekir.

Tüm devrede yer alan dirençlerin % 1, kondansatörlerinse % 5 toleransa sahip oldukları varsayılarak benzetimler yapılmıştır. Pasif elemanların ilgili tolerans değerleri dikkate alınarak yapılan 100 farklı simülasyon sonucunda, I ve Q 'nun alabileceği 100 farklı değer bulunmuştur. Şekil 4.31'de olası I değerlerinin, Şekil 4.32'deyse olası Q değerlerinin yer aldığı LTSPICE ekran görüntüleri verilmiştir.



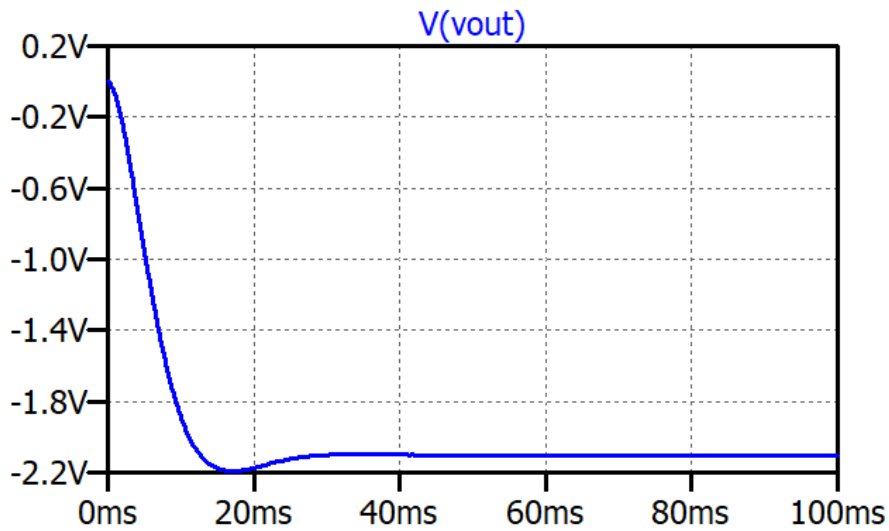
Şekil 4.31. $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için olası I değerleri



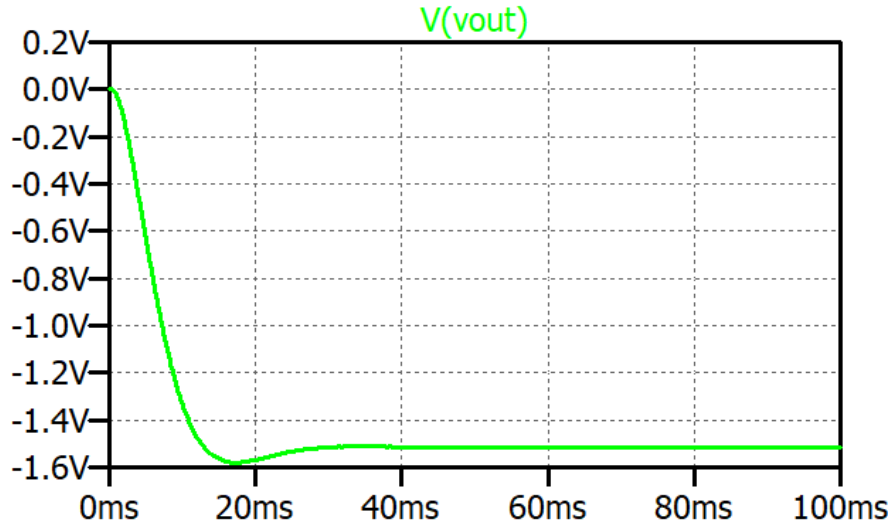
Şekil 4.32. $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için olası Q değerleri

En kötü durum hatası olarak tanımladığımız hatada tolerans değerlerinin oluşturabileceği en kötü etki kombinasyonunu bulmak için simüle edilen bu I ve Q değerlerinden, nominal değerlere göre en fazla sapma gösterenler alınmıştır. $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için en fazla sapma göstermiş I değeri -2.292 V ; Q değeriye -1.365 V olarak benzetimlerden elde edilmiştir. Elde edilen bu değerleri denklem (4.31) ve denklem (4.32)'nin içinde kullanarak $R_x=4.583 \text{ k}\Omega$ ve $C_x=10.341 \text{ nF}$ olarak bulunur. Çizelge 4.9'da yer alan ve tolerans değerlerini dikkate almayan benzetim sonuçlarına nazaran ölçülmek istenen değerde daha fazla bağıl hata olduğu bu değerlerin kıyaslanması ile anlaşılabilir. Sonuç olarak, en kötü durum hatası her zaman ölçümde bir sapma meydana getirmek zorunda değildir. Yalnızca devredeki pasif devre elemanlarının tolerans değerleri dikkate alındığında oluşabilecek en kötü kombinasyonun meydana getirdiği olasılıksal bir hata çeşididir.

İncelenen ve benzetimi yapılan bir diğer hata çeşidi de faz uyuşmazlığı hatasıdır. Bu hata tipinde, örneğin I bileşenini çıkışta elde etmek için normalde aynı fazda olması beklenen giriş sinyali ve referans sinyali arasında istenmeyen bir faz farkı oluşmuştur. İşte bu faz uyuşmazlığının devrenin ölçüm performansına etkisini incelemek için giriş ve referans sinyalleri arasına periyodun % 5'i kadar kasıtlı bir faz farkı eklenmiştir. Bu faz farkı, referans sinyallerine uygulanana $25 \mu\text{s}$ 'lik gecikme ile elde edilmiştir. Faz uyuşmazlığı hatasının etkin olduğu, $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için I çıkışının grafiği Şekil 4.33'te ve Q çıkışının grafiği Şekil 4.34'te verilmiştir.



Şekil 4.33. $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için % 5 faz hatası içeren I değeri



Şekil 4.34. $R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$ kayıplı kapasitansı için % 5 faz hatası içeren Q değeri

Normalde -2.226 V olan I değeri % 5'lik faz hatası varsa -2.101 V olmaktadır; normalde -1.325 V olan Q değeri ise % 5'lik faz hatasıyla birlikte -1.515 V olmaktadır. Böylece, 4.7 k Ω olarak ölçülmesi gereken direnç değeri 4.999 k Ω olarak ölçülür; 10 nF olarak ölçülmesi gereken kapasitör değeri 11.477 nF olarak bulunur. Devre elemanlarının toleranslarının dikkate alındığı en kötü durum hatasından daha kötü bir ölçüm yapılmaktadır. Dolayısıyla, faz farkını doğru bir şekilde kontrol etmek iyi bir ölçüm yapmanın gereğidir. Çizelge 4.10'da kayıplı kapasitansların nominal değerleri, en kötü durum için ve % 5 faz uyumsuzluğu hatası için simüle edilen değerleri gösterilmiştir.

Çizelge 4.10. Kayıplı kapasitansın nominal değerleri, en kötü durum hatası için değerleri ve % 5'lik faz uyumsuzluğu için değerleri

Nominal değerler		En kötü durum hatası için değerler		% 5'lik faz uyumsuzluğu için değerler	
R_x (k Ω)	C_x (nF)	R_x (k Ω)	C_x (nF)	R_x (k Ω)	C_x (nF)
4.7	10	4.583	10.341	4.999	11.477
10	4.7	9.753	4.560	10.632	5.370
22	2.2	21.437	2.257	23.447	2.502

Denklem (4.34)'teki formüle göre her bir kayıplı kapasitans simülasyonu için hesaplanan bağıl hata miktarları Çizelge 4.11'de verilmiştir. Normal durum hatası devre elemanlarının tolerans değerlerinin ve olası faz uyumsuzluklarının olmadığı hata tipidir. Direnç benzetimleri için maksimum % 0.40 olarak tespit edilen bu hata, kapasitör

benzetimleri için maksimum % 0.89 bulunmuştur. Devrenin tasarımında kullanılan direnç ve kondansatör gibi pasif elemanların toleransları eğer ölçümü en kötü şekilde etkilerse; direnç için maksimum bağıl hata % 2.55, kapasitör içinse % 3.41 olur. Faz uyuşmazlığı sonucundaysa ölçümün doğruluğu büyük oranda zarar görmektedir. %5’lik bir faz uyuşmazlığı dahi direnç ölçümlerinde maksimum % 6.38, kapasitör ölçümlerindeyse % 14.77’lik bir hataya sebep olabilir. Bu çalışmada, literatürde geçen ve bu faz farklarını analog olarak kontrol eden devrelerin (Chen ve ark., 2010b; Yang, 2010) yerine FPGA içerisinde gerçekleştirilen dijital faz kaydırıcı kullanılmış ve olası faz uyuşmazlıklarının önüne geçilmiştir.

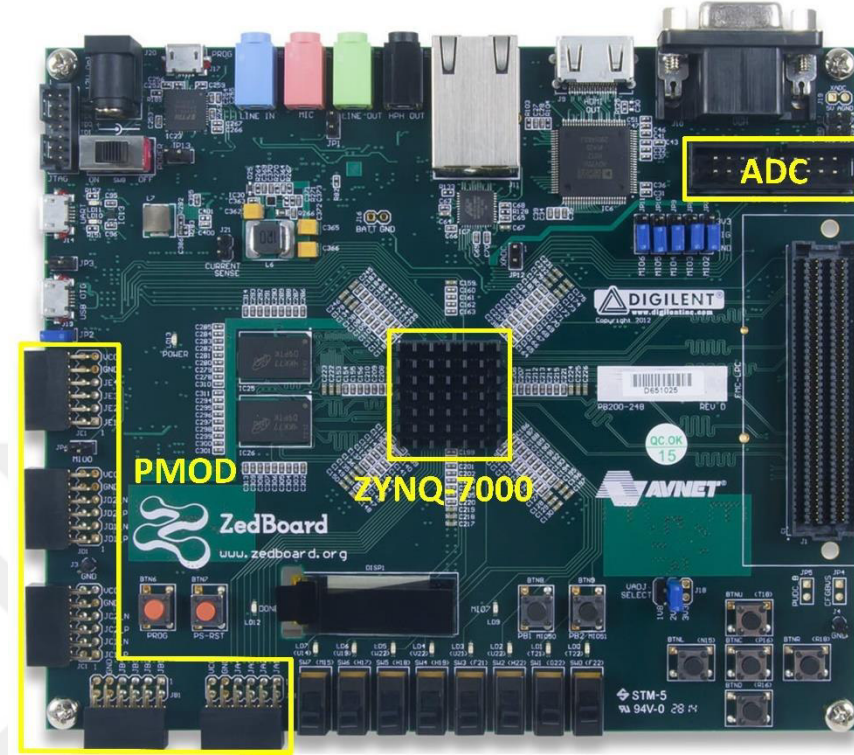
Çizelge 4.11. Farklı hata türlerinin kayıplı kapasitans ölçümünde neden oldukları yüzdesel bağıl hatalar

R_x (k Ω)	C_x (nF)	Normal durum hatası (%)		En kötü durum hatası (%)		Faz uyuşmazlığı hatası (%)	
		R_x	C_x	R_x	C_x	R_x	C_x
4.7	10	0.40	0.38	2.49	3.41	6.38	14.77
10	4.7	0.33	0.89	2.46	2.96	6.32	14.44
22	2.2	0.31	0.50	2.55	2.61	6.33	13.64

4.2.4. Deneysel Sonuçlar

Deneysel sonuçları elde etmek için kurulan düzenek Şekil 4.20’de tasarlanmış olan kayıplı kapasitans ölçüm devresidir. Sürme sinyali ve referans sinyalini üretmek ve devrenin DC çıkış gerilimini ölçmek için FPGA olarak Xilinx’in ürettiği ZedBoard geliştirme kartı kullanılmıştır. Şekil 4.35’te görüleceği üzere, bu kartın üzerinde Zynq-7000 sistem çipi, dışarıyla bilgi alış-verişine imkân veren PMOD isimli Çevre Birimi Modülleri ve 12-bit 1 MSPS entegre analog dijital dönüştürücü yer alır. Zynq-7000 çipi hem ARM Cortex-A9 mikroişlemcisi hem de geleneksel FPGA lojiği içerir. Birlikte uyum içerisinde çalışan ARM işlemcisi ve 7-serisi FPGA mimarisi bu çipi ve dolayısıyla geliştirme kartını esnek kılmaktadır. PMOD ile uyumlu ve ZedBoard kartı ile Seri Çevresel Arayüz (SPI) protokolü ile haberleşebilen 1 mV çözünürlüklü 12 bitlik bir dijital analog dönüştürücü ile sürme sinyali üretilmiştir. Sürme sinyalindeki yüksek frekansları elimine etmek için 3-kutuplu 0.3 MHz kesme frekansına sahip ticari bir LC pasif filtresi kullanılmıştır. Kare sinyal olarak üretilmesi gereken referans sinyalleri için doğrudan PMOD ile çıkış verebilmek mümkündür. Besleme gerilimi gereği 0-3.3 V arasında olan

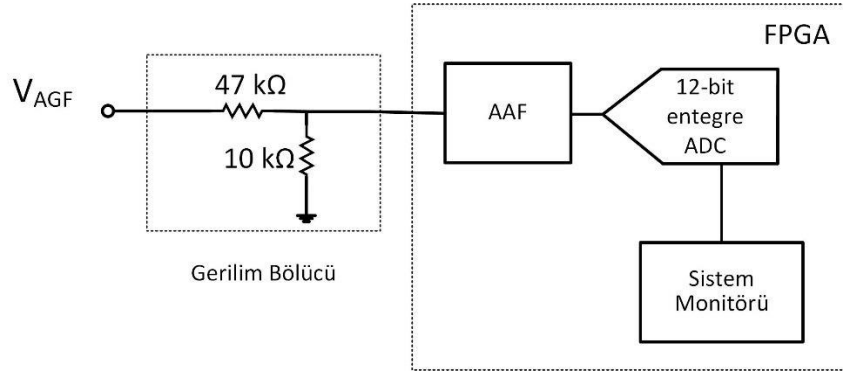
bu sinyaller ilgili anahtar devresini sürebilmek maksadıyla bir seviye dönüştürücü yardımıyla 0-5 V seviyesine çekilmiştir.



Şekil 4.35. ZedBoard FPGA geliştirme kartı

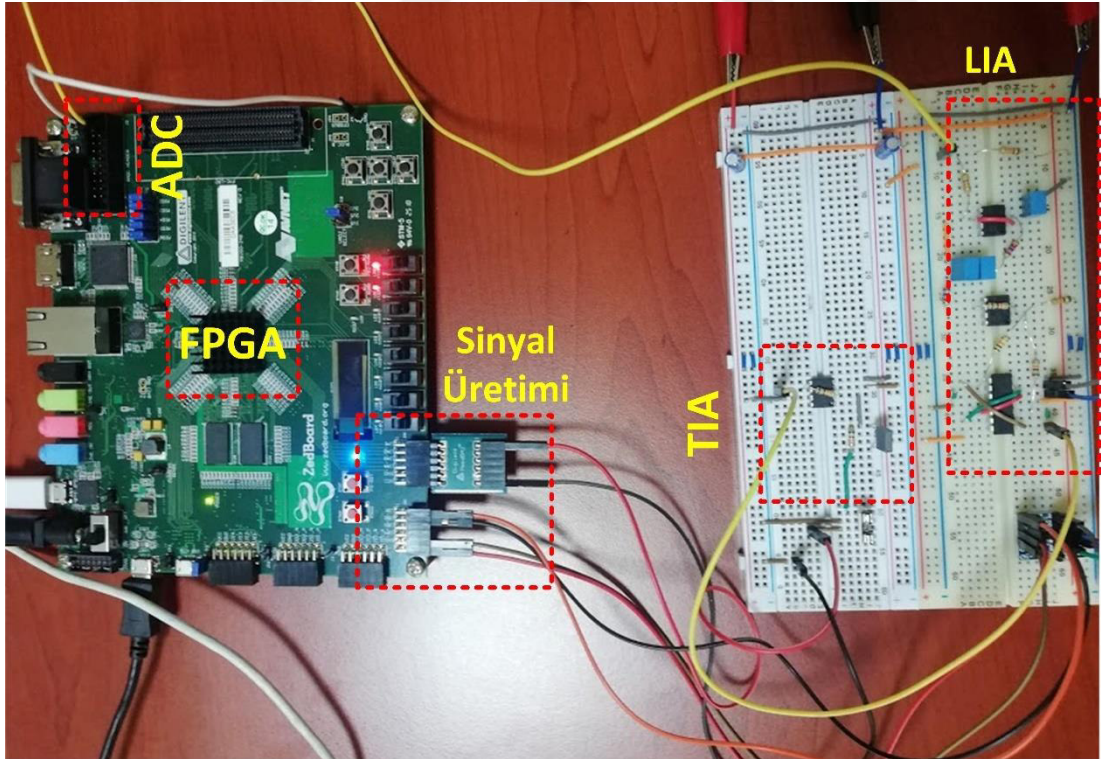
3 adet yüksek hızlı ve düşük gürültülü Analog Devices menşei AD844 OPAMP TIA'da, çarpma işleminde ve aktif AGF tasarımında kullanılmıştır. Çarpma işlemini gerçekleştiren anahtar olarak genellikle analog veya dijital sinyallerin çoğullama ve demodülasyonunda tercih edilen, CMOS tabanlı CD4066B entegresi kullanılmıştır. Açık konumda düşük ve sabit bir dirence sahip olan bu entgrede çift-yönlü çalışan dört adet bağımsız kontrol edilebilen anahtar bulunmaktadır. Öte yandan ölçümün çıkışını ölçen ve sistem çipi üzerinde entgre olarak bulunan 12-bitlik ADC analog giriş aralığı olarak -0.5 V ve +0.5 V arasındaki sinyalleri kabul etmektedir. Uygulama notunda (Xilinx, 2015) belirtildiği şekilde, giriş gerilimini bu seviyeye indirmek için ADC'nin önüne Şekil 4.36'da görülebileceği üzere bir gerilim bölücü devresi yerleştirilmiştir. Entgre ADC'den önce yer alan kenar yumuşatma filtresi (Anti Aliasing Filter-AAF) bir alçak geçiren filtredir ve yüksek frekans bileşenlerinin ölçümdeki etkisini azaltır. ADC gelen analog girişi 12-bit dijital değerler olarak depolayabilir. Ayrıca, Şekil 4.36'da yer alan Sistem Monitörü ölçümü yapılan gerilimlerin son 16 değerinin ortalama değerini bir

arayüz yardımıyla bilgisayarda göstermeye imkân tanır. Ölçümü yapılan I ve Q değerlerinin sonucu Sistem Monitöründen elde edilmiştir.



Şekil 4.36. DC çıkış ölçümü

Tasarlanan devrenin deney düzeneğinin fotoğrafı Şekil 4.37’de gösterilmiştir. Bu ölçüm devresinde Bölüm 4.2.3’te benzetimleri yapılan ve ayrıık pasif elemanlarla modellenen üç kayıplı kapasitansın ($R_x=4.7 \text{ k}\Omega \parallel C_x=10 \text{ nF}$, $R_x=10 \text{ k}\Omega \parallel C_x=4.7 \text{ nF}$ ve $R_x=22 \text{ k}\Omega \parallel C_x=2.2 \text{ nF}$) testleri yapılmıştır.



Şekil 4.37. Ölçüm devresi deney düzeneği

Nominal değerleri verilen kayıplı kapasitansların ölçümü Şekil 4.37'deki devreyle yapılmıştır. Karşılaştırma yapabilmek ve ölçümün bağıl hatasını belirlemek amacıyla ayırık kapasitör ve dirençlerin gerçek değerleri bulunmalıdır. Bu amaçla direnci % 0.5 ve kapasitansı % 0.7 hata payıyla ölçebilen CHY 41R LCR-metre kullanılmıştır. Ölçümlerin yüzdesel bağıl hatalarını bulabilmek için denklem (4.35)'te verilen formül kullanılmıştır.

$$\text{bağıl hata (\%)} = \frac{|\text{ölçüm sonucu} - \text{gerçek değer}|}{\text{gerçek değer}} \times 100 \quad (4.35)$$

Çizelge 4.12'de LCR metreten alınan gerçek değerler, deney düzeneği ile bulunan deneysel sonuçlar ve bağıl hatalar listelenmiştir.

Çizelge 4.12. Farklı kayıplı kapasitanslar için nominal değerler, gerçek değerler, deneysel ölçümler ve bağıl hatalar

Nominal değerler		Gerçek değerler		Deneysel ölçümler		Ölçümün bağıl hatası (%)	
R_x (k Ω)	C_x (nF)	R_x (k Ω)	C_x (nF)	R_x (k Ω)	C_x (nF)	R_x	C_x
4.7	10	4.611	9.798	4.640	9.610	0.63	1.92
10	4.7	9.846	4.634	9.958	4.446	1.14	4.06
22	2.2	22.080	2.242	22.438	2.099	1.62	6.38

Deneysel çalışmalar sonucunda elde edilen maksimum bağıl hata direnç ölçümü için % 1.62 ve kapasitans ölçümü için % 6.38 bulunmuştur. Bu hatalar, anahtarların açık durumdaki dirençleri, OPAMP'ların ideal olmayan karakteristikleri ve analog sinyal işleme kısmında yer alan pasif devre elemanlarının değerlerindeki değişimler ile ilişkilendirilebilir. Yang (2010) tarafından yapılan çalışmada 10 nF kapasitans ölçümü için bağıl hata oranı % 1.9 bulunmuştur. Bu çalışmada da benzer bir sonuç olan % 1.92 bağıl hata bulunmuştur. Yang (2010) çalışmasında yalnızca 10 nF ölçümü yapılırken; bu tez çalışmasında 4.7 ve 2.2 nF gibi daha düşük kapasitanslar da ölçülmüştür. Benzer şekilde, Chen ve ark. (2010b) 10 nF ölçüm için bağıl hatayı % 1.7 bulurken; 10 k Ω ölçüm için bağıl hatayı % 1.1 bulmuşlardır. Bu tez çalışmasında da 10 k Ω 'luk direnç ölçümünde % 1.14 bağıl hata tespit edilmiştir. Dolayısıyla, elde edilen bağıl hatalar literatürdeki çalışmalar ile benzerdir (Chen ve ark., 2010b; Yang, 2010). Öte taraftan, Bölüm 4.2.3'te yapılan simülasyonlara nazaran daha başarılı ölçümler gerçekleştirilmiştir. Bunda en büyük pay FPGA tarafından sağlanan doğru faz kayması neticesinde faz uyuşmazlığı

kaynaklı hataların minimuma indirilmesidir. Benzer şekilde devre elemanlarının toleranslarından kaynaklanan hatalar, TIA ve LIA tasarımında daha düşük toleranslı pasif elemanlar kullanılarak azaltılabilir.

Bölüm 4.2’de dijital sinyal işleme platformu ve analog devre elemanlarından oluşan kayıplı bir kapasitans ölçüm devresi tasarlanmış, belli hata senaryoları kapsamında simüle edilmiş ve deneysel olarak test edilmiştir. Tez çalışmasının bu bölümünün literatüre kattığı yenilikler aşağıdaki gibi özetlenebilir:

- Alternatif ve hibrit bir kayıplı kapasitans tüm devresi tasarlanmıştır (Demirtaş ve ark., 2020a). Bu devre tasarımında, analog demodülasyon işleminde anahtar tabanlı çarpma kullanılabileceği gibi, çarpıcı tabanlı çarpma da kullanılabilir. Dolayısıyla, tasarlanan ölçüm sistemi esnektir.
- Tasarlanan sistem komple bir sistemdir yani dışarıdan ekstra bir sürme sinyal kaynağına ya da çıkışı ölçmek için harici bir ölçme aletine ihtiyaç duymaz. FPGA’in hem sürme hem de referans sinyallerini üretip, çıkışı da ölçebilmesi bunu sağlamaktadır.
- Bu çalışmada gerçekleştirilen en kötü durum hatası ve faz uyuşmazlığı hatası analizleri literatürde yeterince çalışılmamıştır. Khan ve ark. (2019) tarafından yapılan kayıplı kapasitans ölçüm devresinde faz farkını kontrol etmenin önemi vurgulanmış ancak ölçüme etkisi incelenmemiştir. Ayrıca, pasif elemanların toleranslarının ölçümü etkileyebileceği benzetim çalışmalarıyla ispatlanmıştır. Örneğin, Xu ve ark. (2015) yaptıkları çalışmadan kapasitans ölçüm devrelerinin performansını incelerken bu durumu göz ardı etmişlerdir.
- Yapılan simülasyonlarda ölçüm hatasına neden olabilecek en önemli faktör olarak faz uyuşmazlığı saptanmıştır. Bu nedenle, faz uyuşmazlığını gidermek bu bölümdeki temel amaçlardan birisi olmuştur. Bunun için uyarma sinyali ve referans sinyalleri FGPA içerisindeki aynı dahili saat kullanılarak üretilmiş ve bu sinyaller arasındaki faz farkları dijital alanda doğru bir şekilde kontrol edilmiştir.
- Faz farkının dijital ortamda kontrol edilmesi ile birlikte literatürde önerilen devrelerde yer alan analog faz kaydırma ve analog anahtar sürme devrelerine gerek kalmamıştır (Chen ve ark., 2010b; Nojdelov ve Nihtianov, 2014; González-Landaeta ve ark., 2019; Khan ve ark., 2019). Bu sayede anlamlı sinyalin üzerine binen analog gürültü de azaltılmıştır.

4.3. Dijital Yöntemlerle Kapasitans Ölçümleri

Bu bölümde dijital faz kilitlemeli yükselteçler (Digital Lock-In Amplifier-DLIA) kullanılarak yapılan kapasitif ölçümler incelenecektir. İlk bölümde DLIA'ların teorik analizi yapılacaktır. İkinci bölümde SPICE ve MATLAB simülasyon ortamlarında incelemeleri yapılacaktır. Üçüncü bölümde, donanım tanımlama dili Çok Yüksek Hızlı Entegre Devre Donanım Tanımlama Dili (Very High Speed Integrated Circuit Hardware Description Language-VHDL)'nin pratik bir şekilde oluşturulmasını sağlayan Xilinx'in Sistem Üretici (Xilinx System Generator-XSG) ile dijital olarak tasarlanan DLIA ile yapılabilecek kapasitans ölçümlerinin analizi verilecektir. Ayrıca, endüstriyel bir 24 Bit Kapasitans-Dijital Dönüştürücü ile referans olması adına, farklı kapasitansların ölçümleri yapılacaktır.

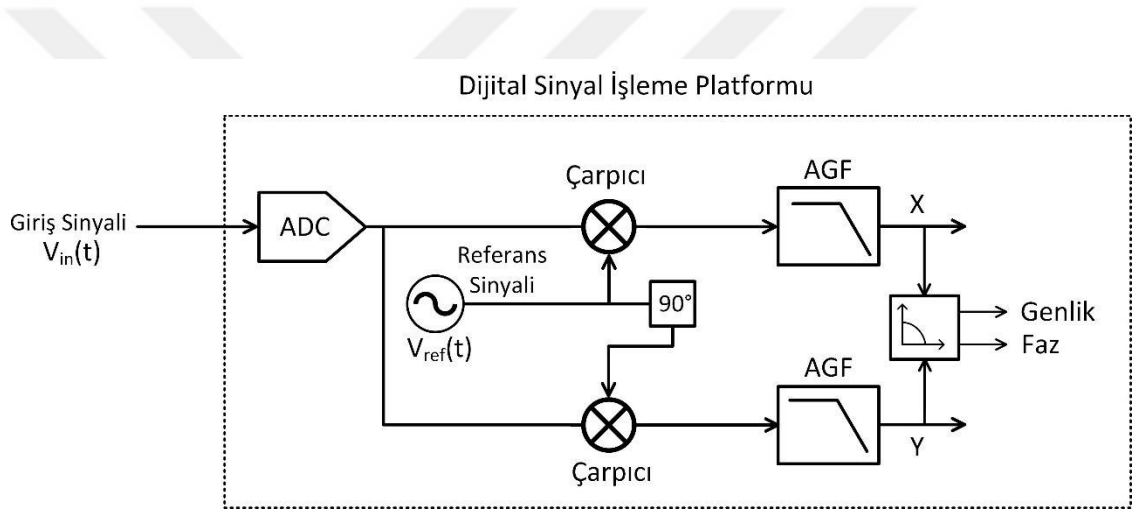
4.3.1. DLIA'nın Teorik Analizi

Faz kilitlemeli yükselteçler 1930'larda icat edilmiş, 1950'lerden sonra özellikle yüksek gürültülü ortamlardan sinyalin genlik ve fazını çıkartmak için kullanılmışlardır (Schultz, 2016). Temel olarak, bir LIA devresi gelen giriş sinyalini bir referans sinyalle çarpıp sonra alçak geçiren filtreden süzerek çıktı üretir. Bu şekilde ilgilenilen sinyalin frekansı diğer tüm sinyal bileşenlerinden izole edilebilir. Referans sinyali LIA devresinin içerisinde üretilebileceği gibi harici bir kaynaktan da verilebilir. Genelde sinüs olarak üretilen bu sinyal, Bölüm 4.2'deki gibi kare dalga olarak da verilebilir. Günümüzde LIA'lar hassas AC gerilim ve faz metrelerde, gürültü ölçüm ünitelerinde, ağ analizörlerinde, spektrum analizörlerinde ve empedans spektroskopisinde kullanılırlar (Ruppert ve ark., 2017). Bu tez çalışmasında, empedans spektroskopisinin bir alt kümesi olan kapasitans ölçümleri LIA'lar yardımıyla yapılmıştır. Bölüm 3.4.5'te bahsedilen, Şekil 4.27'de simüle edilen ve senkron demodülasyon tekniğini kullanan devreler analog LIA devrelerine örnektir.

Dijital faz kilitlemeli yükselteçlerin analog emsallerine göre bazı üstünlükleri vardır. Analog LIA'larda yer alan gerek sinüsle gerek kareyle olan çarpma işleminde harmonik reddi, çıkışta ofset, sınırlı dinamik rezerv ve kazanç hatası gibi problemler meydana gelebilir. DLIA'lardaki çarpma işlemindeyse, referans sinyali 20 bit hassasiyete kadar kullanılabilir. Böylece harmoniklerin azalması sağlanır. Ayrıca analog çarpıcıların aksine, sinyalin ve referansın dijital çarpılması hatalı DC çıkış ofsetleri meydana

getirmez. Analog LIA’lardaki dinamik rezerv 60 dB civarındayken, en yeni DLIA’larda bu rakam 120 dB civarındadır (Instruments, 2016). Yani analog LIA ile istenen sinyalin bin katı gürültü sinyali varken sinyal ölçülebilirken, bu oran DLIA için bir milyondur. Aynı zamanda, analog çarpıcılarda doğrusallık hatası problemi vardır. Bu hata gürültünün genliğine, frekansına ve şekline bağlı olarak çıkıştaki sinyalin büyüklüğünün % 10’u kadar bile olabilir. Analog çarpmada referans sinyalinin genliğinde meydana gelebilecek bir değişiklik toplam kazancı etkiler. Özellikle analog sinyal üreticilerinde sıcaklık kaynaklı genlik sapmaları olabilir. DLIA’lardaysa referans sinyalinin genliği kesindir ve değişmez. Bu açıdan kazanç hatası meydana gelmez.

İkili-fazlı demodülasyon işlemi yapan bir DLIA için blok diyagramı Şekil 4.38’de gösterilmiştir.



Şekil 4.38. DLIA’nın blok diyagramı

Şekil 4.20’de görülen tek-fazlı demodülasyon içeren analog LIA devresinde bir çarpıcı ve bir AGF içermektedir ve referans sinyalinin fazı harici olarak değiştirilerek faz ve genlik elde edilmiştir. Şekil 4.38’deyse bu faz kaydırma işlemi eşzamanlı olarak yapılmaktadır. Bir dijital sinyal işleme platformunun ADC ile örnekleyerek aldığı giriş sinyali, içeride üretilen dijital referans sinyalinin aynı faz ve 90° kaydırılmış hali ile çarpılır. Bu çarpımların sonuçları iki adet AGF’den geçirilerek aynı-faz (X) ve kuadratik-faz (Y) bileşenleri elde edilir. Kartezyen uzayında yer alan bu değerlerin kutupsal koordinatlara çevrilmesiyle birlikte denklem (4.36) ve denklem (4.37)’deki gibi sırasıyla genlik ve faz değerleri elde edilebilir.

$$\text{Genlik} = \sqrt{X^2 + Y^2} \quad (4.36)$$

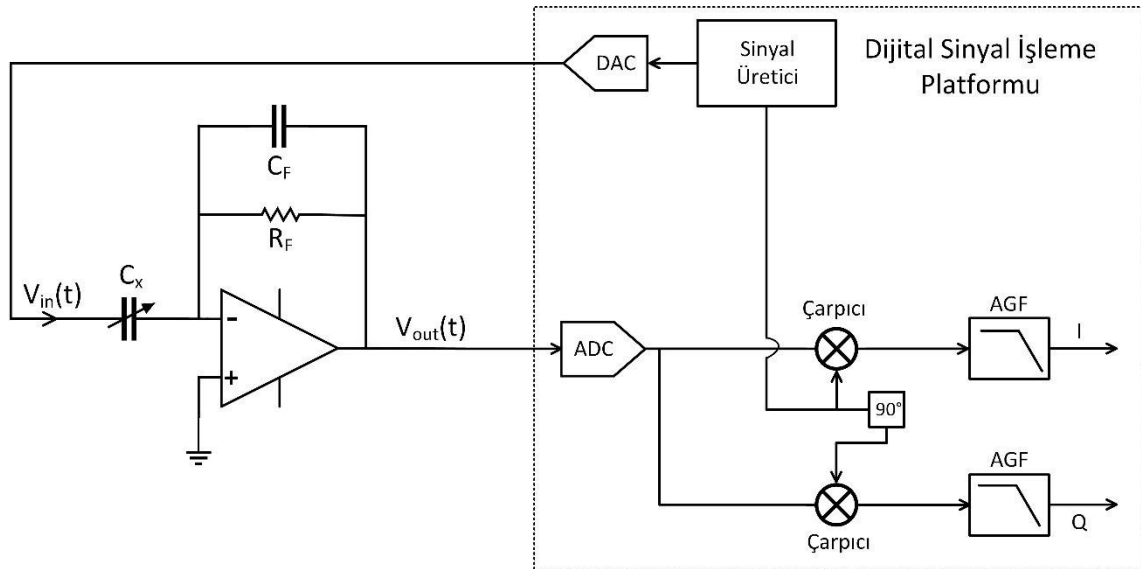
$$\text{Faz} = \arctan2(Y, X) \quad (4.37)$$

Denklem (4.37)'deki $\arctan2$ fonksiyonu fazın $(-\pi, \pi]$ arasında olduğu tüm durumları yani birim çemberdeki dört çeyrek daireyi de kapsamaları için kullanılmıştır ve $(-\pi/2, \pi/2)$ arasında yer alan standart $\arctan$ fonksiyonu cinsinden denklem (4.38)'deki gibi ifade edilir.

$$\arctan2(Y, X) = \begin{cases} \arctan(Y/X), & X > 0 \\ \arctan(Y/X) + \pi, & X < 0, Y \geq 0 \\ \arctan(Y/X) - \pi, & X < 0, Y < 0 \\ \pi/2, & X = 0, Y > 0 \\ -\pi/2, & X = 0, Y < 0 \\ \text{tanımsız}, & X = 0, Y = 0 \end{cases} \quad (4.38)$$

4.3.2. DLIA ile Kapasitans Ölçüm Simülasyonları

DLIA kullanarak yapılabilecek bir kapasitans ölçüm devresinin blok diyagramı Şekil 4.39'da gösterilmiştir.



Şekil 4.39. DLIA ile kapasitans ölçüm devresi

Şekil 4.39'da yer alan ön-yüz devresinin giriş ve çıkış sinyallerinin ifadeleri denklem (4.39) ve denklem (4.40)'taki gibi yazılabilir.

$$V_{in}(t) = A_{in} \sin(2\pi ft) \quad (4.39)$$

$$V_{out}(t) = A \sin(2\pi ft + \theta) \quad (4.40)$$

Bu denklemlerde yer alan A_{in} ve A sırasıyla giriş ve çıkış sinyalinin genliğini, f giriş sinyalinin frekansını, θ ise çıkış sinyalinin fazını göstermektedir. Denklem (4.39) ve denklem (4.40) arasındaki giriş-çıkış ilişkisi denklem (4.3)'te verildiği gibidir. Çıkış sinyali ADC tarafından örneklendiğinde ADC'nin ayrık çıkış gerilimi denklem (4.41)'deki gibi ifade elde edilir.

$$V_{out}(n) = A \sin(2\pi \frac{f}{f_s} n + \theta), \quad n = 0, 1, \dots, M-1 \quad (4.41)$$

Denklem (4.41)'deki ifadede geçen f_s ADC'nin örnekleme frekansını, M ADC tarafından alınan örnek sayısını ki bu değer f_s/f değerine eşittir, n ise alınan örneğin indeksini göstermektedir. Sinyal üretici tarafından üretilen aynı-faz ve kuadratik-faz referans sinyalleri denklem (4.42) ve denklem (4.43)'teki gibi yazılabilir.

$$i(n) = \sin(\frac{2\pi}{M} n), \quad n = 0, 1, \dots, M-1 \quad (4.42)$$

$$q(n) = \cos(\frac{2\pi}{M} n), \quad n = 0, 1, \dots, M-1 \quad (4.43)$$

ADC'nin çıkışındaki ayrık sinüs ile referans sinyallerinin çarpımları denklem (4.44) ve denklem (4.45)'te verilmiştir.

$$I = \sum_{n=0}^{M-1} i(n) \cdot V_{out}(n) = \sum_{n=0}^{M-1} \sin\left(\frac{2\pi}{M} n\right) \cdot A \sin\left(\frac{2\pi}{M} n + \theta\right) = \frac{A}{2} \sum_{n=0}^{M-1} \left[\cos \theta - \cos\left(\frac{4\pi}{M} n + \theta\right) \right] = \frac{A}{2} M \cos \theta - \left\{ \frac{A}{2} \sum_{n=0}^{M-1} \cos\left(\frac{4\pi}{M} n + \theta\right) \right\} = \frac{A}{2} M \cos \theta \quad (4.44)$$

$$Q = \sum_{n=0}^{M-1} q(n) \cdot V_{out}(n) = \sum_{n=0}^{M-1} \cos\left(\frac{2\pi}{M} n\right) \cdot A \sin\left(\frac{2\pi}{M} n + \theta\right) = \frac{A}{2} \sum_{n=0}^{M-1} \left[\sin \theta + \sin\left(\frac{4\pi}{M} n + \theta\right) \right] = \frac{A}{2} M \sin \theta + \left\{ \frac{A}{2} \sum_{n=0}^{M-1} \sin\left(\frac{4\pi}{M} n + \theta\right) \right\} = \frac{A}{2} M \sin \theta \quad (4.45)$$

Çarpım sonucunda elde edilen sinyaller AGF'lerden geçirilmektedir. Burada AGF'ler çarpımların ortalamasını alır. Böylece aynı-faz ve kuadratik-faz bileşenleri denklem (4.46) ve denklem (4.47)'deki gibi yazılabilir.

$$I = \frac{A}{2} \cos \theta \quad (4.46)$$

$$Q = \frac{A}{2} \sin \theta \quad (4.47)$$

Denklem (4.46) ile denklem (4.47)'den örneklenen $V_{out}(n)$ sinyalinin genliği ve fazı bulunabilir. Genlik formülü denklem (4.48)'de, faz formülü ise denklem (4.49)'da verilmiştir.

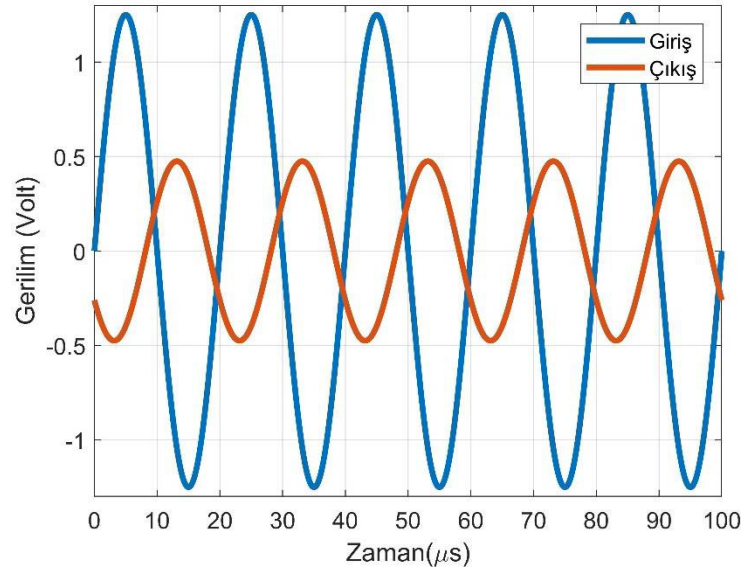
$$A = 2\sqrt{I^2 + Q^2} \quad (4.48)$$

$$\theta = \arctan\left(\frac{I}{Q}\right) \quad (4.49)$$

Elde edilen bu genlik ve faz değerleri ile beraber denklem (4.3) kullanarak bilinmeyen kapasitans C_x değerini bulmak mümkündür.

MATLAB/Simulink'te gerçekleştirilecek simülasyonlar için gerçek zamanlı uygulanması mümkün değerler seçilmiştir. Giriş gerilimi $V_{in}(t)$ 1.25 V genlikli 50 kHz'lik bir sinüs sinyalidir. TIA'nın çıkış gerilimi ise ADC ile uyumlu olacak şekilde ± 0.5 V ile sınırlanmıştır. Ölçülmek istenen C_x değeri 10 pF olarak alınmıştır. Bölüm 4.1'de belirtilen TIA'nın kararlılık kriterleri dikkate alınmış ve pasif elemanların standart değerleri seçilmiştir. Böylece geri besleme direnci 220 k Ω ve geri besleme kondansatörü 22 pF olarak alınabilir.

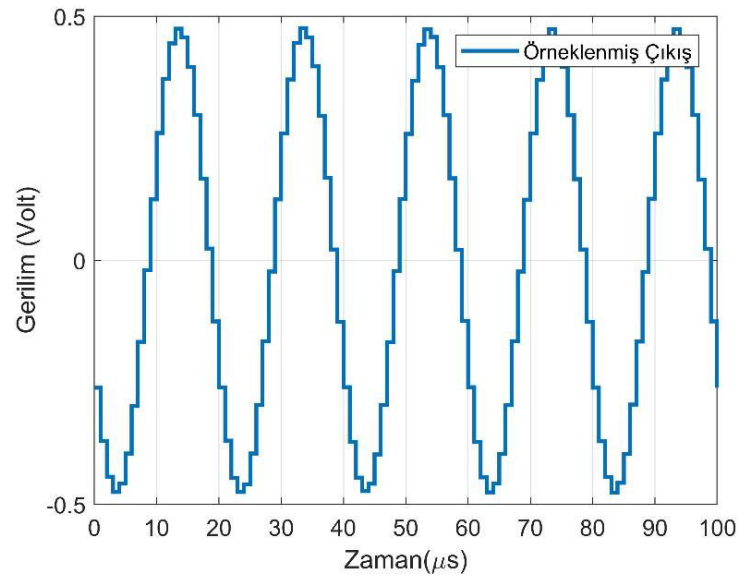
Bu durumlar dikkate alınarak, Şekil 4.40'ta TIA'nın devamlı-zamanlı giriş sinyali ve çıkış sinyali gösterilmiştir.



Şekil 4.40. TIA'nın giriş ve çıkış gerilimleri

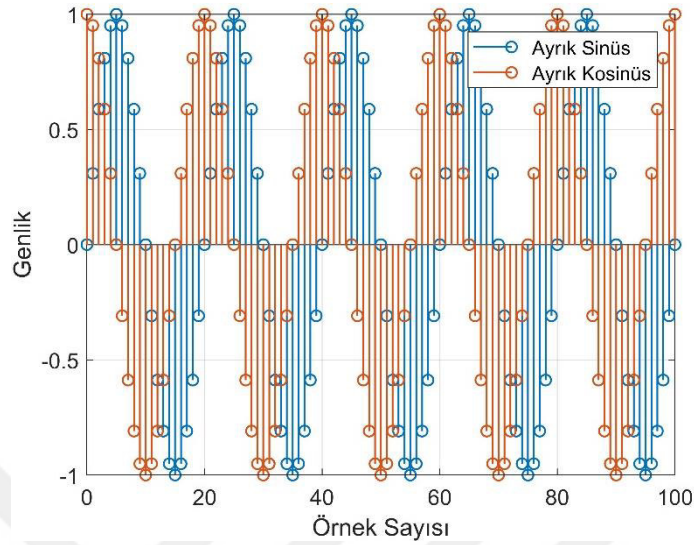
Şekil 4.40'tan görüleceği üzere çıkış geriliminin genliği istenen değerler arasındadır ve girişe göre faz farkı oluşmuştur. Daha doğru benzetim sonuçları almak için, bu grafikte yer almayan ancak Bölüm 4.1.4'te analizi yapılan analog gürültü bu çıkış geriliminin üzerine eklenebilir. Bu çerçevede, ilgili gürültü simülasyon ve hesaplamaları yapılarak, $V_{out}(t)$ çıkış gerilimine RMS değeri $110 \mu V$ olan Gauss beyaz gürültüsü ilave edilmiştir.

Şekil 4.41'de gürültü eklenmiş ve daha sonra 12-bit 1 MSPS ADC tarafından örneklenmiş $V_{out}(n)$ sinyalinin grafiği gösterilmiştir.



Şekil 4.41. ADC tarafından örneklenmiş $V_{out}(n)$ sinyali

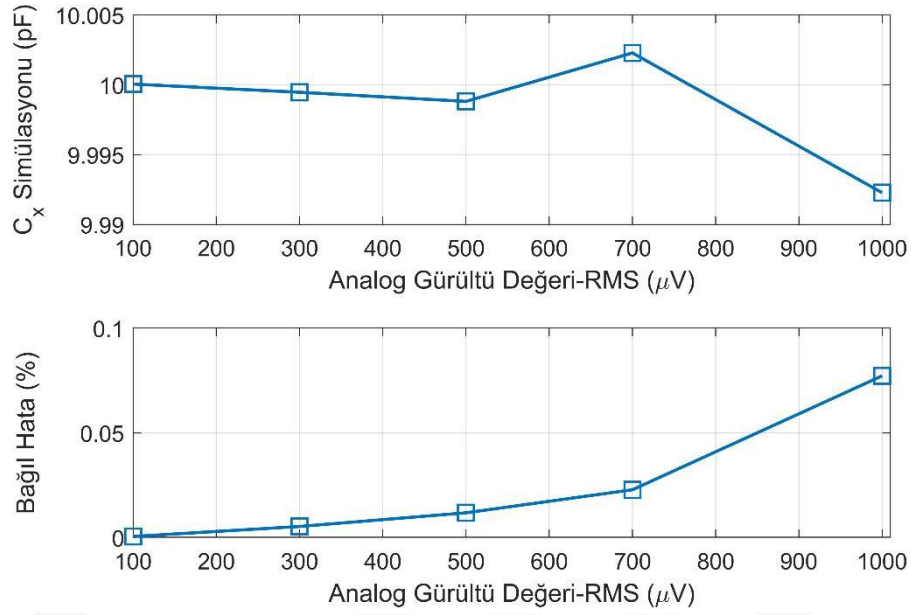
Sinyal üretici tarafından ayrık olarak üretilmesi istenen aynı-faz ve kuadratik-faz sinyallerinin grafiği 5 periyot için Şekil 4.42’de gösterildiği gibidir.



Şekil 4.42. Ayrık aynı-faz ve kuadratik-faz referans sinyalleri

Denklem (4.44) ile denklem (4.45)’e göre üretilen referans sinyalleri ile $V_{out}(n)$ sinyalinin ayrık değerlerinin tek tek çarpılması ve çarpımların toplanması ve bu değerlerin ortalama alan AGF’den geçirilmesi neticesinde I değeri -0.198310 V ve Q değeri -0.130395 V olarak bulunmuştur. Dolayısıyla denklem (4.48) ve denklem (4.49)’a göre $V_{out}(n)$ sinyalinin genliği 0.474719 V ve fazıysa -146.666° olarak bulunmuştur. Bu durumda denklem (4.3) kullanılarak C_x değeri 10.0000051 pF olarak simüle edilmiştir.

Analog gürültünün kapasitans ölçümüne etkisini simüle edebilmek için RMS değerleri 100 μ V, 300 μ V, 500 μ V, 700 μ V ve 1000 μ V olan Gauss beyaz gürültüler ayrı ayrı $V_{out}(t)$ çıkış gerilimine eklenmiştir. Buna göre örneklenen ve demodüle edilen $V_{out}(n)$ değerlerini dikkate alarak simüle edilen C_x değerleri ve bu değerlerin nominal C_x değerlerine göre bağıl hata oranları Şekil 4.43 grafik olarak gösterilmiştir. Grafikte görüleceği gibi, TIA’nın çıkışına eklenen analog gürültü değeri arttıkça simüle edilen değer gerçek kapasitans değerinden daha çok sapmakta ve daha fazla bağıl hataya neden olmaktadır. Örneğin, 100 μ V RMS değere sahip bir gürültü varken, simüle edilen C_x değeri 10.000050 pF ve bağıl hata oranı % 0.00055’ken; 1000 μ V RMS değerli bir gürültü eklendiğinde C_x değeri 9.992274 pF olarak bulunmakta ve bağıl hata oranı %0.077’ye yükselmektedir. Bağıl hata oranında meydana gelen bu artış diğer faktörler göz önüne alınmadığı için analog gürültüdeki artışa atfedilebilir.



Şekil 4.43. Farklı analog gürültüler için simüle edilen C_x değerleri ve yüzdesel bağlı hatalar

DLIA ile kapasitans ölçüm devresinde yer alan ve devamlı-zamanlı $V_{out}(t)$ sinyalini örnekleyerek ayırık hale getiren ADC'nin performansı da ölçümü etkileyen faktörlerdendir. Herhangi bir ADC tarafından analog bir sinyal örneklendiğinde, gerçek analog değer ile kuantalanan dijital değer arasındaki farkı temsil eden bir hata meydana gelir. Örneğin, referans gerilimi 2 V ve çözünürlüğü 3-bit olan bir ADC düşünelim. Bu durumda 2 V gerilim 8 aralığa bölünür ve en değersiz bit (Least Significant Bit-LSB) 250 mV aralıkta yer alır. Analog giriş 0 V olduğunda da 250 mV ve aşağısında bir değer olduğunda da aynı dijital kodu yani 000'ı üretir. Aynı şekilde giriş gerilimi 251 mV ve 500 mV aralığıyla ADC'nin çıkışı 001 dijital kodunu verir. Dolayısıyla, dijital koda bakıldığında analog giriş geriliminin tam değeri değil bulunduğu aralığın değeri elde edilir. İşte bu fark sebebiyle meydana gelen hataya kuantalama hatası ismi verilmektedir.

İdeal bir ADC analog bir sinyali örneklerken maksimum $\pm 1/2$ LSB arasında hataya neden olur. Bu hata tepeden tepeye değeri 1 LSB olan bir testere dişi formu şeklinde modellenebilir. Dolayısıyla, bu kuantalama hatasının RMS değeri denklem (4.50)'deki gibi yazılabilir.

$$e_n = \frac{q}{\sqrt{12}} \quad (4.50)$$

Bu denklemdeki q değeri 1 LSB'ye eşittir. Bir sinüs giriş sinyalinin tamamı bir ADC tarafından örneklendiğinde, bu sinyalin RMS değeri denklem (4.51)'deki gibi yazılabilir.

$$V_s = \frac{2^N q}{2\sqrt{2}} \quad (4.51)$$

Bu denklemdeki N değeri ADC'nin bit sayısıdır. Denklem (4.50) ve denklem (4.51)'i kullanarak, ideal bir ADC için dB cinsinden SNR denklem (4.52)'deki gibi ifade edilebilir.

$$SNR = 20 \log \left(\frac{V_s}{e_n} \right) = 20 \log \left(\frac{2^N \sqrt{3}}{\sqrt{2}} \right) = 6.02N + 1.76 \quad (4.52)$$

Örneğin, 12-bit 1 MSPS bir ADC için, 50 kHz'lik bir sinüs analog giriş geldiğinde ADC çıkışındaki SNR değeri 74 dB civarında olur ve bu değer bir ADC için elde edilebilecek teorik maksimum SNR değeridir. ADC'ye gelen sinüs sinyalinin üzerinde RMS değeri $V_{gürültü}$ olan bir gürültü olduğunda bu maksimum SNR değerinde düşüş meydana gelir ve denklem (4.53)'teki gibi ifade edilebilir.

$$SNR = 20 \log \left(\frac{2}{3} \left(\frac{1}{2^N} \right)^2 + \left(\frac{2\sqrt{2} V_{gürültü}}{2^N} \right)^2 \right)^{-\frac{1}{2}} \quad (4.53)$$

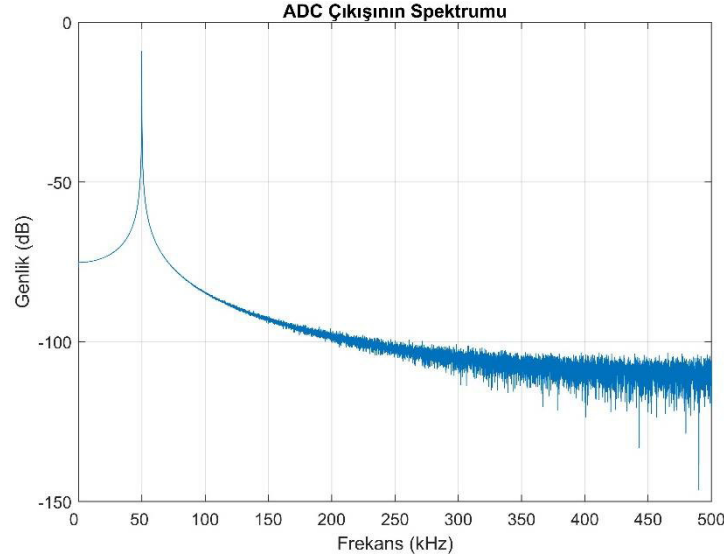
Analog giriş sinyaline eklenen ve RMS değerleri 100 μ V, 300 μ V, 500 μ V, 700 μ V ve 1000 μ V, 10 mV ve 100 mV olan gürültülerin SNR üzerindeki etkisi Çizelge 4.13'te gösterilmiştir.

Çizelge 4.13. Farklı analog gürültüler için ADC'nin SNR değeri

$V_{gürültü}$	SNR (dB)
Gürültü yok	74.008111
100 μ V	74.008111
300 μ V	74.008106
500 μ V	74.008098
700 μ V	74.008086
1000 μ V	74.008059
10 mV	74.002904
100 mV	73.516071

Çizelge 4.13'te görülebileceği üzere bir ADC'nin SNR değeri düşük miktardaki analog gürültüler için çok fazla etkilenmemektedir. Bununla birlikte artan gürültü miktarı cüzi de olsa SNR değerinde düşüşe neden olabilmektedir.

12-bit, 1 MSPS ve 1 V giriş seviyeli bir ADC tarafından örneklenmiş olan Şekil 4.41'deki $V_{out}(n)$ sinyalinin Hızlı Fourier Dönüşümü (Fast Fourier Transform-FFT) yapılarak ADC çıkışının spektrum simülasyonu Şekil 4.44'teki gibi elde edilebilir.

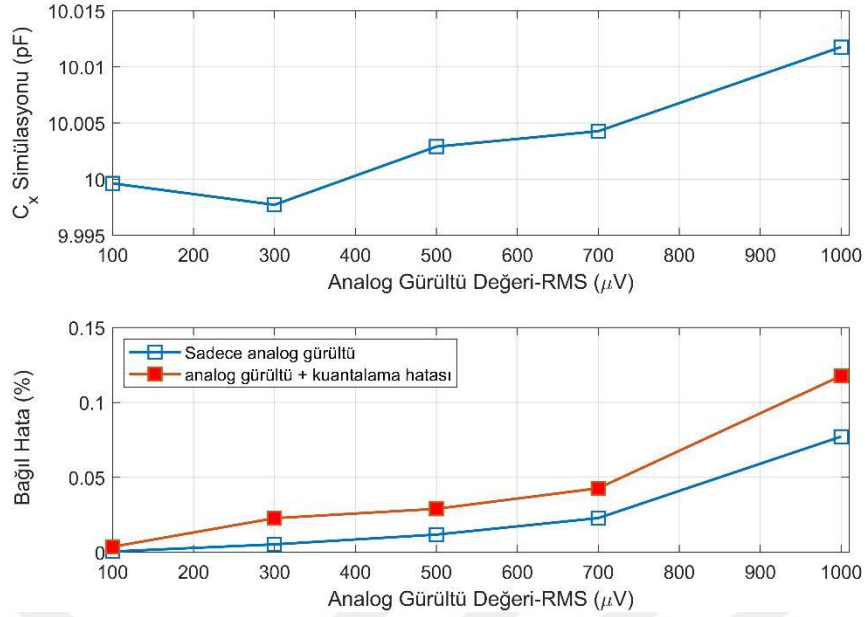


Şekil 4.44. ADC çıkışının frekans spektrumu

Şekil 4.44'te 50 kHz'de temel frekans bileşeni görülmektedir. Bu frekans TIA devresinde çıkan bilgi sinyalinin değerini göstermektedir. Yüksek frekanslarda görülen dalgalanmalarınsa iki nedeni vardır: Birinci neden ADC'den önce eklenen ve ADC tarafından örneklenen 110 μV RMS değere sahip analog gürültünün etkisidir. İkinci nedense, ADC'nin gerçekleştirmesi beklenen ve dolayısıyla simülasyonda eklenen kuantalama hatasıdır. Hesaplamalarda yaklaşık 74 dB SNR'a sahip olduğu bulunan ADC için MATLAB'daki *snr* fonksiyonu kullanılarak yapılan benzetimlerde de 73.5 dB gibi benzer bir sonuç bulunmuştur.

Bu kısımda hem analog gürültü hem de kuantalama hatası mevcutken ölçüm sisteminin performansının nasıl etkilendiği incelenmiştir. Şekil 4.43'tekine benzer şekilde, RMS değerleri 100 μV , 300 μV , 500 μV , 700 μV ve 1000 μV olan Gauss beyaz gürültüler ayrı ayrı $V_{out}(t)$ gerilimine eklenmiştir. Ayrıca, örneklenen $V_{out}(n)$ değerine 12-bit 1 MSPS bir ADC'nin oluşturacağı kuantalama hatası da ilave edilmiştir. Sonuç olarak, bu iki hata kaynağının da etkili olduğu durumlar için C_x değerleri simüle edilmiş; simüle edilen değerlerin nominal değerlere göre bağıl hata oranları bulunmuştur.

Toplam hata oranları, bağıl hata oranları ile aynı grafikte olacak şekilde Şekil 4.45'te gösterilmiştir. Şekil 4.45'te görülebileceği üzere farklı analog gürültünün yanında kuantalama hatası da eklendiğinde ölçümdeki bağıl hatada artış meydana gelmektedir. Örneğin, yalnızca 1000 μV RMS bir gürültü varken hata oranı % 0.077'yken, kuantalama hatası da eklendiğinde bağıl hata oranı % 0.118'e yükselmektedir.



Şekil 4.45. Farklı analog gürültüler ve kuantalama hatası için simüle edilen C_x ve yüzdesel bağıl hatalar

Şekil 4.39'daki sistemin diğer bir performans parametresi ölçüm hassasiyetidir. Hassasiyet denklem (4.54) görüleceği üzere, TIA'nın çıkış geriliminin genliğinin maksimum değerinin ölçülmek istenen kapasitansa oranı şeklinde tanımlanabilir. Diğer bir tabirle, kapasitans değişimi başına düşen çıkış gerilimindeki değişim miktarıdır. Örneğin, ADC'nin girişi ± 0.5 V arasındaki sinyal girişlerini kabul ediyorsa, TIA'nın çıkış gerilimi tepeden tepeye maksimum 1 V olabilir. Bu durumda ölçülmek istenen kapasitans miktarı 10 pF'sa hassasiyet 0.1 V/pF olarak hesaplanır.

$$S = \frac{|V_{out}(t)|_{\max(pp)}}{C_x} \quad (4.54)$$

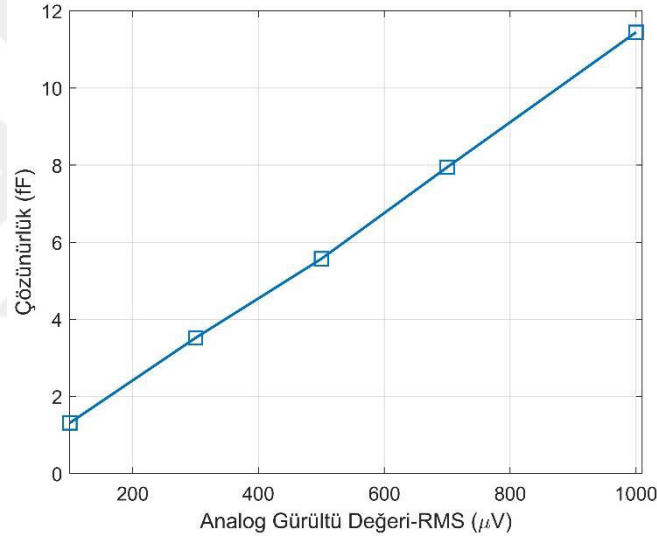
Hassasiyete bağlı olarak tanımlanabilecek diğer bir parametreyse devrenin çözünürlük değeridir. Çözünürlük, devrenin en küçük kapasitans değişikliğini ayırt etme yeteneğini değerlendirmek için kullanılır. Çözünürlük, hassasiyetin yanında gürültüden etkilenir ve bu bakımdan denklem (4.55)'teki gibi bir formülle yazılabilir.

$$R_{es} = \frac{e_n}{S} \quad (4.55)$$

Denklem (4.55)'teki R_{es} çözünürlüğü, S denklem (4.54)'ten hesaplanabilen hassasiyeti ve son olarak e_n ise sinyalde yer alan toplam gürültünün RMS değerini veya standart sapmasını temsil etmektedir. Toplam gürültünün RMS değerini bulmak için hem analog

gürültünün hem de kuantalama hatasının birlikte değerlendirilmesi gerekir. Örnek vermek gerekirse, Şekil 4.40'taki çıkış sinyaline $100 \mu\text{V}$ analog gürültü ve 12-bit ADC tarafından eklenen kuantalama hatası ilave edilip, 200 periyot için ortalama hata bulunduğunda elde edilen e_n değeri 0.131 mV 'tur. Hassasiyetin 0.1 V/pF olduğu düşünülürse, devrenin çözünürlüğü 1.31 fF olarak hesaplanır.

Şekil 4.46'da beş farklı analog gürültü için 200 periyotta ortalama olarak bulunan çözünürlüklerin grafiği verilmiştir. Çözünürlük değerinin kuantalama hatası sabit kalmak kaydıyla analog gürültü ile doğru orantılı olarak arttığı görülebilir. Tanım gereği, devrenin çözünürlüğü aslında minimum ölçülebilecek kapasitans değişimini temsil ettiği için bu doğrusal artış analog gürültünün devrenin ölçüm performansını olumsuz etkilediğini göstermektedir.



Şekil 4.46. Farklı analog gürültü değerleri için devrenin çözünürlüğü

Ölçüm devresinin diğer bir parametresi ise devrenin cevap süresidir. Cevap süresi aslında devrenin kapasitanstaki bir değişime çıktı olarak üreteceği sinyalin değişimi için geçen süre olarak tanımlanabilir. Diğer bir bakımdan bu sürenin kısalığı devrenin ölçüm hızının yüksekliğine işaret eder. Cevap süresi denklem (4.56)'daki gibi yazılabilir.

$$t_{cevap} = t_{yerleşme} + t_{DLIA} \quad (4.56)$$

Denklem (4.56)'da yer alan iki sürenin toplamı cevap süresini vermektedir. İlk süre olan $t_{yerleşme}$ denklem (4.7)'de verilen ve TIA'nın yerleşme süresinin temsil etmektedir. Öte taraftan t_{DLIA} ise DLIA'nın süresi yani dijital demodülasyon için geçen zamandır.

Örneğin, geri besleme direnci $220\text{ k}\Omega$ ve geri besleme kondansatörü 22 pF olduğunda yerleşme süresi $22.26\text{ }\mu\text{s}$ 'dir. Öte taraftan sürme sinyalinin frekansı 50 kHz olduğundan ve bir tam periyot örneklendiğinde demodülasyon tamamlanabileceği için geçen süre $20\text{ }\mu\text{s}$ olarak bulunur. Sonuçta bu devrenin toplam cevap süresi $42.26\text{ }\mu\text{s}$ olarak bulunur. Şu ana kadar yapılan simülasyon sonuçları Çizelge 4.14'te özetlenmiştir.

Çizelge 4.14. $C_x=10\text{ pF}$ ve $f=50\text{ kHz}$ için benzetim sonuçları

Gürültü RMS değeri (μV)	Yalnızca analog gürültü	Analog gürültü ve kuantalama hatası	
	Ölçümün bağıl hatası (%)	Ölçümün bağıl hatası (%)	R_{es} (fF)
100	0.00055	0.00371	1.312
300	0.00532	0.02278	3.518
500	0.01185	0.02903	5.569
700	0.02285	0.04277	7.946
1000	0.07725	0.11780	11.445

DLIA ile ölçüm simülasyonları farklı kapasitans değerleri ve farklı sürme frekansları için tekrarlanmıştır. Yapılan tüm simülasyonlar için giriş gerilimi 1.25 V genlikli kabul edilirken, TIA'nın çıkışı maksimum $\pm 0.5\text{ V}$ olacak şekilde sınırlandırılmıştır. Çıkışın 12-bit 1 MSPS ADC ile örneklendiği kabul edilmiş, bu kabule göre kuantalama hatası eklenmiştir. Analog gürültü hesaplamaları için bölüm 4.1.4'te verilen denklemler kullanılmıştır.

$C_x=1\text{ pF}$ kapasitansının ölçümü için 50 kHz ve 100 kHz gibi iki farklı sürme sinyali kullanılarak yapılan simülasyon sonuçları Çizelge 4.15'te gösterilmiştir.

Çizelge 4.15. $C_x=1\text{ pF}$ için $f=50\text{ kHz}$ ve $f=100\text{ kHz}$ benzetim sonuçları

	$f=50\text{ kHz}$	$f=100\text{ kHz}$
	$R_F=2.7\text{ M}\Omega$ $C_F=2.2\text{ pF}$	$R_F=1.2\text{ M}\Omega$ $C_F=2.2\text{ pF}$
$ V_{out}(t) $	0.500 V	0.487
Analog gürültü (RMS)	106 μV	106 μV
Toplam gürültü (RMS)	138.3 μV	137.1 μV
Simüle edilen C_x	1.0000852 pF	1.0000720 pF
Bağıl Hata	% 0.008518	% 0.0072028
Hassasiyet	1 V/pF	0.973 V/pF
Çözünürlük	0.138 fF	0.143 fF
SNR	74.0517 dB	74.0517 dB
$t_{yerleşme}$	27.32 μs	12.14 μs
t_{DLIA}	20 μs	10 μs
Cevap süresi	47.32 μs	22.14 μs

Çıkış geriliminin genliğini 0.5 V'tan daha küçük bir değer yapmak ve kararlılığı sağlamak için gereken TIA değerleri seçilmiştir. Bulunan çözünürlük değerleri 200 periyottan alınan değerlerin ortalamasıdır. Her iki frekans değeri için de teorik olarak elde edilen değerler çok benzerdir. Yalnızca, 100 kHz giriş sinyali uygulandığında devrenin cevap süresi nispeten kısalmıştır.

Farklı kapasitans ölçümlerinin parametrelerini kıyaslamak adına; $C_x=4.7$ pF ve $C_x=15$ pF standart değerli iki kapasitans için hem 50 kHz ve 100 kHz giriş frekansı için yukarıdaki simülasyonlar tekrar edilmiştir ve sonuçlar Çizelge 4.16'da listelenmiştir.

Çizelge 4.16. $C_x=4.7$ pF ve $C_x=15$ pF için $f=50$ kHz ve $f=100$ kHz benzetim sonuçları

	$C_x=4.7$ pF		$C_x=15$ pF	
	$f=50$ kHz	$f=100$ kHz	$f=50$ kHz	$f=100$ kHz
	$R_F=470$ k Ω $C_F=10$ pF	$R_F=220$ k Ω $C_F=10$ pF	$R_F=180$ k Ω $C_F=33$ pF	$R_F=180$ k Ω $C_F=39$ pF
$ V_{out}(t) $	0.486 V	0.476 V	0.500 V	0.469 V
Analog gürültü (RMS)	91 μ V	91 μ V	87 μ V	85 μ V
Toplam gürültü (RMS)	124.7 μ V	125.2 μ V	117.9 μ V	124.5 μ V
Simüle edilen C_x	4.6994560 pF	4.6995044 pF	15.0011236 pF	14.9988389 pF
Bağıl Hata	% 0.011573	% 0.010545	% 0.007491	% 0.007740
Hassasiyet	0.207 V/pF	0.203 V/pF	0.067 V/pF	0.063 V/pF
Çözünürlük	0.599 fF	0.618 fF	1.766 fF	1.992 fF
SNR	74.0517 dB	74.0517 dB	74.0517 dB	74.0517 dB
$t_{yerleşme}$	21.62 μ s	10.34 μ s	27.92 μ s	32.29 μ s
t_{DLIA}	20 μ s	10 μ s	20 μ s	10 μ s
Cevap süresi	41.62 μ s	20.34 μ s	47.92 μ s	42.29 μ s

Giriş frekansındaki farklılığa göre ADC girişindeki sinyal sınırlamasını sağlamak için R_F ve C_F değerleri değiştirilmelidir. Çizelge 4.15 ve 4.16'ya göre, ölçülmek istenen kapasitansın miktarı arttıkça hassasiyet azalmaktadır çünkü $|V_{out}(t)|$ genliği yaklaşık sabit tutulmaya çalışıldığı için ölçülen kapasitans başına düşen gerilim miktarı düşer. Benzer şekilde, analog gürültü ve kuantalama hatasından müteşekkil toplam gürültü tüm ölçüm benzetimleri için yaklaşık benzer değerde olduğu için çözünürlük değeri de kapasitans değeri ile orantılı olarak artar. Simüle edilen C_x değerlerine göre bağıl hatanın en fazla yaklaşık % 0.011 civarında olduğu tespit edilmiştir. Analog gürültü miktarlarında ve bağıl hatalarda oluşan küçük değişiklikler benzetimde oluşturulan gürültülerin rastgele olması nedeniyledir. Öte taraftan, SNR değerleriyse birbirlerine çok yakındır çünkü bu değeri oluşturan en temel etken denklem (4.53)'te görülebileceği gibi ADC'nin çözünürlük bit sayısıdır ve tüm benzetimler için 12-bit çözünürlük varsayılmıştır. Çizelge

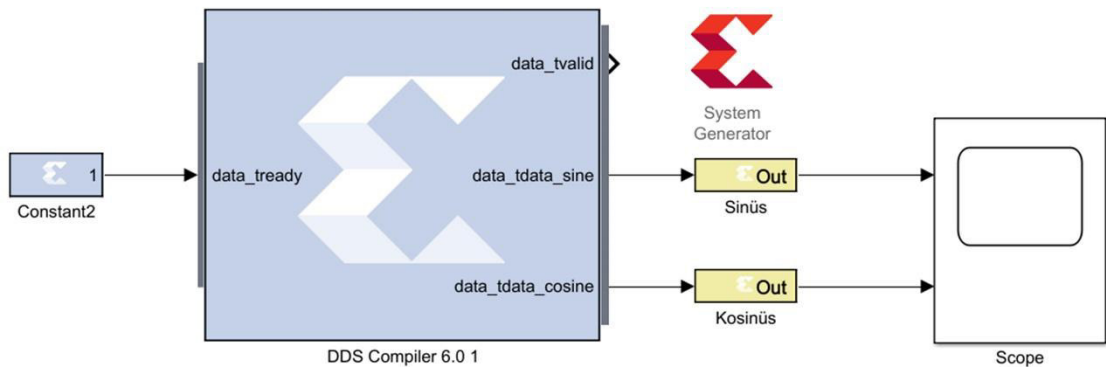
4.13'te görülebileceği gibi analog gürültünün SNR'a etkisi çok kısıtlıdır. Öte taraftan, cevap süresini belirleyen parametreler olarak R_F , C_F ve f değerleri olarak belirlenmiştir.

Yapılan teorik analiz ve ölçüm simülasyonlarında, TIA'nın giriş ve çıkış gerilimlerinin genlik değerlerini maksimum yapmak gereklidir. Ancak, gerçek dünya uygulamalarında bu bölümde yapılan benzetimlerde olduğu gibi kısıtlamalara gitmek zorunludur. Ayrıca, ADC'nin çözünürlüğü ve örnekleme frekansı arttıkça elde edilen sinyalden yapılan ölçüm daha yüksek SNR'a sahip olmakta ve daha düşük hata üretmektedir.

4.3.3. Xilinx Sistem Üretici ile Tasarlanan DLIA

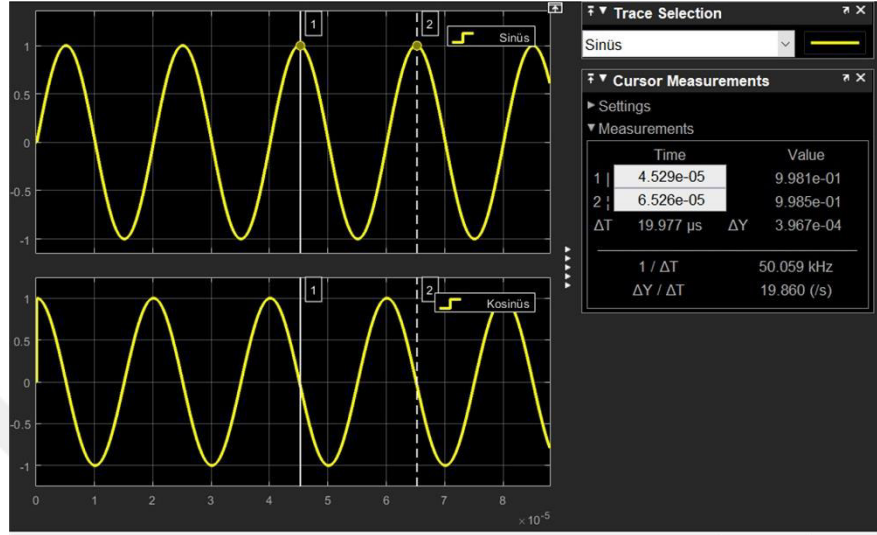
Bu bölümde XSG kullanılarak DLIA tasarımı yapılmıştır. XSG sistem seviyesinde modelleme imkânı sunan bir Xilinx aracıdır. Simulink'in fonksiyonlarını genişleten bu araç özellikle donanım tasarımı için bir modelleme ortamı oluşturmaktadır. Dijital sinyal işleme uygulamalarının FPGA üzerindeki tasarımını kolaylaştırır ve hızlandırır. XSG donanım üzerindeki simülasyonu, yürütmeyi ve doğrulama işlemlerini önceden Simulink ortamında yapabilmeyi sağlar. Ayrıca, HDL kodunu ve netlistini üreterek FPGA'de ilgili kodu sentezlemeye imkân verir.

XSG ile tasarlanan DLIA için Şekil 4.39'da yer alan blok diyagram referans alınmıştır. Yani bu dijital devre 10 pF'luk bir kapasitansın ölçümü için kullanılabilecektir. Bu durumda, DDS ile üretilen referans sinyalleri 50 kHz sinüs ve kosinüs olmalıdır. Çarpma işlemi ve filtreleme işlemleri ile genlik ve fazın bulunması işlemleri de dijital olarak gerçekleştirilecektir. Referans sinyallerinin DDS Compiler ile üretimini gösteren XSG şematığı Şekil 4.47'de gösterildiği gibidir.



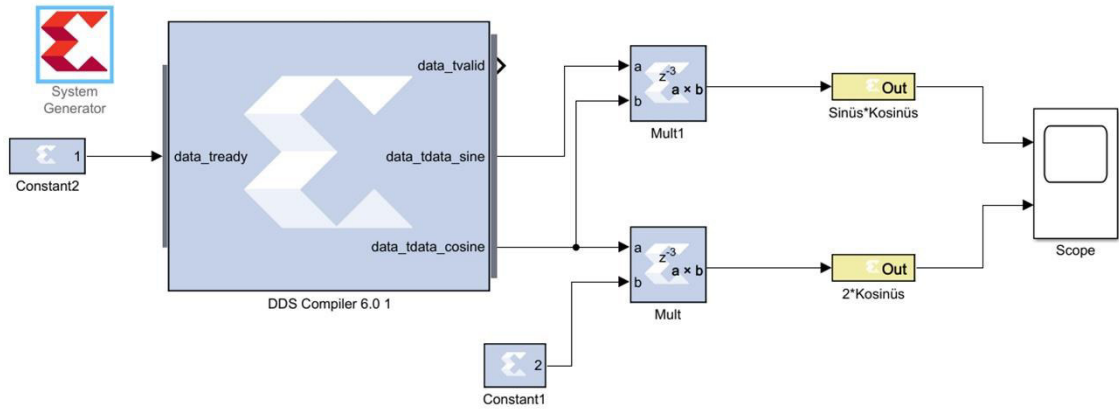
Şekil 4.47. DDS modeli

Denklem (4.33)'te verilen formüle göre faz artış değeri hesaplanarak, 100 MHz sistem saatinden 50 kHz'lik sinüs ve kosinüs sinyalleri üretilmiştir. Faz artış değerini değiştirerek istenen frekanslarda sinüzoidaller üretmek mümkündür. DDS ile elde edilen 50 kHz'lik referans sinyallerin grafiği Şekil 4.48'de gösterilmiştir.



Şekil 4.48. DDS ile üretilen 50 kHz referans sinyalleri

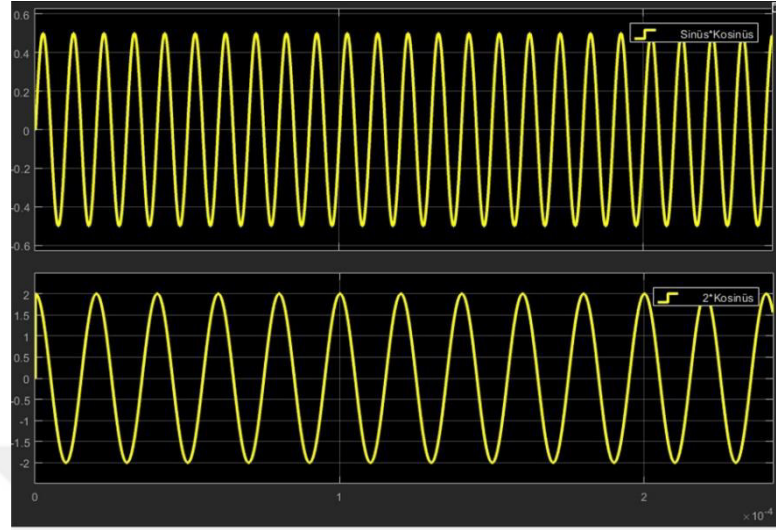
Şekil 4.49'da Şekil 4.48'deki DDS devresinin çıkışındaki sinyallerin çarpım işlemlerinin yapıldığı devre gösterilmiştir.



Şekil 4.49. XSG'de çarpma işlemi

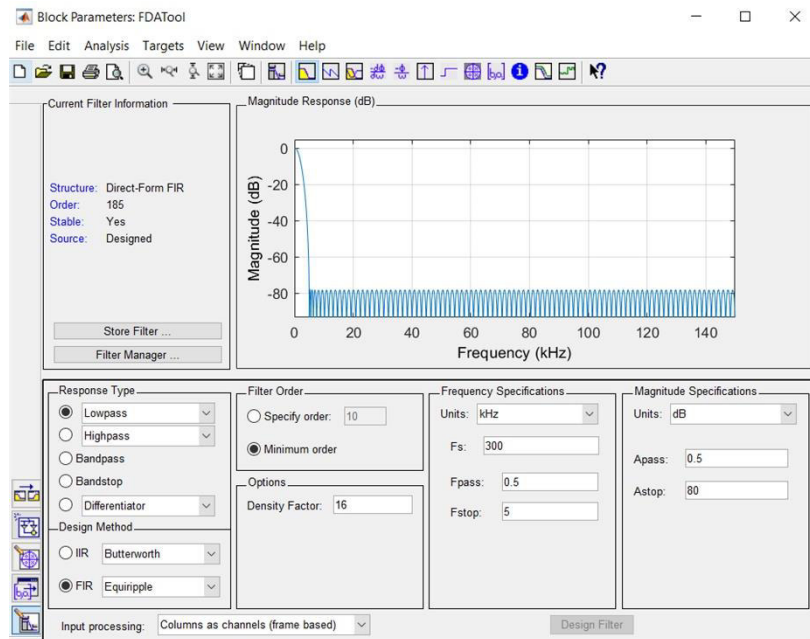
Bu devrede iki farklı çarpım işlemi yapılmıştır. İlkinde 50 kHz'lik sinüs ve kosinüs sinyalleri çarpılmıştır. Dolayısıyla elde edilen sinyal 100 kHz frekansta, sinüs ve kosinüslerin yarısı genlikte bir sinüzoidal olmalıdır. İkinci çarpımdaysa, kosinüs sinyali

sabit 2 ile çarpılmıştır. Bu durumda kosinüsün genliği 2 katına çıkmalıdır. Çarpımların sonucunda elde edilen sinyallerin grafikleri Şekil 4.50’de gösterilmiştir.



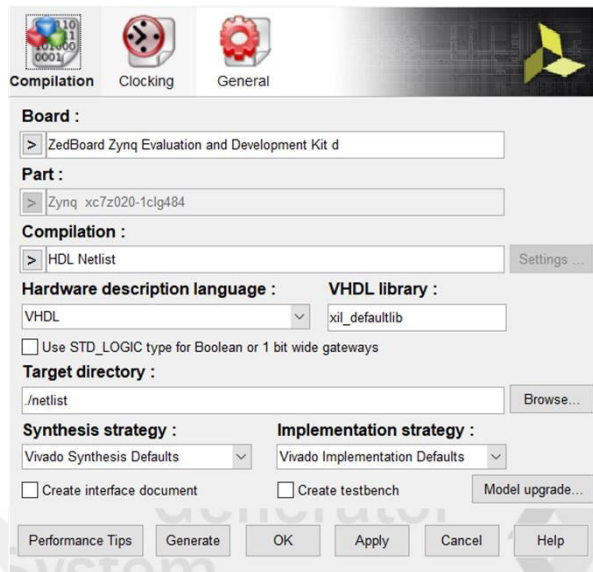
Şekil 4.50. Çarpım işlemlerinin sonuçları

DLIA’da yer alan AGF’ler Xilinx’in “FIR Compiler” bloğu ile gerçekleştirilmiştir. Bu blok ile parametrelerini ayarlayabildiğimiz yüksek performanslı FIR filtre tasarımı mümkündür. Tasarlanan FIR AGF için gereken parametrelerin ayarlanması Şekil 4.51’de gösterilen Filtre Dizayn ve Analiz aracı (Filter Design and Analysis Tool-FDATool) ile yapılmıştır.



Şekil 4.51. FDATool ile AGF parametrelerinin belirlenmesi

Şekil 4.53'te görülen sistem üretici kontrol panelinden, tasarlanan DLIA devresinin ZedBoard geliştirme kartı için HDL kodunu derlemek ve üretmek mümkündür.



Şekil 4.53. Sistem üretici kontrol paneli

Derleme ve kod üretimi sonrasında bu FPGA'deki kaynakların kullanımıysa Şekil 4.54'te gösterildiği gibidir. Örneğin, sinyalleri çarpma işlemini yapan Mult blokları sadece birer adet DSP kullanmaktadır. Benzer şekilde, FIR Compiler blokları üçer adet DSP ünitesi yanında, birer adet blok hafıza ve çeşitli sayılarda arama tablosu ile kaydedici kullanarak işlevini yerine getirir.

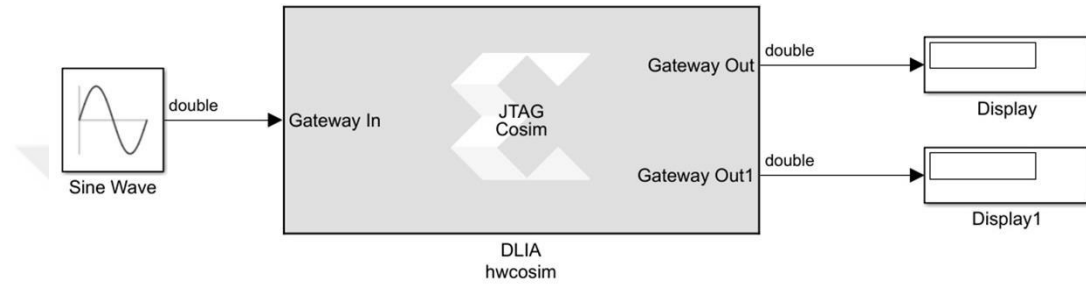
Post Synthesis Resources: Clicking on an instance name highlights corresponding block/subsystem in the model.

Name	BRAMs (140)	DSPs (220)	LUTs (53200)	Registers (106400)
▼ TAMDEVRE2	2,5	11	1894	1880
Mult1	0	1	0	0
Mult	0	1	0	0
FIR Compiler 7.2 1	1	3	147	181
FIR Compiler 7.2	1	3	147	181
DDS Compiler 6.0 1	0,5	3	76	243
> CORDIC ATAN	0	0	1524	1275

OK Help

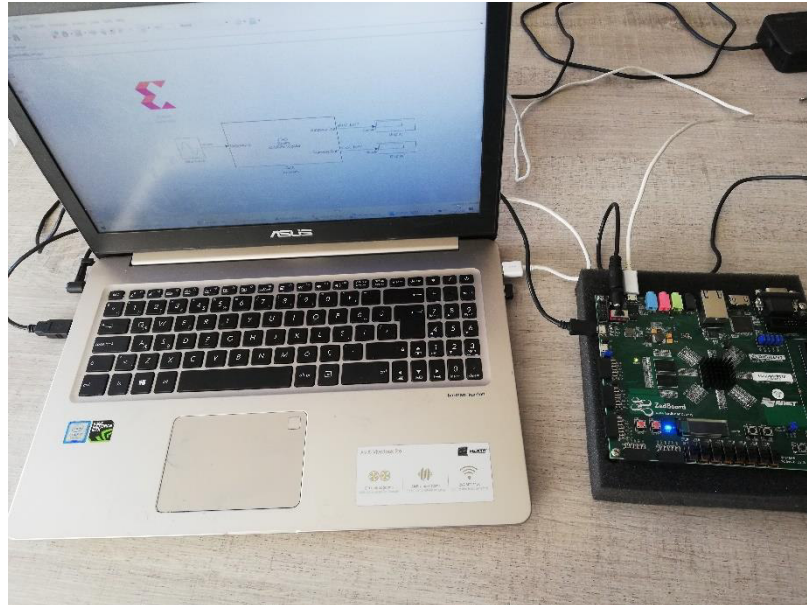
Şekil 4.54. Tasarlanan devrenin kaynak kullanımı

Simulink ortamında tasarlanan ve HDL kodu üretilen bu devrenin FPGA’de gerçekleştirilmesi için sistem üretici kontrol panelindeki “Hardware Co-Simulation (JTAG)” seçeneği seçilmiştir. XSG, seçilen FPGA için gereken bitstream dosyasını derledikten sonra JTAG ko-simülasyon bloğunu oluşturur. JTAG ko-simülasyon bloğu ZedBoard geliştirme kartını simgeler ve Şekil 4.52’de görülen “Gateway In” ve “Gateway Out” ile bu giriş-çıkış arasındaki blokları FPGA’de sentezlemeye yarar. Şekil 4.55’te bu bloğun yer aldığı devre gösterilmiştir.



Şekil 4.55. JTAG ko-simülasyon bloğu

Şekil 4.56’da görülebileceği gibi ZedBoard geliştirme kartının programlama ve JTAG portları PC’ye bağlanarak yazılım-donanım ko-simülasyonu gerçekleştirilebilir.



Şekil 4.56. DLIA için yazılım-donanım ko-simülasyonu

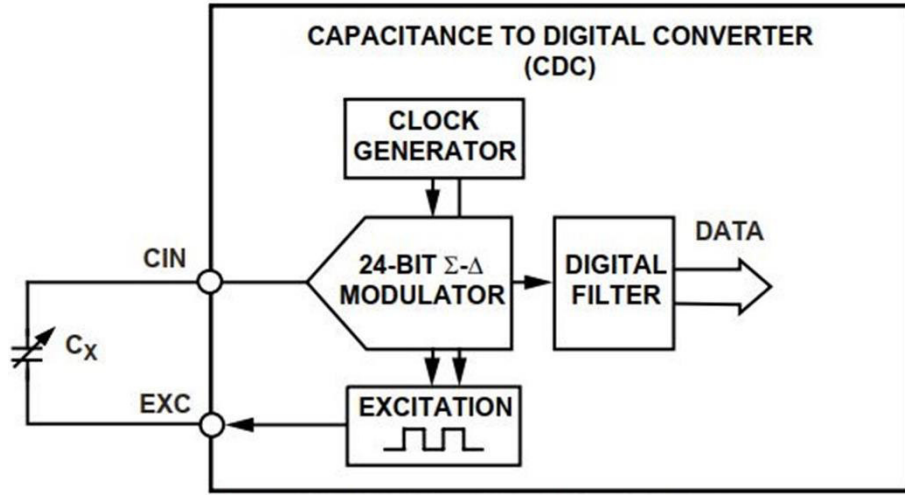
XSG tarafında üretilmiş olan bitstream dosyası USB portu yardımıyla ZedBoard kartına gönderilir ve kartta yer alan FPGA’in konfigürasyonu gerçekleştirilmiş olur. Donanımda

gerçeklenen DLIA dijital devresinin sonuçları tekrar yazılıma aktarılarak, Şekil 4.55'teki Display bloklarında görüntülenebilir. Gerçekleştirilen bu işlemle hem yazılım hem donanım aynı anda simüle edilip, her ikisinin de işlevlerini doğru şekilde yaptıkları doğrulanabilir. Gerçekten de yapılan ko-simülasyon çalışması neticesinde Şekil 4.55'te yer alan referans sinüs sinyali FPGA'de gerçekleştirilen devreye uygulandığında çok yakın sonuçlar elde edilmiştir. Benzer şekilde, 10 pF'lık kapasitans ölçümünde yer alan, analog gürültü ile kuantalama hatası içeren sinyal giriş olarak verildiğinde, FPGA uygulaması neticesinde elde edilen genlik değeri 0.47000 V ve faz değeri -2.52855 rad/s'dir. Bu değerlerden C_x değeri 9.901 pF olarak bulunabilir. Sonuç olarak, ZedBoard'ta uygulanan DLIA tasarımının beklendiği gibi çalıştığı belirlenmiştir.

4.3.4. AD7746 ile Kapasitif Ölçümler

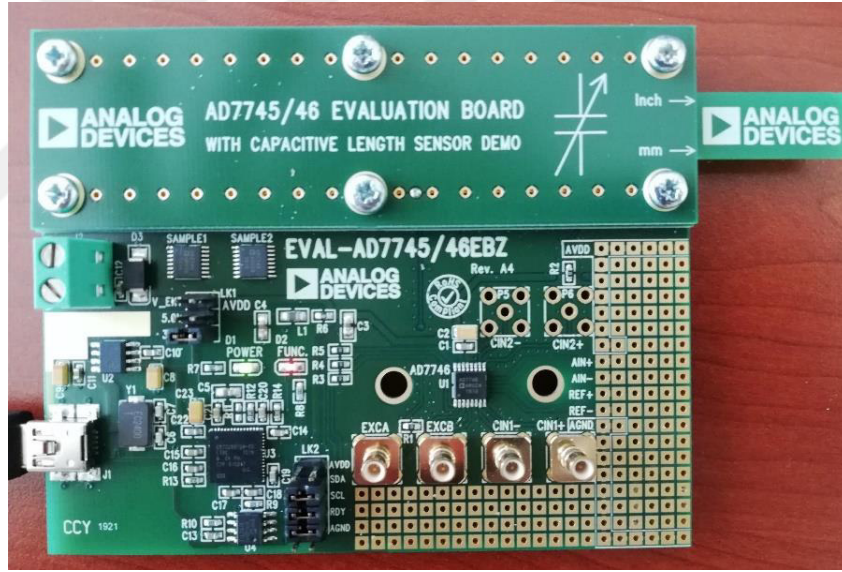
Kapasitans ölçümleri için kullanılabilecek ticari bir ürün olan AD7746 (Devices, 2005) 24 Bit Kapasitans-Dijital Dönüştürücüdür (Capacitance to Digital Converter-CDC). Bu dönüştürücü mimarisi yüksek çözünürlüklü (24-bit), yüksek doğrusalılıkta ($\pm \% 0.01$) ve yüksek doğrulukta ölçümler sunmaktadır. AD7746'nın giriş kapasitans aralığı değişken kapasitanslar için ± 4 pF'ken, değişmeyen kapasitanslar için 17 pF'a kadar ölçüm yapılabilmektedir. İki adet giriş kanalı olan ve her kanalın tek-uçlu veya farksal olarak yapılandırılabilirdiği bu CDC yüzen kapasitanslar ölçmek için kullanılabilir. Çip üzerinde yer alan voltaj referansı ve saat üreteçleri, kapasitif sensör uygulamalarında harici elemanlara olan ihtiyacı ortadan kaldırır. Ayrıca iç haberleşme için entegre-devre içi (I²C)-uyumlu seri bir ara yüzü bulunmaktadır. Otomotiv, sanayi ve medikal sektörlerinde kullanılan bu CDC, basınç, mesafe, seviye, akı ve nem ölçümlerinde tercih edilmektedir.

Şekil 4.57'de AD7746'nın basitleştirilmiş blok diyagramı görülebilir. Blok diyagramdan anlaşılabileceği üzere, sürme sinyali ölçülmek istenen kapasitansı (C_x) sürmektedir. Saat sinyalini içeriden alan 24-bitlik sigma-delta modülatör ve filtre yardımıyla kapasitansın dijital verisi elde edilmektedir.



Şekil 4.57. AD7746 fonksiyonel blok diyagramı (Devices, 2005)

Ölçümler için, Şekil 4.58’de fotoğrafı görülen ve üzerinde AD7746 çipi bulunan EVAL-AD7746EBZ kodlu değerlendirme devresi kullanılmıştır.



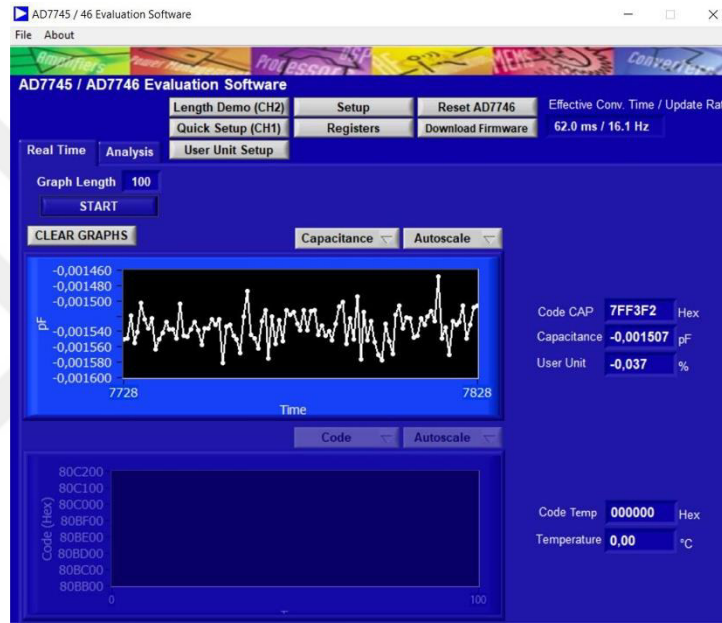
Şekil 4.58. AD7746 değerlendirme devresi

AD7746 değerlendirme devresi USB bağlantısıyla bilgisayara bağlanabilir ve bu USB üzerinden 5 V besleme devreye verilir. Değerlendirme devresinin yanında sunulan yazılım sayesinde de CDC performansına ait veriler elde edilebilir. Değerlendirme devresi üzerinde bulunan ve içeriden kalibre edilebilen kapasitif bir uzunluk sensörünün performansı da yazılım sayesinde değerlendirilebilir. Bu devre iki kanallı olup aynı anda iki kapasitif ölçümüne imkân sağlamaktadır. İlk kanal dışarıdan gelecek kapasitif girişe ayrılmıştır. Ölçülmek istenen kapasitansın bir ucunu CIN1+ veya CIN1- girişine, diğer

ucunuysa EXCB etiketli girişe bağlayarak ölçüm yapılabilir. İkinci kanal ise, devrenin üzerindeki kapasitif uzunluk sensörüne ayrılmıştır. Eğer istenilirse bu sensör sökülerek ikinci kanalı da ilk kanal gibi harici bir kapasitans ölçmek için kullanılabilir.

Kapasitif uzunluk sensörü için yapılan kalibrasyon sonucunda 0-8 cm arasındaki uzunluklar değişken kapasitans sayesinde ölçülebilmektedir. 0 cm için ölçülen kapasitans değeri -4.1 pF'ken, 4 cm için 0.00395 pF'tır. Benzer şekilde, 8 cm için ölçülen kapasitans değeri $+4.1$ pF civarındadır.

Şekil 4.59'da devrenin kullanıcı ara yüzü yazılımı gösterilmiştir.



Şekil 4.59. AD7746 değerlendirme devresi yazılımı

Standart kapasitansların ölçümü için AD7746 değerlendirme devresinin ikinci kanalı kullanılabilir. Şekilde görülen “Gerçek Zaman” analiz sekmesinde ölçülen kapasitanslardan toplanan örnekler gerçek zamanlı olarak grafiksel olarak gösterilmektedir. Ayrıca, alınan örnekler heksadesimal formatta ve sayısal olarak da yazılım tarafından verilmektedir. Normal şartlarda ± 4 pF olan ölçüm aralığı, çipin üzerinde yer alan programlanabilir dijital-kapasitans dönüştürücü vasıtasıyla 17 pF’a kadar genişletilebilir. Ölçümler için devre tarafından alınan 100 adet örnek dışarıya aktararak ortalaması bulunmuş ve ölçüm sonucu olarak ele alınmıştır. 1 pF, 2.2 pF, 3.3 pF, 4.7 pF, 5.6 pF, 6.8 pF, 10 pF ve 15 pF standart değerli kapasitanslar için yapılan ölçümler Çizelge 4.17’de sunulmuştur.

Çizelge 4.17. AD7746 değerlendirme devresi ile yapılan kapasitans ölçümleri

Nominal değer (pF)	AD7746 tarafından ölçülen gerçek değer (pF)
1	0.914498
2.2	2.312167
3.3	3.246115
4.7	4.613243
5.6	5.512072
6.8	6.710982
10	10.24532
15	15.10293

Devre 4 aF'a kadar çözünürlük sağladığı için virgülden sonra altı basamak olarak sonuçlar listelenmiştir. Kapasitansların nominal değerlerin % 10'luk tolerans aralığında olduğu saptanmıştır. Listelenen bu değerler kapasitansların gerçek değerleri olarak kabul edilebilir.

4.3.5. Dijital Yöntemlerle Yapılan Kapasitans Ölçüm Kıyaslamaları

Bölüm 4.3'te dijital yöntemler kullanılarak yapılan ölçüm simülasyonları ve uygulamaları beş farklı kapasitans değeri için tekrarlanmıştır. Farklı yöntemlerle ölçümü yapılan kapasitansların nominal değerleri sırasıyla şu şekildedir: 2.2 pF, 4.7 pF, 5.6 pF, 6.8 pF ve 10 pF. Kullanılan yöntemler ve sonuçlar Çizelge 4.18'de özetlenmiştir.

Çizelge 4.18. Çeşitli kapasitans ölçümleri için simülasyon ve uygulama sonuçları

Kullanılan Yöntem	Ölçülen kapasitansın nominal değeri (pF)				
	2.2	4.7	5.6	6.8	10
Analog gürültü ve kuantalama hatası içeren simülasyon	2.19987254	4.69990345	5.59906623	6.79921051	9.99962852
Analog gürültü ve kuantalama hatası içerip XSG ile Simulink'te bulunan değer	2.030	4.450	5.425	6.662	9.901
Analog gürültü ve kuantalama hatası içerip XSG ile FPGA'de gerçekleyerek bulunan değer	2.032	4.452	5.526	6.664	9.902
AD7746 tarafından ölçülen gerçek değer	2.312167	4.613243	5.512072	6.710982	10.24532

Çizelge 4.18'de görüleceği üzere, kapasitans ölçümleri için dört adet dijital ölçüm yöntemi kullanılmıştır. Bu yöntemler şu şekilde sıralanmıştır: ilk olarak analog gürültü ve 12-bit 1 MSPS ADC'nin ekleyeceği kuantalama hatası içeren kapasitans ölçüm simülasyon sonuçları verilmiştir. TIA tarafından eklenen analog gürültünün RMS değeri

110 μ V olarak alınmıştır. İkinci olarak, analog gürültü ve kuantalama hatası içeren ve kapasitif ölçüm bilgisini taşıyan sinyal XSG blokları ile Simulink'te gerçekleştirilerek sonuç bulunmuştur. Üçüncü yöntemde, Simulink ortamında Xilinx blokları ile gerçekleştirilen DLIA devresi FPGA'de gerçekleştirilerek kapasitans ölçümleri yapılmıştır. Son olarak ise AD7746 devresi kullanılarak beş kapasitansın da gerçek değerleri bulunmuştur. Yalnızca analog gürültü ve kuantalama hatası eklenip, benzetim yapıldığında hata oranı en düşük çıkmaktadır. Dijital bir platformda ölçüm yapılacağına hataya neden olabilecek etkiler olmadığı için nominal değerlere en yakın değerler elde edilmiştir. Öte taraftan, XSG ortamında tasarlanan DLIA devresi ile Simulink'te yapılan ölçümlerde de analog gürültüler ve kuantalama hataları dikkate alınmıştır. Simulink'te yapılan benzetimler ve FPGA'de ko-simülasyon neticesinde bulunan sonuçlarda benzer ölçüm neticeleri elde edilmiştir. AD7746 değerlendirme devresi ile yapılan ölçümlerde aF'lar mertebesinde çözünürlükte ölçümler yapılmıştır ve sonuçta bu ölçümler referans ölçümleri olarak alınabilir.

Aynı nominal değerde olan ama toleransı gereği farklı gerçek değerlere sahip kapasitanslar için de ölçümler yapılmıştır. Bu ölçümler için nominal değeri 10 pF, toleransı % 10 olan 10 farklı kapasitans alınmış ve her birinin ayrı ayrı ölçümü yapılmıştır. Yapılan ölçümlerden ilki gerçek değerleri tespit etmek için AD7746 ile yapılmıştır. İkincisi ise, XSG ortamında tasarlanan ve FPGA'de gerçekleştirilen kapasitans ölçüm devresi yardımıyla bulunan değerlerdir. Ayrıca, her ölçüm için ayrı ayrı bağıl hatalar bulunmuştur. Elde edilen sonuçlar Çizelge 4.19'da listelendiği gibidir.

Çizelge 4.19. 10 pF'lık 10 farklı kapasitans değerinin ölçüm sonuçları

Ölçüm numarası	AD7746 ile yapılan ölçümler (pF)	XSG ve FPGA gerçeklemesi ile bulunan sonuçlar (pF)	Bağıl hata oranı (%)
Ölçüm 1	10.10984	9.806	3.0054
Ölçüm 2	10.24012	9.904	3.2824
Ölçüm 3	9.94516	9.752	1.9423
Ölçüm 4	10.14530	9.820	3.2064
Ölçüm 5	9.82434	9.706	1.2046
Ölçüm 6	10.22878	9.974	2.4908
Ölçüm 7	9.90242	9.760	1.4382
Ölçüm 8	10.06410	9.950	1.1337
Ölçüm 9	9.78490	9.596	1.9305
Ölçüm 10	10.08564	9.948	1.3647

AD7746 ile yapılan 10 ölçüm sonucunda nominal değeri 10 pF olan kapasitansların ortalama değeri 10.0331 pF olarak bulunmuştur. FPGA ile yapılan ölçümler

sonucundaysa ortalama kapasitans değeri 9.8316 pF olmuştur. Gerçek değerler ve FPGA ile yapılan ölçümlere göre hesaplanan bağıl hataların ortalamasıysa % 2.0999 olarak bulunmuştur.

Bölüm 4.3'te yapılan çalışmalardaki sonuçlar ile literatürde yer alan ve kapasitif ölçüm yapılan değerler kıyaslanabilmektedir. Xu ve ark. (2015) tarafından yapılan çalışmada, 6 pF'lık bir kapasitans değeri dijital demodülasyon yöntemi ile ölçülmüştür. Bulunan bağıl hata oranı % 1.26'dır. Bu tez çalışmasında ise 10 pF'lık kapasitans ölçümü için bulunan ortalama bağıl hata % 2 civarındadır. Yusuf ve ark. (2016) yaptıkları çalışmada 3 pF ve altında ölçümler için dijital sinyal işleme platformu kullanmışlardır. Bu çalışmalarında TIA'nın yerleşme süresini 3.7 μ s ve hassasiyetini 0.38 V/pF olarak bulmuşlardır. Bu tez çalışmasında, bölüm 4.3.2'de yapılan ve 4.7 pF için elde edilen değerlerde yerleşme süresi 10.34 μ s ve hassasiyet 0.203 V/pF olarak bulunmuştur. Dolayısıyla, daha hassas ölçüm yapabilen bir devre yapısı gerçekleştirilmiştir. Yerleşme süresinin fazla olması ise bu tezde kullanılan ADC'nin giriş sinyalinin limitin 1 V ile sınırlı olmasıdır. Bu durumda, TIA için seçilen geri besleme direnç ve kapasitör değerlerini değiştirerek yerleşme süresini düşürme imkânı azalmaktadır. Hao ve ark. (2018) yaptıkları simülasyon çalışmasında, FFT demodülasyon, dijital demodülasyon ve genlik demodülasyonu kullanmışlardır. Bu yöntemler için 500 örnek ve % 1 gürültü seviyesi eklendiğinde elde edilen hata oranları sırasıyla % 0.913, % 0.891 ve % 0.857 olarak bulunmuştur. Bu tez çalışmasında hem analog gürültü hem de kuantalama hatası içeren ve 50 örnekten oluşan 10 pF'lık ölçüm için elde edilen bağıl hata oranı % 0.999 olarak hesaplanmıştır. Dolayısıyla, bu tezde daha az örnek kullanılarak, çok yakın hata oranıyla ölçüm gerçekleştirilmiştir. Örneklemede kullanılan ADC'nin örnekleme hızının artışına bağlı olarak ölçüm hatasında gerileme meydana geleceği öngörülmüştür. Teren ve ark. (2018) yaptıkları çalışmada, analog ve dijital LIA uygulamalarını kıyaslayarak SNR, uzun dönem kararlılık, gürültü ve ölçüm hatası gibi parametreler için dijital ölçümlerin üstünlüklerini göstermişlerdir. Bu tez çalışmasında da Bölüm 4.2'de analog LIA ile Bölüm 4.3'teyse DLIA ile kapasitif ölçümler yapılmıştır. Analog LIA ile ölçülen 10 nF kapasitans için bağıl ölçüm hatası % 1.92 olarak bulunurken, 10 pF için bulunan ortalama bağıl hata % 2.1 olarak saptanmıştır. Çok daha küçük kapasitans değerleri DLIA ile benzer hatalarla bulunmuştur.

Sonuç olarak, bölüm 4.3'te saf kapasitans ölçmek için bir DLIA devresi tasarlanmıştır. Tez çalışmasının bu bölümünün literatüre eklediği yeni yaklaşımlar ve analizler aşağıdaki gibi özetlenebilir:

- Tasarlanan devrenin teorik analizinin yanı sıra, nümerik benzetimleri farklı senaryolar için yapılmıştır. Bir devrenin performansını değerlendirmek için gereken parametrelerden analog gürültü, toplam gürültü, bağıl hata, hassasiyet, çözünürlük, SNR, yerleşme ve demodülasyon süreleri ile toplam ölçüm süreleri bulunmuştur. Bulunan çeşitli parametreler için literatürdeki benzer çalışmalar ile kıyaslamalar yapılmıştır.
- Aynı zamanda, teorik olarak incelenen ve benzetimi yapılan DLIA ölçüm devresi, Xilinx blokları yardımıyla XSG ile kurularak Simulink'te gerçekleştirilmiştir. Simulink'te gerçekleştirilen devrenin HDL kodu ve netlisti üretilmiştir. Böylece devre ZedBoard'un FPGA çipinde sentezlenerek ölçüm yapmaya müsait hale getirilmiştir.
- Ölçülen kapasitansların değerlerinin küçük olması ve toleransları göz önüne alınarak, gerçek değerlerini büyük bir hassasiyetle elde edebilmek için AD7746 ölçüm devresi kullanılmıştır. Bu sayede ölçüm değerleri ve gerçek değerler arasında mukayese yapabilme imkânı oluşmuştur. XSG ile tasarlanıp FPGA'de yapılan ölçüm ile gerçek değerler arasında 10 pF'lık ölçüm için yaklaşık % 2'lik hata bulunmuştur. Analog LIA ile yapılan ölçümlerde elde edilen hata oranına yakın olan bu oran çok daha düşük kapasitansların ölçümü söz konusu olduğu için DLIA'ların önemini göstermiştir.

5. SONUÇLAR VE ÖNERİLER

5.1. Sonuçlar

Bu tez çalışmasında, kapasitans ölçümleri için gerekli olan ön-yüz devreleri ile elektronik sinyal işleme devre yapıları incelenmiştir. Bölüm 2'deki kaynak araştırmasının gösterdiği gibi üç farklı türdeki sinyal işleme devreleri ile yapılabilen kapasitif ölçümler bu tez çalışmasında analog ve dijital sinyal işleme devreleri ile gerçekleştirilmiştir.

Hem analog hem de dijital sinyal işleme için ön-yüz devre konfigürasyonu olarak transempedans yükselteç kullanılmıştır. Kapasitanstan gelen akımı daha sonraki sinyal işleme devrelerinin işlemesi için gerilime dönüştüren bu devre topolojisi kaçak kapasitanslardan az etkilendiği için tercih edilmiştir. Ayrıca, çıkışta oluşacak gerilim salınımlarını engellemek ve kararlılığı sağlamak için geri besleme kondansatörü kullanılmıştır. Bölüm 4.1'de TIA devrelerinin frekans-uzayı, zaman-uzayı, kararlılık ve gürültü analizleri gerçekleştirilmiştir. Gürültü analizinde bir kapasitif ölçüm TIA ön-yüz devresinin gürültü modeli çıkartılmış, gürültü kaynaklarının parametreleri denklemlerle ifade edilmiştir. Yapılan LTSPICE benzetimleri için ölçülecek kapasitans değeri sıvı seviyesi ölçümü, basınç ölçümü veya ivme ölçümü gibi birçok uygulamayı modellemeye uygun bir değer olan 10 pF seçilmiştir. Frekans-uzayı simülasyonlarında farklı geri besleme kapasitör ve direnç değerleri için kazançlar bulunmuştur. Zaman-uzayı ve kararlılık simülasyonlarındaysa, çeşitli geri besleme kapasitörleri için yerleşme zamanı ve kararlılık analizleri yapılmıştır. Gürültü simülasyonlarında farklı gürültü parametrelerine sahip üç farklı OPAMP ile kurulan TIA devreleri için gürültü simülasyonları yapılarak çıkıştaki toplam gürültü bulunmuştur. Bu sayede farklı gürültü parametrelerinin toplam gürültüye katkısı da incelenmiştir. Ayrıca, gürültü modelinden yola çıkarak toplam gürültü nümerik olarak bulunmuş ve benzetimler ile kıyaslanmıştır. Gerçekleştirilen nümerik ve benzetim analizleri vasıtasıyla istenilen kazanç ve yerleşim süresine sahip, kararlı ve düşük gürültülü TIA'lar tasarlanmasına yardımcı olunmuştur.

Bölüm 4.2'de alternatif bir kayıplı kapasitans ölçüm devresi tasarlanmıştır. Tasarlanan devrede sinyal işleme kısmı analog LIA ile yapılırken, sürme sinyali ile referans sinyaller FPGA ile üretilerek devreye verilmiştir. Benzer şekilde, analog LIA'nın çıkışı da FPGA'deki entegre ADC ile ölçülerek devre bütünselliği sağlanmıştır. Kayıplı kapasitans devresinin teorik analizinin sonrasında sürme sinyali ve referans sinyalleri için VIVADO simülasyonları verilmiştir. Ayrıca, ölçüm devresinde yer alan LTSPICE

simülasyonları TIA, alçak geçiren filtre ve analog LIA kısımları için ayrı ayrı yapıp performansları incelenmiştir. Daha sonra tüm bu parçalar birleştirilerek ölçüm devresinin tamamının performansı analiz edilmiştir. Üç farklı kayıplı kapasitans değeri için benzetim sonuçları ve nominal değerler kıyaslanarak bağıl hata oranları bulunmuştur. Devredeki pasif elemanların tolerans değerlerinin dikkate alındığı en kötü durum hatası ile giriş sinyali ve referans sinyalleri arasındaki faz farkını dikkate alan faz uyuşmazlığı hataları da incelenmiştir. Son olarak, kayıplı kapasitans devresi deneysel olarak gerçekleştirilmiştir. Kayıplı kapasitans parametrelerinin gerçek değerleri LCR metre ile ölçülmüş; deneysel sonuçlar ise FPGA ile aktif ve pasif devre elemanlarıyla kurulan analog LIA'dan alınmıştır. Ölçümün bağıl hatası da bu iki ölçüm karşılaştırılarak bulunmuştur.

Dijital yöntemlerle yapılabilecek kapasitans ölçümleri Bölüm 4.3'te incelenmiştir. DLIA'lar daha az harmonik üretmeleri, çıkışta ofset üretmemeleri, yüksek doğrusalılık sağlamaları, referans sinyalinin genliğinin sabit olması gibi özellikleri nedeniyle analog LIA devrelerine tercih edilebilir. Bu kısımda, DLIA'ların genel yapıları incelenmiş ve daha sonra kapasitans ölçümlerinde kullanımlarının teorik analizi yapılmıştır. Teorik analiz sonrasında, farklı analog gürültü değerlerinin kapasitans ölçümüne etkileri incelenmiştir. Daha sonra analog gürültülere, kuantalama hatası eklenerek ölçümlerin benzetimleri yapılmıştır. Ayrıca, farklı sürme frekansları ve farklı kapasitanslar için hassasiyet, çözünürlük, SNR, cevap süresi gibi devre parametreleri belirlenmiştir. Ardından, XSG kullanarak DLIA tasarımı yapılmıştır. İlk olarak Simulink ortamında Xilinx blokları kullanarak yapılan DLIA için genlik ve faz değerleri doğru bir şekilde elde edilmiştir. Bu devrenin sentezlenmesi sonucunda kullanılacak olan FPGA kaynakları bulunmuştur. Daha sonrasında, XSG tarafından üretilen bitstream dosyası ZedBoard'a aktararak donanım-yazılım ko-simülasyonu yapılmıştır. Gerçekleştirilen bu işlemle hem yazılım hem donanım için alınan verilerin doğruluğu teyit edilmiştir. 10 pF'lık kapasitans ölçümünde TIA çıkışında yer alan gürültülü ve kuantalama hatalı sinyal için FPGA'de sentezlenen devrede dijital demodülasyon yapılmış ve bu kapasitansın ölçümü gerçekleştirilmiştir. Son olarak, AD7746 24 Bit Kapasitans-Dijital Dönüştürücü ile 1 pF, 2.2 pF, 3.3 pF, 4.7 pF, 5.6 pF, 6.8 pF, 10 pF ve 15 pF standart değerli kapasitanslar için referans ölçümler yapılmıştır.

5.2. Öneriler

Kapasitif sensörlerin yaygın olarak kullanılması kapasitans ölçüm devrelerinin performanslarını önemli kılmaktadır. Bu bakımdan gerek ön-yüz devreleri gerekse sinyal işleme devrelerinin çeşitli parametreleri optimize edilmelidir. Bu optimizasyon neticesinde yapılan ölçümlerden istenilen sonuçlar elde edilebilir.

Ön-yüz devresi içeren TIA devrelerinin çeşitli analizleri ve benzetimleri bu tez çalışmasında gerçekleştirilmiştir. Ancak, birbirine birçok açıdan bağımlı olan bu analiz parametreleri çeşitli algoritmalarla optimize edilebilir. Örneğin, OPAMP parametreleri, geri besleme direnç ve kondansatörünün değerleri optimum seçilebilir. Bu şekilde, kazanç, yerleşme zamanı ve gürültüde istenilen seviyede olan kararlı yapılar tasarlanabilir. Ayrıca, seçilen bu değerlerle tasarlanan ve basılan TIA devrelerinde çeşitli ölçümler yapılmalı ve teorik hesaplarla kıyaslanmalıdır.

Kayıplı kapasitans ölçümlerinde analog bir demodülasyon yöntemi tercih edilmiştir. Analog demodülasyonun olası negatif etkilerinden birisi olan faz uyuşmazlığı problemi faz farkını dijital olarak kontrol ederek çözülmüştür. Tüm demodülasyon işleminin dijital ortamda yapılması analog LIA'nın diğer birçok olası dezavantajlarını ortadan kaldıracaktır. Analog LIA ve bu tezdeki yapılan çalışma özelinde bakacak olursak, ölçüm devresinin baskı devre üzerinde yapılması olası çevresel ve elektromanyetik etkileri kısıtlayacaktır. Ayrıca, kablo ve breadboard kaynaklı gürültülerde azalma meydana gelecektir.

Nümerik olarak analiz edilen, teorik olarak incelenen ve Simulink ortamında simüle edilen DLIA esnek, kullanışlı ve faydalı bir dijital demodülasyon yöntemidir. Bu yöntemin XSG ile doğrudan uygulanıp, FPGA'lerde sentezlenebilmesi devre tasarımı için büyük bir kolaylık sağlamaktadır. Bu açıdan, dijital sinyal işleme platformu olarak FPGA seçilmesi makuldür. Seçilen FPGA ile birlikte kullanılacak olan ADC'nin yüksek çözünürlüklü, yüksek örnekleme frekansına sahip olması da bu tezde gösterildiği üzere önemlidir. Bu sayede kuantalama hatası minimize edilerek, ölçüm hataları düşürülebilir. Ayrıca, sürme sinyalini üretecek olan DAC da yüksek frekanslarda yüksek kalitede sinüzoidal verebilmelidir. Bu sayede Bölüm 4.2'de önemi vurgulanan faz uyuşmazlığı problemi azaltılabilir.

KAYNAKLAR

- Acar, C., 2004, Robust micromachined vibratory gyroscopes, *University of California, Irvine*.
- Aezinia, F. ve Bahreyni, B., 2012, A sensitive interface circuit with wide dynamic range for capacitive sensors, *SENSORS, 2012 IEEE*, 1-4.
- Aezinia, F. ve Bahreyni, B., 2013, An Interface Circuit With Wide Dynamic Range for Differential Capacitive Sensing Applications, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 60 (11), 766-770.
- Baxter Larry, K., 1997, Capacitive Sensors: Design and Applications, IEEE Press. Dec, p.
- Bhat, A., 2012, Stabilize Your Transimpedance Amplifier, <https://www.maximintegrated.com/en/app-notes/index.mvp/id/5129#>: [July 26, 2019].
- Chen, D., Yang, W. ve Pan, M., 2010a, The dynamic response of a Butterworth low-pass filter in an ac-based electrical capacitance tomography system, *Measurement Science and Technology*, 21 (10), 105505.
- Chen, D., Yang, W., Pan, M. J. I. T. o. I. ve Measurement, 2010b, Design of impedance measuring circuits based on phase-sensitive demodulation technique, 60 (4), 1276-1282.
- Ciccarella, P., Carminati, M., Ferrari, G., Bianchi, D., Grillanda, S., Morichetti, F., Melloni, A. ve Sampietro, M., 2016, Impedance-Sensing CMOS Chip for Noninvasive Light Detection in Integrated Photonics, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 63 (10), 929-933.
- Cui, Z., Wang, H., Chen, Z., Xu, Y. ve Yang, W., 2011, A high-performance digital system for electrical capacitance tomography, *Measurement Science and Technology*, 22 (5), 055503.
- Deabes, W. A., Abdelrahman, M. A. ve Murray, C., 2008, Analysis, design and application of a capacitance measurement circuit with wide operating frequency range, *2008 IEEE International Conference on Control Applications*, 114-119.
- Demirtaş, M., Erismis, M. A. ve Güneş, S., 2020a, A Lossy Capacitance Measurement Circuit Based-on Analog Lock-in Detection. *Elektronika ir Elektrotehnika*.
- Demirtaş, M., Erişmiş, M. A. ve Güneş, S., 2020b, Analysis and design of a transimpedance amplifier based front-end circuit for capacitance measurements, *SN Applied Sciences*, 2 (2), 280.
- Device, A., 1998, g to ± 5 g, Low Noise, Low Power, Single/Dual Axis/MEMS® Accelerometers,”.
- Devices, A., 2005, 24-Bit Capacitance-to-Digital Converter with Temperature Sensor. AD7745/AD7746.
- Gamio, J. C., Yang, W. Q. ve Stott, A. L., 2001, Analysis of non-ideal characteristics of an ac-based capacitance transducer for tomography, *Measurement Science and Technology*, 12 (8), 1076-1082.
- González-Landaeta, R., Cota-Ruiz, J., Sifuentes, E., Díaz, J. ve Casas, O., 2019, A Fully Differential Synchronous Demodulator for AC Signals, *IEEE Transactions on Instrumentation and Measurement*, 1-10.
- Gonzalez-Nakazawa, A., Gamio, J. C. ve Wuqiang, Y., 2005, Transient processes and noise in a tomography system: an analytical case study, *IEEE Sensors Journal*, 5 (2), 321-329.
- Grigorie, T. L., 2008a, The Matlab/Simulink modeling and numerical simulation of an analogue capacitive micro-accelerometer. Part 1: Open loop, *2008 International*

- Conference on Perspective Technologies and Methods in MEMS Design*, 105-114.
- Grigorie, T. L., 2008b, The Matlab/Simulink modeling and numerical simulation of an analogue capacitive micro-accelerometer. Part 2: Closed loop, 2008 *International Conference on Perspective Technologies and Methods in MEMS Design*, 115-121.
- Hao, Z., Cui, Z., Yue, S. ve Wang, H. J. R. o. S. I., 2018, Amplitude demodulation for electrical capacitance tomography based on singular value decomposition, 89 (7), 074705.
- Huang, S. M., Xie, C. G., Thorn, R., Snowden, D. ve Beck, M. S., 1992, Design of sensor electronics for electrical capacitance tomography, *IEE Proceedings G - Circuits, Devices and Systems*, 139 (1), 83-88.
- Huaxiang, W., Ziqiang, C., Yanbin, X., Lifeng, Z. ve Yongbo, H., 2008, Digital signal processing in electrical capacitance tomography, *APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems*, 465-468.
- Instruments, Z., 2016, Principles of lock-in detection and the state of the art.
- Kay, A., 2012, Operational amplifier noise: techniques and tips for analyzing and reducing noise, Elsevier, p.
- Khan, A. U., Islam, T., George, B. ve Rehman, M., 2019, An Efficient Interface Circuit for Lossy Capacitive Sensors, *IEEE Transactions on Instrumentation and Measurement*, 68 (3), 829-836.
- Kolle, C. ve O'Leary, P., 1998, Low-cost, high-precision measurement system for capacitive sensors, *Measurement Science and Technology*, 9 (3), 510-517.
- Kulah, H., Chae, J., Yazdi, N. ve Najafi, K., 2006, Noise analysis and characterization of a sigma-delta capacitive microaccelerometer, *IEEE Journal of Solid-State Circuits*, 41 (2), 352-361.
- Lee, W. F. ve Chan, P. K., 2008, A Capacitive-Based Accelerometer IC Using Injection-Nulling Switch Technique, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55 (4), 980-989.
- Li, J. ve Ferrari, G., 2018, Capacitance Spectroscopy of Semiconductors, New York: Jenny Stanford Publishing, p.
- Lin, D.-Y., Wu, J., Chang, Y. ve Wu, J.-S., 2007, Practical and simple circuitry for the measurement of small capacitance, *Review of Scientific Instruments*, 78 (1), 014703.
- Lobur, M. ve Holovatyy, A., 2009, Overview and analysis of readout circuits for capacitive sensing in MEMS gyroscopes (MEMS angular velocity sensors), 2009 5th International Conference on Perspective Technologies and Methods in MEMS Design, 161-163.
- Nojdelov, R. ve Nihtianov, S., 2014, Capacitive sensor interface with improved dynamic range and stability, 2014 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings, 1373-1376.
- Paavola, M., Kamarainen, M., Laulainen, E., Saukoski, M., Koskinen, L., Kosunen, M. ve Halonen, K. A. J. I. J. o. S.-S. C., 2009, A Micropower $\Delta\Sigma$ -Based Interface ASIC for a Capacitive 3-Axis Micro-Accelerometer, 44 (11), 3193-3210.
- Pallas-Areny, R. ve Webster, J. G., 2012, Sensors and signal conditioning, John Wiley & Sons, p.
- Pastre, M., Kayal, M., Schmid, H., Huber, A., Zwahlen, P., Nguyen, A.-M. ve Dong, Y., 2009, A 300Hz 19b DR capacitive accelerometer based on a versatile front end in a 5 th-order $\Delta\Sigma$ loop, 2009 Proceedings of ESSCIRC, 288-291.

- Reverter, F. ve Casas, Ò., 2010, A microcontroller-based interface circuit for lossy capacitive sensors, *Measurement Science and Technology*, 21 (6), 065203.
- Ruppert, M. G., Harcombe, D. M., Ragazzon, M. R., Moheimani, S. R. ve Fleming, A. J., 2017, A review of demodulation techniques for amplitude-modulation atomic force microscopy, *Beilstein journal of nanotechnology*, 8 (1), 1407-1426.
- Saukoski, M., Aaltonen, L., Salo, T. ve Halonen, K. A. I., 2008, Interface and control electronics for a bulk micromachined capacitive gyroscope, *Sensors and Actuators A: Physical*, 147 (1), 183-193.
- Schultz, K. J. A. J. o. P., 2016, Phase-sensitive detection in the undergraduate lab using a low-cost microcontroller, 84 (7), 557-561.
- Sun, S., Xu, L., Cao, Z., Zhou, H. ve Yang, W., 2014, A high-speed electrical impedance measurement circuit based on information-filtering demodulation, *Measurement Science and Technology*, 25 (7), 075010.
- Sun, S., Cao, Z., Huang, A., Xu, L. ve Yang, W., 2017a, A High-Speed Digital Electrical Capacitance Tomography System Combining Digital Recursive Demodulation and Parallel Capacitance Measurement, *IEEE Sensors Journal*, 17 (20), 6690-6698.
- Sun, S., Xu, L., Cao, Z., Huang, A. ve Yang, W., 2017b, Digital Recursive Demodulator Based on Kalman Filter, *IEEE Transactions on Instrumentation and Measurement*, 66 (12), 3138-3147.
- Sun, S., Xu, L., Cao, Z., j, s. ve Yang, W., 2018, A Recursive Demodulator for Real-Time Measurement of Multiple Sinusoids, *IEEE Sensors Journal*, 18 (15), 6281-6289.
- Tan, S., Liu, C., Yeh, L., Chiu, Y., Lu, M. S. ve Hsu, K. Y. J., 2011, An Integrated Low-Noise Sensing Circuit With Efficient Bias Stabilization for CMOS MEMS Capacitive Accelerometers, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58 (11), 2661-2672.
- Teren, O., Tomlain, J., Sedlacek, R. J. M. ve Systems, M., 2018, Direct Comparison of Analogue and Digital FGPA-Based Approaches to Synchronous Detection, 25 (1).
- Terzioglu, Y., 2015, A High Performance Closed-Loop Analog Readout Circuit for Capacitive MEMS Accelerometers.
- Woody, S., Bauza, M., Smith, S. ve Thompson, M., 2008, Single- and multi-sine DFT demodulation with an application to precision capacitive sensors, *Precision Engineering*, 32 (2), 79-87.
- Xilinx, 2015, Driving the Xilinx Analog-to-Digital Converter, Xilinx.
- Xu, L., Zhou, H. ve Cao, Z., 2013a, A recursive least squares-based demodulator for electrical tomography, *Review of Scientific Instruments*, 84 (4), 044704.
- Xu, L., Zhou, H., Cao, Z. ve Yang, W., 2013b, A Digital Switching Demodulator for Electrical Capacitance Tomography, *IEEE Transactions on Instrumentation and Measurement*, 62 (5), 1025-1033.
- Xu, L., Sun, S., Cao, Z. ve Yang, W., 2015, Performance analysis of a digital capacitance measuring circuit, *Rev Sci Instrum*, 86 (5), 054703.
- Xuehui, Z. ve Huaxiang, W., 2008, Digital phase-sensitive demodulation in electrical capacitance tomography system, *2008 7th World Congress on Intelligent Control and Automation*, 6730-6733.
- Yang, W. J. A. J. o. P., 2010, Teaching phase-sensitive demodulation for signal conditioning to undergraduate students, 78 (9), 909-915.

- Yang, W. Q., Stott, A. L. ve Beck, M. S., 1994, High frequency and high resolution capacitance measuring circuit for process tomography, *IEE Proceedings - Circuits, Devices and Systems*, 141 (3), 215-219.
- Yang, W. Q., 1996, Hardware design of electrical capacitance tomography systems, *Measurement Science and Technology*, 7 (3), 225-232.
- Yang, W. Q. ve York, T. A., 1999, New AC-based capacitance tomography system, *IEE Proceedings - Science, Measurement and Technology*, 146 (1), 47-53.
- Yazdi, N., Kulah, H. ve Najafi, K., 2004, Precision readout circuits for capacitive microaccelerometers, *SENSORS, 2004 IEEE*, 28-31 vol.21.
- Yusuf, A., Sudiana, D., Tamsir, A. S. ve S, H. S., 2016, A digital signal processing algorithm on read out circuit for electrical capacitance tomography, *2016 IEEE Region 10 Conference (TENCON)*, 1166-1170.
- Zhou, H., Xu, L., Cao, Z., Fan, S. ve Pei, H., 2012, A digital demodulation method for electrical tomography based on sine wave rectification, *2012 IEEE International Conference on Imaging Systems and Techniques Proceedings*, 558-561.
- Zhou, H., Xu, L., Cao, Z., Liu, X. ve Liu, S., 2013, A complex programmable logic device-based high-precision electrical capacitance tomography system, *Measurement Science and Technology*, 24 (7), 9.

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı Soyadı : Mehmet Demirtaş
Uyruğu : Türkiye Cumhuriyeti
Doğum Yeri ve Tarihi : Taşkent / 15.07.1990
Telefon : 0530-0964042
Faks : -
E-Posta : mdemirtas@erbakan.edu.tr

EĞİTİM

Derece	Adı, İlçe, İl	Bitirme Yılı
Üniversite	: Bilkent Üniversitesi, Çankaya, Ankara	2011
Yüksek Lisans	: Selçuk Üniversitesi, Selçuklu, Konya	2014
Doktora	: Konya Teknik Üniversitesi, Selçuklu, Konya	2020

İŞ DENEYİMLERİ

Yıl	Kurum	Görevi
2011-2018	Selçuk Üniversitesi	Araştırma Görevlisi
2018-	Necmettin Erbakan Üniversitesi	Araştırma Görevlisi

UZMANLIK ALANI

Akım taşıyıcılar, Analog ve dijital faz kilitlemeli yükselteçler, Kapasitans ölçümleri

YABANCI DİLLER

İngilizce (97.5 – 2018 YDS)

YAYINLAR

Demirtaş Mehmet, Güneş Salih, Herdem Saadetdin (2017). Grounded and Floating Real Inductor Simulations and Experimentations using Second Generation Current Conveyors. *European Journal of Engineering and Natural Sciences*. Volume 2, Issue 1, pp. 181-187 (Yüksek Lisans Tezinden yapılmıştır.)

Demirtaş Mehmet, Erişmiş Mehmet Akif, Güneş Salih (2017). A Demodulator Circuit Design Using Current Conveyors for MEMS Capacitive Accelerometers. *8th International Advanced Technologies Symposium*.

Demirtaş Mehmet, Erişmiş Mehmet Akif, Güneş Salih (2017). Behavioral Modeling of a MEMS Accelerometer using MATLAB/SIMULINK. *International Conference on Engineering Technologies*. (Doktora Tezinden Yapılmıştır.)

Demirtaş Mehmet, Erişmiş Mehmet Akif, Güneş Salih (2019). A Transimpedance Based Front-End Design and Analysis for Capacitance Measurement. *5th International Conferences on Engineering Sciences*. (Özet Bildiri) (Doktora Tezinden Yapılmıştır.)

Demirtaş Mehmet, Erişmiş Mehmet Akif, Güneş Salih (2020). Analysis and design of a transimpedance amplifier based front-end circuit for capacitance measurements, *SN Applied Sciences*, 2 (2), 280. (E-SCI) (Doktora Tezinden Yapılmıştır.)

Demirtaş Mehmet, Erişmiş Mehmet Akif, Güneş Salih. A Lossy Capacitance Measurement Circuit Based-on Analog Lock-in Detection. *Elektronika ir Elektrotechnika*. (SCI-E / Kabul Edildi.) (Doktora Tezinden Yapılmıştır.)

