

T.C.  
İNÖNÜ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ

KESİR DERECELİ DEVRELERİN  
FPGA İLE GERÇEKLEŞTİRİLMESİ

DOKTORA TEZİ

Ömer PEKTAŞ

Elektrik Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı: Doç. Dr. Murat KÖSEOĞLU

OCAK 2026

**T.C.  
İNÖNÜ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**KESİR DERECELİ DEVRELERİN  
FPGA İLE GERÇEKLEŞTİRİLMESİ**

**DOKTORA TEZİ**

**Ömer PEKTAŞ  
(36183615036)**

**Elektrik Elektronik Mühendisliği Anabilim Dalı**

**Tez Danışmanı: Doç. Dr. Murat KÖSEOĞLU**

**OCAK 2026**

## TEŞEKKÜR VE ÖNSÖZ

Bu tez çalışmasının her aşamasında yardım, öneri, bilgi, tecrübe ve desteklerini esirgemedi beni her konuda yönlendiren danışman hocam Sayın Doç. Dr. Murat KÖSEOĞLU'na,

Çalışmalarında, ayrıca tüm hayatım boyunca olduğu gibi bu çalışmalarım süresince de benden her türlü desteklerini esirgemeyen başta eşim olmak üzere tüm aileme,

Tez çalışması aşamasında, uygulama yapabilmek adına sağladıkları FPGA geliştirme kartı için Karamanoğlu Mehmetbey Üniversitesi Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği bölümüne,

Tezin uygulama aşamasında vermiş oldukları maddi ve manevi destekten dolayı, İnönü Üniversitesi BAP (Proje no: FBA-2025-4311) birimine

teşekkür ederim.

## ONUR SÖZÜ

Doktora veya yüksek lisans tezi olarak sunduğum “Kesir Dereceli Devrelerin FPGA ile Gerçekleştirilmesi” başlıklı bu çalışmanın bilimsel ahlak ve geleneklere aykırı düşecek bir yardıma başvurmaksızın tarafımdan yazıldığına ve yararlandığım bütün kaynakların hem metin içinde hem de kaynakçada yöntemine uygun biçimde gösterilenlerden oluştuğunu belirtir, bunu onurumla doğrularım.

Ömer PEKTAŞ



## İÇİNDEKİLER

|                                                                            |           |
|----------------------------------------------------------------------------|-----------|
| TEŞEKKÜR VE ÖNSÖZ .....                                                    | i         |
| ONUR SÖZÜ .....                                                            | ii        |
| İÇİNDEKİLER.....                                                           | iii       |
| ÇİZELGELER DİZİNİ.....                                                     | v         |
| ŞEKİLLER DİZİNİ.....                                                       | vi        |
| SEMBOLLER VE KISALTMALAR .....                                             | viii      |
| ÖZET .....                                                                 | ix        |
| ABSTRACT .....                                                             | x         |
| <b>1. GİRİŞ.....</b>                                                       | <b>1</b>  |
| 1.1 Kesir dereceli sistemler ve uygulama alanları .....                    | 3         |
| 1.1.1 Mühendislik uygulamaları ve kesir dereceli devreler .....            | 3         |
| 1.1.1.1 Sinyal işleme ve kesir dereceli filtreler .....                    | 5         |
| 1.1.1.2 Sistem tanımlama ve modelleme .....                                | 5         |
| 1.1.1.3 Kontrol sistemleri ve FOPID denetleyiciler .....                   | 5         |
| 1.1.1.4 Biyomedikal ve enerji sistemleri .....                             | 6         |
| 1.2 Kesir Dereceli Hesaplama .....                                         | 6         |
| 1.2.1 Tarihsel gelişim ve teorik çerçeve .....                             | 6         |
| 1.2.2 Temel matematiksel tanımlar .....                                    | 7         |
| 1.2.3 Fiziksel anlam: “Hafıza” ve “Kalıtımsal” özellikler .....            | 8         |
| 1.2.4 Kesir Dereceli Sistemler İçin Tamsayı Yaklaşım Yöntemleri .....      | 9         |
| 1.2.5 Kesir dereceli sistemlerin gerçekleştirilmesindeki problemler .....  | 12        |
| 1.3 Kesir Dereceli Fonksiyonların Gerçeklenmesi .....                      | 14        |
| 1.3.1 Analog gerçekleştirme .....                                          | 14        |
| 1.3.2 Dijital gerçekleştirme .....                                         | 15        |
| 1.4 Tezin Amacı.....                                                       | 16        |
| 1.5 Tezin Organizasyonu .....                                              | 18        |
| <b>2. METODOLOJİ.....</b>                                                  | <b>21</b> |
| 2.1 Gerçekleme Sürecindeki Karşılaşılan Hatalar .....                      | 21        |
| 2.2 Hataların Minimize Edilmesi İçin Öneriler .....                        | 22        |
| 2.2.1 Optimizasyon nedir ve bu problemde neden kullanılır?.....            | 23        |
| 2.3 Optimizasyon Uygulama Mantığı ve Adımları .....                        | 31        |
| 2.3.1 Frekans domeynine göre optimizasyon .....                            | 32        |
| 2.3.2 Zaman domeynine göre optimizasyon.....                               | 34        |
| 2.3.3 Transfer Fonksiyonun Dijital Olarak Gerçeklenmesi.....               | 35        |
| 2.3.4 Simülasyon ortamında gerçekleştirme.....                             | 36        |
| 2.3.5 Pratik olarak FPGA üzerinde gerçekleştirme ve deneysel düzenek ..... | 38        |
| 2.4 Gerçekleme Sürecinin Analizi ve Sonraki Adımlar .....                  | 40        |
| <b>3. KESİR DERECELİ OPERATÖRÜN FPGA İLE GERÇEKLENMESİ.....</b>            | <b>43</b> |
| 3.1 Kesirli Operatörün Matematiksel Modellenmesi ve Yaklaşım Yöntemi ..... | 43        |
| 3.2 Ayırıklaştırma ve dijital filtre tasarımı .....                        | 44        |
| 3.3 FPGA tabanlı tasarım mimarisi .....                                    | 45        |
| 3.4 Bölüm 3’ün Sonuçları.....                                              | 48        |
| 3.4.1 Frekans cevabı analizi .....                                         | 48        |
| 3.4.2 Sinüs cevabı analizi .....                                           | 49        |
| 3.4.3 Darbe (Pulse) cevabı analizi .....                                   | 50        |
| 3.4.4 Zaman (Step) cevabı analizi .....                                    | 51        |
| 3.4.5 Kaynak Kullanımı ve Güç Tüketimi .....                               | 52        |

|                                                                                                                           |            |
|---------------------------------------------------------------------------------------------------------------------------|------------|
| <b>4. DC MOTOR İÇİN KESİRLİ DERECELİ SİSTEM TANIMLAMA VE FPGA İLE GERÇEKLENMESİ .....</b>                                 | <b>55</b>  |
| 4.1 Kesir Dereceli Sistem Tanımlama ve Modelleme .....                                                                    | 55         |
| 4.2 Model İndirgeme ve Ayırıklaştırma.....                                                                                | 57         |
| 4.3 FPGA Tabanlı Gerçekleme.....                                                                                          | 58         |
| 4.4 Bölüm 4'ün Sonuçları.....                                                                                             | 59         |
| 4.5 Frekans cevabı analizi.....                                                                                           | 60         |
| 4.6 Zaman cevabı analizi .....                                                                                            | 61         |
| <b>5. KESİR DERECELİ FONKSİYONLAR İÇİN FREKANS CEVABI ESASLI OPTİMİZASYON VE GERÇEKLEME UYGULAMALARI.....</b>             | <b>63</b>  |
| 5.1 Kesir Dereceli Operatör İçin Uygulama .....                                                                           | 63         |
| 5.1.1 Transfer fonksiyonu katsayılarını optimize etmek üzere kullanılan FMINCON optimizasyon yönteminin uygulanması ..... | 63         |
| 5.1.2 FPGA üzerinde dijital gerçekleştirme .....                                                                          | 66         |
| 5.1.3 Kesir dereceli türev operatörü için hesaplamalı sonuçlar ve analizler .....                                         | 71         |
| 5.1.4 Dijital gerçekleştirme sonuçları.....                                                                               | 75         |
| 5.2 Kesir Dereceli Filtreler İçin Önerilen Yöntemin Uygulanması.....                                                      | 78         |
| 5.2.1 Alçak geçiren filtre uygulaması 1 .....                                                                             | 78         |
| 5.2.2 Alçak geçiren filtre uygulaması 2.....                                                                              | 80         |
| 5.3 Kesir Dereceli Kontrolör İçin Uygulama .....                                                                          | 83         |
| 5.4 Bölüm 5'in Sonucu .....                                                                                               | 86         |
| <b>6. KESİR DERECELİ FONKSİYONLAR İÇİN ZAMAN CEVABI ESASLI OPTİMİZASYON VE GERÇEKLEME UYGULAMALARI.....</b>               | <b>88</b>  |
| 6.1 Kesir Dereceli Operatör İçin Uygulama .....                                                                           | 88         |
| 6.1.1 Kesir dereceli yaklaşım hibrit optimizasyonu .....                                                                  | 88         |
| 6.1.1.1 Odaklanmış sürü başlatma stratejisi (Focused Cloud Initialization)..                                              | 89         |
| 6.1.1.2 Hibrit optimizasyon mimarisi (Hybrid PSO- FMINCON).....                                                           | 89         |
| 6.1.1.3 Maliyet fonksiyonu ve kararlılık kısıtları .....                                                                  | 90         |
| 6.1.2 Kesir dereceli operatör için zaman ve frekans sonuçları.....                                                        | 91         |
| 6.2 FPGA Üzerinde Dijital Gerçekleme .....                                                                                | 94         |
| 6.2.1 Dijital gerçekleştirme ile elde edilen zaman cevabı sonuçları .....                                                 | 99         |
| 6.3 Bölüm 6'nın Sonuçları.....                                                                                            | 101        |
| <b>7. SONUÇLAR.....</b>                                                                                                   | <b>103</b> |
| <b>KAYNAKLAR.....</b>                                                                                                     | <b>105</b> |
| <b>ÖZGEÇMİŞ.....</b>                                                                                                      | <b>116</b> |

## ÇİZELGELER DİZİNİ

|                                                                                                                                                                                                                                                          |            |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| <b>Çizelge 2.1</b> : Optimizasyon yöntemlerinin karşılaştırılması .....                                                                                                                                                                                  | <b>30</b>  |
| <b>Çizelge 3.1</b> : Filtre sentez raporu sonuçları .....                                                                                                                                                                                                | <b>52</b>  |
| <b>Çizelge 5.1</b> : $s^{0.5}$ türev operatörü için $\omega \in 0.01,100$ rad/s frekans aralığında farklı frekans tabanlı yaklaştırma yöntemlerine dayalı olarak elde edilen genlik, faz ve step tepkilerine ait hata karşılaştırmaları. ....            | <b>72</b>  |
| <b>Çizelge 5.2</b> : 5. derece MSBL yaklaşımı ve önerilen yöntemle elde edilen transfer fonksiyonlarının $s^{0.5}$ türev operatörü için $[0.1-10]$ rad/s, $[0.01-100]$ rad/s ve $[0.001-1000]$ rad/s frekans aralıklarına ait hata karşılaştırması. .... | <b>73</b>  |
| <b>Çizelge 5.3</b> : Türev operatörü $s^{0.5}$ için 3. derece MSBL yaklaşımı ve önerilen yöntem kullanılarak elde edilen transfer fonksiyonlarının $[0.01-100]$ rad/s frekans aralığındaki frekans tepkilerine ait hata karşılaştırması. ....            | <b>74</b>  |
| <b>Çizelge 5.4</b> : FPGA çıkışları için, farklı frekans tabanlı yaklaşım yöntemlerine dayalı olarak elde edilen $s^{0.5}$ operatörüne ait genlik ve faz tepkilerinin hata karşılaştırmaları ( $\omega \in [1,100]$ rad/s) .....                         | <b>76</b>  |
| <b>Çizelge 5.5</b> : Kesir dereceli alçak geçiren filtre için farklı frekans tabanlı yaklaşım yöntemlerine dayalı genlik ve faz tepki hatalarının, $\omega \in [0.01, 100]$ rad/s frekans aralığında karşılaştırılması.....                              | <b>79</b>  |
| <b>Çizelge 5.6</b> : Kesir dereceli alçak geçiren filtre için farklı frekans tabanlı yaklaşım yöntemlerine dayalı genlik ve faz tepki hatalarının, $\omega \in [0.01, 100]$ rad/s frekans aralığında karşılaştırılması.....                              | <b>83</b>  |
| <b>Çizelge 5.7</b> : $s^{0.5}$ türev operatörü için $\omega \in 0.01,100$ rad/s frekans aralığında farklı frekans tabanlı yaklaştırma yöntemlerine dayalı olarak elde edilen genlik, faz ve step tepkilerine ait hata karşılaştırmaları. ....            | <b>85</b>  |
| <b>Çizelge 6.1</b> : $s^{0.7}$ türev operatörü için $\omega \in 0.01,100$ rad/s frekans aralığında farklı frekans tabanlı yaklaştırma yöntemlerine dayalı olarak elde edilen step cevaplarına ait hata karşılaştırmaları.....                            | <b>92</b>  |
| <b>Çizelge 6.2</b> : $s^{0.7}$ operatörü için genlik ve faz cevabı hatalarının, $\omega \in [0.01, 100]$ rad/s frekans aralığında karşılaştırılması.....                                                                                                 | <b>93</b>  |
| <b>Çizelge 6.3</b> : Optimize Oustaloup denklemlerinin sürekli zaman, ayırık zaman ve FPGA step cevaplarına ait 50 s'lik hata karşılaştırılması.....                                                                                                     | <b>95</b>  |
| <b>Çizelge 6.4</b> : $s^{0.7}$ operatörüne ait ayırık zamanlı farklı transfer fonksiyonları için FPGA simülasyon çıkışındaki basamak cevaplarına ait hata değerleri .....                                                                                | <b>101</b> |

## ŞEKİLLER DİZİNİ

|                                                                                                                                                                                                                                                                                          |    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Şekil 2.1 : Nexys 4 DDR FPGA Geliştirme Kartı [116].....                                                                                                                                                                                                                                 | 39 |
| Şekil 2.2 : Pmod DA4 12-Bit Dijital-Analog Dönüştürücü Modülü [117].....                                                                                                                                                                                                                 | 40 |
| Şekil 2.3 : Deneysel Ölçümlerde Kullanılan FNIRSI 1013D Dijital Osiloskop [118]. ....                                                                                                                                                                                                    | 40 |
| Şekil 3.1 : Dijital gerçekleştirme blok diyagramı. ....                                                                                                                                                                                                                                  | 45 |
| Şekil 3.2 : Vitis Model Composer aracılığıyla filtrenin tasarımı, uygulanması ve karşılaştırılması. ....                                                                                                                                                                                 | 46 |
| Şekil 3.3 : IIR_mult Subsystem Bloğunun Tasarımı ve Uygulanması. ....                                                                                                                                                                                                                    | 47 |
| Şekil 3.4 : Simulink Discrete Filter Bloğunun Tasarımı ve Uygulanması.....                                                                                                                                                                                                               | 47 |
| Şekil 3.5 : IIR_mult Subsystem Bloğunun Vivado Design Suite ortamındaki detaylı tasarım yapısı. ....                                                                                                                                                                                     | 48 |
| Şekil 3.6 : Ayırık Zamanlı Fonksiyonun Bode Diyagramı Karşılaştırması (Matsuda Yaklaşım Yöntemi).....                                                                                                                                                                                    | 49 |
| Şekil 3.7 : Ayırık Zamanlı Filtre için Sinüzoidal Dalga Formu Tepkileri ve Dijital ve Analog Devre Gerçekleştirilmesi ve Hata Grafiği .....                                                                                                                                              | 50 |
| Şekil 3.8 : 1 Saniyelik Darbe (1V) için Elde Edilen Ayırık Zaman Fonksiyonunun Tepkileri ve Analitik-FPGA Hata Grafiği .....                                                                                                                                                             | 51 |
| Şekil 3.9 : Ayırık Zamanlı Filtre için Step Cevapları ve Dijital / Analog.....                                                                                                                                                                                                           | 52 |
| Şekil 4.1 : (a) Sistem çıkışı ve tanımlanan model çıkışı, (b) Giriş sinyali, (c) Tanımlanan sinyalin çıkış hatası ve uyum oranı. ....                                                                                                                                                    | 56 |
| Şekil 4.2 : Vitis Model Composer Hub sistem üreticinin uygulanması. ....                                                                                                                                                                                                                 | 59 |
| Şekil 4.3 : Genlik ve faz tepkileri karşılaştırılması. ....                                                                                                                                                                                                                              | 60 |
| Şekil 4.4 : Zaman tepkisi karşılaştırılması. ....                                                                                                                                                                                                                                        | 61 |
| Şekil 5.1 : Birinci Dereceden IIR Filtresi İçin Doğrudan Form I Yapısı.....                                                                                                                                                                                                              | 67 |
| Şekil 5.2 : Vitis Model Composer Hub'a Dayalı Simulink Blok Diyagramı. ....                                                                                                                                                                                                              | 68 |
| Şekil 5.3 : Vitis Model Composer Hub Sistem Üreticinde Kesir Dereceli Yaklaşım Yöntemlerinin Uygulanması ve Karşılaştırılması. ....                                                                                                                                                      | 69 |
| Şekil 5.4 : Ayırık Zamanlı Bir Transfer Fonksiyonunun Temsili Uygulanması.....                                                                                                                                                                                                           | 70 |
| Şekil 5.5 : Denklem 5.5 için IIR_mult1 Bloğunun Uygulanması. ....                                                                                                                                                                                                                        | 70 |
| Şekil 5.6 : Önerilen yöntem ile MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri kullanılarak $s^{0.5}$ operatörü için elde edilen beşinci derece transfer fonksiyonlarına ait gerçek (analitik) frekans tepkisi ile yaklaşık frekans tepkileri karşılaştırılması. ....                    | 71 |
| Şekil 5.7 : $s^{0.5}$ operatörü için analitik step cevabı ile MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen metoda dayalı olarak elde edilen 5. derece yaklaşık transfer fonksiyonlarına ait step cevapları karşılaştırılması.....                                         | 72 |
| Şekil 5.8 : $s^{0.5}$ türev operatörü için 5. derece MSBL yaklaşımı ve önerilen yöntem ile elde edilen transfer fonksiyonlarının frekans tepkilerinin, analitik sonuçlarla birlikte [0.1–10] rad/s, [0.01–100] rad/s ve [0.001–1000] rad/s frekans aralıklarında karşılaştırılması. .... | 73 |
| Şekil 5.9 : $s^{0.5}$ operatörü için 3. derece MSBL yaklaşımı ve önerilen yöntemle elde edilen transfer fonksiyonlarının [0.01–100] rad/s frekans aralığında cevaplarının, analitik sonuçlarla karşılaştırılması. ....                                                                   | 74 |
| Şekil 5.10 : FPGA çıktıları için elde edilen $s^{0.5}$ ifadesine ait karşılaştırmalı genlik ve faz tepkileri.....                                                                                                                                                                        | 75 |
| Şekil 5.11 : Kesir dereceli türev operatörü $s^{0.5}$ 'nin deneysel olarak FPGA ile gerçekleştirilmesi .....                                                                                                                                                                             | 76 |

|                                                                                                                                                                                                                                                                         |     |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| <b>Şekil 5.12 :</b> Optimize edilmiş transfer fonksiyonu dikkate alınarak, 0.1 V genliğinde ve 10 Hz frekansında sinüzoidal giriş sinyali için FPGA kartı üzerinde gerçekleştirilen $s^{0.5}$ kesir dereceli türev operatörünün deneysel uygulama sonucu.....           | 77  |
| <b>Şekil 5.13 :</b> Deneysel FPGA uygulaması için kaynak kullanımı ve güç tahmini. ....                                                                                                                                                                                 | 78  |
| <b>Şekil 5.14 :</b> MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen yöntem kullanılarak elde edilen yaklaşık transfer fonksiyonlarının frekans tepkilerinin, kesir dereceli alçak geçiren filtrenin analitik frekans tepkileri ile karşılaştırılması .....  | 79  |
| <b>Şekil 5.15 :</b> Vitis Model Composer üzerinde filtre denklemlerinin tasarlanması ve uygulanması.....                                                                                                                                                                | 82  |
| <b>Şekil 5.16 :</b> Kesir dereceli alçak geçiren filtre için, Oustaloup yaklaşımı ile elde edilen yaklaşık transfer fonksiyonlarının ve önerilen yöntemle elde edilen transfer fonksiyonunun frekans tepkilerinin, ideal frekans tepkileri ile karşılaştırılması. .     | 83  |
| <b>Şekil 5.17 :</b> MSBL, Oustaloup ve Matsuda yaklaşımları ile önerilen yöntem kullanılarak elde edilen yaklaşık transfer fonksiyonlarının frekans tepkilerinin, kesir dereceliPID denetleyicisinin analitik (doğrusal) frekans tepkileri ile karşılaştırılması .....  | 84  |
| <b>Şekil 5.18 :</b> FOPID denetleyicisi için elde edilen yaklaşık transfer fonksiyonlarının step cevaplarının, MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen yöntem kullanılarak elde edilen sonuçların, analitik step cevabı ile karşılaştırılması. .... | 86  |
| <b>Şekil 6.1 :</b> $s^{0.7}$ operatörü için analitik step cevabı ile Oustaloup ve önerilen metoda dayalı olarak elde edilen 5. derece yaklaşık transfer fonksiyonlarına ait step cevapları karşılaştırılması .....                                                      | 92  |
| <b>Şekil 6.2 :</b> $s^{0.7}$ operatörü için genlik ve faz cevapları karşılaştırılması.....                                                                                                                                                                              | 93  |
| <b>Şekil 6.3 :</b> $T_{opt} - oust. s, T_{opt} - oust. z$ ile $T_{opt} - oust. z$ denkleminin FPGA Gateway Out çıktısı için step cevapları karşılaştırması.....                                                                                                         | 95  |
| <b>Şekil 6.4 :</b> $T_{opt} - oust. s, T_{opt} - oust. z$ ile $T_{opt} - oust. z$ denkleminin FPGA Gateway Out çıktısı için 0 – 5 s arası step cevapları karşılaştırması.....                                                                                           | 96  |
| <b>Şekil 6.5:</b> Transfer Fonksiyonlarının Vitis Model Composer Hub Sistem Üreticinde Uygulanması ve Karşılaştırılması .....                                                                                                                                           | 98  |
| <b>Şekil 6.6 :</b> Transfer Fonksiyonlarının Alt Sistem İç Yapısı .....                                                                                                                                                                                                 | 99  |
| <b>Şekil 6.7:</b> H1 ve H2 İsimli Blokların İç Yapısı Örneği.....                                                                                                                                                                                                       | 99  |
| <b>Şekil 6.8:</b> $s^{0.7}$ operatörüne ait analitik step cevabı ile Oustaloup ve önerilen yöntem sonucu elde edilen fonksiyonun FPGA step cevaplarının karşılaştırılması.....                                                                                          | 100 |

## SEMBOLLER VE KISALTMALAR

|              |                                                                           |
|--------------|---------------------------------------------------------------------------|
| <b>FPGA</b>  | : Field Programmable Gate Array                                           |
| <b>CFE</b>   | : Sürekli Kesir Açılımı                                                   |
| <b>M-SBL</b> | : Modified Stability Boundary Locus                                       |
| <b>PSO</b>   | : Parçacık Sürü Optimizasyonu                                             |
| <b>GWO</b>   | : Gri Kurt Optimizasyonu                                                  |
| <b>IIR</b>   | : Sonsuz Dürtü Cevaplı (Infinite Impulse Response)                        |
| <b>FIR</b>   | : Sonlu Dürtü Cevaplı (Finite Impulse Response)                           |
| <b>DSP</b>   | : Dijital Sinyal İşleme                                                   |
| <b>GA</b>    | : Genetik Algoritma                                                       |
| <b>RMSE</b>  | : Kök Ortalama Karesel Hata (Root Mean Squared Error)                     |
| <b>MAPE</b>  | : Ortalama Mutlak Yüzde Hata (Mean Absolute Percentage Error)             |
| <b>RTL</b>   | : Kayıt Aktarım Seviyesi (Register Transfer Level)                        |
| <b>HDL</b>   | : Donanım Tanımlama Dili (Hardware Description Language)                  |
| <b>SQP</b>   | : Ardışık İkinci Dereceden Programlama (Sequential Quadratic Programming) |
| $\alpha$     | : Kesir derecesi (türev veya integral derecesi)                           |
| $s$          | : Laplace dönüşüm değişkeni                                               |
| $z$          | : Z-dönüşüm değişkeni (ayrık zaman için)                                  |
| $N$          | : Yaklaşım derecesi (Order of approximation)                              |
| $\omega$     | : Açısal frekans (rad/s)                                                  |
| <b>K</b>     | : Kazanç katsayısı (Gain)                                                 |
| <b>w</b>     | : Ağırlık katsayısı                                                       |

# ÖZET

Doktora Tezi

## KESİR DERECELİ DEVRELERİN FPGA İLE GERÇEKLEŞTİRİLMESİ

ÖMER PEKTAŞ

İnönü Üniversitesi  
Fen Bilimleri Enstitüsü  
Elektrik-Elektronik Mühendisliği Anabilim Dalı

116+X sayfa

2026

Danışman: Doç. Dr. Murat KÖSEOĞLU

Kesir dereceli hesaplama (fractional calculus), geleneksel tam sayılı hesaplamaya kıyasla fiziksel ve biyolojik sistemlerin dinamiklerini daha yüksek doğrulukla ve daha geniş bir hafıza etkisiyle modelleme yeteneği sayesinde, son yıllarda mühendislik ve bilim dünyasında giderek artan bir önem kazanmaktadır. Bu sistemlerin temel yapı taşları olan kesir dereceli elemanlar (fraktanslar), teorik olarak üstün performans ve tasarım esnekliği sunsa da pratik donanım gerçekleştirmeleri ciddi zorluklar barındırmaktadır. Bu tez çalışmasının temel amacı, kesir dereceli devrelerin ve sistemlerin, transfer fonksiyonlarını optimize ettikten sonra modern Sayısal Sinyal İşleme (DSP) teknikleri kullanılarak Alanda Programlanabilir Kapı Dizisi (FPGA) üzerinde yüksek performanslı, kararlı ve esnek bir şekilde gerçekleştirilmesini araştırmaktır. Çalışma kapsamında ilk olarak, kesir dereceli integral ve türev operatörünü ( $s^\alpha$ ) modellemek için kullanılan modifiye edilmiş kararlılık sınır eğrisi (MSBL), Oustaloup ve Matsuda gibi sürekli kesir açılımı (CFE) tabanlı sayısal yaklaşım yöntemleri incelenmiştir. Literatürdeki standart yaklaşımların sınırlılıklarını aşmak ve modelleme hatasını minimize etmek adına, bu yöntemlerle elde edilen transfer fonksiyonlarının katsayıları, optimizasyon algoritmaları (Parçacık Sürü Optimizasyonu, fmincon, fgoalattain vb.) kullanılarak optimize edilmiştir. Yapılan optimizasyon çalışmalarıyla, sistemin hem zaman bölgesi hem de frekans bölgesi performansları, ideal teorik cevaba en yakın olacak şekilde iyileştirilmiştir. Optimize edilen ayrık zamanlı modellerin doğruluğu MATLAB/Simulink ortamında kapsamlı simülasyonlarla test edildikten sonra, en uygun model Donanım Tanımlama Dili (Verilog) kullanılarak RTL seviyesinde tasarlanmış ve FPGA platformuna aktarılmıştır. Örnek bir kesir dereceli filtre devresi üzerinde yapılan donanım testlerinde, FPGA tabanlı gerçeklemeden elde edilen sonuçların teorik hesaplamalar ve simülasyon verileriyle yüksek oranda örtüştüğü görülmüştür. Bu çalışma, kesir dereceli sistemlerin esnek, yeniden programlanabilir ve paralel işlem yeteneği yüksek olan FPGA platformları üzerindeki uygulanabilirliğini kanıtlamakta; kontrol teorisi, sinyal işleme, biyomedikal mühendisliği ve kaotik sistemler gibi alanlardaki pratik uygulamalar için etkin bir yol haritası sunmaktadır.

**Anahtar Kelimeler:** Kesir Dereceli Hesap, Kesir Dereceli Devreler, FPGA, Dijital Gerçekleme, Kesir Dereceli Yaklaşım Metotları, Verilog

## ABSTRACT

PhD. Thesis

### IMPLEMENTATION OF FRACTIONAL ORDER CIRCUITS WITH FPGA

Ömer PEKTAŞ

Inonu University  
Graduate School of Natural and Applied Sciences  
Department of Electrical-Electronics Engineering

116+X pages

2026

Supervisor: Assoc. Prof. Dr. Murat KÖSEOĞLU

Fractional calculus has gained increasing prominence in engineering and science in recent years due to its ability to model the dynamics of physical and biological systems with higher accuracy and a broader memory effect compared to traditional integer-order calculus. Although fractional-order elements, which are the fundamental building blocks of these systems, offer theoretically superior performance and design flexibility, their practical hardware implementations pose significant challenges. The main objective of this thesis is to investigate the high-performance, stable, and flexible implementation of fractional-order circuits and systems on Field Programmable Gate Arrays (FPGA) using modern Digital Signal Processing (DSP) techniques following the optimization of their transfer functions. Within the scope of this study, numerical approximation methods based on Continued Fraction Expansion (CFE), such as Modified Stability Boundary Locus (MSBL), Oustaloup, and Matsuda, which are used to model the fractional integral and derivative operator ( $s^\alpha$ ), were first investigated. To overcome the limitations of standard approaches found in the literature and to minimize modeling errors, the coefficients of the transfer functions obtained via these methods were optimized using optimization algorithms (e.g., Particle Swarm Optimization, fmincon, fgoalattain). Through these optimization studies, both the time-domain and frequency-domain performances of the system were improved to approximate the ideal theoretical response as closely as possible. After the accuracy of the optimized discrete-time models was validated through comprehensive simulations in the MATLAB/Simulink environment, the most suitable model was designed at the Register Transfer Level (RTL) using Hardware Description Language (Verilog) and implemented on an FPGA platform. Hardware tests conducted on an exemplary fractional-order filter circuit demonstrated that the results obtained from the FPGA-based implementation were highly consistent with theoretical calculations and simulation data. This study demonstrates the feasibility of fractional-order systems on FPGA platforms, which offer high flexibility, reconfigurability, and parallel processing capabilities, and presents an effective roadmap for practical applications in fields such as control theory, signal processing, biomedical engineering, and chaotic systems.

**Keywords:** Fractional Calculus, Fractional-Order Circuits, FPGA, Digital Implementation, Fractional Order Approximation Methods, Verilog

## 1. GİRİŞ

Kesir Dereceli Sistemler (FOS), klasik tam sayı dereceli hesaplama ve kontrol teorisinin bir genellemesini temsil eder [1–3]. Geleneksel hesaplama, tam sayı dereceli türev ve integrale (örneğin, birinci dereceden hız veya ikinci dereceden ivme) dayanırken, kesir dereceli bu işlemlerin herhangi bir gerçek veya hatta karmaşık sayı derecesinde olmasına izin verir. Dinamik bir sistemde bu durum, sistem davranışını tanımlayan diferansiyel denklemlerin kesirli türevler içerdiği anlamına gelir (genellikle  $s^\alpha$  olarak gösterilir, burada  $\alpha$  tam sayı olmayan bir sayıdır). Matematiksel olarak, kesir dereceli sistem sadece teorik bir soyutlama değil, tam sayı dereceli sistemleri daha geniş kesirli alanın belirli bir alt kümesi olarak ele alan daha kapsamlı bir çerçevedir.

Kesir dereceli sistemlere duyulan ihtiyaç, klasik tam sayı dereceden modellerin karmaşık fiziksel olayları tanımlamada yetersiz kalmasından kaynaklanmaktadır. Viskoelastik malzemeler, dielektrik polarizasyon, heterojen ortamlarda ısı transferi ve elektrokimyasal süreçler gibi birçok gerçek dünya malzemesi ve süreci, mükemmel tam dereceden diferansiyel denklemlere göre davranmaz. Araştırmacılar bu anormal davranışları standart tam dereceden modeller kullanarak modellemeye çalıştıklarında, sonuç genellikle aşırı basitleştirilmiş bir yaklaşım veya doğruluğa ulaşmak için aşırı yüksek bir derece gerektiren bir model olur. Kesir dereceli hesaplama, bu standart dışı dinamikleri doğal ve hassas bir şekilde tanımlamak için matematiksel araçlar sağlar ve teorik modelleme ile deneysel gerçeklik arasındaki boşluğu doldurur [4,5].

Kesir dereceli türevlerin temel önemi, hafıza ve kalıtsal özellikleri modelleme yeteneklerinde yatmaktadır [6]. Yerel operatörler olan (yani bir sistemin durumu yalnızca mevcut zamana ve anlık değişim hızına bağlıdır) tam sayı dereceli türevlerin aksine, kesir dereceli türevler yerel olmayan veya global operatörlerdir. Bu, kesir dereceli bir sistemin gelecekteki durumunun yalnızca mevcut durumuna değil, geçmiş durumlarının ağırlıklı geçmişine de bağlı olduğu anlamına gelir. Bu durum, biyolojik dokular, süper kapasitörler ve fraktal ağlar gibi deformasyon veya enerji depolama geçmişinin gelecekteki davranışı önemli ölçüde etkilediği sistemlerin analizinde kesir dereceli sistemleri son derece önemli kılar [7].

Özellikle kontrol mühendisliği ve modellemesinde kesirli dereceli sistem yaklaşımının benimsenmesinin avantajları çok yönlüdür:

**Modelleme Doğruluğu:** Kesir dereceli sistemler, tam sayı dereceli modellere göre daha az parametreyle karmaşık dinamikleri tanımlayabilir. Basit bir kesirli denklem, yüksek dereceli bir tam sayı transfer fonksiyonunun yerini alabilir ve matematiksel gösterimi doğruluktan ödün vermeden basitleştirebilir [8].

**Tasarım Esnekliği:** Kontrol teorisinde, kesir dereceli kontrolörler (örneğin  $PI^\lambda D^\mu$  kontrolörü) ek ayar düğmeleri (integrasyon ve diferansiyasyonun kesir dereceleri) sunar. Bu, daha fazla serbestlik derecesi sağlayarak mühendislerin geleneksel PID kontrolörlerinin karşılayamayacağı daha katı performans özelliklerini karşılamalarına olanak tanır [9].

**Dayanıklılık:** Kesirli dereceli kontrol sistemleri, kazanç değişimlerine ve parametre belirsizliklerine karşı genellikle üstün dayanıklılık sergiler. Özellikle, sistem kazancı değişse bile sistemin aşırı salınımının sabit kalmasını sağlayan izo-sönümleme özelliğiyle bilinirler ve belirsiz ortamlarda kararlı tahmin edilebilir bir yanıt sağlarlar [3].

Kesir dereceli sistemlerin modelleme doğruluğu ve kontrol performansı açısından sağladığı teorik üstünlüklere karşın, bu sistemlerin gerçek zamanlı donanım platformlarında güvenilir bir biçimde uygulanması hâlâ önemli bir mühendislik problemidir. Literatürde yaygın olarak kullanılan tam sayılı derece yaklaşık yöntemler, özellikle frekans ve zaman bölgelerinde analitik modele kıyasla kayda değer sapmalar üretebilmekte ve bu sapmalar Alanda Programlanabilir Mantık Dizisi (Field Programmable Gate Array – FPGA) gibi hassas platformlarda daha da belirgin hâle gelmektedir. İlk uygulama denemelerinde gözlemlenen bu performans kayıpları, tek başına kullanılan yaklaşım yöntemlerinin pratik uygulama için yeterli olmadığını açıkça ortaya koymuştur. Bu nedenle, çalışmanın temel motivasyonu, kesir dereceli yaklaşım sonrasında oluşan bu hataları minimize edebilecek güvenilir bir iyileştirme aşaması tasarlamak, kesir dereceli operatörlerin özellikle frekans cevabı doğruluğunu artırmak ve teorik modellerle donanım gerçeklemeleri arasındaki farkı azaltmaktır. Bu amaç doğrultusunda, kesir dereceli transfer fonksiyonu, bir yaklaşım yöntemi kullanılarak tam sayı dereceli fonksiyon şeklinde ifade edildikten sonra, tam sayı dereceli fonksiyona optimizasyon uygulanmıştır. Daha sonra, transfer fonksiyonu kısmi kesirlere ayrılarak, her bir birinci dereceli bileşenin ayrı ayrı ayrık zamana dönüştürüldüğü, daha kararlı bir gerçekleştirme yapısı tercih edilmiştir. Böylece hem nümerik kararlılık artırılmış hem de FPGA tabanlı uygulamalarda teorik modele yüksek uyum sağlayan daha güvenilir bir kesir dereceli sistem gerçekleştirme yöntemi sunulmuştur.

## 1.1 Kesir dereceli sistemler ve uygulama alanları

### 1.1.1 Mühendislik uygulamaları ve kesir dereceli devreler

Kesir dereceli hesaplama kullanılarak tanımlanan sistemler, tam sayılı sistemlere kıyasla daha esnek ve daha yüksek doğrulukta modelleme imkânı sunar. Bu matematiksel altyapıyı kullanan devrelere kesir dereceli devreler adı verilir.

Son yıllarda kesir dereceli hesap, sistemlerin dinamik davranışlarını daha hassas bir şekilde modellemek ve çözümlmek amacıyla giderek daha fazla kullanılmaya başlanmıştır [10]. Bu nedenle kesirli hesap; güç ve enerji sistemleri, malzeme bilimi, elektronik, sinyal işleme ve kontrol sistemleri gibi birçok alanda gerçek dünya problemlerinin çözümünde geniş bir uygulama alanı bulmuştur. Bu geniş kapsamlı kullanım, güncel çalışmalarda açıkça ortaya konmuştur. Örneğin, kesirli hesap; fizikte adsorpsiyon olgularının ve karmaşık akışkanların incelenmesinden [11], sistem dinamiği ortamlarında verimlilik davranışlarının analizine kadar [12] birçok farklı alanda uygulanmıştır.

Güç ve enerji sistemleri bağlamında, kesirli hesap; rüzgâr enerjisi uygulamaları için geliştirilen akıllı kontrolör tasarımlarında [13,14] ve elektrohidrolik sistemlerin geliştirilmiş modellenmesinde [15] etkin bir şekilde kullanılmıştır. Sinyal işleme alanında ise temel görüntü işleme görevlerinde [16] ve durağan olmayan sinyallerin analizinde [17] uygulanmıştır. Malzeme biliminde viskoelastik malzemelere ait reolojik modellerin tanımlanmasında [18], elektronikte ise IGBT aygıtlarının termal empedans modellenmesi [19] ve elektriksel yay kontrolü [20] gibi uygulamalarda çözüm odaklı bir yaklaşım sunmaktadır.

Kesirli hesap, özellikle hassasiyet ve doğruluğun kritik olduğu gerçek dünya uygulamalarında yaygın bir şekilde tercih edilmektedir. Örneğin, I. Pataro ve çalışma arkadaşları, bir güneş kolektörü alan sisteminin kontrolü için kesirli hesap tabanlı bir kesir dereceli PID denetleyici geliştirmiştir [21]. Sağlık alanına yönelik bir başka örnekte, Rui Hu ve arkadaşları, Malezya'da COVID-19'un yayılım dinamiklerini incelemek için kesir dereceli SEIHR-M modelini önermiştir [22]. Kesirli hesap; fizik, kimya ve biyoloji gibi disiplinlerde karmaşık matematiksel modellerin çözümünde, derin öğrenme modellerinin doğruluğunun artırılmasında ve elektrik mühendisliğinde sistem davranışlarının benzetiminde etkin biçimde kullanılmaktadır.

Kesir dereceli hesabın yapay sinir ağları üzerindeki etkinliğini göstermek amacıyla C. Coelho ve çalışma arkadaşları, gürültü giderme, iyileştirme, nesne tespiti, segmentasyon

ve restorasyon gibi görevleri içeren sinir ağı tabanlı bilgisayarla görme tekniklerini kapsamlı biçimde inceleyen bir çalışmaya imza atmıştır [23]. Ayrıca X. Zhang ve ekibi, elektriksel yay (ES) modellerindeki tutarsızlıkları gidermek için, endüktör ve kapasitörlerin kesir dereceli özelliklerine dayalı bir kesir dereceli ES modeli önermiş, çalışma prensiplerini analiz etmiş ve sistemin kontrol performansını geliştirmek için bulanık uyarlamalı kesir dereceli  $PI^{\lambda}D^{\mu}$  kontrol stratejisi sunmuştur [24]. M. Higazy ve çalışma arkadaşları ise yeni bir altı boyutlu kesir dereceli kaotik model geliştirmiş, modelin karmaşık dinamiklerini analiz etmiş ve veri şifreleme gibi uygulamalara yönelik aktif bir kesir dereceli kaos denetleyicisi önermiştir [25]. Buna ek olarak, AF. Mohammed ve çalışma arkadaşları, otomatik gerilim regülasyonu (AVR) sistemleri için yeni bir Hibrit Akıllı Kesir Dereceli Oransal Türev<sup>2</sup>+İntegral (kesir dereceli PDD+I) denetleyici önermiş; bu yapıda ANFIS kullanılarak performans optimize edilmiş ve klasik yöntemlere kıyasla üstün geçici rejim yanıtı elde edilmiştir [26].

Kesirli hesabın gerçek dünya uygulamalarındaki başarısı, bu uygulamaların hata minimizasyonunu ne ölçüde sağlayabildiğine ve oluşturulan modellerin gerçek fiziksel sistemleri ne kadar gerçekçi şekilde temsil ettiğine bağlıdır. Sonuç olarak, kesir dereceli hesaplama, matematiksel bir merak konusu olmaktan çıkmış; modern elektroniğin, enerji sistemlerinin ve biyomedikal teknolojilerin daha hassas, verimli ve kararlı tasarlanabilmesi için zorunlu bir mühendislik aracı haline gelmiştir.

Kesir dereceli sistemler, dinamik davranışları tam sayılı diferansiyel denklemler yerine kesir dereceli diferansiyel denklemlerle ifade edilen ve "sistem derecesi"nin bir tam sayı olma zorunluluğunu ortadan kaldıran genelleştirilmiş yapılardır. Geleneksel sistem teorisinde, bir sistemin kararlılığı veya geçici hal tepkisi karakteristik denklemin kutup yerleşimlerine bağlıyken ve bu kutuplar s-düzleminde kesin noktalarla ifade edilirken; kesir dereceli sistemlerde türev derecesi ( $\alpha$ ), sistemin davranışını şekillendiren ekstra bir serbestlik derecesi olarak devreye girer. Bu ekstra parametre, sistem tasarımcılarına, tam sayılı sistemlerle ulaşılması mümkün olmayan hassas frekans cevapları ve gürbüzlük (robustness) özellikleri kazandırır. Günümüzde bu sistemler, teorik bir matematiksel model olmaktan çıkıp, kontrol mühendisliğinden biyomedikal sinyal işlemeye kadar geniş bir spektrumda pratik uygulama alanı bulmuştur.

#### 1.1.1.1 Sinyal işleme ve kesir dereceli filtreler

Sinyal işleme alanında, kesir dereceli sistemler özellikle filtre tasarımında devrim niteliğinde esneklikler sunmaktadır. Tam sayılı (integer-order) filtrelerde, durdurma bandındaki zayıflama eğimi (roll-off rate) her zaman  $-20 \text{ dB/dekad}$  ve katları (örneğin 1. derece için  $-20 \text{ dB}$ , 2. derece için  $-40 \text{ dB}$ ) olmak zorundadır. Ancak kesir dereceli filtrelerde bu eğim,  $-20\alpha \text{ dB/dekad}$  formülüyle istenilen herhangi bir ara değere ayarlanabilir. Bu özellik, tasarımcıya kesim frekansı ve bant genişliği üzerinde, devre derecesini artırmadan çok daha hassas bir kontrol imkânı verir. Örneğin, biyomedikal sinyallerin işlenmesinde veya gürültü bastırma uygulamalarında, standart Butterworth veya Chebyshev filtrelerinin sağlayamadığı ara geçiş bantları, kesir dereceli filtrelerle tam olarak hedeflenen profile tasarlanabilir. Bu filtrelerin FPGA gibi dijital donanımlarda gerçekleştirilmesi, analog dünyadaki esnekliğin sayısal ortama taşınmasını ve gerçek zamanlı sinyal işleme görevlerinde yüksek başarımla kullanılmasını sağlar [16,17,23,27,28].

#### 1.1.1.2 Sistem tanımlama ve modelleme

Gerçek dünyadaki birçok fiziksel süreç, doğası gereği tam sayılı modellerden ziyade kesir dereceli modellere daha yakındır. Özellikle viskoelastik malzemeler, termal süreçler ve elektrokimyasal reaksiyonlar "hafıza" etkisine sahiptir ve bu etki ancak kesir dereceli diferansiyel denklemlerle tam olarak ifade edilebilir. Bu bağlamda, "Kesir Dereceli Sistem Tanımlama" (Fractional Order System Identification), bir sistemin giriş-çıkış verilerini kullanarak o sistemin en doğru matematiksel modelini oluşturmayı amaçlar. Örneğin, bir DC motorun dinamik davranışı incelendiğinde, kesir dereceli modellerin, motorun sürtünme ve atalet momentinden kaynaklanan lineer olmayan dinamiklerini, tam sayılı modellere göre çok daha yüksek bir uyum oranıyla (%93 üzeri) temsil ettiği görülmüştür. Bu hassas modelleme yeteneği, Model Öngörülü Kontrol (MPC) gibi model tabanlı gelişmiş kontrol stratejilerinin başarısını doğrudan artırmaktadır [12,29–31].

#### 1.1.1.3 Kontrol sistemleri ve FOPID denetleyiciler

Endüstriyel otomasyonun temel taşı olan PID kontrolcüler, kesir dereceli hesaplama ile evrimleşerek kesir dereceli PID (FOPID veya  $PI^\lambda D^\mu$ ) formuna dönüşmüştür. Klasik PID kontrolcülerde sadece üç ayar parametresi ( $K_p, K_i, K_d$ ) bulunurken, FOPID kontrolcülerde integrasyon derecesi ( $\lambda$ ) ve türev derecesi ( $\mu$ ) olmak üzere iki ek parametre daha bulunur. Bu genişletilmiş yapı, kontrol sistemlerine "izo-sönümlleme" (iso-damping) adı verilen kritik

bir özellik kazandırır. İzo-sönümlleme, sistemin kazancında meydana gelebilecek belirsizliklere veya değişimlere rağmen, kapalı çevrim sistemin faz payının ve dolayısıyla sönümlleme oranının sabit kalmasını sağlar. Özellikle güneş enerjisi kollektör alanları gibi parametreleri değişkenlik gösteren karmaşık süreçlerde, FOPID kontrolcülerin klasik yöntemlere göre daha kararlı ve hızlı tepki verdiği literatürde gösterilmiştir. Ayrıca, otomatik voltaj regülatörleri (AVR) gibi hassas güç sistemlerinde, yapay zekâ destekli hibrit FOPID yapıları, geçici hal tepkilerini iyileştirerek sistemin toparlanma süresini kısaltmaktadır [14,21,32–35].

#### **1.1.1.4 Biyomedikal ve enerji sistemleri**

Kesir dereceli sistemlerin uygulama alanı mühendisliğin ötesine geçerek biyoloji ve enerji alanlarına da yayılmıştır. Biyomedikal mühendisliğinde, akciğer dokusunun empedansı veya damar ağlarının yapısı gibi fraktal özellik gösteren biyolojik dokuların modellenmesinde kesir dereceli modeller standart hale gelmektedir. Ayrıca, epidemiyolojik çalışmalarda, COVID-19 gibi salgın hastalıkların yayılım dinamikleri, hafıza etkisini dikkate alan kesir dereceli SEIHR-M modelleri ile klasik modellere göre daha gerçekçi bir şekilde analiz edilebilmektedir. Enerji sistemlerinde ise, Lityum-iyon bataryaların ve süper kapasitörlerin şarj/deşarj dinamikleri, iç dirençleri ve yaşlanma etkileri, kesir dereceli modeller kullanılarak yüksek doğrulukla kestirilebilmektedir. Elektrikli yaylar (electric springs) gibi akıllı şebeke bileşenlerinin modellenmesinde de indüktör ve kapasitörlerin kesir dereceli karakteristiği dikkate alınarak daha kararlı güç yönetim sistemleri geliştirilmektedir [11,19,20,22,36].

### **1.2 Kesir Dereceli Hesaplama**

#### **1.2.1 Tarihsel gelişim ve teorik çerçeve**

Kesir dereceli hesaplamanın (Fractional Calculus) kökenleri, klasik kalkülüsün temellerinin atıldığı 17. yüzyıla kadar uzanmaktadır. Disiplinin doğuşu, 1695 yılında L'Hôpital'in, Leibniz ile olan yazışmalarında sorduğu, yarı dereceden ( $n = 1/2$ ) türevin anlamı üzerine olan o ünlü soruya dayanır. Leibniz, bu soruya verdiği yanıtında, bu paradoksal düşüncenin gelecekte mühendislikte önemli çözümler sağlayacağını öngörmüştür. 1730'larda Euler'in Gamma fonksiyonunu kullanarak faktöriyel kavramını tam sayı olmayan değerlere genişletmesiyle türev kavramı genelleştirilmeye başlanmıştır. 19. yüzyılda ise Laplace, Fourier, Abel, Liouville ve Riemann gibi matematik devlerinin

katkıları, konunun ilk sağlam matematiksel temellerini oluşturmuş ve Riemann-Liouville kesir dereceli türev tanımıyla teori doruğa ulaşmıştır [37].

Ancak bu derin matematiksel gelişmelere rağmen, kavramsal zorluklar ve o dönemin hesaplama kapasitesinin yetersizliği nedeniyle kesir dereceli hesaplama yaklaşık üç yüzyıl boyunca büyük ölçüde "teorik bir matematiksel soyutlama" olarak kalmıştır. 20. yüzyılın sonları ve 21. yüzyılın başlarında modern bilgisayar teknolojisinin ve işlemci gücünün (CPU, FPGA, GPU) yükselişiyle birlikte bu durum radikal bir şekilde değişmiştir. Günümüzde kesir dereceli hesaplama; bellek (memory) ve yerel olmayan (non-local) davranışlarla karakterize edilen gerçek dünya sistemlerini modellemek için güçlü bir çerçeve haline gelmiştir. Dolayısıyla kesir dereceli hesaplamanın evrimi, matematiksel soyutlama ile teknolojik ilerleme arasındaki derin etkileşimi yansıtmakta ve entelektüel bir merak modern bilim ve mühendisliğin hayati bir aracına dönüştürmektedir [37,38].

### 1.2.2 Temel matematiksel tanımlar

Teorik altyapının mühendislik problemlerine uygulanabilmesi için çeşitli matematiksel tanımlar geliştirilmiştir. Bu tanımlar, "hafıza" etkisini matematiksel bir çekirdek (kernel) fonksiyonu üzerinden modeller.

- a) Riemann-Liouville (RL) Tanımı:** Analitik çalışmalarda sıkça kullanılan bu tanım, integral ve türev işlemlerini birleştirir [37]:

$${}_a D_t^\alpha f(t) = \frac{1}{\Gamma(n - \alpha)} \frac{d^n}{dt^n} \int_a^t (t - \tau)^{n-\alpha-1} f(\tau) d\tau \quad (1.1)$$

Burada  $a$ , türev derecesini ve  $n$  ise  $a$ 'dan büyük en küçük tam sayıyı ifade eder.

- b) Caputo Tanımı:** Mühendislik uygulamalarında, özellikle başlangıç koşullarının fiziksel anlamını korumak (örneğin  $t = 0$  anındaki hız veya konum gibi) kritik öneme sahiptir. Caputo tanımı, sabit bir sayının türevinin sıfır olması ve başlangıç koşullarının tam sayılı türevler cinsinden ifade edilebilmesi nedeniyle kontrol sistemlerinde standart haline gelmiştir [37,39].

$${}_a^C D_t^\alpha f(t) = \frac{1}{\Gamma(n - \alpha)} \int_a^t (t - \tau)^{n-\alpha-1} f^{(n)}(\tau) d\tau \quad (1.2)$$

- c) Grünwald-Letnikov (GL) Tanımı:** Grünwald–Letnikov (GL) yaklaşımı, kesir dereceli türev ve integrallerin zaman alanında tanımlanmasına dayanan en temel yöntemlerden biridir ve klasik sonlu fark türev tanımının genelleştirilmiş bir

biçimi olarak kabul edilmektedir. Bu yaklaşımda, bir fonksiyonun kesir dereceli türevi, fonksiyonun mevcut değeri ile geçmişteki tüm örneklerinin ağırlıklı toplamı şeklinde ifade edilmektedir. Genelleştirilmiş binom katsayıları kullanılarak tanımlanan bu ağırlıklar, kesir dereceli sistemlerin karakteristik özelliği olan uzun hafıza (long-memory) davranışını doğrudan yansıtmaktadır. Ayrık zaman formu sayesinde GL yöntemi, sayısal sinyal işleme ve dijital kontrol uygulamalarında kavramsal olarak oldukça sade bir yapı sunmakta; bu yönüyle MATLAB, DSP ve FPGA tabanlı gerçeklemeler için doğal bir başlangıç noktası oluşturmaktadır. Bununla birlikte, zaman ilerledikçe hesaplamaya dâhil edilen örnek sayısının artması, yöntemin hesaplama karmaşıklığını ve bellek gereksinimini önemli ölçüde artırmaktadır. Bu nedenle, donanım tabanlı gerçeklemelerde genellikle kısa hafıza prensibi (short memory principle) veya pencereleme tabanlı yaklaşımlar tercih edilerek yöntemin pratik uygulanabilirliği artırılmaktadır. Bir  $f(t)$  fonksiyonunun  $\alpha \in \mathbb{R}^+$  mertebesindeki Grünwald–Letnikov kesirli türevi şu şekilde tanımlanır [37]:

$${}_aD_t^\alpha f(t) = \lim_{h \rightarrow 0} \frac{1}{h^\alpha} \sum_{k=0}^{\lfloor \frac{t-a}{h} \rfloor} (-1)^k \binom{\alpha}{k} f(t - kh) \quad (1.3)$$

Burada  $\alpha$  kesirli türev derecesi,  $h$  zaman adımı (örnekleme periyodu),  $a$  başlangıç zamanı ve  $\binom{\alpha}{k}$  ise genelleştirilmiş binom katsayısını ifade etmektedir.

GL yöntemi, kesir dereceli operatörlerin teorik ve sayısal olarak anlaşılmasında güçlü bir araç sunmasına rağmen, FPGA tabanlı gerçek zamanlı uygulamalarda hesaplama karmaşıklığı ve bellek gereksinimi nedeniyle sınırlamalara sahiptir. Bu nedenle, donanım verimliliğinin kritik olduğu uygulamalarda GL yöntemi çoğunlukla referans bir yöntem olarak değerlendirilmekte; pratik gerçeklemelerde ise frekans alanı tabanlı yaklaşımlar veya optimize edilmiş ayrık zaman modelleri tercih edilmektedir [40,41].

### 1.2.3 Fiziksel anlam: “Hafıza” ve “Kalıtımsal” özellikler

Elektronik biliminin ve klasik devre teorisinin temeli; direnç (R), bobin (L) ve kapasitör (C) gibi idealize edilmiş temel devre elemanlarına dayanır. Bu elemanların davranışları, klasik analizde sıfırcı (direnç için  $V = IR$ ) veya birinci (kondansatör için  $I = C \frac{dv}{dt}$ ) dereceden tam sayılı diferansiyel denklemlerle ifade edilir. Geleneksel analog ve

sayısal sistem tasarımlarının tamamı, on yıllardır bu tam sayılı matematiksel altyapı üzerine inşa edilmiştir.

Bu yaklaşım, sayısız teknolojik gelişmenin önünü açmış olsa da doğadaki pek çok karmaşık sistemin dinamiklerini tam olarak modellemede yetersiz kalmaktadır. Gerçek dünyadaki elektrokimyasal, biyolojik ve viskoelastik sistemlerin davranışları genellikle "hafıza" ve "kalıtsal" özellikler sergiler; bu da onların geçmiş durumlarının gelecekteki davranışlarını etkilediği anlamına gelir. Örneğin, bir bataryanın şarj durumu veya biyolojik bir dokunun strese tepkisi, sadece o anki girdiye değil, sistemin tüm geçmiş tarihçesine bağlıdır. Tam sayılı modeller, bu tür uzun süreli bağımlılıkları (long-range dependencies) yakalamakta zorlanır ve genellikle sistemi olduğundan daha basit göstererek modelleme hatalarına yol açar [11].

Bu noktada, tam sayılı integral ve türev kavramlarını reel veya kompleks sayılara genişleten kesir dereceli hesaplama, mühendislik ve bilim alanlarında yeni bir ufuk açmıştır. Kesir dereceli türev operatörleri,  $(t - \tau)$  şeklindeki çekirdek fonksiyonları sayesinde, geçmişin etkisinin zamanla azaldığı ancak asla tamamen kaybolmadığı bir "ağırlıklı geçmiş" (weighted history) mekanizması sunar.

#### **1.2.4 Kesir Dereceli Sistemler İçin Tamsayı Yaklaşım Yöntemleri**

Kesir dereceli sistemlerin teorik denklemlerinin simülasyonu ile pratik uygulamaları arasındaki en büyük farklılıklardan biri,  $s^\alpha$  gibi kesir dereceli operatörlerin fiziksel donanımlarda ideal olarak gerçekleştirilememesinden kaynaklanan sapmalardır. Bu operatörler doğaları gereği sonsuz hafıza ve sonsuz boyutlu bir durum uzayı gerektirirler. Bu yapısal engeli aşmak amacıyla, kesir dereceli transfer fonksiyonları, tamsayı dereceli farklı yaklaşım yöntemleri kullanılarak, belirlenmiş bir frekans aralığında ideal operatörün genlik ve faz davranışını taklit eden sonlu boyutlu, tamsayı dereceli rasyonel transfer fonksiyonları şeklinde yaklaşık olarak ifade edilebilir. Bu dönüşüm işlemi, kesir dereceli sistemlerin standart analog devreler veya FPGA gibi sayısal donanımlar üzerinde gerçekleştirilmesine olanak tanır. Literatürde bu amaçla geliştirilmiş, frekans veya zaman tabanlı çeşitli yaklaşım yöntemleri bulunmaktadır. Bu bölümde, en yaygın kullanılan yöntemler ve karakteristik özellikleri incelenmektedir [42–44].

##### **1.2.4.1 Oustaloup yaklaşım yöntemi**

Kesir dereceli sistemlerin tam sayılı modellerle ifadesi için en yaygın kullanılan ve kabul görmüş yöntemlerden biri Alain Oustaloup tarafından geliştirilen Oustaloup

yaklaşımıdır [45]. Bu yöntem, özellikle geniş bir frekans aralığında ( $[\omega_l, \omega_h]$ ) yüksek doğrulukta bir yaklaşım elde etmeyi hedefler. Yöntemin temel amacı, kesir dereceli operatörü ( $s^\alpha$ ), sıfırları ve kutupları logaritmik olarak simetrik bir şekilde dağıtılmış bir tam sayılı filtre ile modellemektir [46].

Oustaloup yaklaşımı ile  $s^\alpha$  operatörü, ( $N=2n+1$ ) dereceli bir tam sayılı transfer fonksiyonu  $G_f(s)$  ile aşağıdaki gibi ifade edilir [42]:

$$s^\alpha \approx G_f(s) = K \prod_{k=-N}^N \frac{s+\omega'_k}{s+\omega_k} \quad (1.3)$$

Burada  $N$ , filtrenin derecesini belirler ve yaklaşımın doğruluğunu artırır. Kutup ( $\omega_k$ ) ve sıfırların ( $\omega'_k$ ) konumları ise şu formüllerle geometrik olarak hesaplanır:

$$\omega'_k = \omega_l \left( \frac{\omega_h}{\omega_l} \right)^{(k+N+0.5-0.5\alpha)/(2N+1)} \quad (1.4)$$

$$\omega_k = \omega_b \left( \frac{\omega_h}{\omega_l} \right)^{(k+N+0.5+0.5\alpha)/(2N+1)} \quad (1.5)$$

Kazanç ( $K$ ) ise genellikle yaklaşım aralığının merkez tarafından frekansında ( $1 \text{ rad/s}$ ) genliğin birim olması ( $0 \text{ dB}$ ) prensibine göre  $K = \omega_h^\alpha$  olarak ayarlanır. Oustaloup yöntemi, filtre derecesi  $N$  artırılarak yaklaşım doğruluğunun sistematik olarak iyileştirilebildiği güçlü bir yapı sunar. Bu özelliği sayesinde, kontrol ve sinyal işleme uygulamalarında, özellikle FOPID denetleyicilerin analog veya dijital gerçekleştirilmesinde sıkça tercih edilmektedir. Ancak yüksek dereceli yaklaşımların hesaplama yükünü ve donanım karmaşıklığını artırması, ayrıca yaklaşım aralığı dışında performansın hızla düşmesi yöntemin dikkate alınması gereken kısıtlarıdır [1,34].

#### 1.2.4.2 SBL ve Modifiye SBL (MSBL) yaklaşım yöntemi

Kararlılık Sınırı Eğrisi (Stability Boundary Locus - SBL) yöntemi, kesir dereceli sistemlerin kararlılık analizinden türetilmiş bir yaklaşımdır. Bu yöntemin temel fikri,  $s = j\omega$  iken  $s^\alpha = (j\omega)^\alpha = \omega^\alpha (\cos(\alpha\pi/2) + j \sin(\alpha\pi/2))$  ifadesinin frekans alanındaki davranışını, rasyonel bir tam sayılı transfer fonksiyonu ile taklit etmektir [43]. SBL yöntemi düşük frekanslarda makul bir performans sergilese de sadece belirli bir frekans noktası etrafında noktaların eşit aralıklarla seçildiği için geniş bantlı uygulamalarda yetersiz kalabilmektedir. Bu sorunu çözmek için Değiştirilmiş Kararlılık Sınırı Yörüngesi (Modified-SBL veya M-SBL) yöntemi geliştirilmiştir. M-SBL, SBL'nin temel mantığını korurken, sıfır ve kutupların yerleşimini daha geniş bir frekans aralığına yayarak yaklaşım doğruluğunu

artırır. Bu yöntemde,  $s^\alpha$  operatörü genellikle aşağıdaki gibi bir transfer fonksiyonu ile modellenir [42]:

$$s^\alpha \approx c_0 \frac{\prod_{i=1}^N (1+s/z_i)}{\prod_{i=1}^N (1+s/p_i)} \quad (1.6)$$

Burada  $z_i$  ve  $p_i$  sıfır ve kutup değerleri, belirli bir frekans aralığında faz ve genlik yanıtını en iyi şekilde taklit edecek biçimde optimize edilir [44].

MSBL, orijinal SBL yöntemine göre çok daha geniş bir frekans aralığında çalışabilmesi ve orta dereceli yaklaşımlarda dahi yüksek doğruluk sunmasıyla öne çıkar. Ancak noktaların belirli bir logaritmik ölçeğe seçim sürecinin diğer analitik yöntemlere kıyasla daha karmaşık olması, tasarım aşamasında dikkat gerektirir.

#### 1.2.4.3 Matsuda yaklaşım yöntemi

Matsuda yaklaşımı, frekans alanında logaritmik ölçeğe doğrusal bir interpolasyon (curve fitting) tekniğine dayanır. Yöntem,  $s^\alpha$  operatörünün genlik ve faz yanıtlarını, logaritmik frekans ekseninde seçilen ayırık noktalarda eşleştirmeyi hedefler. Bu noktalardaki değerler kullanılarak bir dizi kutup ve sıfır hesaplanır.

Matsuda yaklaşımında,  $[\omega_{min}, \omega_{max}]$  frekans aralığında,  $s^\alpha$  ifadesinin logaritmik frekans yanıtı  $\log((j\omega)^\alpha) = \alpha \log(j\omega)$  olarak ele alınır. Bu ifadenin reel ve sanal kısımları, yani genlik ve faz, seçilen frekans noktalarında örneklenir ve bu örneklerle uyum rasyonel bir transfer fonksiyonu oluşturulur [47].

Matsuda yöntemi, sıfır ve kutupların hesaplanması için doğrudan analitik formüller sunduğu ve optimizasyon gerektirmediği için kavramsal olarak basit ve uygulaması kolaydır. Ancak Oustaloup yöntemi kadar geniş bir bant genişliğinde düzgün (smooth) bir faz cevabı sağlamayabilir; seçilen frekans noktaları arasında genlik ve faz cevaplarında dalgalanmalar (ripple) görülebilir [42,48].

#### 1.2.4.4 Sürekli Kesir Açılımı (CFE) yaklaşım yöntemi

Sürekli Kesir Açılımı (Continued Fraction Expansion - CFE), kesir dereceli integratör  $s^{-\alpha}$  veya  $s^\alpha$  türev operatörünü rasyonel bir tam sayılı fonksiyona dönüştürmek için kullanılan güçlü bir matematiksel tekniktir [47]. Bu yöntem, özellikle sayısal gerçekleştirme için popüler olan Tustin veya Euler gibi ayırıklaştırma yöntemlerinin genelleştirilmesi olarak görülebilir.

Örneğin, operatörü için bir CFE yaklaşımı,  $s = (1 - z^{-1})/(1 + z^{-1})$  (Tustin dönüşümü) gibi bir değişken değişimi ile başlayabilir. Elde edilen fonksiyon daha sonra sürekli kesirler şeklinde açılır. Örneğin,  $s^{-\alpha}$  için genel bir CFE açılımı şu şekilde olabilir [42]:

$$s^{-\alpha} = \frac{1}{s^{\alpha}} \approx \frac{c_1}{s + \frac{c_2}{s + \frac{c_3}{s + \dots}}} \quad (1.4)$$

Bu açılım belirli bir derecede kesildiğinde Padé yaklaşımına benzer rasyonel bir transfer fonksiyonu elde edilir. CFE yöntemi, özellikle düşük dereceli yaklaşımlarda bile kararlı sonuçlar üretmesi ve sayısal implementasyonlar (dijital filtreler) için yüksek verimlilik sağlaması nedeniyle tercih edilir. Buna karşın, analitik türetimi (hesabı) diğer yöntemlere göre daha karmaşık olabilir ve frekans alanı doğruluğu geniş bantlarda Oustaloup yöntemi kadar yüksek olmayabilir [42].

#### 1.2.4.5 Carlson yaklaşım yöntemi

Carlson yaklaşımı, kesir dereceli integratörün  $(1/s^{\alpha})$  yaklaşık ifadesini elde etmek için kullanılan klasik yöntemlerden biridir. Yöntem, operatörün dürtü yanıtını (impulse response) analiz ederek zaman alanından bir yaklaşım geliştirir ve bunu Laplace dönüşümü ile frekans alanına taşır [49]. Carlson yöntemi,  $t^{-\alpha}$  fonksiyonuna en uygun rasyonel fonksiyonu bularak bir yaklaşım elde eder. Bu yaklaşım daha sonra Laplace dönüşümü ile frekans düzlemine taşınır. Düşük dereceli sistemler için hızlı ve basit bir çözüm sunması ve tarihsel önemi nedeniyle literatürde yer bulsa da, yaklaşım doğruluğu modern yöntemlere (örn. Oustaloup, MSBL) kıyasla daha düşüktür ve genellikle dar bir frekans aralığında etkilidir [50].

#### 1.2.5 Kesir dereceli sistemlerin gerçekleştirilmesindeki problemler

Kesir dereceli modelleme, klasik tam sayılı modellere kıyasla sistemlerin dinamik davranışlarını, özellikle hafıza ve kalıtsal özelliklerini temsil etmede çok daha hassas sonuçlar sağlamaktadır. Ancak bu teorik üstünlük, pratik uygulama aşamasında ciddi mühendislik problemlerini de beraberinde getirmektedir. Karşılaşılan en temel problem, kesir dereceli türev ve integral operatörlerinin  $(s^{\alpha})$  doğaları gereği "sonsuz boyutlu" (infinite-dimensional) olmalarıdır. Fiziksel dünyada kullanılan işlemciler, bellek birimleri ve analog devre elemanları sonlu kapasiteye sahip olduğundan, bu operatörlerin doğrudan ve kayıpsız bir şekilde gerçekleştirilmesi imkânsızdır [28,48]. Bu yapısal kısıtı aşmak ve bir kesir dereceli operatörü gerçekleyebilmek için, operatörün sonsuz hafızaya sahip

davranışının, belirlenmiş bir frekans aralığında ( $[\omega_b, \omega_h]$ ) sonlu sayıda kutup ve sıfır ile sınırlandırılması gerekmektedir. Bu amaçla literatürde Oustaloup, Matsuda, MSBL ve Carlson gibi çeşitli yaklaşım yöntemleri kullanılmaktadır [51,51–54].

Ancak bu yöntemlerin her biri, ideal operatörü sadece belirli bir bant genişliği içinde taklit edebilmektedir. Yaklaşım aralığının dışında sistem, kesir dereceli özelliklerini kaybederek tam sayılı bir sistem gibi davranmaya başlamakta, bu da geniş bantlı sinyal işleme uygulamalarında veri kayıplarına yol açabilmektedir. Ayrıca, yaklaşım bandı içerisinde dahi, sonlu sayıdaki kutup-sıfır dağılımı nedeniyle ideal düz faz eğrisinden sapmalar ve dalgalanmalar (ripple) meydana gelmektedir. Bu sapmalar, hassas kontrol sistemlerinde kararlılık marjlarının (faz cevabı) değişmesine ve sistemin gürbüzlüğünün azalmasına neden olmaktadır. Yaklaşım hatasını azaltmanın en doğrudan yolu, kullanılan transfer fonksiyonunun derecesini ( $N$ ) artırmaktır. Ancak model derecesinin artırılması, özellikle gerçek zamanlı gömülü sistemlerde ve FPGA uygulamalarında işlem yükü ve sayısal kararlılık sorunlarını ortaya çıkarmaktadır. Yüksek dereceli filtreler, daha fazla çarpma ve toplama işlemi gerektirdiğinden, bu durum örnekleme hızını düşürebilmekte veya daha maliyetli donanım gereksinimleri doğurabilmektedir. Bununla birlikte, yüksek dereceli polinomların katsayıları arasındaki dinamik aralık farkları, dijital platformlarda yuvarlama hatalarına karşı sistemi daha hassas hale getirerek kararsızlık riskini artırmaktadır.

Gerçekleme sürecindeki bir diğer kritik problem grubu ise dijitalleşme ve donanım kısıtlarından kaynaklanmaktadır. Sürekli zamanlı yaklaşımların dijital işlemcilerde (FPGA, DSP) çalışabilmesi için ayrık zamana dönüştürülmesi gerekmekte; ancak Tustin veya Al-Alaoui gibi dönüşüm yöntemleri, özellikle Nyquist frekansına yaklaşıldığında "frekans bükülmesi" (frequency warping) hatasına neden olmaktadır. Buna ek olarak, FPGA gibi donanımlarda sayıların temsili için kullanılan bit genişliğinin sınırlı olması, "katsayı kuantalama hatası" (coefficient quantization error) adı verilen bir sorunu ortaya çıkarmaktadır. Teorik simülasyonlarda kararlı çalışan bir filtre, donanım üzerindeki bit sınırlamaları nedeniyle ideal davranışından sapabilmekte ve hatta sistemin kutuplarının birim çember dışına kaymasına yol açabilmektedir. Sonuç olarak, kullanılan yöntemlerin doğası gereği birer yaklaşım olması ve donanımların fiziksel sınırları sebebiyle, gerçekleme sırasında elde edilen zaman ve frekans yanıtları ile sistemin teorik yanıtları arasında bir farkın oluşması kaçınılmazdır. Bu nedenle, daha hassas bir gerçekleme performansı elde edebilmek için sadece analitik yöntemlere güvenmek yerine, bu hataları minimize edecek optimizasyon algoritmalarının devreye alınması kritik bir öneme sahiptir [50,55].

### 1.3 Kesir Dereceli Fonksiyonların Gerçeklenmesi

Kesir dereceli fonksiyonların teorik analizden pratik uygulamalara aktarılması, kesir dereceli sistemler ve denetleyici tasarımı alanında karşılaşılan en temel mühendislik problemlerinden biridir. Klasik tam sayı dereceli sistemlerin aksine, kesir dereceli türev ve integral operatörleri ( $s^\alpha$ ), doğaları gereği "yerel olmayan" (non-local) bir yapıya sahiptir. Bu durum, operatörün o anki davranışının sistemin tüm geçmişine bağlı olduğu anlamına gelir (hafıza etkisi) ve bu davranışın matematiksel olarak tam temsili, sonsuz boyutlu bir sistem veya sonsuz hafıza gerektirir. Fiziksel dünyada sonsuz boyutlu bir donanım mümkün olmadığından, araştırmalar bu operatörlerin davranışını belirli bir frekans bandında ve kabul edilebilir bir hata payı ile taklit edebilen "sonlu boyutlu" yaklaşımlar (finite-dimensional approximations) geliştirmeye odaklanmıştır.

Bu gerçekleştirme stratejileri literatürde temel olarak iki ana kategoriye ayrılmaktadır: sürekli zamanlı elektronik devre elemanlarının kullanıldığı analog gerçekleştirim ve sayısal işlemciler üzerinde ayrıklaştırılmış matematiksel modellerin koşulduğu dijital gerçekleştirim [56]. Hangi yöntemin tercih edileceği; hedeflenen uygulamanın frekans bandı, ihtiyaç duyulan hassasiyet, enerji verimliliği ve sistemin çalışma esnasında parametre değişimine ihtiyaç duyup duymadığı (yeniden yapılandırılabilirlik) gibi kriterlere bağlıdır [52].

#### 1.3.1 Analog gerçekleştirme

Analog gerçekleştirim, kesir dereceli operatörlerin ( $s^\alpha$ ) frekans düzlemindeki genlik ve faz davranışlarını, sürekli zamanlı elektronik devre topolojileri ile taklit etmeyi hedefler. Bu alandaki ilk çalışmalar, direnç (R) ve kapasitör (C) elemanlarının belirli bir geometrik dizi veya özyineli yapı ile (örneğin Foster veya Cauer formları) birbirine bağlandığı RC merdiven ağlarına dayanmaktadır. "Fraktans" veya "Fraktör" olarak adlandırılan bu pasif devreler, belirli bir bant genişliği içinde sabit bir faz açısı sağlayarak kesir dereceli empedans davranışı sergilerler.

Ancak pasif devrelerin boyutlarının büyük olması ve parametrelerinin üretim sonrası değiştirilememesi, araştırmacıları aktif devre elemanlarına yöneltmiştir. Güncel literatürde, işlemsel yükselteçler (Op-Amp), operasyonel trans iletkenlik yükselteçleri (OTA) ve akım taşıyıcılar (CCII) kullanılarak sentezlenen aktif filtre yapıları, daha hassas ve ayarlanabilir kesir dereceli transfer fonksiyonlarının elde edilmesini sağlamaktadır. Bu alandaki en yenilikçi yaklaşım ise Alan Programlanabilir Analog Dizilerin (FPAA) kullanımudur.

FPAAs, analog blokların iç bağlantılarının dijital olarak programlanabilmesine olanak tanıyarak, donanım değişikliği yapmadan filtre derecesinin veya kesir derecesinin değiştirilmesini mümkün kılar [57,58].

Yakın zamanda yapılan çalışmalar, FPAAs tabanlı tasarımların, Butterworth ve Chebyshev gibi yüksek dereceli kesir dereceli filtrelerin prototiplenmesinde büyük kolaylık sağladığını göstermiştir [59]. Analog gerçekleştirimin dijital yöntemlere göre en büyük avantajı, sinyallerin ayrıklaştırılmadan işlenmesi sayesinde kuantalama gürültüsünün olmaması ve teorik olarak sonsuz çözünürlüğe sahip olmasıdır. Ayrıca, yüksek frekanslı uygulamalarda dijital işlemcilerin saat frekansı sınırlarına takılmadan çalışabilmesi ve düşük güç tüketimi, analog yaklaşımı özellikle gömülü sensör arayüzleri ve biyomedikal sinyal işleme gibi alanlarda cazip kılmaktadır [60,61].

### 1.3.2 Dijital gerçekleştirme

Dijital gerçekleştirim, sürekli zamanlı kesir dereceli operatörlerin ( $s^a$ ), dijital bir platformda (Mikrodenetleyici, DSP veya FPGA) işlenebilecek ayrık zamanlı fark denklemlerine dönüştürülmesi esasına dayanır. Bu süreç genellikle iki aşamalı bir yaklaşım gerektirir: İlk olarak, Oustaloup, Matsuda veya MSBL gibi yöntemlerle operatörün  $s$ -düzleminde yüksek dereceli bir rasyonel yaklaşımı ( $H(s)$ ) elde edilir. İkinci adımda ise bu rasyonel fonksiyon, Tustin (bilinear), Al-Alaoui veya Simpson gibi dönüşüm yöntemleri ile  $z$ -düzlemine ( $H(z)$ ) taşınarak dijital filtre katsayıları hesaplanır. Alternatif olarak, Grünwald–Letnikov (GL) tanımı kullanılarak doğrudan türev operatörünün ayrık zamanlı karşılığı da elde edilebilir.

Dijital platformlar arasında FPGA, sunduğu paralel işlem yeteneği ile kesir dereceli sistemler için en uygun donanım çözümlerinden biri olarak öne çıkmaktadır. Kesir dereceli yaklaşımlar genellikle yüksek dereceli (örneğin 5. veya 7. derece) Sonsuz Dürtü Cevaplı (Infinite Impulse Response - IIR) veya Sonlu Dürtü Cevaplı (Finite Impulse Response – FIR) filtreler gerektirdiğinden, standart mikroişlemcilerde seri olarak yapılan çarpma-toplama işlemleri ciddi gecikmelere yol açabilir. FPGA’lar ise bu işlemleri donanımsal paralellik sayesinde tek bir saat darbesinde gerçekleştirebilir. Literatürde, GL yaklaşımı ve rasyonel yaklaşımlar kullanılarak FPGA üzerinde gerçekleştirilen kesir dereceli türev alıcılar, integraller ve PID denetleyiciler, yüksek bant genişliğinde gerçek zamanlı çalışma başarısı göstermiştir [62].

Ayrıca FPGA'lar, kesir dereceli kaotik sistemler, yapay sinir ağları ve memristör tabanlı bellek elemanlarının modellenmesi gibi karmaşık lineer olmayan dinamiklerin simülasyonu için de kritik bir rol oynamaktadır. Bu tasarımlarda, MATLAB/Simulink ile entegre çalışan Xilinx System Generator veya Vitis Model Composer gibi "Model Tabanlı Tasarım" (Model-Based Design) araçları, teorik modellerin doğrudan donanım bit akışına dönüştürülmesini sağlayarak tasarım sürecini hızlandırmaktadır [60,63]. Dijital gerçekleştirimin analog yöntemle göre temel üstünlükleri; gürültü bağışıklığı, sıcaklık değişimlerinden etkilenmeme, tasarımın kopyalanabilirliği ve en önemlisi filtre katsayılarının yazılım yoluyla anlık olarak değiştirilebilmesidir. Bu esneklik, adaptif kontrol sistemleri için dijital yaklaşımı vazgeçilmez kılmaktadır.

#### 1.4 Tezin Amacı

Kesir dereceli hesaplama, sistemin mevcut davranışının geçmiş durumların birikimli etkisini içermesine olanak tanıyan hafıza ve yerellik-dışı özellikleri sayesinde, klasik tam sayılı modellere kıyasla dinamik sistemlerin daha yüksek doğrulukla modellenmesini mümkün kılmaktadır. Ancak yapılan kapsamlı literatür taraması, bu teorik üstünlüğün pratik uygulamalara aktarılmasında, özellikle dijital donanım gerçeklemelerinde ciddi problemler yaşandığını göstermektedir. Mevcut çalışmaların büyük çoğunluğu teorik simülasyonlarla sınırlı kalmakta, donanım üzerinde gerçek zamanlı çalışan uygulamalar ise genellikle standart yöntemlerin getirdiği performans sınırlarına takılmaktadır.

Bu doğrultuda, tezin temel motivasyonu; kesir dereceli sistemlerin (operatörler, filtreler ve kontrolcüler) dijital ortamda yüksek doğrulukla ve donanım verimliliği gözetilerek gerçekleştirilmesini sağlayan bütünlük bir tasarım metodolojisi geliştirmektir. Tez kapsamında odaklanılan temel problemler ve çözüm hedefleri şu şekilde detaylandırılabilir:

Standart Yaklaşım Yöntemlerinin Sınırlarının Aşılması: Kesir dereceli operatörlerin ( $s^\alpha$ ) sonlu boyutlu rasyonel fonksiyonlarla (transfer fonksiyonları) ifade edilmesinde kullanılan Oustaloup, Matsuda ve MSBL gibi analitik yöntemler, endüstri standardı haline gelmiştir. Ancak bu yöntemler, matematiksel yapıları gereği sadece belirli bir merkez frekans etrafında yüksek doğruluk sağlarken, çalışma bandının uç noktalarına (düşük ve yüksek frekans bölgeleri) gidildikçe hem genlik hem de faz cevabında kabul edilemez sapmalar (ripple) göstermektedir. Tezin ilk amacı, bu analitik yöntemlerin neden olduğu spektral hataları analiz etmek ve optimizasyon yöntemleriyle minimize etmektir.

Optimizasyon Tabanlı Tasarım Yaklaşımı: Standart yöntemlerin ürettiği katsayılar, genellikle sabit analitik formüllere dayanır ve sistemin özel gereksinimlerine göre esneklik göstermez. Bu tezde, transfer fonksiyonu katsayılarının (kutuplar, sıfırlar ve kazanç), metasezgisel optimizasyon algoritmaları (Parçacık Sürü Optimizasyonu, Genetik Algoritmalar vb.) veya gradyan tabanlı yöntemler (fmincon vb.) kullanılarak yeniden düzenlenmesi hedeflenmiştir. Amaç, hedef frekans cevabına veya zaman düzlemi tepkisine (basamak cevabı vb.) maksimum oranda yaklaşan, "optimize edilmiş" yeni nesil yaklaşım fonksiyonları elde etmektir.

FPGA Tabanlı Yüksek Performanslı Gerçekleme: Teorik olarak optimize edilen bu karmaşık matematiksel modellerin, klasik mikrodenetleyicilerin işlem gücü sınırlarına takılmadan çalışabilmesi gerekmektedir. Bu bağlamda tezin bir diğer amacı; optimize edilmiş kesir dereceli sistemleri, paralel işlem yeteneği, yüksek hız ve deterministik zamanlama sunan FPGA üzerinde gerçekleştirmektir.

Bu temel hedefler doğrultusunda, tez çalışması şu üç somut çıktıyı hedeflemektedir:

Birinci olarak, literatürdeki yaklaşım yöntemlerinin (özellikle Oustaloup ve MSBL) frekans ve zaman düzlemindeki hata karakteristiklerinin iyileştirilmesi; böylece geniş bantlı uygulamalarda dahi kararlı faz ve genlik cevabı sunan modellerin geliştirilmesi amaçlanmıştır.

İkinci olarak, geliştirilen optimizasyon algoritmaları sayesinde, sistem tasarımcısına esneklik kazandırılması hedeflenmiştir. Tasarımcı, uygulamasına göre "frekans hassasiyeti" veya "zaman tepkisi hızı" (overshoot, settling time vb.) parametrelerini önceleyen bir optimizasyon sürecini işletebilecektir.

Son olarak, teorik tasarım ile pratik uygulama arasındaki boşluğun doldurulması hedeflenmiştir. Bu kapsamda, optimize edilmiş modellerin FPGA üzerinde, kaynak kullanımı (LUT, Flip-Flop) ve güç tüketimi açısından verimli bir şekilde, modern model tabanlı tasarım araçları (Xilinx Vitis Model Composer vb.) kullanılarak gerçekleştirilmesi ve sonuçların doğrulanması amaçlanmıştır.

Özetle bu tez; kesir dereceli sistemlerin sadece matematiksel birer model olmaktan çıkarp, endüstriyel kontrol, sinyal işleme ve robotik gibi alanlarda güvenle kullanılabilir, optimize edilmiş ve donanım üzerinde doğrulanmış birer mühendislik aracı haline getirmeyi amaçlamaktadır.

## 1.5 Tezin Organizasyonu

Bu tez kapsamında, kesir dereceli transfer fonksiyonlarının dijital ortamda yüksek doğrulukla gerçekleştirilmesi amacıyla, optimizasyon tabanlı yaklaşım yöntemleri ve FPGA tabanlı simülasyon uygulamaları gerçekleştirilmiştir. Gerçekleştirilen simülasyon uygulamalarından bir tanesi FPGA donanımı üzerinde realize edilerek tutarlılık analizi yapılmıştır. Çalışmanın ilk aşamasında, literatürde yaygın olarak kullanılan ancak belirli kısıtları bulunan analitik yaklaşım yöntemleri temel alınmıştır.

İlk olarak, ideal kesir dereceli operatörlerin ( $s^\alpha$ ) frekans davranışlarını yansıtan teorik veriler ve standart yaklaşım yöntemlerinin ürettiği sonuçlar karşılaştırmalı olarak analiz edilmiştir. Bu analizler, standart yöntemlerin özellikle çalışma bandının uç noktalarında gösterdiği genlik ve faz sapmalarını net bir şekilde ortaya koymuştur. Elde edilen bu ön bilgiler, iyileştirme sürecinin hangi frekans aralıklarına ve parametrelere odaklanması gerektiğini belirlemek için kullanılmıştır. Bu hazırlık süreci, önerilen optimizasyon tabanlı yaklaşımların gerekliliğini ve hedeflerini tanımlamak açısından önemli bir ön adımdır.

Sistem modeli, daha sonra uygulanacak optimizasyon algoritmalarının temelini oluşturacağından, bu süreçte modelin parametrik yapısının optimizasyona uygun hale getirilmesine özellikle dikkat edilmiştir. Ardından, belirlenen kesir dereceli model yapıları, seçilen optimizasyon algoritmaları ile entegre edilerek katsayı iyileştirme sürecine başlanmıştır.

Optimizasyon süreci, hedef frekans cevabına en yakın sonucu verecek şekilde yürütülmüş ve elde edilen her bir geliştirilmiş yaklaşım transfer fonksiyonu önce MATLAB/Simulink ortamında simülasyon yoluyla, daha sonra ise FPGA donanımı üzerinde test edilmiştir.

Sonraki aşamada, optimize edilmiş transfer fonksiyonları, dijital filtre formuna (örneğin IIR filtre) dönüştürülerek FPGA üzerinde gerçek zamanlı çalışacak şekilde programlanmış ve MATLAB ortamı ile entegre şeklinde çalışan Vitis Model Composer programında simülasyon yoluyla doğrulama testleri gerçekleştirilmiştir.

Bu tez çalışması, kesir dereceli sistemlerin teorik temellerinden başlayarak, optimizasyon destekli modelleme tekniklerine ve nihayetinde FPGA tabanlı simülasyon/donanım gerçeklemelerine uzanan kapsamlı bir akış içerisinde yedi ana bölümden oluşmaktadır. Tezin giriş niteliğindeki birinci bölümünde, kesir dereceli

hesaplamanın tarihsel gelişimi, temel matematiksel tanımları ve mühendislikteki güncel uygulama alanları literatür taraması eşliğinde sunulmuştur. Bu bölümde ayrıca, kesir dereceli sistemlerin donanım üzerinde gerçekleştirilmesi sırasında karşılaşılan temel problemler tanımlanmış, tezin amacı ve bu problemlere getirdiği çözüm önerileri detaylandırılarak çalışmanın kapsamı ve literatüre katkıları ortaya konmuştur.

Takip eden ikinci bölümde, kesir dereceli analizin matematiksel altyapısı ve yaklaşım yöntemleri teorik bir çerçevede ele alınmıştır. Riemann-Liouville, Caputo ve Grünwald-Letnikov gibi temel operatör tanımları verilmiş; Oustaloup, Matsuda, MSBL ve Carlson gibi literatürde yaygın olarak kullanılan sürekli zamanlı yaklaşım yöntemlerinin çalışma prensipleri, avantajları ve kısıtları formülasyonlarla açıklanmıştır. Ayrıca, bu sürekli zaman modellerinin dijital platformlara aktarılmasında kullanılan ayrıklaştırma teknikleri ve kararlılık analizleri bu bölümün teorik zeminini oluşturmaktadır.

Üçüncü bölümde, teorik operatörlerin pratik uygulamaya ilk adımı olarak, kesir dereceli bir operatörün standart yaklaşım yöntemleri kullanılarak FPGA üzerinde gerçekleştirilmesi süreci anlatılmıştır. Bu kapsamda, Matsuda yöntemiyle modellenen bir kesir dereceli entegratörün, Vitis Model Composer Hub kullanılarak model tabanlı tasarımı yapılmış ve FPGA üzerindeki frekans/zaman cevapları incelenmiştir.

Dördüncü bölümde ise çalışma bir adım ileri taşınarak gerçek bir fiziksel sistem üzerinde uygulanmıştır. Bir DC motor deney düzeneğinden alınan verilerle sistem tanımlama işlemi gerçekleştirilmiş, elde edilen yüksek dereceli model  $H_2$  –Norm tabanlı optimizasyon ile indirgenmiş ve bu indirgenmiş modelin FPGA üzerindeki başarımı simülasyon ile doğrulanmıştır.

Tezin en önemli katkılarını barındıran beşinci bölümde, standart yaklaşım yöntemlerinin frekans düzlemindeki hatalarını minimize etmek için geliştirilen optimizasyon tabanlı metodoloji sunulmuştur. MSBL ve Oustaloup yöntemleri temel alınarak, fmincon ve fgoalattain algoritmalarıyla optimize edilen operatör, filtre ve FOPID kontrolcü modellerinin, standart yöntemlere kıyasla frekans ve faz cevabında sağladığı iyileştirmeler detaylı analizlerle gösterilmiştir. Ayrıca önerilen yöntem ile elde edilmiş transfer fonksiyonu, kesir dereceli operatör için FPGA donanımı üzerinde başarı ile deneysel olarak gerçekleştirilmiştir.

Altıncı bölümde, optimizasyon stratejisi zaman domeynine odaklanacak şekilde genişletilmiş ve Parçacık Sürü Optimizasyonu (PSO) ve fmincon algoritmaları kullanılarak sistemin basamak tepkisindeki geçici hal hatalarının nasıl minimize edildiği incelenmiştir.

Son olarak yedinci bölümde, tez kapsamında elde edilen tüm teorik ve pratik test sonuçları sentezlenmiş, çalışmanın literatüre sağladığı katkılar özetlenmiş ve gelecekteki araştırmalar için önerilerde bulunulmuştur.



## 2. METODOLOJİ

### 2.1 Gerçekleme Sürecindeki Karşılaşılan Hatalar

Kesir dereceli operatörlerin fiziksel sistemler üzerinde gerçekleşmesi, teorik modelleme ile pratik uygulama arasındaki kaçınılmaz farklardan kaynaklanan bir dizi hatayı ve kısıtlamayı beraberinde getirir. Kesir dereceli türev ve integral operatörleri ( $s^\alpha$ ), doğaları gereği "sonsuz boyutlu" (infinite-dimensional) bir yapıya sahip olduklarından, bu operatörlerin sonlu kaynaklara sahip dijital veya analog donanımlar üzerinde tam ve kayıpsız bir şekilde gerçekleşmesi imkânsızdır. Bu temel kısıt, literatürde genellikle "gerçekleme problemi" olarak adlandırılır ve araştırmacılar, bu operatörleri belirli bir hata toleransı dahilinde taklit edebilecek sonlu boyutlu yaklaşım (approximation) yöntemlerine başvurmak zorundadırlar [64]. Ancak, kullanılan her yaklaşım yöntemi ve her donanım platformu, sisteme kendine özgü yeni hata katmanları ekler. Bu hatalar, matematiksel modellemeden dijitalleşmeye ve nihayetinde donanımsal sınırlara kadar uzanan bir zincirleme reaksiyon şeklinde ortaya çıkar.

Gerçekleme sürecinin ilk aşamasında karşılaşılan hatalar, analitik yaklaşım hataları olarak sınıflandırılır. Oustaloup, Matsuda veya MSBL gibi standart yöntemler, ideal operatörün sonsuz bant genişliğindeki sabit faz ve genlik eğimi davranışını, ancak sınırlı bir frekans bandı ( $[\omega_b, \omega_h]$ ) içerisinde ve sonlu sayıda kutup-sıfır ile taklit edebilir. Bu durum iki temel soruna yol açar: Birincisi, belirlenen bant genişliği dışında sistem, kesir dereceli karakteristiğini kaybederek tam sayılı bir sistem gibi davranmaya başlar ve bu da geniş spektrumlu sinyallerin işlenmesinde ciddi veri kayıplarına neden olur. İkincisi ve daha kritiği, çalışma bandı içerisinde dahi, sonlu sayıdaki kutup ve sıfırların dağılımından kaynaklanan genlik ve faz dalgalanmalarıdır (ripple). Özellikle hassas kontrol uygulamalarında, bu faz dalgalanmaları sistemin kararlılık marjlarını (faz cevabı) değiştirerek gürbüzlüğü azaltır ve öngörülemeyen geçici hal tepkilerine neden olabilir [65]. Yaklaşım hatasını azaltmanın teorik yolu, kullanılan transfer fonksiyonunun derecesini ( $N$ ) artırmaktır; ancak bu çözüm, işlem yükünü ve donanım karmaşıklığını artırarak gerçek zamanlı çalışmayı zorlaştıran bir "derece-performans" çelişkisi yaratır.

Matematiksel modelleme aşamasından sonra gelen ikinci hata katmanı, sürekli zamanlı sistemlerin dijital platformlara aktarılması sırasında oluşan ayrıklaştırma hatalarıdır. FPGA veya DSP gibi dijital işlemciler ayrık zamanlı çalıştığından, sürekli zamanlı (s-düzlemi) yaklaşımların z-düzlemine dönüştürülmesi gerekir. Bu dönüşümde en sık

kullanılan Tustin (bilinear) gibi yöntemler, özellikle Nyquist frekansına yaklaşıldıkça frekans ekseninde doğrusal olmayan bir sıkışmaya, yani "frekans bükülmesine" (frequency warping) neden olur. Bu bükülme, yüksek frekanslı bileşenlerin faz ve genlik cevaplarında ciddi sapmalar yaratarak tasarlanan filtrenin performansını bozar. Ayrıca, örnekleme frekansının Shannon-Nyquist teoremine uygun seçilmemesi durumunda, analog sinyalin yüksek frekanslı bileşenlerinin dijital dünyada düşük frekanslı gürültü olarak algılanmasına yol açan örtüşme (aliasing) problemi de sistemin doğruluğunu tehdit eden bir diğer faktördür [66,67].

Son ve belki de en belirleyici hata katmanı ise dijital gerçekleştirme ve donanım kısıtlarından kaynaklanır. Teorik simülasyonlarda kullanılan 64-bit kayan noktalı (floating-point) aritmetik, FPGA gibi donanımlarda hız ve kaynak tasarrufu amacıyla genellikle yerini sınırlı bit uzunluğuna sahip sabit noktalı (fixed-point) aritmetiğe bırakır. Bu geçiş, "katsayı kuantalama hatası" (coefficient quantization error) adı verilen kritik bir sorunu doğurur. İdeal transfer fonksiyonundaki hassas katsayıların donanım kaydedicilerine sığdırılması için yuvarlanması, sistemin kutup ve sıfırlarının yerini değiştirerek filtre karakteristiğini bozar; hatta yüksek dereceli filtrelerde kararlı bir sistemi kararsız hale bile getirebilir. Buna ek olarak, her aritmetik işlem sonrası oluşan yuvarlama hataları birikerek sistem çıkışında "yuvarlama gürültüsü" (round-off noise) olarak belirir. Sinyal seviyesinin atanan bit genişliğini aşması durumunda oluşan "taşma" (overflow) ve döngüsel işlemlerdeki yuvarlama hatalarından kaynaklanan "limit döngüleri" (limit cycles), sistemin tamamen hatalı çalışmasına veya istenmeyen salınımlar üretmesine neden olabilir [68].

Özetle, bir kesir dereceli operatörü, FPGA üzerinde gerçeklemek; sonsuz bir matematiksel kavramı önce sınırlı bir analitik modele, ardından ayrık bir zaman düzlemine ve en sonunda kısıtlı bir sayısal çözünürlüğe sığdırma çabasıdır. Bu süreçteki her bir adım, sistemin ideal davranışından sapmasına neden olan kümülatif bir hata zinciri oluşturur. Bu nedenle, başarılı bir gerçekleştirme için sadece analitik yöntemlere güvenmek yeterli değildir; bu çok katmanlı hata yapısını analiz eden ve minimize eden optimizasyon tabanlı tasarım stratejilerinin geliştirilmesi zorunludur.

## 2.2 Hataların Minimize Edilmesi İçin Öneriler

Bölüm 2.1’de kapsamlı bir şekilde tartışıldığı üzere, sonsuz hafıza ve yerellik-dışı (non-local) özellikler sergileyen kesir dereceli operatörlerin ( $s^\alpha$ ), sonlu boyutlu rasyonel transfer fonksiyonları (örneğin Oustaloup, Matsuda veya MSBL metodları) ile

modellenmesi, kaçınılmaz olarak analitik yaklaşım hatalarını beraberinde getirmektedir. Bu standart analitik yöntemler, genellikle belirli bir merkez frekans etrafında veya sınırlı bir bant genişliği içerisinde tatmin edici sonuçlar üretse de elde edilen katsayılar tüm çalışma bölgesi için nadiren "optimal" niteliktedir. Özellikle çalışma bandının uç noktalarına doğru gidildikçe genlik ve faz cevaplarında gözlemlenen sapmalar ve dalgalanmalar (ripple), tasarlanan sistemin genel başarımını, kararlılık marjlarını ve parametre değişimlerine karşı gürbüzlüğünü (robustness) doğrudan ve olumsuz yönde etkilemektedir [69]. Bu bağlamda, analitik yöntemlerin doğasından kaynaklanan bu sistematik hataları minimize etmek ve sistem performansını ideal teorik modele yaklaştırmak için önerilen en güçlü ve modern yaklaşım, hesaplamalı optimizasyon (computational optimization) tekniklerinin tasarım sürecine entegre edilmesidir.

### **2.2.1 Optimizasyon nedir ve bu problemde neden kullanılır?**

Optimizasyon, en genel tanımıyla, belirli kısıtlar altında tanımlanmış bir amaç fonksiyonunu (cost function) minimize veya maksimize edecek en uygun parametre setinin sistematik olarak aranması ve bulunması sürecidir. Kesir dereceli sistemlerin gerçekleştirilmesi problemi özelinde bu süreç; yaklaşım fonksiyonunun pay ve paydasındaki katsayılardan oluşan parametre setinin, ideal kesir dereceli operatörün frekans veya zaman cevabı ile önerilen modelin cevabı arasındaki farkı minimize edecek şekilde ayarlanmasını içerir. Bu fark, genellikle tasarım hedeflerine bağlı olarak Kök Ortalama Karesel Hata (RMSE), Ortalama Mutlak Yüzde Hata (MAPE), Ortalama Karesel Hata (MSE), İntegral Mutlak Hata (IAE) veya maksimum faz sapması gibi performans metrikleri üzerinden ölçülür. Ayrıca, optimizasyon süreci boyunca elde edilen transfer fonksiyonunun kararlı (stable) olması gibi kritik kısıtların da sağlanması zorunludur; örneğin,  $s$  domeyninde kutupların sol yarı düzlemde veya  $z$  domeyninde birim çember içerisinde kalması garanti altına alınmalıdır [70,71].

Optimizasyonun bu problemdeki temel amacı, Oustaloup veya benzeri analitik yöntemlerin ürettiği katsayıları nihai bir sonuç olarak değil, bir "başlangıç noktası" olarak değerlendirmektir. Analitik yöntemler, problemin çözüm uzayında makul bir bölgeye işaret ederken, optimizasyon algoritmaları bu bölgeyi ve ötesini tarayarak hatayı (amaç fonksiyonunu) standart yöntemlerin ulaşabileceğinden çok daha düşük seviyelere indirmeyi hedefler. Böylece, sadece belirli bir frekansa odaklanmak yerine, tüm çalışma bandı boyunca daha düzgün ve ideal karaktere daha yakın bir sistem cevabı elde edilebilir.

### 2.2.1.1 Optimizasyon yöntemleri ve sınıflandırılması

Kesir dereceli sistemlerin optimizasyonunda kullanılan yöntemler, ele alınan hata yüzeyinin karmaşıklığına ve türevlenebilirlik özelliklerine göre temel olarak iki ana sınıfa ayrılmaktadır. Bu alandaki problemler genellikle çok sayıda yerel minimuma (local minima) sahip, çok modlu (multi-modal) ve karmaşık (non-convex) bir hata yüzeyi yapısı sergilediğinden, yöntemin seçimi kritik öneme sahiptir.

İlk kategori olan Gradyan Tabanlı (Türevsel) Yöntemler, amaç fonksiyonunun türev bilgisini (gradyanını) kullanarak hatanın en hızlı azaldığı yöne doğru iteratif bir şekilde ilerler. Newton-Raphson veya fmincon (Sequential Quadratic Programming - SQP) gibi algoritmalar bu sınıfın en bilinen örnekleridir. Bu yöntemlerin en büyük avantajı, yerel arama yeteneklerinin çok güçlü olması ve uygun bir başlangıç noktası verildiğinde çözüme hızlı bir şekilde yakınsayabilmeleridir. Ancak, hata yüzeyinin karmaşık olduğu durumlarda, algoritmanın global minimum yerine en yakın yerel minimuma takılıp kalma riski oldukça yüksektir. Bu durum, global en iyi çözümün bulunmasını garanti edememelerine ve başlangıç koşullarına aşırı duyarlı olmalarına neden olur.

İkinci ve bu tür problemler için daha sık tercih edilen kategori ise Metasezgisel (Metaheuristic) Yöntemlerdir. Doğadan, biyolojik süreçlerden, fizik yasalarından veya sosyal davranışlardan ilham alan bu algoritmalar, türev bilgisine ihtiyaç duymadan arama uzayını stokastik (rassal) operatörlerle tararlar. Bu özellikleri sayesinde, yerel minimumlara takılma olasılıkları düşüktür ve global arama yetenekleri yüksektir. Kesir dereceli sistem katsayılarının optimize edilmesi gibi yüksek boyutlu ve karmaşık problemler için metasezgisel yöntemler, esneklikleri ve başarımları nedeniyle literatürde baskın bir tercih haline gelmiştir [65,72].

Literatürde FOPID tasarımı ve filtre katsayılarının optimizasyonu için sıklıkla başvurulmuş popüler bazı optimizasyon yöntemleri şunlardır:

**Parçacık Sürü Optimizasyonu (Particle Swarm Optimization - PSO):** Parçacık Sürü Optimizasyonu (PSO), kuş sürülerinin veya balık topluluklarının yiyecek arama sürecindeki kolektif hareket davranışlarından esinlenen popülasyon temelli bir optimizasyon yöntemidir. Her bir aday çözümün bir “parçacık” olarak temsil edildiği bu yaklaşım, bireysel deneyim (*pbest*) ile sürünün kolektif en iyi bilgisini (*gbest*) birleştirerek arama uzayında dinamik ve etkileşimli bir yönlendirme gerçekleştirir. Bu iki öğrenme bileşeninin dengeli etkileşimi, PSO’nun arama uzayında hem keşif (exploration) hem de sömür (exploitation)

yeteneklerini etkin şekilde kullanmasına olanak tanır. PSO'nun algoritmik yapısı, az sayıda parametreye bağlı olması, gradyan bilgisine ihtiyaç duymaması ve doğrusal olmayan, çok modlu problemlerde bile yüksek yakınsama hızı sağlaması nedeniyle literatürde geniş uygulama alanı bulmuştur.

Son yıllarda PSO'nun performansını artırmak amacıyla çok sayıda varyant geliştirilmiştir. Dinamik komşuluk yapıları, adaptif atalet ağırlığı, çok sürülü yapılar, hibrit PSO-DE veya PSO-GA yaklaşımları ve surrogate-assisted PSO modelleri, özellikle karmaşık ve yüksek boyutlu optimizasyon problemlerinde iyileştirilmiş performans sunmaktadır. Güncel çalışmalar, PSO'nun mühendislik tasarımı, makine öğrenmesi, enerji yönetimi, su kaynakları optimizasyonu, işaret işleme ve sistem kontrolü gibi geniş bir yelpazede başarılı sonuçlar verdiğini göstermektedir.

Kesir dereceli sistemlerde optimizasyon problemleri genellikle yüksek duyarlılığa sahip parametreler, geniş çözüm yüzeyleri, çok modlu fonksiyon yapıları ve klasik yöntemlerle çözülmesi zor olan doğrusal olmayan yapıların bir araya gelmesiyle karakterizedir. Bu nedenle PSO, kesir dereceli sistem tasarımı ve parametre ayarlama süreçlerinde güçlü bir araç olarak öne çıkmaktadır.

Kesir dereceli filtreler, klasik tam sayılı filtrelere göre daha geniş esneklik sunmalarına karşın, hedeflenen büyüklük ve faz tepkilerinin elde edilmesi için uygun kutup-sıfır dağılımlarının belirlenmesi zor bir optimizasyon problemidir.

PSO bu bağlamda şu amaçlarla kullanılmaktadır:

- kesir dereceli kesir derecesine ait hedef frekans cevabının (ör.  $|H(j\omega)|$  ve  $\angle H(j\omega)$ ) minimum hata ile yakalanması,
- Oustaloup, Matsuda veya MSBL tabanlı yaklaşımların filtre parametrelerinin optimize edilmesi,
- kesir dereceli filtreden türetilmiş yüksek dereceli tam sayı filtrelerin sadeleştirilmesi,
- FPGA veya DSP ortamına uygun minimum hata ile ayrık zamanlı modele yakınsama.

Örneğin, PSO kullanılarak Oustaloup yaklaşımındaki kutup-sıfır çiftlerinin frekans ölçek faktörleri optimize edilmekte ve bu sayede klasik Oustaloup filtrelerinin bant kenarı hataları belirgin şekilde azaltılabilmektedir. Elde edilen filtre fonksiyonları hem kesir

dereceli modelleme hem de gerçek zamanlı FPGA uygulamaları için daha düşük RMSE ve daha iyi faz uyumu göstermektedir [73–77].

**Genetik Algoritmalar (Genetic Algorithms - GA):** Genetik Algoritmalar (GA), Darwin'in evrim teorisi ve doğal seleksiyon prensiplerinden esinlenen güçlü bir sezgisel optimizasyon yöntemidir. GA'da çözüm uzayı, her biri bir aday çözümü temsil eden bireylerden oluşan bir popülasyon şeklinde modellenir. Algoritma, her bir bireyin uygunluk değerini (*fitness*) hata fonksiyonuna göre değerlendirir ve yüksek uygunluğa sahip olan bireylerin sonraki nesillerde daha baskın hâle gelmesini sağlar. Bu süreç; seçim (selection), çaprazlama (crossover) ve mutasyon (mutation) gibi genetik operatörlerin sistematik uygulanmasıyla gerçekleştirilir. Böylece popülasyon nesilden nesile evrimleşerek optimum veya optimuma yakın çözümlere doğru ilerler.

GA'nın en önemli avantajlarından biri, hem ayrık hem sürekli parametrelerin bir arada optimize edilmesine imkân tanınmasıdır. Ayrıca, gradyan bilgisine ihtiyaç duymaması sayesinde doğrusal olmayan, çok modlu (multimodal), diferansiyellenemeyen ve gürültülü optimizasyon problemlerinde yüksek performans gösterir. Popülasyon tabanlı yapısı, çözüm yüzeyini global olarak taramasına izin vererek lokal minimumlara sıkışma olasılığını azaltır.

Bu nedenle GA, sinyal işleme, kontrol mühendisliği, yapay zekâ, yapısal tasarım, enerji yönetimi ve biyomedikal sistemler gibi birçok alanda olduğu gibi, kesir dereceli (fractional-order) sistemlerin optimizasyonunda da etkili bir araç olarak geniş çapta kullanılmaktadır.

GA'nın kesir dereceli sistemlerde kullanımı hem teorik hem pratik açıdan önemli kazanımlar sağlamaktadır:

- Kesir dereceli modellerin parametrelerinin doğrudan analitik yöntemlerle belirlenmesinin mümkün olmadığı durumlarda GA global arama kabiliyeti sunar.
- Çok modlu ve yüksek boyutlu kesir dereceli tasarım problemlerinde GA'nın popülasyon tabanlı yaklaşımı, lokal minimumlara takılma olasılığını azaltır.
- Kesir dereceli filtre ve FOPID denetleyici tasarımı gibi parametre sayısının fazla olduğu yapılarda GA, hızlı ve güvenilir bir optimizasyon sağlar.
- FPGA gibi gerçek zamanlı platformlara uygulanacak kesir dereceli sistemlerin sadeleştirilmiş ve optimize edilmiş modellerle gerçekleştirilmesini mümkün kılar.

Bu özellikleri nedeniyle GA, özellikle kesir dereceli sistemlerin modelleme, tanımlama, denetim ve donanımsal gerçekleştirme süreçlerinde etkin ve modern bir optimizasyon aracı olarak değerlendirilmektedir [78–81], [82].

**Gri Kurt Optimizasyonu (Grey Wolf Optimizer - GWO):** Gri Kurt Optimizasyonu (GWO), doğal gri kurt sürülerinin sosyal hiyerarşisini ve avlanma dinamiklerini taklit eden modern ve etkili bir meta-sezgisel optimizasyon yöntemidir. Algoritma, kurt sürüsündeki karar mekanizmasının üç baskın lider – Alfa ( $\alpha$ ), Beta ( $\beta$ ) ve Delta ( $\delta$ ) – tarafından yönetildiği biyolojik modele dayanır. Popülasyondaki en iyi üç aday çözüm bu liderleri temsil eder ve geri kalan omega ( $\omega$ ) bireyleri bu liderlerin rehberliğinde arama uzayında konumlarını güncelleyerek optimize ederler.

GWO'nun avlanma mekanizması üç temel davranışa dayanır:

1. Avın yerini tespit etme (encircling)
2. Avı kuşatma (surrounding)
3. Avı yakalama ve saldırı (attacking)

Matematiksel olarak bu süreç, lider kurtların konumlarının diğer bireyler tarafından takip edilmesi prensibiyle gerçekleştirilir. Arama katsayılarının iterasyon boyunca doğrusal olarak azalması sayesinde GWO'nun arama davranışı, erken iterasyonlarda keşif (exploration), son iterasyonlarda ise sömürü (exploitation) ağırlıklı bir yapı sergiler. Bu özellik, GWO'yu özellikle karmaşık, çok modlu ve doğrusal olmayan optimizasyon problemlerinde güçlü bir araç hâline getirmektedir.

Son yıllarda GWO, parametre ayarının kolay olması, popülasyon tabanlı yapısının dengeli bir keşif-sömürü mekanizması sunması ve erken yakınsamaya karşı dayanıklılığı sayesinde PSO ve GA'ya güçlü bir alternatif olarak literatürde geniş ilgi görmüştür. Hibrit GWO-PSO, adaptif GWO, çok amaçlı GWO (MOGWO) ve kaotik GWO gibi gelişmiş varyantlar; mühendislik tasarımı, yapay zekâ, enerji optimizasyonu, biyomedikal modelleme, kontrol sistemleri ve özellikle kesir dereceli sistemlerin parametrik optimizasyonunda başarılı sonuçlar vermektedir.

GWO'nun kesir dereceli sistemlerde tercih edilmesinin temel nedenleri aşağıda özetlenmiştir:

- Arama-sömürü dengesinin doğal olarak iyi kurulması sayesinde kesir dereceli sistemlerde daha kararlı ve stabil yakınsama,

- Parametre duyarlılığı düşük olduğu için optimizasyon sürecinin GA ve PSO'ya göre daha istikrarlı olması,
- Çok modlu fonksiyonlarda lokal minimumlara takılma riskinin azalması,
- kesir dereceli filtre ve FOPID denetleyiciler gibi yüksek boyutlu optimizasyon problemlerinde hızlı ve global çözümler üretebilmesi,
- FPGA üzerine uygulanacak kesir dereceli modeller için daha sadeleştirilmiş ve donanıma uygun optimize transfer fonksiyonlarının elde edilebilmesi.

Bu özellikler GWO'yu kesir dereceli modelleme, denetim tasarımı, kesir dereceli operatör indirgeme ve donanımsal gerçekleştirme çalışmalarında modern ve etkili bir yöntem hâline getirmektedir [83–85].

**fmincon Tabanlı Deterministik Optimizasyon Yöntemi:** fmincon, MATLAB'in doğrusal olmayan kısıtlı optimizasyon problemlerini çözmek için kullanılan deterministik bir çözümleyicisidir. Yöntem, amaç fonksiyonunu minimize ederken eşitlik/eşitsizlik kısıtlarını, sınırları ve başlangıç koşullarını dikkate alır. fmincon, farklı algoritmalar (interior-point, SQP, trust-region-reflective, active-set) arasında problem yapısına göre seçim yapılmasına izin verir ve türev tabanlı (gradient-based) bir yaklaşım kullanır.

Bu nedenle fmincon, yeterli düzgünlük (smoothness) içeren optimizasyon problemlerinde hızlı ve kararlı bir yakınsama sağlayabilir. Ancak yöntemin önemli bir özelliği, yerel optimumlara duyarlı olmasıdır; başlangıç noktasının seçimi elde edilen sonucun kalitesini doğrudan etkiler. Buna karşın, fmincon'un hesaplama maliyeti düşük olduğu ve kısıt tanımlama yeteneği güçlü olduğu için mühendislik uygulamalarında yaygın olarak kullanılmaktadır.

fmincon, kesir dereceli sistemlerde:

- Yüksek doğruluk gerektiren model uyarlama problemlerinde,
- Türevlenebilir hatalarla tanımlanmış optimizasyonlarda,
- Kısıtların kritik olduğu tasarım senaryolarında (örneğin kararlılık, frekans sınırları),

başarılı bir deterministik çözümdür. Ancak global optimum güvence altında değildir; bu nedenle çoğu araştırmada PSO/GA/GWO gibi meta-sezgisel yöntemlerle birlikte hibrit kullanım da oldukça yaygındır [86–90].

**fgoalattain Tabanlı Çok Amaçlı Optimizasyon Yöntemi:** fgoalattain, MATLAB'in çok amaçlı optimizasyon problemlerini çözmek için kullanılan bir yöntemidir. Bu yaklaşımda her bir amaç fonksiyonu için kullanıcı tarafından bir hedef (goal) ve bir önem ağırlığı (weight) tanımlanır. Optimizasyon süreci, tüm amaç fonksiyonlarının tanımlanan hedef değerlerine en yakın şekilde gerçekleşmesini sağlar.

Yöntem, özellikle iki veya daha fazla performans ölçütünün aynı anda optimize edilmesi gereken mühendislik uygulamalarında güçlü bir araçtır. Amaç fonksiyonları genellikle yumuşak ve sürekli olduğu sürece hızlı ve kararlı bir yakınsama sağlar.

Kesir dereceli sistemlerde optimizasyon genellikle çok amaçlı bir problemdir. Örneğin hem büyüklük hem faz uyumunun elde edilmesi gerekir; ayrıca sistem kararlılığı, bant genişliği, faz marjı gibi ek hedefler de tanımlanabilir. Bu nedenle fgoalattain yöntemi kesir dereceli uygulamalarında oldukça uygundur.

fgoalattain, kesir dereceli sistemlerde:

- Çok amaçlı optimizasyon gerektiren filtre ve kontrol tasarımlarında,
- Genlik-faz hatasının eşzamanlı iyileştirilmesinde,
- FOPID performans kriterlerinin birlikte optimize edilmesinde,
- FPGA uygulamalarına uygun sadeleştirilmiş modellerin üretilmesinde,

PSO/GA/GWO gibi meta-sezgisellerle birlikte kullanılabilen güçlü bir deterministik yöntemdir [91].

Kesir dereceli sistemlerin optimizasyonu doğası gereği çok amaçlı, çok modlu ve yüksek doğruluk gerektiren bir yapıya sahiptir. Meta-sezgisel yöntemler, geniş çözüm yüzeyinde global optimuma yakın çözümler üretme kapasitesi nedeniyle kesir dereceli sistemlerin modelleme ve filtre tasarımı süreçlerinde kritik rol oynarken; deterministik yöntemler, bu çözümlerin lokal bölgelerde hassas biçimde iyileştirilmesine olanak tanımaktadır. Bu iki yaklaşımın tamamlayıcı özellikleri, hem transfer fonksiyonunun genlik-faz uyumunun geliştirilmesine hem de FPGA üzerinde uygulanabilir düşük dereceli modellerin elde edilmesine katkı sağlamaktadır. Çizelge (2.1) tablosunda da karşılaştırılan bu yöntemler, takip eden alt bölümlerde, yöntemler arasından kullanılan optimizasyon yönteminin sürece dâhil edilme gerekçesi, kullanılan hata fonksiyonları, frekans aralığı tanımları ve optimizasyon adımları ayrıntılı olarak sunulmuştur.

**Çizelge 2.1 : Optimizasyon yöntemlerinin karşılaştırılması**

| Yöntem      | Türü                              | Arama Stratejisi                                   | Avantajları                                                   | Sınırlamaları                                    | Kesir Dereceli Sistemlerde Tipik Kullanım Alanları                                                     |
|-------------|-----------------------------------|----------------------------------------------------|---------------------------------------------------------------|--------------------------------------------------|--------------------------------------------------------------------------------------------------------|
| PSO         | Meta-sezgisel, popülasyon tabanlı | Sosyal ve bireysel öğrenme; hız-konum güncellemesi | Basit parametrisasyon, hızlı yakınsama, global arama yeteneği | Erken yakınsama eğilimi, parametre duyarlılığı   | kesir dereceli filtre optimizasyonu, Oustaloup parametre iyileştirme, kesir dereceliPID ayarı          |
| GA          | Evrimsel algoritma                | Çaprazlama-mutasyon; doğal seleksiyon              | Ayrık + sürekli parametrelerde güçlü performans, global arama | Yüksek hesaplama maliyeti, daha yavaş yakınsama  | kesir dereceli filtre tasarımı, kesir dereceliPID ayarı, Oustaloup katsayı optimizasyonu               |
| GWO         | Meta-sezgisel, sürü tabanlı       | Alfa-beta-delta liderliği; avı kuşatma             | Keşif-sömürü dengesi, stabil yakınsama, kolay parametreleme   | Son aşamada nispeten yavaş yakınsama             | kesir dereceli sistem tanımlama, kesir dereceli Bode optimizasyonu, kesir dereceliPID robust ayarları  |
| fmincon     | Deterministik, türev tabanlı      | Gradient-based lokal optimizasyon                  | Hızlı yakınsama, kısıt tanımlama imkanı, yüksek hassasiyet    | Global optimum garantisi yok, başlangıca duyarlı | kesir dereceli transfer fonksiyonu parametre tahmini, tek amaçlı kesir dereceli filtre optimizasyonu   |
| fgoalattain | Deterministik, çok amaçlı         | Hedef-ağırlık tabanlı çözüm                        | Çok amaçlı problemlerde dengeli çözüm, hızlı hesaplama        | Global arama yapmaz, başlangıca duyarlı          | Büyükölçek-faz hata minimizasyonu, çok amaçlı kesir dereceli filtre ve kesir dereceliPID optimizasyonu |

### 2.3 Optimizasyon Uygulama Mantığı ve Adımları

Bu çalışmada benimsenen temel yaklaşım, bir kesir dereceli operatörün ( $s^\alpha$ ) gerçekleştirilmesi problemini, klasik analitik yöntemlerin ötesine taşıyarak kısıtlı bir doğrusal olmayan parametre optimizasyon problemine dönüştürmektir. Oustaloup veya Matsuda gibi geleneksel yöntemler, transfer fonksiyonu katsayılarını sabit ve kapalı formdaki yinelemeli formüllerle türetilirken; önerilen optimizasyon tabanlı yaklaşım, bu katsayıları çok boyutlu bir arama uzayı içerisinde serbestçe ayarlanabilen değişkenler olarak ele almaktadır. Buradaki temel amaç, sadece belirli bir frekans noktasında değil, tüm çalışma bandı boyunca gerçekleştirilen sistem ile ideal teorik model arasındaki sapmayı en aza indiren global en iyi parametre takımını belirlemektir. Bu süreç, teorik modelin matematiksel esnekliğini artırarak, donanım kısıtları altında dahi en yüksek performansı elde etmeyi hedefler.

Optimizasyon çerçevesi, literatürdeki en iyi uygulamalar dikkate alınarak dört aşamalı sistematik bir süreç üzerine kurgulanmıştır; yapının başlatılması, amaç fonksiyonunun oluşturulması, yinelemeli arama süreci ve kararlılık doğrulaması. İlk aşama olan başlatma ve parametre belirleme adımı, aday transfer fonksiyonunun yapısı ve başlangıç koşulları tanımlanır. Optimizasyon algoritmalarının rastgele başlangıç değerleriyle çalıştırılması genellikle uzun yakınsama sürelerine veya yerel minimumlara takılmaya neden olabilir. Bu riski minimize etmek ve adil bir karşılaştırma zemini oluşturmak amacıyla, optimizasyon süreci genellikle Oustaloup yaklaşımı gibi standart bir yöntemle elde edilen filtre derecesi ( $N$ ) ve başlangıç katsayıları ile tetiklenir. Bu "sıcak başlangıç" (warm start) stratejisi, algoritmanın çözüm uzayında mantıklı bir noktadan başlamasını sağlayarak, optimum sonuca ulaşma hızını ve başarısını önemli ölçüde artırır.

Sürecin en kritik aşaması, gerçekleştirim kalitesini matematiksel olarak tanımlayan Amaç (Maliyet) Fonksiyonunun ( $J$ ) oluşturulmasıdır. Bu fonksiyon, ideal kesir dereceli operatörün tepkisi ile aday transfer fonksiyonunun ( $H(s)$ ) ürettiği tepki arasındaki hatayı nicel bir skora dönüştürür. Son dönem çalışmalar, sadece genlik hatasına odaklanan tekil yaklaşımların yetersiz kaldığını, bunun yerine büyüklük ve faz hatalarını eşzamanlı olarak dikkate alan çok amaçlı maliyet fonksiyonlarının gerekliliğini vurgulamaktadır. Özellikle kontrol sistemlerinde "izo-sönümlleme" özelliğini korumak için faz eğrisinin düzlüğü (flatness) kritik bir öneme sahiptir. Bu nedenle, tasarımda faz hatasına daha yüksek bir

öncelik atayan ağırlıklandırılmış bir maliyet fonksiyonu tercih edilmektedir [92,93]. Genelleştirilmiş maliyet fonksiyonu şu şekilde ifade edilir:

$$J(\theta) = w_1 * E_g(\theta) + w_2 * E_f(\theta) \quad (2.1)$$

Burada  $E_g(\theta)$  ve  $E_f(\theta)$  sırasıyla genlik ve faz tepkilerine ait integral mutlak hata (IAE) veya ortalama kare hata (MSE) değerlerini temsil etmektedir.  $w_1$  ve  $w_2$  ise tasarımcının önceliklerine göre (örneğin faz kararlılığı vs. genlik doğruluğu) belirlenen ağırlık katsayılarıdır.

Üçüncü aşama olan Yinelemeli Optimizasyon Süreci, seçilen metasezgisel algoritmanın (PSO, GWO, GA vb.) aktif olarak çözüm aradığı döngüdür. Algoritmanın çalışma mantığı, seçilen tekniğin biyolojik veya fiziksel esin kaynağına dayanır. Popülasyondaki her bir aday çözüm (ajan veya parçacık), tanımlanan maliyet fonksiyonu ( $J$ ) kullanılarak değerlendirilir ve elde edilen skorlara göre arama uzayındaki konumlarını günceller. Örneğin, Parçacık Sürü Optimizasyonu'nda (PSO) her bir parçacık, hız vektörünü hem kendi geçmişindeki en iyi konuma hem de sürünün o ana kadar bulduğu global en iyi konuma göre ayarlayarak optimuma doğru ilerler. Bu iteratif döngü, maksimum iterasyon sayısına ulaşılması veya hata değerinin belirlenen bir tolerans eşiğinin altına düşmesi gibi bir durdurma kriteri sağlanana kadar devam eder [94].

Son aşama ise elde edilen çözümün fiziksel olarak gerçekleştirilebilirliğini garanti altına alan kısıtların ele alınması ve kararlılık kontrolü adımıdır. Matematiksel olarak en düşük hatayı veren bir transfer fonksiyonu, eğer kararsız kutuplara sahipse mühendislik açısından kullanılamazdır. Bu nedenle, optimizasyon süreci boyunca, s-düzleminin sağ yarı bölgesinde veya z-düzleminde birim çemberin dışında kutup oluşumuna yol açan aday çözümler, bir ceza mekanizması (penalty function) ile elimine edilir. Kararsızlığa yol açan parametre setlerine maliyet fonksiyonu içerisinde orantısız derecede yüksek bir ceza puanı atanarak, algoritmanın arama yönünü otomatik olarak parametre uzayının kararlı bölgelerine çevirmesi sağlanır. Bu yaklaşım, optimizasyon sonucunda elde edilen modelin sadece teorik olarak doğru değil, aynı zamanda pratik olarak güvenilir ve kararlı olmasını garanti eder [95–97].

### 2.3.1 Frekans domeynine göre optimizasyon

Frekans domeyni tabanlı optimizasyon yaklaşımı, esas olarak gerçekleştirilen kesir dereceli operatörün spektral doğruluğu ile ilgilenmektedir. Bu yöntemin temel amacı,

yaklaştırılmış rasyonel transfer fonksiyonu  $H(s)$  ideal kesir dereceli operatör  $G(s) = s^\alpha$  arasındaki genlik ve faz tepkisi sapmalarını, belirlenen frekans bandı  $[\omega_{min}, \omega_{max}]$  boyunca en aza indirmektedir.

Oustaloup yaklaşımı gibi standart analitik yöntemlerde, faz tepkisi çoğunlukla hedef değerin çevresinde salınımlı bir davranış sergilemektedir. Kontrol uygulamalarında bu tür salınımlar, sönümleme karakteristiklerinin tutarsız olmasına neden olabilmektedir. Bu nedenle, frekans alanında gerçekleştirilen optimizasyon süreci, söz konusu dalgalanmaların giderilmesi ve çalışma frekans aralığının genişletilmesi amacıyla formüle edilmektedir.

Buradaki optimizasyon mantığı, ilk olarak frekans noktalarının ayrıklaştırılması ile başlamaktadır. İncelenen frekans bandı hem düşük hem de yüksek frekans davranışlarını etkili bir şekilde kapsayacak biçimde logaritmik olarak dağıtılmış  $N$  adet ayrık frekans noktasına bölünmektedir. Daha sonra her bir frekans noktası  $\omega_k$  için genlik hatası  $E_g$  ve faz hatası  $E_f$  hesaplanmaktadır. Son olarak, optimizasyon algoritmasını yönlendirmek amacıyla bileşik bir amaç fonksiyonu  $J_{freq}$  tanımlanmaktadır. Güncel literatürde sıkça kullanılan aşağıdaki formülasyon söz konusu hataları faz düzlüğünü önceleyecek şekilde ağırlıklandıran yapıyı esas almaktadır. Bu durum, sağlam kontrol performansı için kritik bir husustur [98,99].

$$J_{freq}(\theta) = \sum_{k=1}^N \left( w_1 * ||H(j\omega_k)| - \omega_k^\alpha|^2 + w_2 * \left| \angle H(j\omega_k) - \alpha \frac{\pi}{2} \right|^2 \right) \quad (2.2)$$

Burada  $w_1$  ve  $w_2$  kullanıcı tarafından belirlenen ağırlık katsayılarını,  $\theta$  ise optimize edilen filtre katsayıları vektörünü temsil etmektedir.  $J_{freq}$  fonksiyonunun minimize edilmesiyle algoritma, transfer fonksiyonunun kutup ve sıfırlarını yinelemeli bir biçimde ayarlayarak, ideal frekans tepki eğrilerine en uygun yapıyı elde etmektedir.

Frekans düzleminde gerçekleştirilen optimizasyon işlemi sonucunda türetilen transfer fonksiyonları, standart yaklaşımlara kıyasla, özellikle çalışma bandının uç noktalarında ve geçiş bölgelerinde üstün bir spektral doğruluk sergilemektedir. Standart yöntemler kutup ve sıfırları belirli bir geometrik dizi kuralına göre dizerken, optimizasyon süreci bu kutup ve sıfırları karmaşık düzlem (s-düzlemi) üzerinde serbestçe hareket ettirerek genlik ve faz hatasını minimize eden en uygun konfigürasyonu bulur. Bu yeniden dağılımın sisteme kazandırdığı en belirgin avantajlardan biri bant genişliğinin genişletilmesidir. Sistem davranışının kesir dereceli karakter ( $s^\alpha$ ) gösterdiği çalışma frekans aralığı ( $[\omega_b, \omega_h]$ ), optimizasyon sayesinde standart yöntemlerin ulaşamadığı yüksek frekanslara kadar

taşınabilmekte, böylece geniş bantlı sinyal işleme uygulamalarında dahi sistemin karakteristik özelliklerini koruması sağlanmaktadır.

Frekans tabanlı optimizasyonun sağladığı ikinci ve belki de en kritik iyileştirme, faz tepkisindeki düzleşme (phase flattening) etkisidir. Sonlu boyutlu rasyonel yaklaşımların doğası gereği, idealde sabit olması gereken faz eğrisinde ( $\alpha \cdot 90^\circ$ ) kaçınılmaz salınımlar (ripple) meydana gelmektedir. Optimizasyon algoritmaları, bu salınımları bastırarak şekilde katsayıları ayarlayarak, çalışma bandı boyunca "izo-sönümleme" (iso-damping) özelliğini garanti eden, yaklaşık olarak düz bir faz tepkisi üretmektedir. Bu özellik, kontrol sistemlerinde sistem kazancının değiştiği durumlarda dahi aşım miktarının (overshoot) sabit kalmasını sağladığı için sistemin gürbüzlüğü (robustness) açısından hayati bir öneme sahiptir [98].

### 2.3.2 Zaman domeynine göre optimizasyon

Frekans domeyni optimizasyonu spektral doğruluğu sağlasa da sistemin istenen geçici rejim performansını doğrudan garanti etmemektedir. Zaman domeyni optimizasyonu ise sistemin dinamik davranışına, özellikle birim step veya darbe girişleri gibi standart test sinyallerine verdiği tepkiye odaklanmaktadır. Bu yaklaşım, kesir dereceli operatörlerin kapalı çevrim bir kontrol yapısına gömülü olduğu durumlarda, aşım miktarı, yükselme süresi ve yerleşme süresi gibi performans parametrelerinin kritik öneme sahip olması nedeniyle özellikle değerlidir.

Zaman domeyni optimizasyonunda temel mantık, optimizasyon algoritmasının her iterasyonunda sistem tepkisinin simüle edilmesine dayanmaktadır. Bu süreçte, öncelikle referans yörüngesi oluşturulmaktadır. İdeal bir referans tepki  $y_{ref}(t)$  tanımlanır. Bu tepki, kesir dereceli operatörün analitik zaman domeyni çözümü olabileceği gibi kapalı çevrim bir sistem için istenen referans işareti (örneğin, birim step) de olabilir. Daha sonra simülasyon ile aday transfer fonksiyonu, belirlenen süre boyunca  $T_{sim}$  simüle edilerek gerçek çıktı  $y_{act}(t)$  elde edilir. Zaman domeyni hatasını nicel olarak ifade etmek için integral tabanlı performans indeksleri kullanılır. Güncel çalışmalar, RMSE, MAPE, integral zaman ağırlıklı mutlak hata (ITAE) veya integral zaman karesel hata (ITSE) ölçütlerinin kullanımını önermektedir; zira bu metrikler uzun süreli hataları ciddi şekilde cezalandırarak algoritmanın daha kısa yerleşme süresine sahip çözümler bulmasını teşvik etmektedir [100,101]. Zaman domeyni maliyet fonksiyonu genellikle aşağıdaki şekilde tanımlanmaktadır:

$$J_{time}(\theta) = \int_0^{T_{sim}} t * |y_{ref}(t) - y_{act}(t, \theta)| dt + \beta * O_{sh} \quad (2.3)$$

Bu denklemde ilk terim ITAE metriğini temsil etmekte, ikinci terim ise maksimum aşma miktarı  $O_{sh}$  için bir ceza katsayısı ( $\beta$ ) eklemektedir. Bu çok amaçlı maliyet fonksiyonu, yalnızca küçük zaman domeyni hatalarına sahip sonuçları teşvik etmekle kalmayıp, aynı zamanda aşma davranışını da kontrol altına alarak, kararlı ve fazla salınım içermeyen bir sistem tepkisi elde edilmesini sağlamaktadır.

Zaman alanında optimize edilen transfer fonksiyonları, özellikle kapalı çevrim kontrol sistemleri gibi katı dinamik performans kriterlerinin bulunduğu uygulamalar için özelleştirilmiştir. Bu tasarım yaklaşımında, katsayılar sadece frekans spektrumunu düzeltmek için değil, sistemin step gibi test sinyallerine verdiği geçici rejim (transient) cevabını doğrudan şekillendirmek için ayarlanır. Standart analitik yöntemlerle elde edilen modeller, frekans düzleminde iyi sonuçlar verse bile, zaman düzleminde Gibbs fenomeni benzeri etkiler nedeniyle başlangıç anında yüksek aşımara veya uzun yerleşme sürelerine neden olabilmektedir. Zaman tabanlı optimizasyon, RMSE, MAPE ve Hata İntegral Kriterlerini (ITAE, ISE vb.) minimize ederek bu problemleri doğrudan hedefler [48].

Elde edilen optimize fonksiyonlar, standart yaklaşımlara kıyasla aktüatörlerde doyuma ve fiziksel hasara yol açabilecek aşırı tepe değerlerini (overshoot) minimize ederken, aynı zamanda sistemin kararlı duruma ulaşma süresini (settling time) kısaltmaktadır. Ayrıca, izleme kontrolü uygulamalarında kritik olan kalıcı durum hatası (steady-state error), optimizasyon sürecinde yüksek kazanç bölgelerinin doğru ayarlanmasıyla en aza indirilmektedir. Güncel literatür, bu tür zaman odaklı optimizasyon stratejilerinin, özellikle FOPID denetleyicilerin ayarlanmasında standart yöntemlere göre belirgin üstünlükler sağladığını ortaya koymaktadır. Zira standart ayarlamalar genellikle hız ve kararlılık arasında bir denge (trade-off) gerektirirken, optimizasyon tabanlı yaklaşımlar bu iki parametreyi eş zamanlı olarak iyileştirebilme yeteneğine sahiptir [101].

### 2.3.3 Transfer Fonksiyonun Dijital Olarak Gerçeklenmesi

Kuramsal ve optimize edilmiş matematiksel bir modelden fiziksel bir dijital sisteme geçiş, teorik tasarımın pratik hayata aktarılmasındaki en kritik aşamayı oluşturmakta ve sistematik bir gerçekleştirim iş akışı gerektirmektedir. Bu süreç, esasen sonsuz duyarlıklı ve sürekli zamanlı (s-düzlemi) matematiksel evren ile sonlu duyarlıklı, ayrık zamanlı ve kaynak kısıtlı donanım ortamı arasında bir köprü kurma işlemidir. Tasarım güvenilirliğinin sağlanması, insan kaynaklı kodlama hatalarının minimize edilmesi ve geliştirme döngüsünün hızlandırılması amacıyla bu tez çalışmasında, geleneksel manuel kodlama

yerine gelişmiş sentez araçlarından yararlanan Model Tabanlı Tasarım (Model-Based Design- MBD) metodolojisi benimsenmiştir. Bu metodoloji, tasarımın her aşamasında doğrulama ve test imkânı sunarak, hatasız bir donanım sentezini garanti altına almaktadır.

Sürekli zamanlı bir transfer fonksiyonunun ( $H(s)$ ), FPGA gibi bir dijital işlemci üzerinde gerçekleştirilebilmesi için öncelikle ayrık zamanlı bir eşdeğerine ( $H(z)$ ) dönüştürülmesi zorunludur. Bu dönüşüm için literatürde Sıfırıncı Dereceden Tutma (ZOH), Birinci Dereceden Tutma (kesir dereceliH), Tustin yaklaşımı (bilinear dönüşüm), sıfır-kutup eşleştirme ve en küçük kareler gibi çeşitli yöntemler mevcuttur. Her bir yöntem, frekans ve zaman düzleminde farklı karakteristikler sergilemekte olup; seçim, sistemin bant genişliği gereksinimlerine ve korunması gereken dinamik özelliklere (örneğin faz cevabı veya dürtü tepkisi) göre yapılmaktadır. Özellikle kontrol ve filtreleme uygulamalarında, frekans eksenindeki bükülmeyi (warping) yönetilebilir kıldığı ve s-düzleminin sol yarısını z-düzleminin birim çemberi içine map ederek kararlılığı koruduğu için Tustin dönüşümü sıklıkla tercih edilmektedir [103–105].

Yüksek dereceli tamsayı dereceli yaklaşık modeller, doğrudan Tustin dönüşümüyle tek bir IIR filtre yapısına dönüştürüldüğünde, katsayı kuantizasyonu ve nümerik hassasiyet sınırlamaları nedeniyle kutup yerleri kayabilmekte ve bu da kesir dereceli sistemin teorik frekans cevabından ek sapmalara yol açmaktadır. Bu tez çalışmasında, transfer fonksiyonları önce kısmi kesirlere ayrılmış, ardından her bir birinci dereceli bileşene Tustin dönüşümü uygulanmıştır. Böylece, kutup-sıfır yerleşimleri üzerinde daha hassas kontrol sağlanmış, her alt blok için uygun ölçekleme yapılabilmış ve FPGA üzerinde sayısal kararlılık ile frekans cevabı doğruluğu artırılmıştır.

### 2.3.4 Simülasyon ortamında gerçekleştirme

Fiziksel donanım uygulamasına geçilmeden önce, optimize edilmiş ve ayrıklaştırılmış transfer fonksiyonlarının, MATLAB/Simulink gibi yüksek doğruluklu bir benzetim ortamında titizlikle doğrulanması gerekmektedir. Bu aşama, tüm tasarım akışı için bir "Altın Referans" (Golden Reference) niteliği taşımakta olup, donanım üzerinde elde edilecek sonuçların doğruluğunun kıyaslanacağı temel dayanak noktasını oluşturur. Simülasyon süreci, sadece matematiksel doğrulamayı değil, aynı zamanda donanım mimarisinin kısıtlarının (bit genişliği, gecikme vb.) modele yansıtılmasını da kapsayan çok katmanlı bir yapıda ilerlemektedir.

Simülasyonun ilk ve en temel adımı, sürekli zamanlı modelin ayrıklaştırılmasıdır. MATLAB ortamında gerçekleştirilen bu işlemde, optimize edilmiş  $H(s)$  fonksiyonu, belirlenen örnekleme zamanı ( $T_s$ ) ve seçilen dönüşüm yöntemi (genellikle Tustin) ile z-düzlemine taşınır [106]. Bu aşamada, örnekleme frekansının Nyquist kriterini sağlaması ve olası örtüşme (aliasing) etkilerinin analiz edilmesi kritiktir. Elde edilen ayrık zamanlı model, kayan noktalı (floating-point) aritmetik kullanılarak simüle edilir ve teorik beklentilerle (örneğin Bode diyagramı veya basamak tepkisi) tam uyum içinde olup olmadığı kontrol edilir.

İkinci ve donanım başarımı için en kritik adım, Sabit Noktalı (Fixed-Point) Analiz sürecidir. Standart bilgisayar simülasyonları genellikle 64-bit çift duyarlıklı kayan noktalı aritmetik kullanırken, FPGA kaynakları (LUT, DSP blokları) sabit noktalı aritmetik veya özelleştirilmiş düşük bit genişlikleri için optimize edilmiştir. Bu nedenle, tasarımın FPGA'ya aktarılmadan önce, sinyallerin dinamik aralığının analiz edilmesi ve her bir değişken için (giriş, katsayılar, ara işlem sonuçları ve çıkış) optimum kelime uzunluklarının (word length) ve kesir bitlerinin (fraction length) belirlenmesi gerekmektedir. MATLAB Fixed-Point Designer gibi araçlar kullanılarak yapılan bu analizde, bit genişliğinin gereğinden az seçilmesi durumunda oluşacak kuantalama gürültüsü ve taşma (overflow) hataları ile gereğinden fazla seçilmesi durumunda oluşacak kaynak israfı arasında bir optimizasyon yapılır. Bu adım, sistemin kararlılığını ve sinyal gürültü oranını (SNR) doğrudan etkileyen en önemli faktördür [107,108].

Simülasyon sürecinin son aşaması, Donanım Eş Zamanlı Simülasyonu (Hardware Co-Simulation) hazırlığı ve doğrulamasıdır. Bu tez kapsamında, AMD Xilinx tarafından geliştirilen Vitis Model Composer (eski adıyla System Generator) aracı kullanılarak, FPGA üzerindeki donanım bloklarının birebir davranışını sergileyen "bit-gerçek" (bit-true) ve "çevrim-doğru" (cycle-accurate) simülasyonlar gerçekleştirilmiştir. Vitis Model Composer, Simulink ortamına entegre ettiği özel blok kütüphanesi (Xilinx Blockset) sayesinde, tasarlanan filtrenin çarpıcı, toplayıcı ve hafıza birimi gibi FPGA primitifleri cinsinden modellenmesine olanak tanır. Böylece, henüz kod sentezlenmeden ve karta yüklenmeden önce, tasarlanan dijital devrenin tam olarak nasıl davranacağı gözlemlenebilir. Simülasyon ortamında, ideal kayan noktalı model ile Vitis Model Composer kullanılarak oluşturulan sabit noktalı donanım modeli paralel olarak koşturulur ve çıktıları karşılaştırılır. Bu karşılaştırma, kuantalama hatalarının kabul edilebilir sınırlar içinde kaldığını ve tasarımın donanım üzerinde güvenle çalışabileceğini doğrular [109–111].

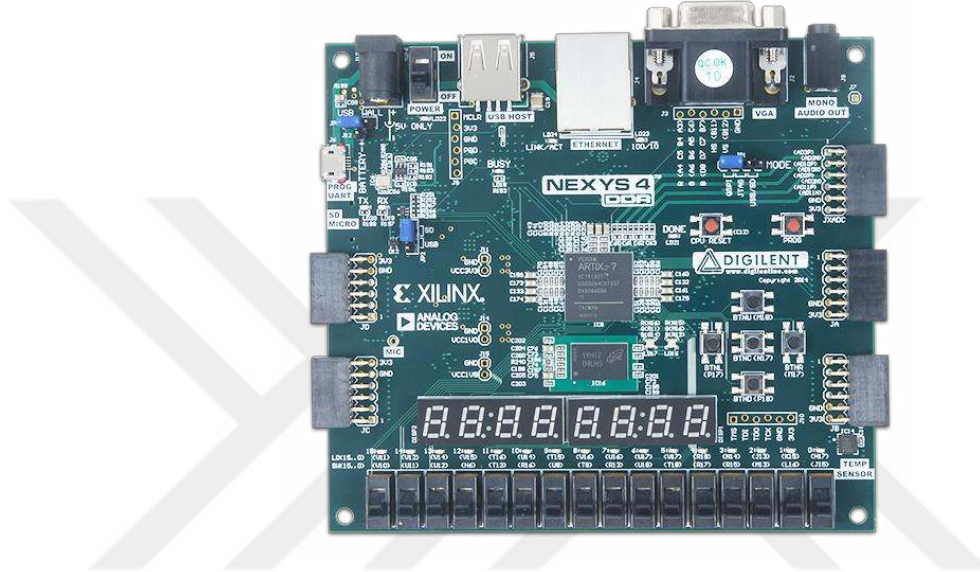
### 2.3.5 Pratik olarak FPGA üzerinde gerekleme ve deneysel dzenek

Kesir dereceli sistemlerin fiziksel donanım zerindeki gereklemesi, simlasyon ařamasının tesine geerek doęrulanmıř ayrık zamanlı modellerin somut bir iřlemci mimarisine aktarılmasını gerektiren gerekleřtirim iř akıřının en kritik ve nihai ařamasını oluřturur. Bu srete donanım platformu olarak, saęladıęı yksek performans, esneklik ve paralel iřlem yeteneęi nedeniyle FPGA tercih edilmiřtir. FPGA teknolojisi, mikroiřlemcilerin saęladıęı yazılımsal esneklik ile ASIC (Uygulamaya zel Entegre Devre) tasarımlarının sunduęu yksek donanım performansını bir araya getiren hibrit bir zm sunmaktadır. zellikle kesir dereceli operatrlerin dięital yaklařımları, ok sayıda yksek dereceli filtrenin paralel veya seri baęlanması gerektirdięinden, sıralı iřlem yapan standart mikrodenetleyicilerde oluřan gecikme sorunları, FPGA'nın binlerce iřlemi aynı anda yrtebilen paralel mimarisi sayesinde ařılabilmektedir [63,67,112–114]. Ayrıca, tasarımın en nemli parametreleri olan kesir derecesi ( $\alpha$ ) ve filtre derecesi ( $N$ ), donanım deęiřiklięine gerek kalmadan sadece FPGA'nın yeniden programlanmasıyla kolayca gncellenebilir, bu da tasarımcıya byk bir esneklik ve yeniden yapılandırılabilirlik avantajı saęlar [115].

Tasarım srecinin yazılım ayaęında, kuramsal modellerden donanıma kesintisiz bir geiř saęlamak amacıyla AMD Xilinx ekosistemi kullanılmıřtır. Tasarımın bařlangı ařamalarında, Vitis Model Composer (eski adıyla System Generator for DSP) aracı devreye alınmıřtır. Bu ara, MATLAB/Simulink ortamında kesir dereceli filtrelerin doęrudan oluřturulmasına olanak tanımakta ve matematiksel olarak tanımlanmıř iřlevlerin DSP48 dilimleri ve Block RAM'ler gibi FPGA donanım ilkel birimlerine eřlendięi zel bir blok seti sunmaktadır. Bu yaklařım, zellikle Hardware-in-the-Loop (HIL) doęrulama erevesinin kurulmasında byk avantaj saęlamaktadır. Daha karmařık algoritmik iřlevlerin veya veri akıřı kontrolnn gerekli olduęu bileřenlerde ise gl bir soyutlama aracı olarak Vitis HLS (High-Level Synthesis) kullanılmıřtır. Bu yntem, kesir dereceli fark denklemlerinin C veya C++ gibi st dzey dillerde ifade edilmesine olanak tanıyarak, bu kodları optimize edilmiř Register-Transfer Level (RTL) IP ekirdeklerine dnřtrmektedir. Tasarımın son sistem entegrasyonu, sentezlenmesi, yerleřtirilmesi (placement) ve ynlendirilmesi (routing) iřlevleri ise Vivado Design Suite zerinde gerekleřtirilerek nihai bit akıřı (bitstream) dosyası retilmektedir.

Deneysel alıřmalarda ve donanım doęrulama srelerinde, Xilinx Artix-7™ FPGA ailesine mensup XC7A100T-1CSG324C ipini barındıran Nexys 4 DDR geliřtirme kartı kullanılmıřtır (řekil 2.1). Bu kart, 101.440 mantık hcresi, 240 DSP dilimi ve 4.860 Kbits

Blok RAM kapasitesi ile kesir dereceli sistemlerin gerektirdiği yoğun aritmetik işlemleri ve yüksek dereceli filtre yapılarını barındırmak için fazlasıyla yeterli bir kaynak havuzuna sahiptir. Kart üzerinde bulunan USB, Ethernet gibi iletişim portlarının yanı sıra ivmeölçer, sıcaklık sensörü ve mikrofon gibi dahili çevresel birimler, ek bir donanıma ihtiyaç duyulmadan kapsamlı gömülü sistem projelerinin geliştirilmesine imkân tanımaktadır. Bu platform, teorik olarak optimize edilen kesir dereceli operatörlerin, endüstriyel standartlarda ve gerçek zamanlı olarak test edilmesi için ideal bir zemin oluşturmuştur [116].



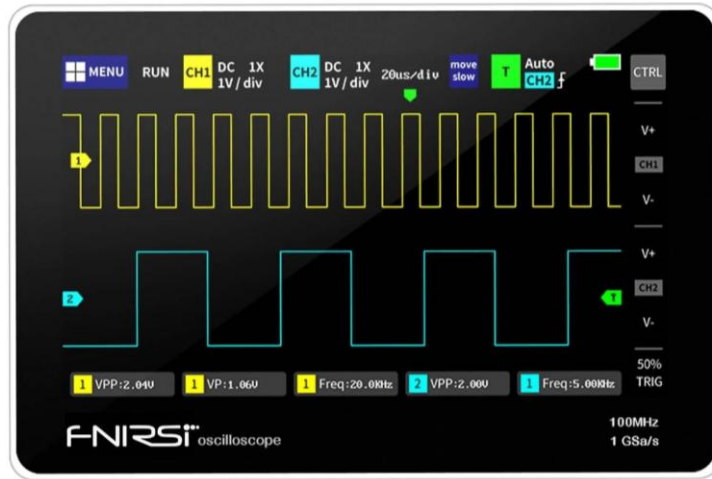
**Şekil 2.1 :** Nexys 4 DDR FPGA Geliştirme Kartı [116].

FPGA üzerinde dijital olarak hesaplanan kesir dereceli operatör çıkışlarının, fiziksel dünyada analiz edilebilmesi ve gerçek dünya sinyalleriyle karşılaştırılabilmesi için dijital verilerin analog gerilim seviyelerine dönüştürülmesi gerekmektedir. Bu amaçla, Analog Devices AD5628 çipini temel alan Pmod DA4 Dijital-Analog Dönüştürücü (DAC) modülü sisteme entegre edilmiştir (Şekil 2.2). Pmod DA4, 12-bit çözünürlüğe sahip olup, SPI (Serial Peripheral Interface) protokolü üzerinden FPGA ile yüksek hızda haberleşebilmektedir. Bu modül sayesinde, FPGA içerisindeki 32-bit veya 16-bit sabit noktalı veriler, minimum kuantalama gürültüsü ile hassas analog sinyallere dönüştürülmüştür. Bu dönüşüm, sistemin zaman düzlemindeki geçici rejim davranışlarının (aşım, yerleşme süresi vb.) fiziksel olarak gözlemlenebilmesi için kritik öneme sahiptir [117].



**Şekil 2.2 :** Pmod DA4 12-Bit Dijital-Analog Dönüştürücü Modülü [117].

Oluşturulan analog sinyallerin zaman ve frekans düzlemindeki analizi ve doğrulanması için FNIRSI 1013D dijital tablet osiloskop kullanılmıştır (Şekil 2.3). 100 MHz analog bant genişliği ve 1 GSa/s örnekleme hızına sahip bu cihaz, sistemin çıkış sinyallerini yüksek çözünürlükle yakalayarak kaydetmektedir [118]. Deneysel süreçte, FPGA'dan üretilen sinyaller osiloskop ekranında görüntülenmiş ve bu veriler MATLAB/Simulink ortamındaki teorik simülasyon sonuçlarıyla karşılaştırılmıştır.



**Şekil 2.3 :** Deneysel Ölçümlerde Kullanılan FNIRSI 1013D Dijital Osiloskop [118].

## 2.4 Gerçekleme Sürecinin Analizi ve Sonraki Adımlar

Bu tezde sunulan gerçekleştirme metodolojisinin son aşaması, önerilen optimizasyon ve uygulama stratejilerini doğrulamak için titiz bir analitik çerçeve gerektirmektedir. Bu nihai aşama yalnızca bir veri toplama adımı değil, aynı zamanda deneysel FPGA sonuçlarını hem yüksek doğruluklu benzetim modelleri hem de ideal kesir dereceli modellerle karşılaştıran kapsamlı bir değerlendirme sürecidir. Bu yaklaşım, güncel FPGA tabanlı kesir dereceli sistem çalışmalarında önerilen doğrulama çerçeveleriyle doğrudan uyumludur.

[7,119]. Analiz; sinyal doğruluğunu, donanım verimliliğini ve artık hata kaynaklarının belirlenmesini inceleyecek şekilde yapılandırılmıştır.

Analizin temel odağını, matematiksel tasarım ile fiziksel donanım çıktıları arasındaki “gerçeklik farkının” nicel olarak değerlendirilmesi oluşturmaktadır. Bunu sağlamak amacıyla, FPGA’den elde edilen deneysel veriler — genellikle Integrated Logic Analyzer (ILA) veya harici osiloskoplar aracılığıyla — teorik Bode diyagramları ve zaman alanı step yanıtlarıyla karşılaştırılmasının kesir dereceli denetim çalışmalarında standart bir yöntem olduğunu göstermektedir [119–122]. Ortalama Kare Hata (MSE), İntegral Mutlak Hata (IAE) ve maksimum faz sapması gibi istatistiksel ölçütler de literatürde yaygın olarak kullanılmakta olup, FPGA üzerinde gerçekleştirilen kesir dereceli PI/PID ve türevleyici yapılarının doğruluğunu değerlendirmede kritik bir rol oynamaktadır [120–122]. Bu karşılaştırmalı değerlendirme, optimizasyon algoritmalarının standart yaklaşımlarda görülen genlik ve faz dalgalanmalarını etkin biçimde azaltıp azaltmadığını doğrulamak için kullanılmaktadır. Özellikle kesir dereceli sistemlerde faz düzlüğünün ve iso-damping özelliğinin korunması, güncel araştırmalarda sistem sağlamlığının en kritik göstergesi olarak vurgulanmaktadır [7,123].

Sinyal doğruluğunun ötesinde, analiz donanım performansı metriklerinin değerlendirilmesine de genişletilmektedir; özellikle “alan, hız ve güç” arasındaki ödünleşimlerin incelenmesi bu aşamanın önemli bir parçasını oluşturmaktadır. Vivado Design Suite tarafından üretilen uygulama sonrası raporları kullanılarak, Look-Up Table (LUT), flip-flop (FF) ve DSP48 dilimi gibi kaynak kullanım düzeyleri, yaklaştırılan derecenin ( $N$ ) karmaşıklığıyla ilişkili olarak ayrıntılı bir biçimde değerlendirilmektedir. Analizin amacı, önerilen optimize edilmiş yapıların (örneğin kaskadlanmış IIR biçimleri) mantık hücrelerini aşırı tüketmeden yüksek doğruluk sağlayarak üstün bir denge sunduğunu göstermektir [7,119,124,125]. Ayrıca hem statik hem de dinamik güç tüketimini incelemek için güç kestirim araçları kullanılmakta olup, özellikle yenilenebilir enerji ve gömülü kontrol uygulamalarında belirleyici olduğu pek çok çalışmada belirtilmektedir [124,125].

Bu aşamanın önemli bir bileşeni, fiziksel donanım kısıtlamalarından kaynaklanan farklılıkların tanımlanması ve karakterize edilmesidir. Optimal kelime uzunluğu seçilmiş olsa dahi, artık hatalar; dijital-analog dönüştürücü (DAC) kaynaklı lineer olmayan durumlar, giriş/çıkış gecikmeleri veya sinyal yolundaki elektronik gürültü nedeniyle ortaya çıkabilmektedir. Sonlu kelime uzunluğu (FWL) etkileri, kuantalama gürültü ve yuvarlama hatalarının kesir dereceli operatörler üzerindeki etkileri literatürde ayrıntılı bir biçimde

incelenmiş olup, FPGA gerçekleştirmelerinde bu hataların teorik modellerden ayrıştırılması gerektiği vurgulanmıştır [7,124,126]. Kuantalama gürültüsü ile teorik yaklaştırma hatası arasındaki ayrımın yapılabilmesi, gerçekleştirilen sistemin nihai hassasiyet sınırının belirlenmesi açısından kritik öneme sahiptir; özellikle dijital kontrol sistemlerinin kırılganlığına (fragility) yönelik klasik çalışmalar bu ayrımı matematiksel olarak detaylandırmaktadır.

Geleceğe yönelik olarak, bu çalışmada doğrulanan metodoloji hem ileri düzey araştırma yönelimleri hem de pratik uygulamalar için sağlam bir temel oluşturmaktadır. Bir sonraki aşamada, doğruluğu kanıtlanmış bu kesir dereceli modüllerin, robotik manipülatörler veya yenilenebilir enerji dönüştürücüler gibi karmaşık doğrusal olmayan sistemler için kapalı çevrim kontrol mimarilerine entegrasyonu hedeflenmektedir. Bu alanlarda, kesir dereceli kontrolün sağlamlık, hızlı yerleşme süresi ve gürültüye dayanıklılık açısından sağladığı avantajlar literatürde güçlü biçimde ortaya konmuştur [127–130]. Ayrıca, çalışmanın gelecekteki sürümleri, optimizasyon algoritmalarının doğrudan FPGA mantığına gömülü olduğu “Uyarlamalı Kesir Dereceli Sistemler” (System-on-Chip (SoC) yaklaşımı) kavramını da araştırabilir. Yenilenebilir enerji, robotik ve akıllı kontrol literatüründe kesir dereceli parametrelerin çevrimiçi olarak uyarlanması üzerine yapılan çalışmalar, gerçek zamanlı kesir dereceli yeniden yapılandırma mimarilerinin güçlü bir potansiyel taşıdığını göstermektedir [125,127–129]. Bu yaklaşım, kesir derecelerinin ve katsayıların gerçek zamanlı olarak kendi kendine ayarlanmasını mümkün kılarak, sistem bileşenlerinin zamanla değişmesine veya değişen çevresel koşullara karşı bir uyum mekanizması sağlayacaktır.

### 3. KESİR DERECELİ OPERATÖRÜN FPGA İLE GERÇEKLENMESİ

Kesir dereceli sistemlerin sürekli zamanlı analog devreler kullanılarak gerçekleştirilmesine yönelik yapılan önceki bir çalışma [52], Matsuda yaklaşımı ile elde edilen yaklaşık kesir dereceli integral operatörlerinin düşük maliyetli bir analog devre yapısı ile uygulanabileceğini ortaya koymuştur. Bu çalışmada, işlemsel yükselteçler (op-amp), dirençler ve kapasitörler kullanılarak oluşturulan devre, kesir dereceli operatörün kısmi kesirlere ayrılmış düşük geçiren filtre biçiminde gerçekleştirilebilmesine olanak sağlamıştır. Devrenin performansı hem analitik çözümlerle hem de alternatif kesir dereceli devre tasarımlarıyla karşılaştırılmış ve zaman ile frekans alanında tatmin edici doğrulukta sonuçlar verdiği görülmüştür. Bununla birlikte, söz konusu analog yöntemin önemli bir sınırlılığı bulunmaktadır: Transfer fonksiyonunun derecesi veya parametreleri değiştiğinde devrede kullanılan direnç ve kapasite değerlerinin yeniden ayarlanması gerekmekte, bu da devrenin hem karmaşıklığını artırmakta hem de toleransı yüksek analog bileşenlerin hassasiyet sorunları nedeniyle pratik uygulamayı zorlaştırmaktadır. Yaklaşık modelin derecesi büyüdükçe analog devredeki bileşen sayısının artması, devrenin kararlılığını ve duyarlılığını olumsuz etkileyerek tasarımın yeniden yapılandırılabilirliğini kısıtlamaktadır.

Bu nedenle tez süresince yapılan bu ilk çalışmada, analog yöntemin karşılaştığı zorlukları aşmak ve daha esnek, yeniden programlanabilir, düşük maliyetli ve yüksek doğruluk sağlayan bir alternatif incelemek amacıyla FPGA tabanlı dijital gerçekleştirme tercih edilmiştir. Bu çalışma kapsamında ele alınan ve [52] çalışmasında elde edilen  $s^{-0.5}$  kesir dereceli integral operatörü, önce sürekli zaman alanında tamsayı dereceli bir modele dönüştürülmüş, ardından ayırık zamana aktarılmış ve son aşamada Artix-7 FPGA üzerinde gerçekleştirilmiştir. Bölüm boyunca bu çalışma içeriğinde yer alan hem kuramsal dönüşümler hem de donanım uygulamasına ilişkin detaylar ayrıntılı biçimde sunulmaktadır.

#### 3.1 Kesirli Operatörün Matematiksel Modellenmesi ve Yaklaşım Yöntemi

Bu başlık altında kesir dereceli integral operatörünün ( $s^{-0.5}$ ) matematiksel modellenmesi ve ayırıklaştırma süreçleri ele alınmıştır. Kesir dereceli operatörlerin veya transfer fonksiyonlarının doğrudan gerçekleştirilmesi, sonsuz boyutlu yapıları gereği mümkün olmadığından, bu çalışmada  $s^{-0.5}$  operatörü, Matsuda yaklaşım yöntemi kullanılarak dördüncü dereceden bir tamsayı dereceli transfer fonksiyonuna dönüştürülmüştür. Matsuda yöntemi, Bölüm 1’de de anlatıldığı gibi özellikle logaritmik ölçekte eşit dağıtılmış

örnekleme frekanslarında kesir dereceli türev operatörleri ile tamsayı dereceli yaklaşık modelleri hizalamayı hedefleyen ve frekans aralığı ayarlama esnekliği sunan bir tekniktir.

Çalışma kapsamında,  $\omega \in [0.1, 10]$  rad/s frekans aralığında geçerli olan dördüncü dereceden sürekli zaman transfer fonksiyonu  $T(s)$  elde edilmiştir. Gerçekleme karmaşıklığını azaltmak ve dijital filtre yapısına uygun hale getirmek amacıyla, elde edilen bu fonksiyon MATLAB'ta kısmi kesirlere ayırma (partial fraction expansion) yöntemiyle ayrıştırılmıştır.

$$T(s) = \frac{0.1132s^4 + 3.439s^3 + 5.853s^2 + 1.068s + 0.01778}{s^4 + 6.007s^3 + 3.291s^2 + 0.1934s + 0.0006366} \quad (3.1)$$

Bu işlem sonucunda sistem, birinci dereceden alçak geçiren filtre formlarının toplamı ve bir statik kazanç olarak aşağıdaki gibi ifade edilmiştir.

$$T(s) = \frac{2.0010}{s+5.4049} + \frac{0.4943}{s+0.5360} + \frac{0.1806}{s+0.0628} + \frac{0.0828}{s+0.0035} + 0.1132 \quad (3.2)$$

Bu ayrıştırma, her bir bloğun bağımsız olarak tasarlanmasına ve FPGA üzerinde paralel işlem mimarisinin etkin kullanılmasına olanak tanımaktadır.

### 3.2 Ayrıklaştırma ve dijital filtre tasarımı

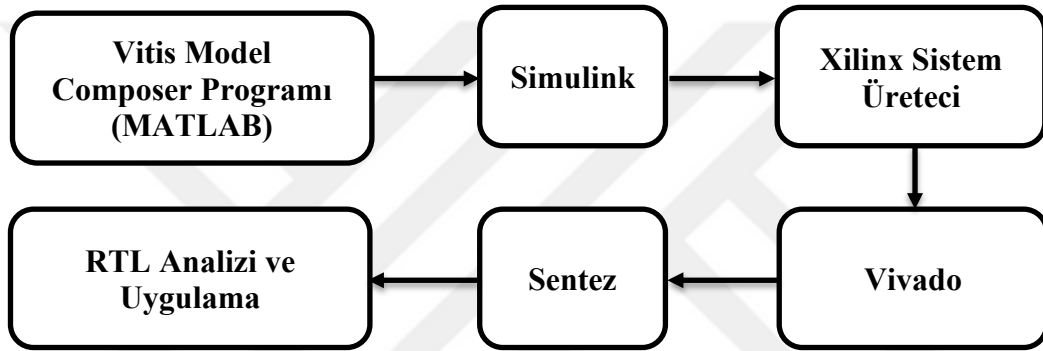
Elde edilen bu sürekli zaman modelinin FPGA üzerinde dijital olarak gerçekleştirilmesi için s-düzleminden z-düzlemine dönüşüm yapılması gerekmektedir. Literatürdeki çeşitli dönüşüm yöntemleri (ZOH, FOH, Tustin vb.) arasından, frekans bükülmesini (warping) minimize etmesi ve yüksek frekans davranışlarını doğru yakalaması nedeniyle Tustin (bilinear transform) yöntemi tercih edilmiştir. Örnekleme zamanı  $T_s = 0.01$  s olarak seçilerek yapılan dönüşüm sonucunda, ayrık zamanlı transfer fonksiyonu ( $T_m(z)$ ) elde edilmiştir.

$$T_m(z) = \frac{0.009742 + 0.009742z^{-1}}{1 - 0.9474z^{-1}} + \frac{0.002464 + 0.002465z^{-1}}{1 - 0.9947z^{-1}} + \frac{0.0009027 + 0.0009027z^{-1}}{1 - 0.9994z^{-1}} + \frac{0.000414 + 0.000414z^{-1}}{1 - 0.9999668z^{-1}} + 0.1132 \quad (3.3)$$

Bu dönüşüm sonucunda her bir rasyonel ifade, mevcut ve geçmiş giriş/çıkış değerlerine bağlı birer fark denkleminde dönüştürülmüştür.

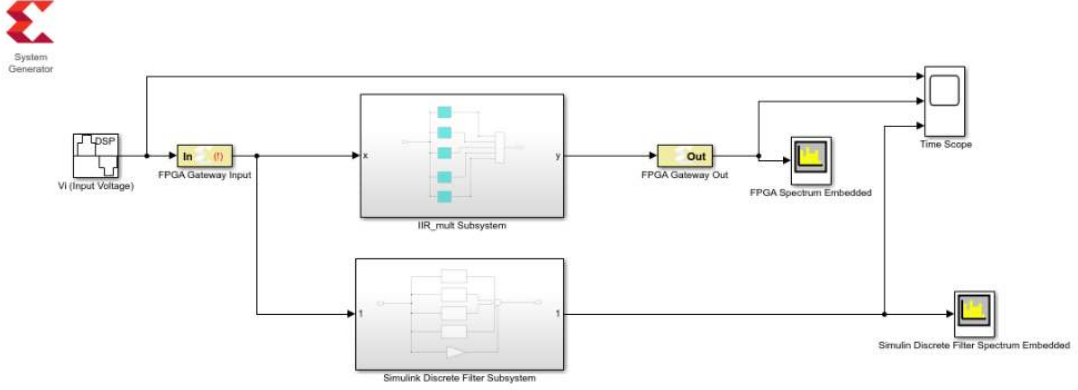
### 3.3 FPGA tabanlı tasarım mimarisi

Dijital gerekleme ařamasında model tabanlı tasarım (Model-Based Design) yaklaşımı benimsenmiş ve FPGA üzerinde uygulanacak sistemin tasarımı ile simölasyonları, MATLAB ortamına entegre olarak alışan Vitis Model Composer programı kullanılarak gerekleştirilmiştir. Xilinx System Generator (Vitis Model Composer) aracı kullanılmıştır. Bu araç, MATLAB/Simulink ortamında hazırlanan modellerin doğrudan donanım tanımlama dillerine (VHDL/Verilog) evrilmesini ve FPGA üzerinde sentezlenmesini sağlamaktadır (řekil 3.1).



řekil 3.1 : Dijital gerekleme blok diyagramı.

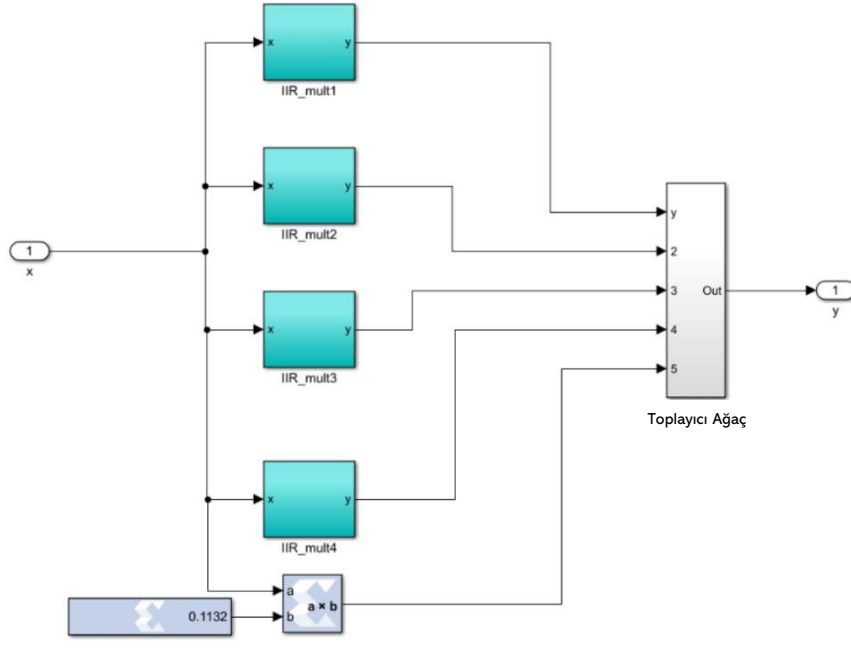
Her bir birinci dereceden filtre bloęu, hesaplama kaynakları açısından verimli olan ancak dikkatli tasarlanmadığında kararlılık sorunları yaratabilen IIR filtrelerin Direct Form I yapısı kullanılarak oluşturulmuřtur. Tustin dönüşümü sonucunda elde edilen ayrık zamanlı transfer fonksiyonu, geri besleme içeren rasyonel bir yapı sergilemektedir. Bu yapı, matematiksel olarak IIR filtrelerle doğal bir uyum içerisindedir. Kesir dereceli sistemlerin karakteristik özellięi olan uzun süreli hafıza ve gemişe baęımlı dinamiklerin etkin biçimde temsil edilebilmesi açısından IIR filtre yapıları oldukça uygundur. Bununla birlikte, literatürde, FPGA üzerinde gerekleme sürecinde IIR filtrelerin daha düşük kaynak kullanımı ve gecikme avantajı sağladığı görölmüřtür. Tasarım süreci, belirtildięi üzere model tabanlı tasarım yaklaşımı sunan Xilinx System Generator aracı kullanılarak MATLAB/Simulink ortamında gerekleştirilmiştir.



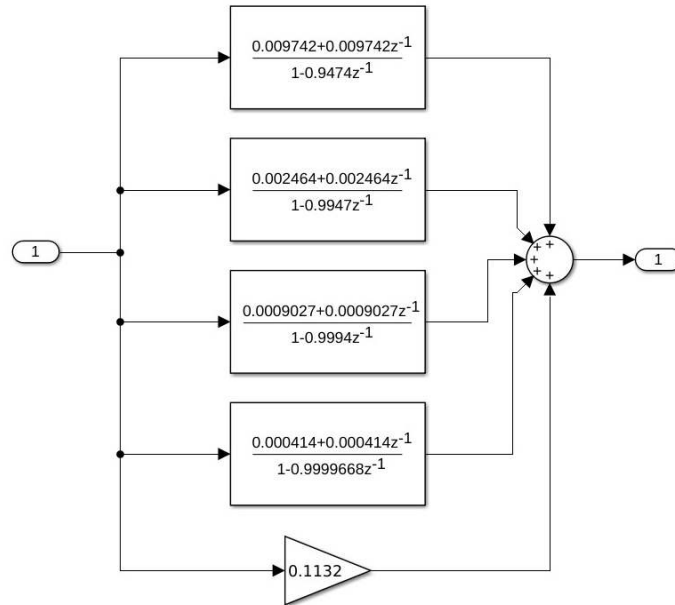
**Şekil 3.2 :** Vitis Model Composer aracılığıyla filtrenin tasarımı, uygulanması ve karşılaştırılması.

Şekil 3.2’de belirtilen gerçekleştirme mimarisi paralel alt sistemler, toplayıcı ağacı (Adder Tree) ve kuantalama (Quantization) bileşenlerinden oluşmaktadır. Bunlardan paralel olarak tasarlanmış alt sistemler “IIR\_multx” şeklinde Denklem 3.3’te yer alan IIR filtre denklemi sayısı kadar tasarlanıp toplayıcı bağlanmaktadır. Şekil 3.3’te gösterildiği gibi transfer fonksiyonunu oluşturan dört ayrı IIR filtre, birbirinden bağımsız alt sistemler olarak tasarlanmıştır. Bu alt sistemlerin her biri, Xilinx DSP kütüphanesinden alınan üç çarpıcı (multipliers), iki kaydedici (registers) ve bir toplayıcı ağacı içermektedir. Toplayıcı Ağacı, paralel çalışan bu dört filtrenin çıkışları ve statik kazanç değeri toplayıp fonksiyon çıktısının elde edilmesi için kullanılır. Kuantalama (Quantization) bloğu ise çarpma ve toplama işlemleri sırasında veri yolu genişliği (bit-width) arttığından, toplayıcı ağacının çıkışına yerleştirilir. Bu sayede veri genişliği tekrar giriş formatına uygun hale getirilmiş ve kaynak kullanımı optimize edilmiş olur.

Diğer taraftan, filtre fonksiyonunun davranışını doğrulamak ve ayrık zamanlı modelin referans olarak kullanılmasını sağlamak amacıyla Simulink ortamında bir Discrete Filter alt sistemi oluşturulmuştur. Bu alt sistem, Şekil 3.4’te gösterildiği üzere, kesir dereceli operatörden elde edilen ayrık zaman transfer fonksiyonunun dört ayrı birinci dereceden rasyonel bileşenini temsil eden dört adet Discrete Filter bloğu ile sabit kazancı ifade eden bir Gain bloğundan oluşmaktadır. Her bir filtre bloğu, kendi fark denklemi doğrultusunda giriş sinyalini işlerken, tüm alt sistemlerin çıkışları ortak bir toplama düğümünde birleştirilerek filtrenin toplam çıkışı elde edilmiştir. Bu yapı, FPGA üzerinde paralel şekilde gerçekleştirilen IIR\_mult alt sistemlerine karşılık gelen matematiksel modeli Simulink düzeyinde temsil etmekte ve ayrık zamanlı filtrenin doğrulanması için referans bir simülasyon platformu sağlamaktadır.

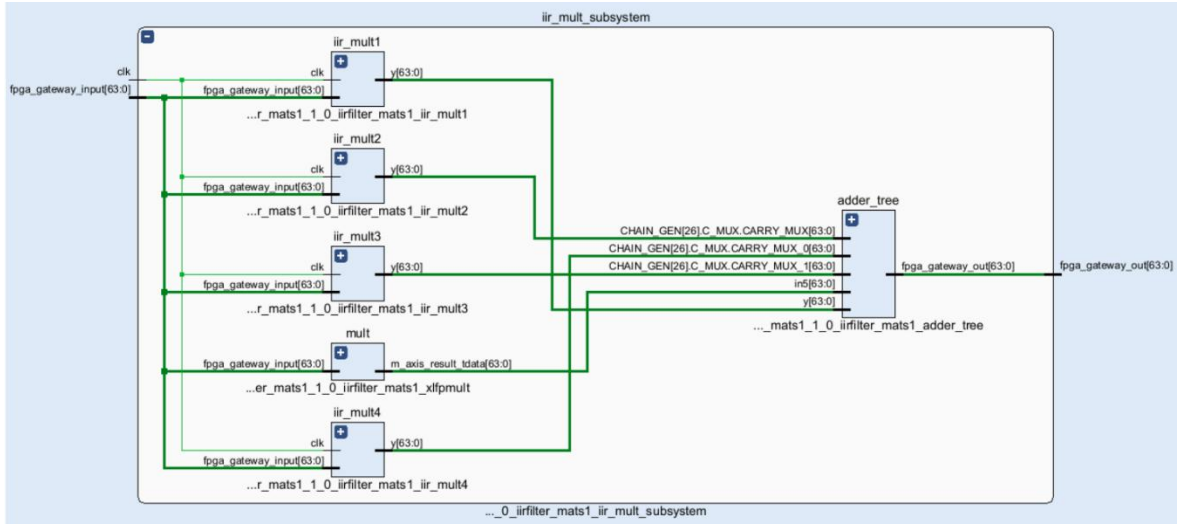


Şekil 3.3 : IIR\_mult\_Subsystem Bloğunun Tasarımı ve Uygulanması.



Şekil 3.4 : Simulink Discrete Filter Bloğunun Tasarımı ve Uygulanması.

Tasarım, Artix-7 AC701 değerlendirme platformu hedeflenerek sentezlenmiştir. Xilinx System Generator tarafından üretilen IP (Intellectual Property) çekirdekleri, Vivado Design Suite ortamına aktarılarak RTL (Register Transfer Level) analizi yapılmış ve bitstream (bit akışı) dosyası oluşturulmuştur. Bu süreçte Şekil 3.5'te gösterildiği gibi Vivado üzerinde oluşturulan detaylı tasarım (Elaborated Design) şeması, Simulink ortamında tasarlanan toplayıcı ve çarpıcı yapılarının donanım seviyesindeki karşılıklarını doğrulamıştır.



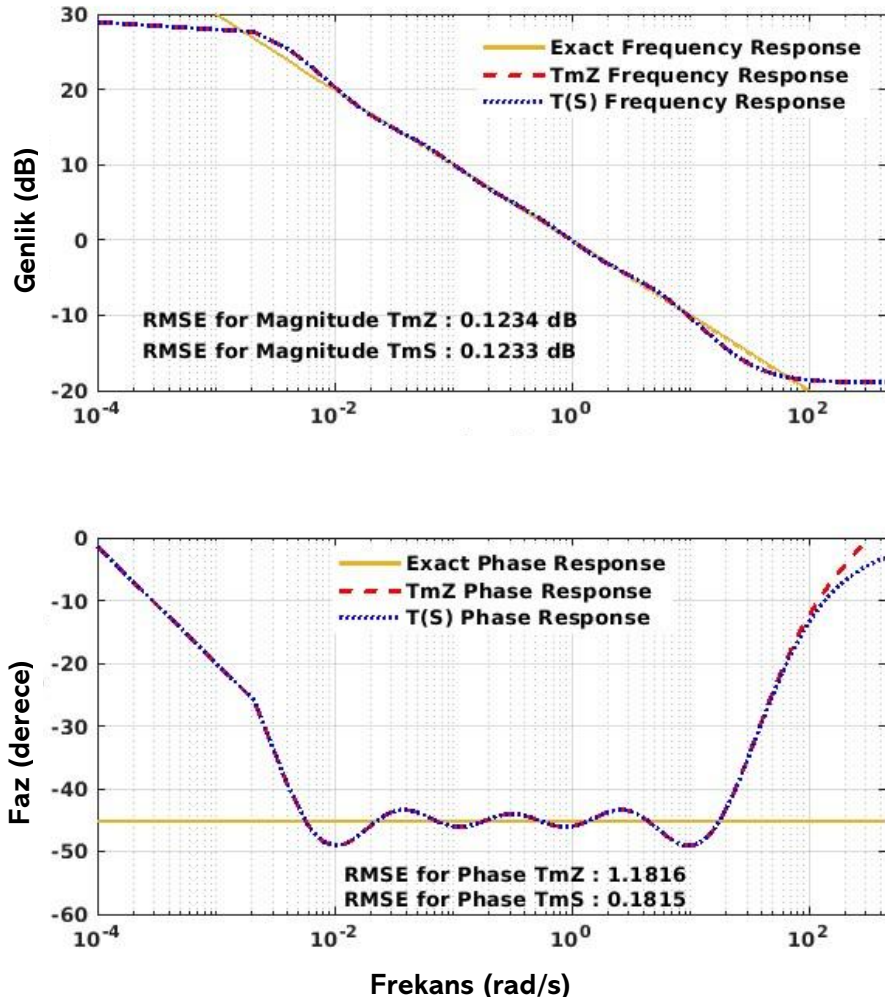
**Şekil 3.5 :** IIR\_mult\_Subsystem Bloğunun Vivado Design Suite ortamındaki detaylı tasarım yapısı.

### 3.4 Bölüm 3'ün Sonuçları

Bu bölümde, FPGA üzerinde gerçekleştirilen kesir dereceli  $s^{-0.5}$  operatörünün performans analizleri sunulmaktadır. Analizler; frekans cevabı, zaman düzlemi tepkileri (sinüs, darbe, step) ve donanım kaynak kullanımı olmak üzere üç ana başlıkta değerlendirilmiştir.

#### 3.4.1 Frekans cevabı analizi

Sürekli zaman alanında Matsuda yaklaşımıyla elde edilen yaklaşık transfer fonksiyonu (Denklem (3.2)), ayrık zamanlı transfer fonksiyonu (Denklem (3.3)) ve teorik kesir dereceli operatörün frekans tepkileri, genlik ve faz bileşenleriyle birlikte Şekil 3.6'te sunulmaktadır. Şekil incelendiğinde, ayrık zamanlı transfer fonksiyonu  $T_m(z)$  ile sürekli zamanlı yaklaşık transfer fonksiyonu  $T(s)$  arasındaki frekans tepkilerinin çalışma aralığı olan  $\omega \in [0.1, 10]$  rad/s içinde neredeyse tamamen örtüştüğü görülmektedir. Her iki modelin elde ettiği genlik ve faz cevapları, teorik kesir dereceli operatörün ideal tepkisine oldukça yakın olup, ayrık zamanlı modelin hedef frekans bandında yüksek doğrulukla çalıştığını açık bir biçimde ortaya koymaktadır.

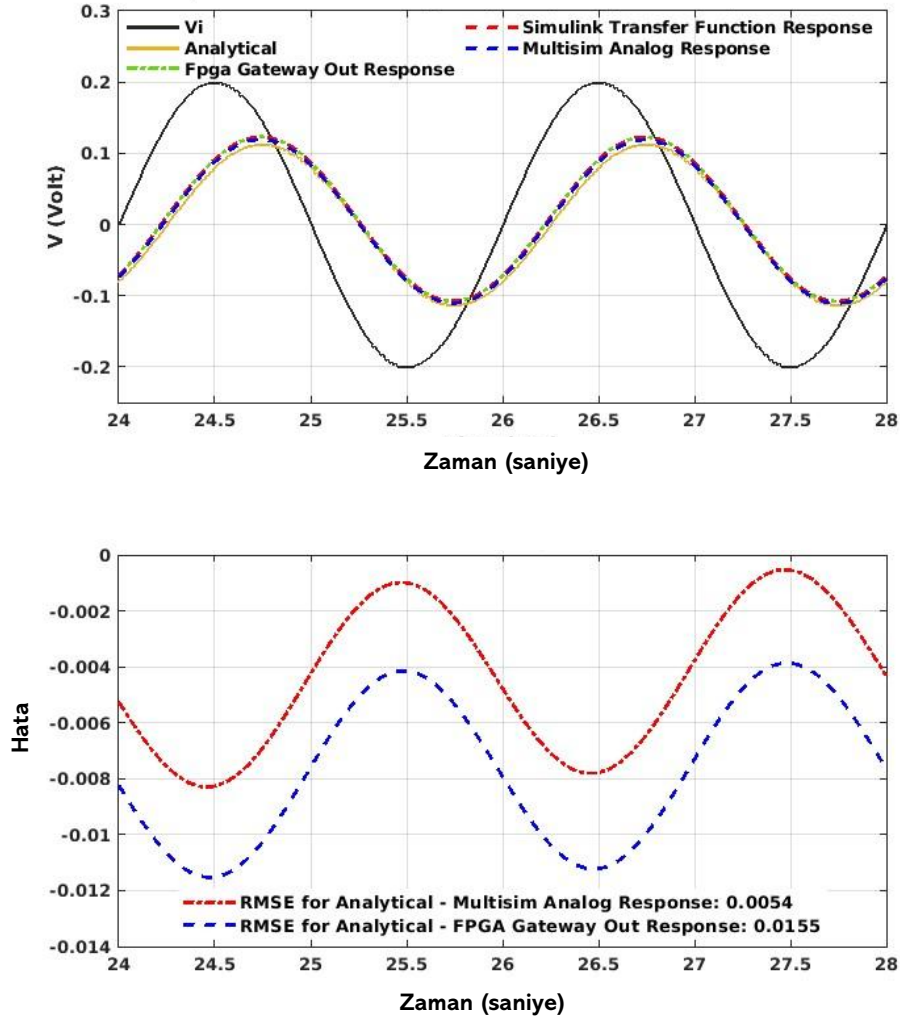


**Şekil 3.6 :** Ayırık Zamanlı Fonksiyonun Bode Diyagramı Karşılaştırması (Matsuda Yaklaşım Yöntemi).

### 3.4.2 Sinüs cevabı analizi

FPGA üzerinde gerçekleştirilen yapının doğruluğunu, tutarlılığını ve pratik uygulanabilirliğini değerlendirmek amacıyla sisteme farklı giriş dalga biçimleri uygulanmıştır. İlk olarak, genliği 0.2 V ve frekansı 0.5 Hz olan sinüzoidal bir giriş sinyali kullanılmıştır. Elde edilen çıkış dalga biçimleri ile [52]'den alınan Multisim analog devre sonucu ve FPGA çıktısına ait Karekök Ortalama Hata (RMSE) değerleri Şekil 3.7'de verilmiştir. Grafik incelendiğinde, modelin simülasyon ortamında uygulandığında oldukça tutarlı davrandığı ve sinüzoidal giriş için doğru bir sistem tepkisi ürettiği görülmektedir. Hem analog hem de dijital gerçekleştirme için elde edilen düşük RMSE değerleri, FPGA ve Multisim sonuçlarının analitik modele çok yakın olduğunu ve tanımlanan frekans aralığında yüksek doğruluk sağladığını göstermektedir. FPGA uygulamasında gözlenen nispeten daha yüksek hata, sistemin ayırık zamanlı yapısından kaynaklanan kuantalama ve ayrıklaştırma etkilerine bağlanabilir; ancak bu küçük farkların pratik uygulamalar açısından ihmal edilebilir düzeyde olduğu değerlendirilmektedir. Bununla birlikte, FPGA, Multisim,

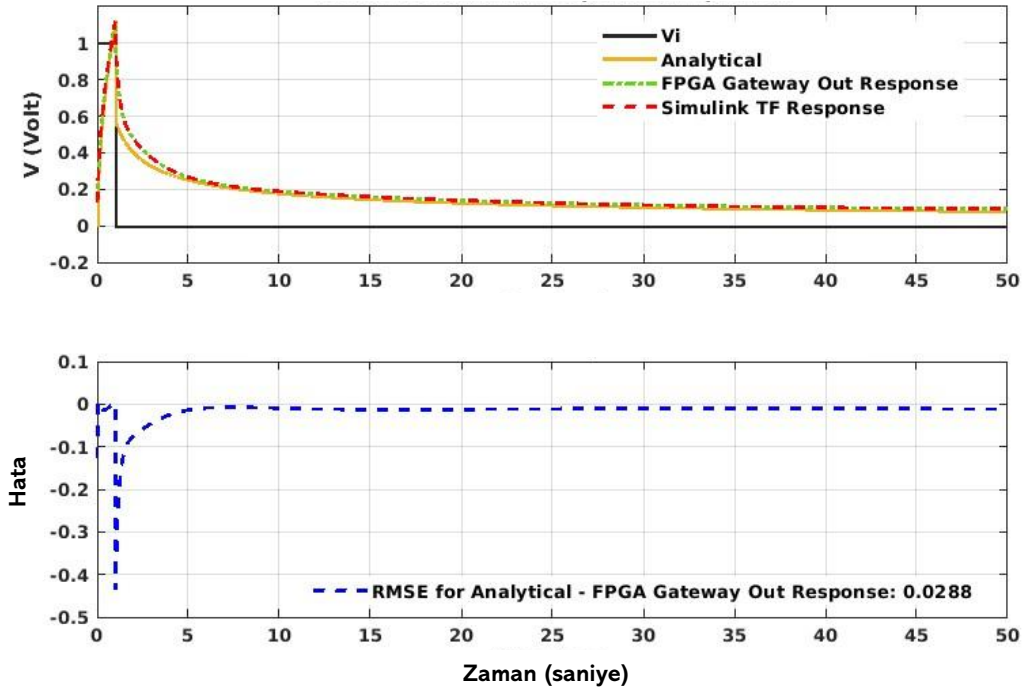
Simulink ve analitik çıktılar arasında faz ve genlik bakımından gözlenen yüksek düzeydeki örtüşme, FPGA'nın gerçek zamanlı ortamlarda teorik bir transfer fonksiyonunun davranışını güvenilir biçimde taklit edebildiğini ortaya koymaktadır. Bu karşılaştırma, FPGA tabanlı tasarımın etkinliğini doğrulamakta ve yöntemin gerçek zamanlı sinyal işleme uygulamaları için son derece uygun olduğunu göstermektedir.



**Şekil 3.7 :** Ayırık Zamanlı Filtre için Sinüzoidal Dalga Formu Tepkileri ve Dijital ve Analog Devre Gerçekleştirilmesi ve Hata Grafiği

### 3.4.3 Darbe (Pulse) cevabı analizi

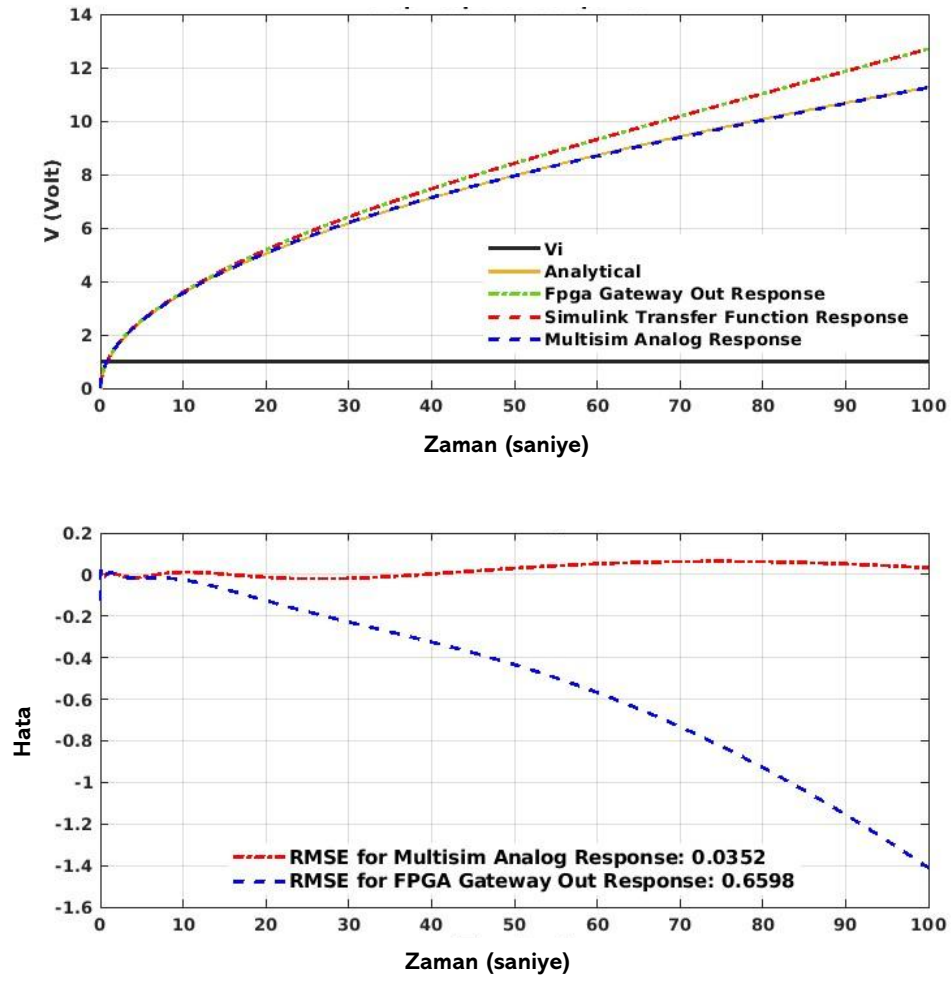
Sistemin darbe tepkisini görmek için Şekil 3.8’de gösterildiği gibi 1 saniyelik darbe girişi uygulanmış olup sistemin RMSE değeri ölçülmüştür ve analitik modelle güçlü bir uyum sergilediği görülmüştür.



**Şekil 3.8 :** 1 Saniyelik Darbe (1V) için Elde Edilen Ayırık Zaman Fonksiyonunun Tepkileri ve Analitik-FPGA Hata Grafiği

#### 3.4.4 Zaman (Step) cevabı analizi

Step cevabını gözlemlemek için 100s boyunca 1V'lık bir sinyal uygulanmıştır. Şekil 3.9'de gösterilen, sistemin tepkisi incelendiğinde, ilk 35 saniye boyunca FPGA çıkışının analitik modelle uyumlu olduğu, ancak bu süreden sonra zamanla artan bir sapma (drift) meydana geldiği görülmüştür. Bu durum sonucunda FPGA çıkışı için RMSE 0.6598 seviyesine çıkmıştır. Bu sapmanın temel nedeni, dijital sistemlerin doğası gereği sahip olduğu uzun hafıza etkisi, dijital integrasyon sırasında biriken yuvarlama hataları ve ayırıklaştırma kaynaklı hassasiyet kayıplarıdır.



**Şekil 3.9 :** Ayırık Zamanlı Filtre için Step Cevapları ve Dijital / Analog Gerçekleştirme Hata Grafiği.

### 3.4.5 Kaynak Kullanımı ve Güç Tüketimi

Vivado üzerinden alınan sentez raporlarına göre, tasarımın donanım verimliliği oldukça yüksektir. Artix-7 FPGA üzerindeki kaynak kullanımları aşağıda belirtilen Çizelge 3.1’de sunulmuştur.

**Çizelge 3.1 :** Filtre sentez raporu sonuçları

| Resource | Utilization | Available | Utilization % |
|----------|-------------|-----------|---------------|
| LUT      | 11589       | 134600    | 8.61          |
| FF       | 1348        | 269200    | 0.5           |
| DSP      | 165         | 740       | 22.3          |
| IO       | 129         | 400       | 32.25         |

Bu çalışmada, kesir dereceli integral operatörü  $s^{-0.5}$  için  $[0.1,10]$  rad/s çalışma frekansı aralığında Matsuda yaklaşımı kullanılarak 4. dereceden bir sürekli zaman yaklaşık transfer fonksiyonu elde edilmiştir. Daha sonra bu fonksiyon Tustin yöntemiyle ayrık zamanlı bir modele dönüştürülmüş ve Xilinx System Generator kullanılarak FPGA üzerinde dijital olarak gerçekleştirilmiştir. Elde edilen sonuçlar, önceki bir çalışmada sunulan analog devre gerçekleştirme sonuçlarıyla karşılaştırılarak analiz edilmiştir. FPGA tasarımından elde edilen frekans cevabı sonuçları hem analog devre hem de teorik model ile yüksek düzeyde bir uyum göstermiş ve özellikle frekans tepkisi incelendiğinde FPGA tabanlı gerçekleştirilmenin oldukça başarılı olduğu belirlenmiştir.

Sinüzoidal giriş sinyali için FPGA sisteminin RMSE değeri 0.0155 olarak elde edilmiş ve bu değer Multisim analog devre yanıtı olan 0.0054'ten biraz daha yüksek bulunmuştur. Bu küçük farkın, dijital sistemlerde kaçınılmaz olan kuantalama etkilerinden kaynaklandığı değerlendirilmektedir. Bir saniyelik darbe girişi için FPGA sisteminin elde ettiği RMSE değeri 0.0288 olup analitik modele güçlü bir yakınlık göstermektedir. Kare dalga girişinde ise FPGA çıkışı ile Multisim analog çıkış arasında oldukça yüksek bir uyum elde edilmiştir. Sinüzoidal, kare dalga ve darbe girişleri için elde edilen FPGA, analog ve analitik yanıtlar karşılaştırıldığında ve RMSE değerleri dikkate alındığında, FPGA tabanlı gerçekleştirilmenin tanımlanan çalışma aralığında kesir dereceli sistem dinamiklerini büyük oranda doğru şekilde izlediği görülmektedir.

Bununla birlikte, 100 saniyelik adım tepki analizi incelendiğinde özellikle 35. saniyeden sonra analitik model ile FPGA çıkışı arasında zamanla artan bir sapma ortaya çıktığı görülmüş; bu durum FPGA çıkışı için RMSE'nin 0.6598'e yükselmesine karşın Multisim analog devre için RMSE'nin yalnızca 0.0352 olduğu belirlenmiştir. Bu sapmanın temel nedeni, dijital sistemlerin ayrık zaman yapısında ortaya çıkan sayısal duyarlılık sınırlamalarıdır. Kuantalama hataları, örnekleme kaynaklı bozunmalar, ayrıklaştırma etkileri ve sayısal hesaplamaların birikimli hataları bu tür uzun süreli tepkilerde farkın büyümesine yol açmaktadır. Bu sorunun, FPGA tasarımında kullanılan bit genişliğinin artırılması, dijital hassasiyetin iyileştirilmesi, örnekleme süresinin optimize edilmesi ve birikimli hataların izlenerek azaltılmasıyla önemli ölçüde giderilebileceği öngörülmektedir.

Analog gerçekleştirme ile karşılaştırıldığında FPGA tasarımı; yeniden yapılandırılabilirlik, düşük güç tüketimi, donanım kaynaklarının verimli kullanılması (LUT kullanımının %8.61, DSP kullanımının %22.3 olması) gibi önemli avantajlara sahiptir. Bu bulgular, FPGA tabanlı yaklaşımların gerçek zamanlı uygulamalarda yüksek hız, esneklik

ve doğruluk sağladığını, ayrıca analog devrelerde görülen tolerans problemleri, ayar güçlükleri ve sınırlı yeniden yapılandırılabilirlik gibi dezavantajları önemli ölçüde ortadan kaldırdığını göstermektedir. Bununla birlikte, analog devre gerçekleştirmesinin uzun süreli adım tepkilerinde daha iyi performans sergilediği de göz önünde bulundurulmalıdır. Genel olarak bu karşılaştırmalı analiz, kesir dereceli sistemlerin kontrol ve sinyal işleme uygulamalarında özellikle frekans alanı performansı açısından FPGA tabanlı gerçekleştirmelerin oldukça uygun ve etkili bir çözüm sunduğunu ortaya koymaktadır.



#### **4. DC MOTOR İÇİN KESİRLİ DERECELİ SİSTEM TANIMLAMA VE FPGA İLE GERÇEKLENMESİ**

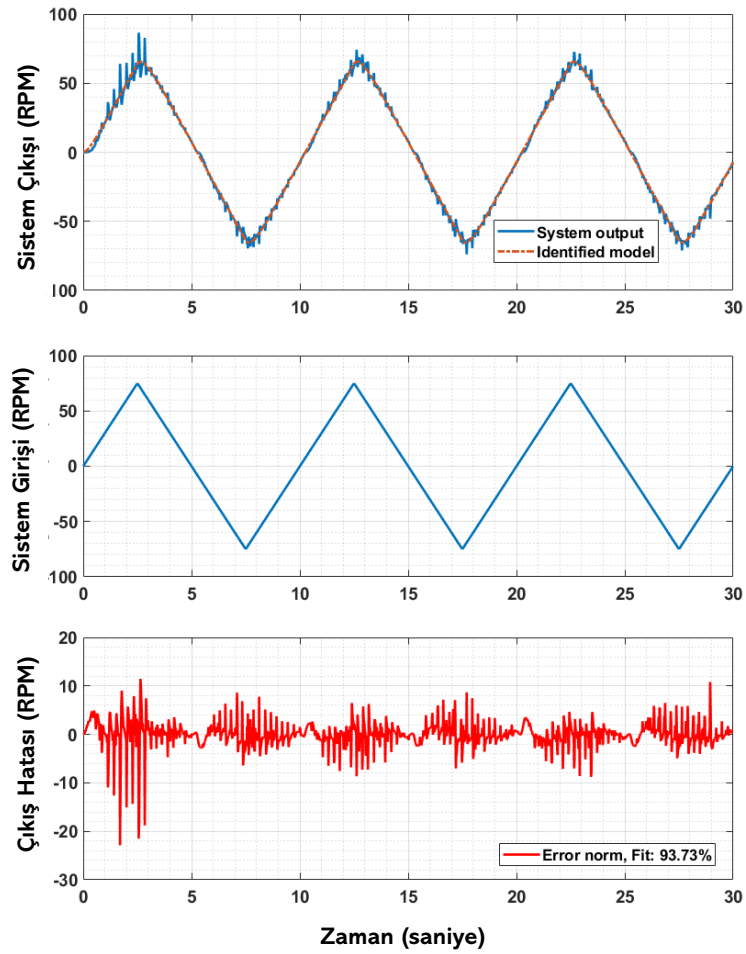
Tez süresince yapılan bir diğer çalışma ise bir DC motor–sürücü sisteminden elde edilen veri ile kesir dereceli sistem tanımlama yapılmasını, tanımlanan kesir dereceli modelin yaklaşık tamsayı dereceli bir modele dönüştürülmesini, model indirgeme yoluyla hesaplama yükünün azaltılmasını ve sonuç olarak elde edilen modelin FPGA üzerinde gerçekleştirilmesini kapsamaktadır.

Bölümün devamında kesir dereceli sistem tanımlama süreci, yaklaşık sürekli zaman kesir dereceli modelinin elde edilmesi,  $H_2$  norm tabanlı model indirgeme, ayrık zamana dönüşüm, FPGA üzerinde gerçekleştirme ve yapılan deneysel doğrulamalar ayrıntılı biçimde açıklanmaktadır. Bölüm sonunda ise FPGA-tabanlı dijital gerçekleştirme ile analog yaklaşımın karşılaştırılması yapılmakta ve gömülü kontrol sistemleri açısından elde edilen bulgular tartışılmaktadır.

##### **4.1 Kesir Dereceli Sistem Tanımlama ve Modelleme**

Bu bölümde, teorik operatörlerin ötesine geçilerek, gerçek bir fiziksel sistemin kesir dereceli dinamiklerinin modellenmesi ve bu modelin FPGA üzerinde gerçekleştirilmesi süreçleri ele alınmıştır. Uygulama platformu olarak, endüstriyel ve robotik uygulamalarda sıkça kullanılan bir doğru akım (DC) motor ve sürücü sistemi tercih edilmiştir.

Sistemin modellenmesine yönelik olarak bir DC motoru ve motor sürücüsünden oluşan bir deney düzeneği hazırlanmış ve kullanılmıştır. Çalışmada, dişli mekanizmasına ve artımlı enkodere sahip 76 RPM’lik bir DA motor tercih edilmiştir. Motor sürücüsü olarak ise L298D tabanlı bir sürücü kartı kullanılmıştır. Sistem tanımlama sürecinde ölçümlerin alınması amacıyla Arduino Uno geliştirme kartı kullanılmıştır. Örnekleme zamanı ( $T_s$ ) 20 ms olarak belirlenmiş olup tüm ölçümler 30 saniyelik bir süre boyunca gerçekleştirilmiştir (Şekil 4.1).



**Şekil 4.1 :** (a) Sistem çıkışı ve tanımlanan model çıkışı, (b) Giriş sinyali, (c) Tanımlanan sinyalin çıkış hatası ve uyum oranı.

Sistem tanılama sürecinde uygulanan giriş sinyali Şekil 4.1a’da gösterilmektedir. Gerçek DC motor–motor sürücüsü sistemine ait tepki ile tanımlanan modele ait tepki ise Şekil 4.1b’de sunulmuştur. Gerçek sistem çıkışı ile tanımlanan model çıkışı arasındaki fark Şekil 4.1c’de verilmekte olup, elde edilen uyum oranı %93,73’tür. Gerçek sistem ile tanımlanan model arasındaki farklılıkların başlıca nedeni, sistemden alınan çıkış ölçümlerindeki gürültüdür. Bu gürültünün etkilerini azaltmak amacıyla sistem çıkış ölçümlerine alçak geçiren bir filtre uygulanmıştır.

Sistem çıkışına uygulanan filtre, Denklem (4.1)’de verilmiştir:

$$y[n] = \alpha \cdot x[n] + (1 - \alpha) \cdot y[n - 1] \quad (4.1)$$

Burada  $x[n]$  gürültülü sistem çıkışını,  $y[n]$  filtrelenmiş çıkış sinyalini,  $\alpha$  ise filtre katsayısını ifade etmektedir. Örnekleme zamanı  $T_s = 20$  ms olarak seçilmiş olup, kesim frekansı örnekleme frekansının %10’u olacak şekilde 5 Hz olarak belirlenmiştir. Filtre katsayısı ise Denklem (4.2) kullanılarak hesaplanmıştır.

$$\alpha = \frac{T_s}{T_s + (1/2\pi f_c)} \approx 0.385 \quad (4.2)$$

Kesir dereceli sistem modelinin sistem tanımlama yoluyla elde edilmesi için, MATLAB ortamında geliştirilen FOMCON araç kutusu kullanılmıştır. FOMCON, kesir dereceli sistemlerin modellenmesi, sistem tanımlanması ve kontrolcü tasarımı amacıyla geliştirilmiş MATLAB tabanlı bir araç kutusudur. Araç kutusu, kesir dereceli operatörlerin farklı rasyonel yaklaşım yöntemleriyle temsil edilmesine ve bu yapıların frekans ile zaman domeyninde analiz edilmesine olanak sağlamaktadır [29,131]. Elde edilen tam sayı dereceli transfer fonksiyonunun derecesi 5 olarak ( $n=2$  alınmıştır) belirlenmiştir. Kesir dereceli dinamikleri simüle etmek için Oustaloup yinelemeli yaklaşımı ( $N = 10, \omega \in [10^{-4}, 10^4] \text{rad/s}$ ) ve tanımlama algoritması olarak Trust-Region-Reflective (TRR) yöntemi seçilmiştir. Bu parametreler doğrultusunda elde edilen kesir dereceli transfer fonksiyonu ( $TF_{fo}$ ) aşağıda verilmiştir:

$$TF_{fo} = \frac{1}{2.98s^{0.545} - 3.888s^{0.417} + 2.269s^{0.12}} \quad (4.3)$$

Elde edilen kesir dereceli transfer fonksiyonunun ( $TF_{fo}$ ) FPGA üzerinde gerçekleştirilebilmesi için, bu fonksiyonun eşdeğer bir tam sayı dereceli transfer fonksiyonu ile yaklaşık modellenmesi gerekmektedir. Yaklaşım sürecinde yine Oustaloup yaklaşım yöntemi kullanılmıştır. Elde edilen tam sayı dereceli transfer fonksiyonunun derecesi  $N=5$  ( $n = 2$ ) olarak belirlenmiş; yaklaşımda kullanılan frekans aralığı ise  $\omega_{\text{low}} = 10^{-3} \text{rad/s}$  ile  $\omega_{\text{high}} = 10^3 \text{rad/s}$  olarak sınırlandırılmıştır. Sonuç olarak elde edilen yaklaşık tam sayı dereceli transfer fonksiyonu Denklem (4.4)'te verilmektedir.

$$G_{apx} = \frac{s^{15} + 1363s^{14} + 6.413e05s^{13} + 1.194e08s^{12} + 7.464e09s^{11} + 1.964e11s^{10} + 2.183e12s^9 + 8.461e12s^8 + 1.394e13s^7 + 9.731e12s^6 + 2.37e12s^5 + 2.445e11s^4 + 1.059e10s^3 + 1.538e08s^2 + 8.882e05s + 1762}{62.33s^{15} + 5.108e04s^{14} + 1.359e07s^{13} + 1.295e09s^{12} + 4.459e10s^{11} + 6.782e11s^{10} + 4.501e12s^9 + 1.242e13s^8 + 1.733e13s^7 + 1.091e13s^6 + 2.546e12s^5 + 2.592e11s^4 + 1.074e10s^3 + 1.507e08s^2 + 8.298e05s + 1480} \quad (4.4)$$

## 4.2 Model İndirgeme ve Ayırıklaştırma

Oustaloup yöntemi ile yapılan ilk yaklaşıklık sonucunda, 15. dereceden oldukça karmaşık bir tamsayı dereceli transfer fonksiyonu ( $G_{apx}$ ) elde edilmiştir. Ancak 15.

dereceden bir modelin FPGA üzerinde kaplayacağı alan ve işlem yükü (computational burden) gömülü sistemler için verimsizdir.

Bu hesaplama karmaşıklığını azaltmak için,  $H_2$ -Norm tabanlı optimizasyon yöntemi kullanılarak model indirgeme (model reduction) işlemi uygulanmıştır. Sonuç olarak, orijinal sistemin dinamiklerini başarıyla temsil eden, hesaplama açısından çok daha hafif 2. dereceden indirgenmiş model ( $G_{rapx}$ ) elde edilmiştir:

$$G_{rapx} = \frac{3.588s+0.01423}{s^2+3.689s+0.01195} \quad (4.5)$$

Denklem (4.5)'te verilen tanımlanan sistem modelinin FPGA üzerinde benzetiminin gerçekleştirilebilmesi için, s-düzlemine ait sürekli zamanlı transfer fonksiyonunun z-düzlemine ait ayrık zamanlı karşılığına dönüştürülmesi gerekmiştir. Bu amaçla, transfer fonksiyonu öncelikle önceki bölümlerde de belirtildiği üzere MATLAB ortamında kısmi kesir açılımı (partial fraction expansion) yöntemi kullanılarak ayrıştırılmıştır. Ardından, transfer fonksiyonu Denklem (4.6)'da gösterildiği üzere iki adet alçak geçiren filtre bileşeninin toplamı olarak ifade edilmiştir.

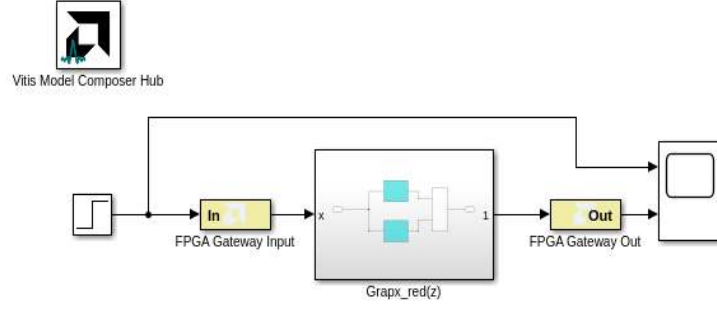
$$G_{rapx}(s) = \frac{3.587}{s+3.686} + \frac{0.0007052}{s+0.003242} \quad (4.6)$$

Her bir alçak geçiren filtre bileşeni, Tustin yöntemi kullanılarak ayrık zamanlı bir transfer fonksiyonuna dönüştürülmüştür. Bu işlem sonucunda, z-düzleminde elde edilen transfer fonksiyonu, Denklem (4.7)'de ifade edildiği üzere iki adet birinci dereceden IIR filtreden oluşmaktadır.

$$G_{rapx}(z) = \frac{0.0346+0.0346z^{-1}}{1-0.9289z^{-1}} + \frac{7.052e^{-06}+7.052e^{-06}z^{-1}}{1-0.9999z^{-1}} \quad (4.7)$$

### 4.3 FPGA Tabanlı Gerçekleme

İndirgenmiş ve ayrıklaştırılmış modelin donanım üzerinde gerçekleşmesi için MATLAB ile entegre şekilde çalışan Vitis Model Composer Hub programı kapsamında Sistem Üretici (System Generator) aracı kullanılmıştır. Tasarım, Simulink ortamında model tabanlı olarak gerçekleştirilmiş ve AMD Artix-7 (xc7a100t) FPGA donanımı hedeflenmiştir.



**Şekil 4.2 :** Vitis Model Composer Hub sistem üreticinin uygulanması.

Şekil 4.2’deki tasarım mimarisinde, Denklem 4.5’deki denkleme sadık kalınarak, transfer fonksiyonunu oluşturan her bir filtre bileşeni için ayrı alt sistemler oluşturulmuştur. Bu alt sistemlerin çıkışları, toplayıcı (Adder) blokları ile birleştirilerek nihai sistem çıkışı elde edilmiştir. Gateway blokları kullanılarak simülasyon ortamı ile FPGA mantığı arasındaki veri akışı sağlanmıştır.

#### 4.4 Bölüm 4’ün Sonuçları

FPGA simülasyonunda gerçekleştirilen sistemin doğruluğunu, tutarlılığını ve pratik uygulanabilirliğini değerlendirmek amacıyla çeşitli giriş dalga biçimleri uygulanmıştır. İlk olarak, büyüklüğü 1 V olan ve örnekleme zamanı 20 ms olarak belirlenen 10 saniyelik bir basamak giriş sinyali Gateway Input üzerinden sisteme uygulanmıştır. Elde edilen sistem tepkisi zaman düzleminde kaydedilmiş ve hem analitik olarak hesaplanan basamak tepkisi hem de sistem içinde gerçekleşen transfer fonksiyonunun tepkisi ile karşılaştırılmıştır.

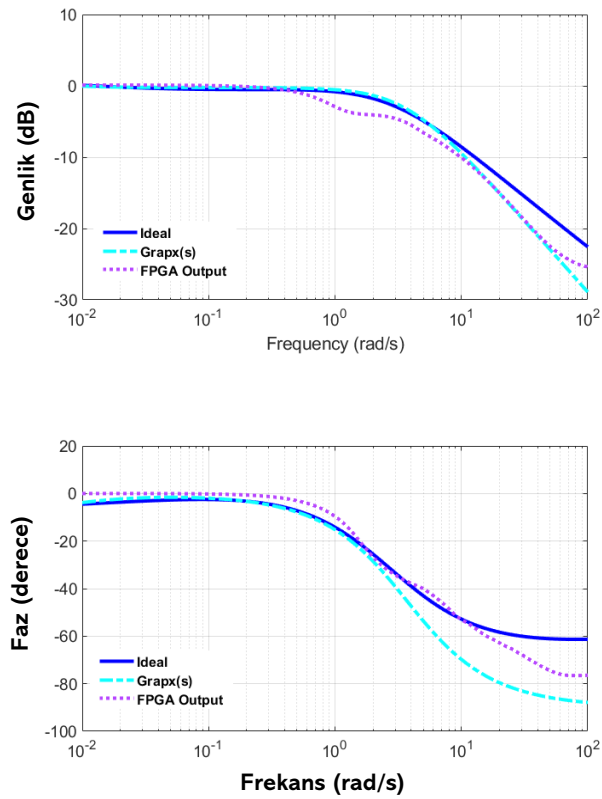
Ardından, sistemin frekans cevabını elde etmek amacıyla [0.01,100] Hz frekans aralığında bir chirp sinyali uygulanmıştır. Simülasyon sürecinde hem giriş hem de çıkış verileri time scope aracılığıyla kaydedilmiş ve bu sayede FPGA tabanlı gerçekleştirme sonucunda elde edilmesi muhtemel frekans cevabı özellikleri çıkarılmıştır. Elde edilen transfer fonksiyonu tepkilerinin istenen frekans aralığıyla hizalanabilmesi için MATLAB’ın enterpolasyon yöntemi kullanılmıştır. Ayrıca, elde edilen genlik ve faz verilerinin doğruluğunu artırmak amacıyla, Butterworth tipi bir filtre uygulanarak tepki eğrileri yumuşatılmış; bu işlem sırasında temel sinyal özelliklerinde herhangi bir bozulma oluşmamasına özen gösterilmiştir.

İndirgenmiş transfer fonksiyonunun etkinliğini ve uygulanabilirliğini değerlendirmek amacıyla MATLAB ve Simulink ortamında FPGA gerçekleştirilmesi gerçekleştirilmiştir. z-düzlemine ait indirgenmiş transfer fonksiyonu, aynı fonksiyonun

FPGA simülasyon sonuçları ve kesir dereceli transfer fonksiyonuna ilişkin analitik sonuçlar hem frekans cevabı hem de basamak cevabı açısından karşılaştırılmıştır.

#### 4.5 Frekans cevabı analizi

Bu üç eğrinin frekans düzlemindeki karşılaştırması Şekil 4.3'te sunulmuştur. Şekilden görüldüğü üzere, indirgenmiş s-düzlemi transfer fonksiyonuna ( $G_{rapx}$ ) ait Eğri (Denklem 4.5) hem genlik hem de faz grafiklerinde orijinal kesir dereceli s-düzlemi transfer fonksiyonundan elde edilen eğri ile oldukça yakın sonuçlar vermektedir. Bu iki eğri arasındaki küçük farklılıklar, model indirgeme işleminden kaynaklanmaktadır.

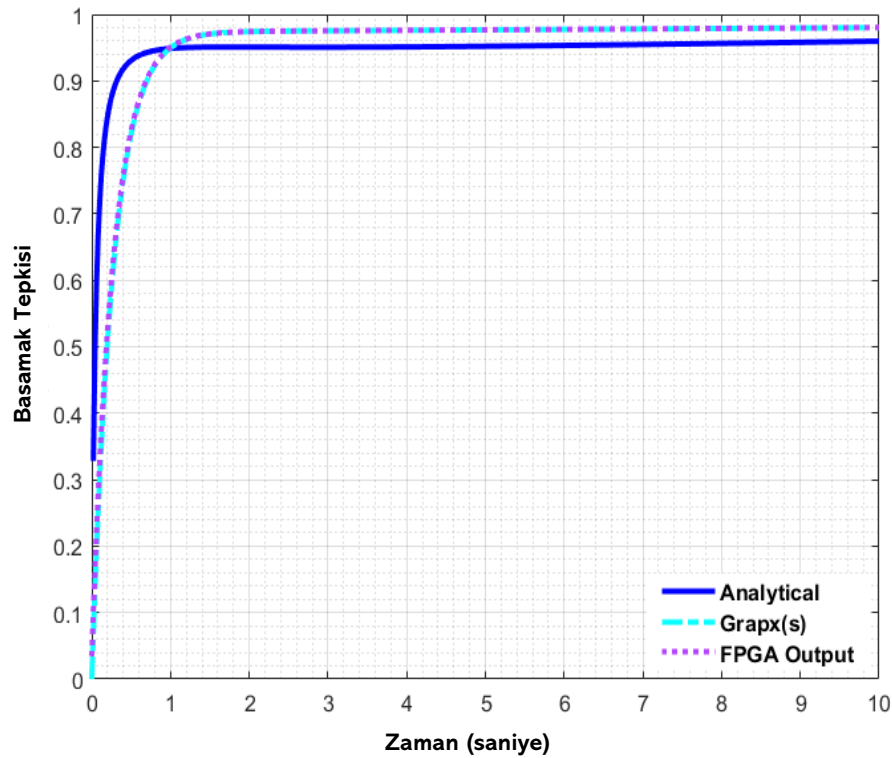


Şekil 4.3 : Genlik ve faz tepkileri karşılaştırılması.

Ayrıca, indirgenmiş s-düzlemi ( $G_{rapx}$ ) (Denklem 4.5) ile FPGA üzerinde Denklem (4.7) için Gateway çıkışından elde edilen eğri arasındaki küçük uyumsuzluklar; sürekli zamandan ayrık zamana dönüşüm sürecinde oluşan hatalar, katsayıların sonlu çözünürlükte temsil edilmesi, çarpma ve toplama işlemlerinde gerçekleşen yuvarlama kaynaklı kümülatif hatalar gibi etkenlerden kaynaklanabilmektedir. Buna ek olarak, bu hatalar yinelemeli yapı nedeniyle sistem içinde yayılmakta ve özellikle yüksek frekans bölgelerinde küçük fakat gözle görülebilir genlik ve faz sapmalarına yol açabilmektedir.

#### 4.6 Zaman cevabı analizi

Orijinal kesir dereceli transfer fonksiyonunun analitik basamak tepkisi (Denklem 4.3), indirgenmiş s-düzlemi transfer fonksiyonuna (Denklem 4.5) ait basamak tepkisi ve z-düzlemi transfer fonksiyonuna (Denklem 4.7) dayalı olarak FPGA Gateway çıkışından elde edilen basamak tepkisi, 10 saniyelik süre için karşılaştırmalı olarak Şekil 4.4'te sunulmuştur. Analitik basamak tepkisi ile indirgenmiş transfer fonksiyonuna ait basamak tepkisi arasındaki farklılıklar, beklendiği üzere model indirgeme sürecinden kaynaklanmaktadır.



Şekil 4.4 : Zaman tepkisi karşılaştırılması.

İndirgenmiş ikinci dereceden s-düzlemi transfer fonksiyonu ile FPGA Gateway çıkışından elde edilen simülasyon sonucunun 10 saniyelik basamak tepkisinde uyumlu bir davranış sergilemesi, sistemin düşük frekanslı dinamiklerinin FPGA üzerinde başarıyla korunduğunu göstermektedir. Bu durum normaldir çünkü basamak tepkisi, sistemin daha çok düşük frekans bileşenlerini etkiler; bu bölgelerde küçük hesaplama hataları, sınırlı sayısal hassasiyet ve faz değişimleri belirgin bir etki oluşturmaz. Sonlu kelime uzunluğu etkileri, katsayı kuantalama ve sayısal hassasiyet sınırlamalarından kaynaklanan hataların düşük frekanslarda ihmal edilebilir düzeyde olması, buna karşın frekans yükseldikçe giderek daha belirgin hale gelmesi de bu değerlendirmeyi desteklemektedir.

Elde edilen sonuçlar, önerilen yöntemin FPGA tabanlı gömülü kontrol uygulamalarına uygun, doğru ve hesaplama açısından verimli sistem modellerinin geliştirilmesini mümkün kıldığını göstermektedir. Bu durum, kesir dereceli sistem tanılama yaklaşımının dijital gerçekleştirme teknikleri ile kullanıldığında gerçek zamanlı endüstriyel kontrol sistemleri için uygulanabilir ve etkili bir çözüm sunduğunu doğrulamaktadır.



## 5. KESİR DERECELİ FONKSİYONLAR İÇİN FREKANS CEVABI ESASLI OPTİMİZASYON VE GERÇEKLEME UYGULAMALARI

Bu bölüm, tezin literatüre sağladığı temel katkıları sunmaktadır. Bölüm kapsamında; MSBL tabanlı türev operatörü ve Oustaloup tabanlı alçak geçiren filtrenin frekans cevaplarının iyileştirilmesi hedeflenmiştir. Her iki yapının da dijital ortamda gerçekleştirilmesine dair detaylı uygulama adımları ve elde edilen sonuçlar bir bütün halinde sunulmuştur.

### 5.1 Kesir Dereceli Operatör İçin Uygulama

Kesir dereceli analizde temel yapı taşı olan türev operatörü  $s^\alpha (\alpha \in \mathbb{R})$ , önceki bölümlerde de belirtildiği üzere, sonsuz hafıza gereksinimi nedeniyle fiziksel sistemlerde doğrudan gerçekleştirilememektedir. Bu nedenle, bilindiği gibi operatörün belirli bir frekans bandında tamsayı dereceli bir transfer fonksiyonu ile yaklaştırılması zorunludur. Bu çalışmada,  $s^{0.5}$  türev operatörü ele alınmış ve yaklaşım yöntemi olarak, logaritmik frekans dağılımı prensibine dayanan MSBL yöntemi tercih edilmiştir.  $[0.01, 100]$  rad/s frekans aralığında 5. dereceden bir yaklaşım hedeflenmiştir.

Standart MSBL yöntemi ile elde edilen transfer fonksiyonu ( $T_{msbl}(s)$ ) şu şekildedir:

$$T_{msbl}(s) = \frac{21.62s^5 + 1186s^4 + 5877s^3 + 3516s^2 + 233.1s + 1}{1s^5 + 233.1s^4 + 3516s^3 + 5877s^2 + 1186s + 21.62} \quad (5.1)$$

#### 5.1.1 Transfer fonksiyonu katsayılarını optimize etmek üzere kullanılan FMINCON optimizasyon yönteminin uygulanması

Kesir dereceli sistemlerin transfer fonksiyonlarının optimize edilmesi, sistem modelinin hedeflenen dinamik davranışa mümkün olduğunca yakın çalışmasını sağlamak açısından kritik bir gerekliliktir. Özellikle karmaşık kesir dereceli yapılarda teorik yaklaşımlar kullanılarak elde edilen katsayılar; sayısal yuvarlama hataları, sonlu kelime uzunluğu sınırlamaları ve donanım kaynaklı kısıtlar nedeniyle beklenen performansı doğrudan sağlayamayabilir. Bu nedenle optimizasyon yöntemleri, hata fonksiyonunu minimize ederek genlik, faz ve kararlılık ölçütleri bakımından en uygun katsayıların belirlenmesini mümkün kılar. Böylece model hem analitik doğruluk hem de gerçek zamanlı donanım uygulanabilirliği açısından iyileştirilmiş olur.

Bu sürecin temeli, ideal kesir dereceli operatör ile yaklaşık rasyonel transfer fonksiyonu arasındaki farkı tanımlayan hata fonksiyonlarının oluşturulmasına dayanır.

Genlik ve faz tepkilerindeki farkları temsil eden hata fonksiyonları geniş bir frekans aralığında logaritmik olarak seçilen örnekleme noktaları üzerinden hesaplanır. Faz için kullanılan hata fonksiyonu aşağıdaki gibi tanımlanmaktadır:

$$E_{phase}(\theta) = \sum_{i=1}^m \left( \varphi_{app}(\omega_i, \theta) - \varphi_{exact}(\omega_i) \right)^2 \quad (5.2)$$

Burada  $\varphi_{exact}$  ideal kesir dereceli operatörünün faz tepkisini temsil eder ve  $\alpha \cdot \pi/2$  olarak hesaplanır. Genlik tepkisine ait hata fonksiyonu ise aşağıdaki gibi tanımlanmaktadır:

$$E_{mag}(\theta) = \sum_{i=1}^m \left( H_{app}(\omega_i, \theta) - H_{exact}(\omega_i) \right)^2 \quad (5.3)$$

Burada da  $H_{exact} = \omega^\alpha$  'nın dB cinsinden ifadesidir;  $m$  ise  $[0.01, 100]$  rad/s aralığında logaritmik olarak yerleştirilmiş 1000 frekans noktasını temsil eder. Yaklaşık değerler olan  $\varphi_{app}$  ve  $H_{app}$  ise 5. Derece kesir dereceli yaklaşım metotları (örneğin MSBL veya Oustaloup) kullanılarak elde edilmiştir.

Bu hata fonksiyonları, optimizasyon problemi kapsamında çok amaçlı bir maliyet fonksiyonu altında birleştirilir. Faz ve genlik hatalarının göreceli önemini temsil eden ağırlık katsayılarıyla oluşturulan amaç fonksiyonu şu şekildedir:

$$J(\theta) = w_{phase} * E_{phase}(\theta) + w_{mag} * E_{mag}(\theta) \quad (5.4)$$

Bu çalışmada ağırlık katsayıları deneysel olarak  $w_{phase} = 0.1$  ve  $w_{mag} = 2$  olarak seçilmiştir. Bu tercih, genlik hatasının kesir dereceli sistemlerde daha geniş bant etkilerine sahip olması nedeniyle daha fazla ağırlıklandırılması gerektiği gözlemlerine dayanmaktadır.

Optimizasyon işleminin gerçekleştirilmesinde MATLAB'ın FMINCON fonksiyonu kullanılmıştır. FMINCON, doğrusal olmayan kısıtları işleyebilen ve çok değişkenli fonksiyonları minimize etmede güçlü performans sunan bir araçtır. Bu çalışmada FMINCON tarafından desteklenen yöntemlerden Sequential Quadratic Programming (SQP) algoritması tercih edilmiştir. SQP, her iterasyonda problemi ikinci dereceden bir alt problem üzerinden yaklaşıklar, kısıtları doğrusal hâle getirir ve Katsayıları Karush–Kuhn–Tucker (KKT) koşullarını sağlayacak şekilde güncelleyerek optimizasyon sürecini ilerletir. Böylece çok değişkenli ve doğrusal olmayan maliyet yüzeyinin etkili ve verimli bir biçimde taranması mümkün olur.

Optimizasyon süreci devam ettikçe transfer fonksiyonuna ait pay ve payda katsayıları birlikte ve eş zamanlı olarak iyileştirilir. Bu iyileştirme yalnızca katsayıların sayısal değerlerini güncellemekle kalmaz, aynı zamanda transfer fonksiyonunun karmaşık

düzlemdeki kutup-sıfır dağılımını da yeniden şekillendirir. Böylece sistemin doğal frekansları, sönüm oranları ve genel dinamik davranışı ideal kesir dereceli modeline daha iyi uyum sağlar. Sonuç olarak faz tepkisindeki dalgalanmalar belirgin ölçüde azalır, genlik tepkisi ideal modele daha yakın hâle gelir ve geniş frekans aralığında daha tutarlı performans elde edilir.

Optimizasyon tamamlandığında ortaya çıkan transfer fonksiyonu hem yazılım hem de donanım tabanlı uygulamalar için daha yüksek doğruluk ve kararlılık sunar. FPGA üzerinde gerçek zamanlı uygulamalarda kullanılmaya uygun bu yeni yapı, klasik kesir dereceli yaklaşımlarına göre daha düşük hata değerlerine sahiptir ve daha fiziksel olarak anlamlı bir sistem modeli oluşturur. Böylece, kesir dereceli sistemlerde geleneksel yaklaşımların sınırlamalarını aşan hem frekans domaininde hem de zaman domaininde daha tutarlı ve güvenilir bir yaklaşım elde edilmiş olur.

Optimizasyon sonucunda, MSBL yapısı temel alınarak katsayıları güncellenmiş optimize transfer fonksiyonu ( $T_{opt-msbl}(s)$ ) elde edilmiştir:

$$T_{opt-msbl}(s) = \frac{23.77s^5 + 1173s^4 + 5913s^3 + 3462s^2 + 228.9s + 1.15}{1.15s^5 + 228.9s^4 + 3462s^3 + 5913s^2 + 1173s + 23.77} \quad (5.2)$$

Ayrıca bu transfer fonksiyonu kısmi kesir genişlemesi (PFE) yöntemi kullanılarak şu şekilde ayrıştırılmıştır:

$$T_{opt.-msbl}(s) = \frac{-3052}{s+182.7} + \frac{-37.4}{s+14.4} + \frac{-1.504}{s+1.701} + \frac{-0.06172}{s+0.202} + \frac{-0.002583}{s+0.02287} + 20.6626 \quad (5.3)$$

Bu denklemdeki her bir rasyonel ifade birinci dereceden bir alçak geçiren filtreyi (LPF) temsil etmekte olup, en sağdaki sabit terim sistemin kazanç faktörünü ifade etmektedir. Sayısal kararlılığı artırmak ve dijital gerçekleştirme sırasında karşılaşılan katsayı kuantalama hatalarını en aza indirmek amacıyla, sürekli zamanlı beşinci derece transfer fonksiyonu kısmi kesir açılımı kullanılarak beş adet birinci derece bileşenin toplamı şeklinde ifade edilmiştir. Elde edilen her bir birinci derece bileşen daha sonra Tustin yöntemi kullanılarak ayrık zamanlı yapıya dönüştürülmüş ve FPGA üzerinde paralel biçimde gerçekleştirilmiştir. Bu yaklaşım, her bir bölümün kararlılığının ayrı ayrı doğrulanabilmesi ve birim çember içinde tutulabilmesi sayesinde sayısal sağlamlığı önemli ölçüde artırmaktadır.

### 5.1.2 FPGA üzerinde dijital gerçekleştirme

Sürekli zamanlı bir transfer fonksiyonunun FPGA üzerinde dijital biçimde gerçekleştirilebilmesi için, söz konusu transfer fonksiyonunun ayrık zamanlı bir yapıya dönüştürülmesi gerekmektedir. Bu amaç doğrultusunda sıfırcı derece tutucu (ZOH), birinci derece tutucu (FOH), örnek-uygun (impulse-invariant) eşleme, Tustin yaklaşımı (bilinear dönüşüm), kutup-sıfır eşleme ve en küçük kareler tabanlı yöntemler dâhil olmak üzere çeşitli dönüşüm teknikleri mevcuttur. Her bir yöntem kendine özgü avantaj ve sınırlamalara sahiptir; dolayısıyla uygun yöntemin seçimi, çalışılan sistemin gereksinimlerine ve giriş sinyallerinin özelliklerine bağlı olarak değişmektedir. Bu çalışmada söz konusu tüm yöntemler MATLAB ortamında test edilmiş ve incelenen transfer fonksiyonu için 10 ms örnekleme zamanı ile uygulanan Tustin yönteminin tanımlanan frekans aralığında göreceli olarak daha düşük hata değerleri sağladığı belirlenmiştir.

Denklem (5.3)'te verilen ve ana transfer fonksiyonunun birinci derece alçak geçiren filtrelerin toplamı şeklinde ifade edilen optimize edilmiş sürekli zamanlı yaklaşık transfer fonksiyonu, MATLAB ortamında Tustin yöntemi kullanılarak ayrık zamanlı bir transfer fonksiyonuna dönüştürüldüğünde, elde edilen sistemin z-domeynindeki ifadesi aşağıdaki gibi olmaktadır:

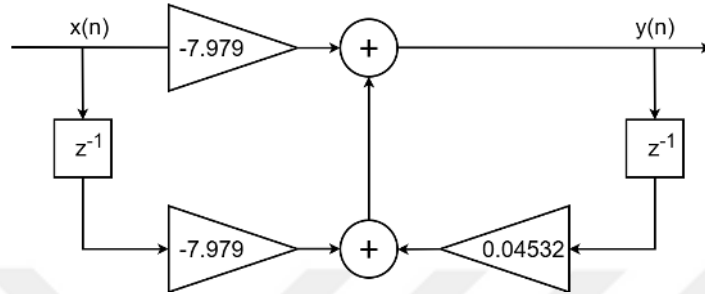
$$T_{opt.-msbl}(z) = \frac{-7.979-7.979z^{-1}}{1-0.04532z^{-1}} + \frac{-0.1744-0.1744z^{-1}}{1-0.8657z^{-1}} + \frac{-0.007456-0.007456z^{-1}}{1-0.9831z^{-1}} + \frac{-0.0003083-0.0003083z^{-1}}{1-0.998z^{-1}} + \frac{-1.291e^{-05}-1.291e^{-05}z^{-1}}{1-0.999771z^{-1}} + 20.6626 \quad (5.4)$$

Denklem (5.4)'te yer alan her bir rasyonel ifade, bir fark denklemi olarak temsil edilebilir. Aşağıdaki örnekte, Denklem (5.4)'teki ilk rasyonel bileşenin bir fark denklemi biçiminde nasıl yazıldığı gösterilmiştir:

$$\frac{Y(z)}{X(z)} = \frac{-7.979-7.979z^{-1}}{1-0.04532z^{-1}} \quad (5.5)$$

$$Y(n) = -7.979 * X(n) - 7.979 * X(n-1) + 0.04532 * Y(n-1) \quad (5.6)$$

Transfer fonksiyonundaki her bir rasyonel terim hem mevcut hem de geçmiş giriş değerlerine, ayrıca önceki çıkış değerlerine bağlı olduğundan, Sonsuz Darbe Yanıtlı (IIR) filtrelerin toplamı şeklinde gerçekleştirilmektedir. Bu çalışmada her bir birinci derece IIR filtre, aşağıda gösterildiği üzere Doğrudan Form I (Direct Form I) yapısı kullanılarak uygulanmıştır. Şekil 5.1, Denklem (5.4)'ün sağ tarafında yer alan ilk rasyonel bileşenin tasarımına ilişkin bir örnek sunmaktadır.



Şekil 5.1 : Birinci Dereceden IIR Filtresi İçin Doğrudan Form I Yapısı.

Ayrıca önerilen yöntemin doğruluğunu ve verimliliğini gözlemlemek amacıyla  $s^{0.5}$  operatörüne  $[0.01,100]$  rad/s frekans aralığında 5. Dereceden Oustaloup ve Matsuda yaklaşımları uygulanmıştır. Uygulama sonucunda standart Oustaloup ve Matsuda yaklaşım yöntemleri ile elde edilen transfer fonksiyonları ( $T_{ous}(s), T_{mats}(s)$ ) şu şekildedir:

$$T_{ous}(s) = \frac{31.62s^5 + 4249s^4 + 3.389e^{04}s^3 + 1.698e^{04}s^2 + 534.9s + 1}{s^5 + 534.9s^4 + 1.698e^{04}s^3 + 3.389e^{04}s^2 + 4249s + 31.62} \quad (5.7)$$

$$T_{mats}(s) = \frac{26.93s^5 + 1462s^4 + 7194s^3 + 4255s^2 + 279.4s + 1}{s^5 + 279.4s^4 + 4255s^3 + 7194s^2 + 1462s + 26.93} \quad (5.8)$$

Bu fonksiyonlara kısmi kesirlere ayırma yöntemi uygulanmış ve aşağıdaki fonksiyonlar elde edilmiştir:

$$T_{ous}(s) = \frac{-1.251e^{04}}{s+501.2} + \frac{-158.4}{s+31.62} + \frac{-2.48}{s+1.995} + \frac{-0.03916}{s+0.1259} + \frac{-0.0005909}{s+0.007943} + 31.6227 \quad (5.9)$$

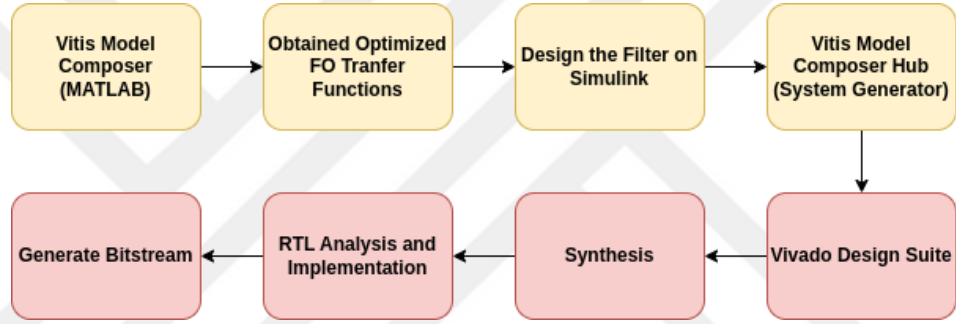
$$T_{mats}(s) = \frac{-6022}{s+263.4} + \frac{-38.85}{s+14.15} + \frac{-1.41}{s+1.669} + \frac{-0.06572}{s+0.2117} + \frac{-0.002554}{s+0.02045} + 26.9261 \quad (5.10)$$

Kısmi kesirlere ayrılan fonksiyonlar, FPGA üzerinde dijital olarak gerçekleştirilebilmeleri için ayrık zamanlı yapıya dönüştürülerek aşağıdaki fonksiyonlar elde edilmiştir:

$$T_{ous}(z) = \frac{-17.84 - 17.84z^{-1}}{1 + 0.4295z^{-1}} + \frac{-0.6839 - 0.6839z^{-1}}{1 - 0.7269z^{-1}} + \frac{-0.01228 - 0.01228z^{-1}}{1 - 0.9802z^{-1}} + \frac{-0.0001957 - 0.0001957z^{-1}}{1 - 0.9987z^{-1}} + \frac{-2.954e^{-06} - 2.954e^{-06}z^{-1}}{1 - 0.999921z^{-1}} + 31.6227 \quad (5.11)$$

$$T_{mats}(z) = \frac{-13-13z^{-1}}{1+0.1368z^{-1}} + \frac{-0.1814-0.1814z^{-1}}{1-0.8679z^{-1}} + \frac{-0.006992-0.006992z^{-1}}{1-0.9834z^{-1}} + \frac{-0.0003282-0.0003282z^{-1}}{1-0.9979z^{-1}} + \frac{-1.277e^{-05}-1.277e^{-05}z^{-1}}{1-0.999796z^{-1}} + 26.9261 \quad (5.12)$$

Denklem 5.4, beş ayrı IIR filtre denkleminin ve 20.6626 değerindeki sabit bir kazancın birleşimini temsil etmektedir. Bu denklem, Vitis Model Composer Hub System Generator aracı kullanılarak Simulink ortamında IIR filtrelerinin toplamı şeklinde gerçekleştirilmiştir. Söz konusu araç, ilgili fonksiyona ait IP çekirdeğini (IP core) otomatik olarak üretmekte; bu çekirdek daha sonra Vivado Design Suite içerisinde sentez, Register Transfer Level (RTL) analizi, gerçekleştirim (implementation) ve FPGA üzerinde kullanılmak üzere bitstream üretimi aşamalarında kullanılmaktadır. Sürecin genel akışı Şekil 5.2’de verilen blok diyagramında gösterilmektedir.



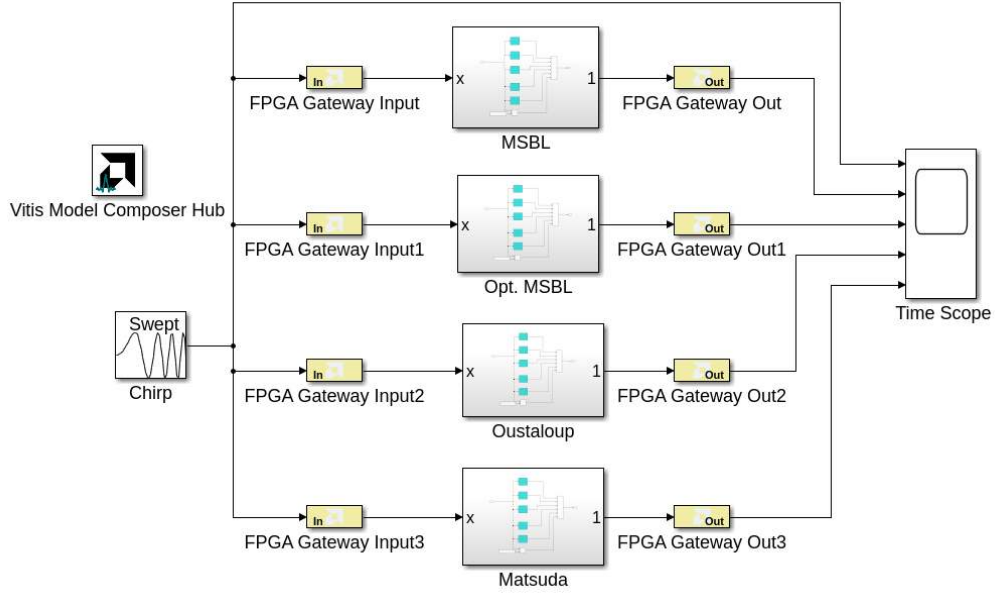
**Şekil 5.2 :** Vitis Model Composer Hub'a Dayalı Simulink Blok Diyagramı.

Xilinx tarafından geliştirilen Vitis Model Composer Hub System Generator, MATLAB Simulink ortamında model tabanlı tasarım yaklaşımıyla FPGA uygulamalarının gerçekleştirilmesine olanak sağlayan bir araçtır [110]. Bu araç, Simulink içerisine Xilinx cihazlarına özgü özel bir dijital sinyal işleme blok seti ekleyerek çalışmakta; böylece tasarımcıların belirli tasarım gereksinimlerine uygun modeller oluşturmalarına imkân tanımaktadır.

Bu çalışmada, transfer fonksiyonu içerisinde yer alan her bir rasyonel bileşen (IIR filtre) için ayrı bir alt sistem (subsystem) bloğu kullanılmış ve bu alt sistemler, önceden yapılandırılmış toplayıcı bloklar ile birleştirilmiştir. Simulink ile FPGA blokları arasındaki veri alışverişini sağlamak amacıyla Gateway bloklarından yararlanılmıştır [111].

FPGA benzetiminde  $s^{0.5}$  türev operatörünün gerçekleştirilmesi için, öncelikle optimize edilmiş sürekli zaman yaklaşık transfer fonksiyonu, kesirsel açılım yöntemi kullanılarak bir alçak geçiren filtreler toplamı şeklinde ifade edilmiştir. Daha sonra bu ifade, Tustin yöntemi uygulanarak, Denklem 5.4’te gösterildiği üzere, IIR filtreler toplamı

biçiminde ayırık zamanlı yaklaşık bir transfer fonksiyonuna dönüştürülmüştür. Denklem 5.4'te yer alan ve birer IIR filtreyi temsil eden her bir rasyonel bileşen, Bölüm 2.3'te açıklanan yöntemler doğrultusunda Vitis Model Composer Hub System Generator kullanılarak tasarlanmıştır.



**Şekil 5.3 :** Vitis Model Composer Hub Sistem Üreticinde Kesir Dereceli Yaklaşım Yöntemlerinin Uygulanması ve Karşılaştırılması.

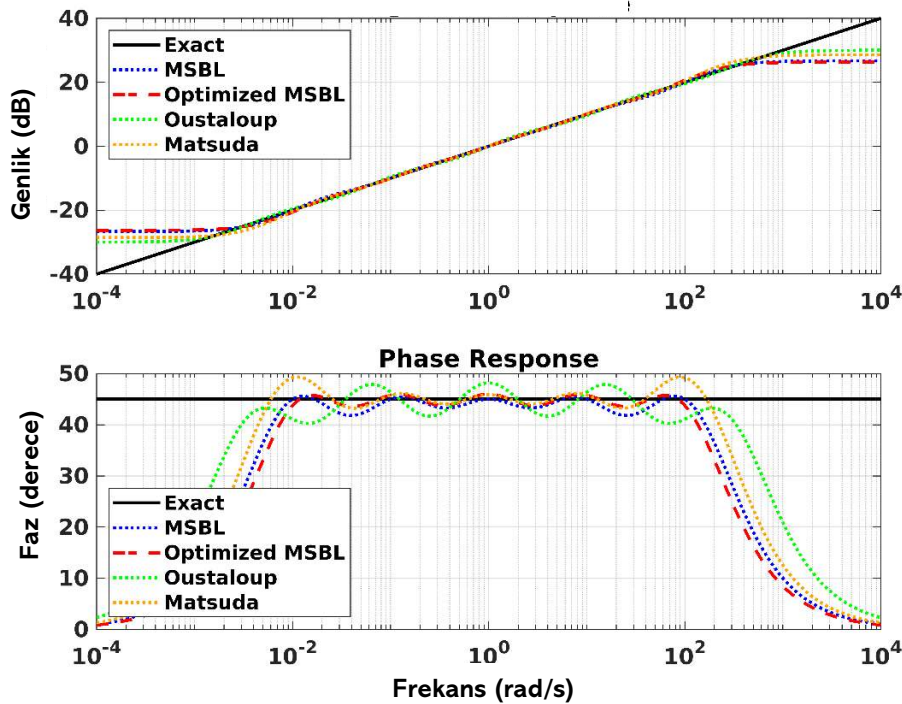
Oustaloup, Matsuda, MSBL yaklaşım yöntemleri ile önerilen yönteme ait sürekli zaman transfer fonksiyonları, ayırık zaman transfer fonksiyonlarına dönüştürülmüş ve elde edilen tüm ayırık zamanlı transfer fonksiyonları Şekil 5.3'te gösterildiği şekilde paralel olarak FPGA üzerinde gerçekleştirilmiştir. Her bir ayırık zamanlı transfer fonksiyonu için giriş ve çıkış sinyalleri zaman alanında gözlemlenmiş ve sonuçlar karşılaştırmalı olarak değerlendirilmiştir.

Şekil 5.4'te de gösterildiği üzere, her bir ayırık zamanlı transfer fonksiyonu, birinci derece IIR filtrelerin ve bir kazanç bloğunun toplamından oluşmakta olup, bu yapı IIR\_multx olarak adlandırılan alt sistemlerin toplamı şeklinde gerçekleştirilmiştir. İlgili IIR\_multx alt sistemleri, Xilinx DSP kütüphanesinde yer alan Adder Tree bloğu kullanılarak birleştirilmiş ve böylece incelenen fonksiyona ait nihai çıkış üretilmiştir.



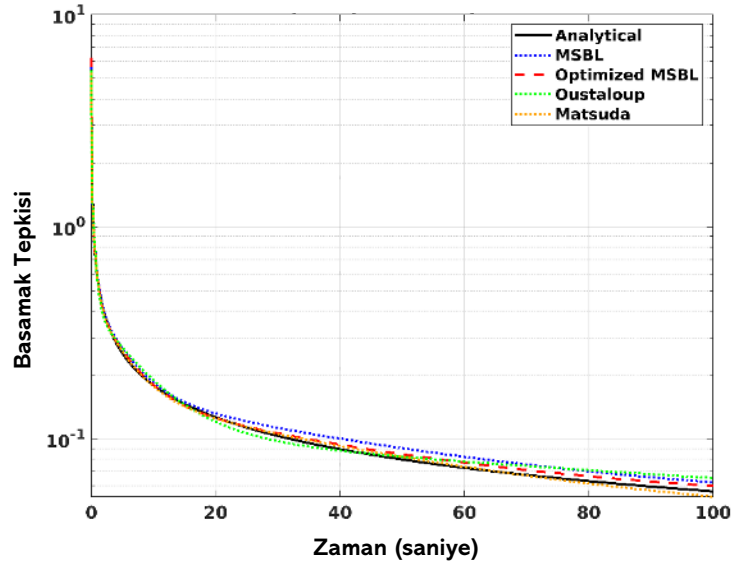
### 5.1.3 Kesir dereceli türev operatörü için hesaplamalı sonuçlar ve analizler

Şekil 5.6’da  $s^{0.5}$  kesir dereceli türev operatörü için MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen yöntem kullanılarak elde edilen beşinci derece tam sayı transfer fonksiyonlarının genlik ve faz tepkileri, analitik  $s^{0.5}$  frekans tepisi ile karşılaştırılmaktadır. Tüm şekillerde, önerilen yöntemle elde edilen eğriler “Optimize Edilmiş MSBL” olarak adlandırılmıştır. Şekil 5.6 incelendiğinde, MSBL yaklaşım yöntemine dayalı optimize edilmiş transfer fonksiyonunun frekans tepkisinin, orijinal MSBL yaklaşımının frekans tepkisiyle oldukça uyumlu olduğu görülmektedir. Nicel karşılaştırma için, tanımlanan  $\omega \in [0.01,100]$  rad/s frekans aralığında logaritmik olarak dağıtılmış  $10^3$  noktada frekans tepkisi için RMSE ve MAPE değerleri hesaplanmıştır. Genlik ve faz tepkilerine ilişkin RMSE ve MAPE değerleri Şekil 5.6’daki eğriler üzerinden elde edilmiş olup sonuçlar Çizelge 5.1’de özetlenmiştir. Çizelge 5.1’de görüldüğü üzere, önerilen yöntemin frekans alanındaki yaklaşım performansı genel anlamda hem orijinal MSBL yönteminden hem de diğer klasik yaklaştırma yöntemlerinden bir miktar daha üstündür. Bu durum, kesir dereceli yaklaşım yöntemleriyle elde edilen transfer fonksiyonlarına optimizasyon süreci uygulandığında, kesir dereceli transfer fonksiyonlarının gerçekleştirilmesinde belirgin bir iyileştirme sağlanabileceğini göstermektedir.



Şekil 5.6 : Önerilen yöntem ile MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri kullanılarak  $s^{0.5}$  operatörü için elde edilen beşinci derece transfer fonksiyonlarına ait gerçek (analitik) frekans tepkisi ile yaklaşık frekans tepkileri karşılaştırılması.

Frekans tabanlı optimizasyonun zaman alanı tepkisini olumsuz etkileyebileceği göz önünde bulundurularak, belirtilen yaklaştırma yöntemlerine ve FMINCON optimizasyon yöntemine dayalı transfer fonksiyonları için 100 saniyelik step yanıtları elde edilmiştir. Bu yanıtlar,  $s^{0.5}$  operatörünün analitik step yanıtı ile karşılaştırılarak analiz edilmiş ve karşılaştırma sonuçları Şekil 5.6’da sunulmuştur. Şekilden görüldüğü üzere, MSBL yaklaşık transfer fonksiyonunun optimize edilmesine dayalı step yanıtı, diğer yaklaştırma yöntemlerine dayalı step yanıtlarına kıyasla analitik step yanıtını biraz daha iyi izlemektedir. Nicel değerlendirme için Şekil 5.6’te gösterilen step yanıtlarına ait RMSE ve MAPE değerleri hesaplanmış ve sonuçlar Çizelge 5.1’de verilmiştir. Çizelge 5.1 incelendiğinde, RMSE ve MAPE değerlerinin frekans tabanlı optimizasyonun zaman alanı davranışını olumsuz etkilemediğini, aksine zaman tepkisinde hafif bir iyileşmeye neden olduğunu gösterdiği görülmektedir.

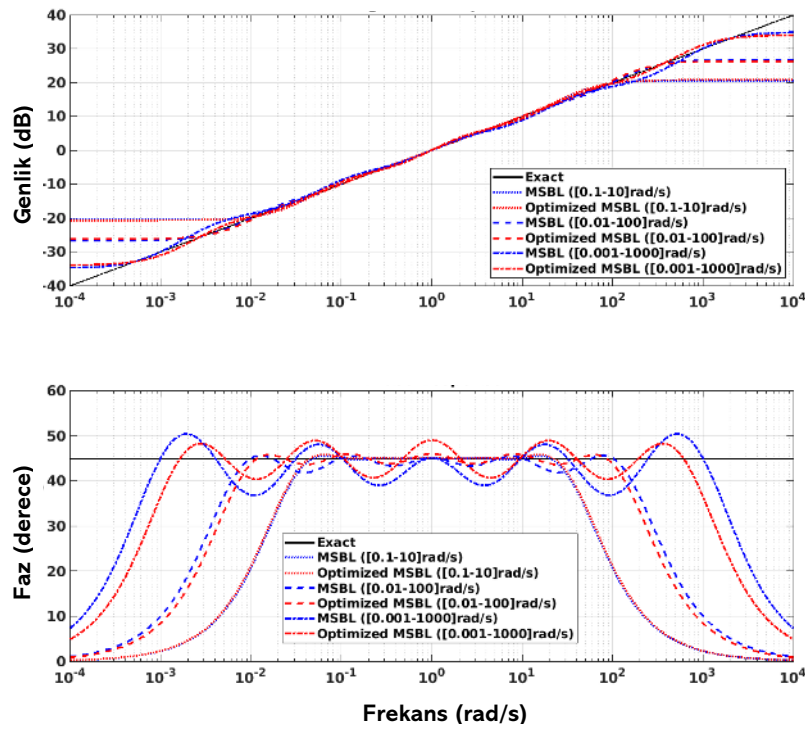


**Şekil 5.7 :**  $s^{0.5}$  operatörü için analitik step cevabı ile MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen metoda dayalı olarak elde edilen 5. derece yaklaşık transfer fonksiyonlarına ait step cevapları karşılaştırılması.

**Çizelge 5.1 :**  $s^{0.5}$  türev operatörü için  $\omega \in [0.01,100]$  rad/s frekans aralığında farklı frekans tabanlı yaklaştırma yöntemlerine dayalı olarak elde edilen genlik, faz ve step tepkilerine ait hata karşılaştırmaları.

| Yaklaşım<br>Metotları | RMSE           |        |                 | MAPE (%)       |      |                 |
|-----------------------|----------------|--------|-----------------|----------------|------|-----------------|
|                       | Frekans Cevabı |        | Zaman<br>Cevabı | Frekans Cevabı |      | Zaman<br>Cevabı |
|                       | Genlik         | Faz    |                 | Genlik         | Faz  |                 |
| MSBL                  | 0.1426         | 1.5070 | 0.0101          | 2.42           | 2.57 | 9.51            |
| Opt. MSBL             | 0.1012         | 0.8057 | 0.0060          | 1.49           | 1.57 | 4.23            |
| Oustaloup             | 0.1218         | 2.6933 | 0.0104          | 3.50           | 5.27 | 7.34            |
| Matsuda               | 0.0942         | 1.6376 | 0.0078          | 1.73           | 2.68 | 2.34            |

Ayrıca, önerilen yöntemin geçerliliğini değerlendirmek amacıyla, yöntem farklı frekans aralıklarında da test edilmiştir. 5. derece MSBL yaklaşımı ve önerilen yöntemle elde edilen transfer fonksiyonlarının frekans tepkileri, türev operatörü  $s^{0.5}$  için  $[0.1 - 10]$  rad/s,  $[0.01 - 100]$  rad/s ve  $[0.001 - 1000]$  rad/s frekans aralıklarında karşılaştırmalı olarak Şekil 5.8’de sunulmuştur. Bu şekle ait hata değerleri ise Çizelge 5.2’de verilmiştir. Şekil 5.7 ve Çizelge 5.2’den görüldüğü üzere, önerilen yöntem farklı frekans aralıklarında da geleneksel MSBL yöntemine kıyasla daha başarılı sonuçlar ortaya koymuştur.

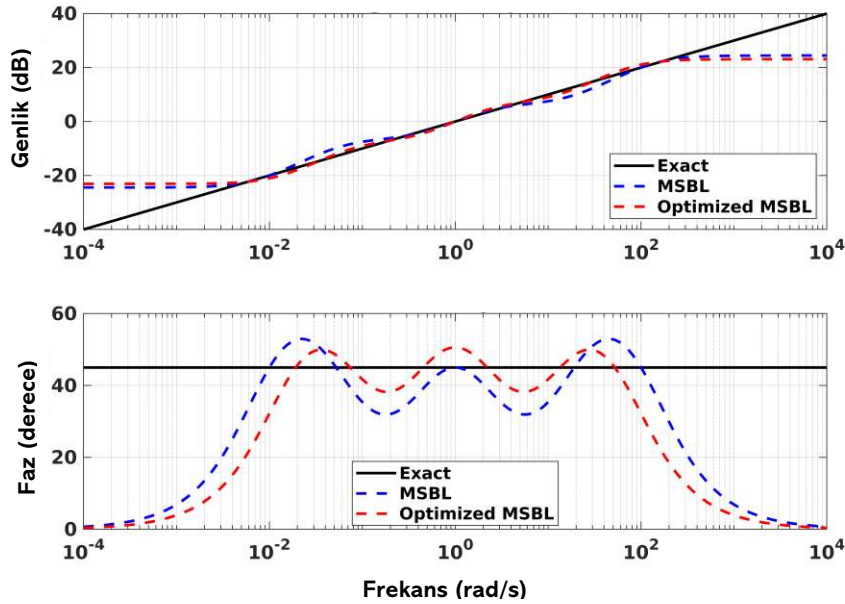


**Şekil 5.8 :**  $s^{0.5}$  türev operatörü için 5. derece MSBL yaklaşımı ve önerilen yöntem ile elde edilen transfer fonksiyonlarının frekans tepkilerinin, analitik sonuçlarla birlikte  $[0.1-10]$  rad/s,  $[0.01-100]$  rad/s ve  $[0.001-1000]$  rad/s frekans aralıklarında karşılaştırılması.

**Çizelge 5.2 :** 5. derece MSBL yaklaşımı ve önerilen yöntemle elde edilen transfer fonksiyonlarının  $s^{0.5}$  türev operatörü için  $[0.1-10]$  rad/s,  $[0.01-100]$  rad/s ve  $[0.001-1000]$  rad/s frekans aralıklarına ait hata karşılaştırması.

| Frekans Aralığı (rad/s) | Yaklaşım Metotları | RMSE   |        | MAPE (%) |      |
|-------------------------|--------------------|--------|--------|----------|------|
|                         |                    | Genlik | Faz    | Genlik   | Faz  |
| [0.1 - 10]              | MSBL               | 0.0020 | 0.1296 | 0.10     | 0.22 |
|                         | Opt. MSBL          | 0.0015 | 0.0654 | 0.09     | 0.12 |
| [0.01 - 100]            | MSBL               | 0.1426 | 1.5070 | 2.42     | 2.57 |
|                         | Opt. MSBL          | 0.1012 | 0.8057 | 1.49     | 1.57 |
| [0.001 - 1000]          | MSBL               | 1.1261 | 4.3136 | 9.46     | 8.13 |
|                         | Opt. MSBL          | 0.7443 | 3.0711 | 5.21     | 6.00 |

Yöntemin geçerliliğini değerlendirmek amacıyla, farklı bir yaklaşım derecesi (3. derece) için de performans analizi gerçekleştirilmiştir. Bu kapsamda, 3. derece MSBL yaklaşımı ve önerilen yöntem kullanılarak türev operatörü  $s^{0.5}$  için elde edilen transfer fonksiyonlarının frekans tepkileri  $[0.01 - 100]$  rad/s aralığında karşılaştırmalı olarak Şekil 5.9’da gösterilmiş, bu şekle ait hata değerleri ise Çizelge 5.3’te sunulmuştur. Şekil 5.8 ve Çizelge 5.3 incelendiğinde, önerilen yöntemin 3. derece yaklaşım için de geleneksel MSBL yöntemine kıyasla daha iyi sonuçlar verdiği görülmektedir. Dolayısıyla, önerilen yöntemin özellikle düşük frekans aralıklarında ve düşük yaklaşım derecelerinde olmak üzere, frekans aralığından ve yaklaşım derecesinden bağımsız olarak yüksek performans sergilediği sonucuna varılabilir.



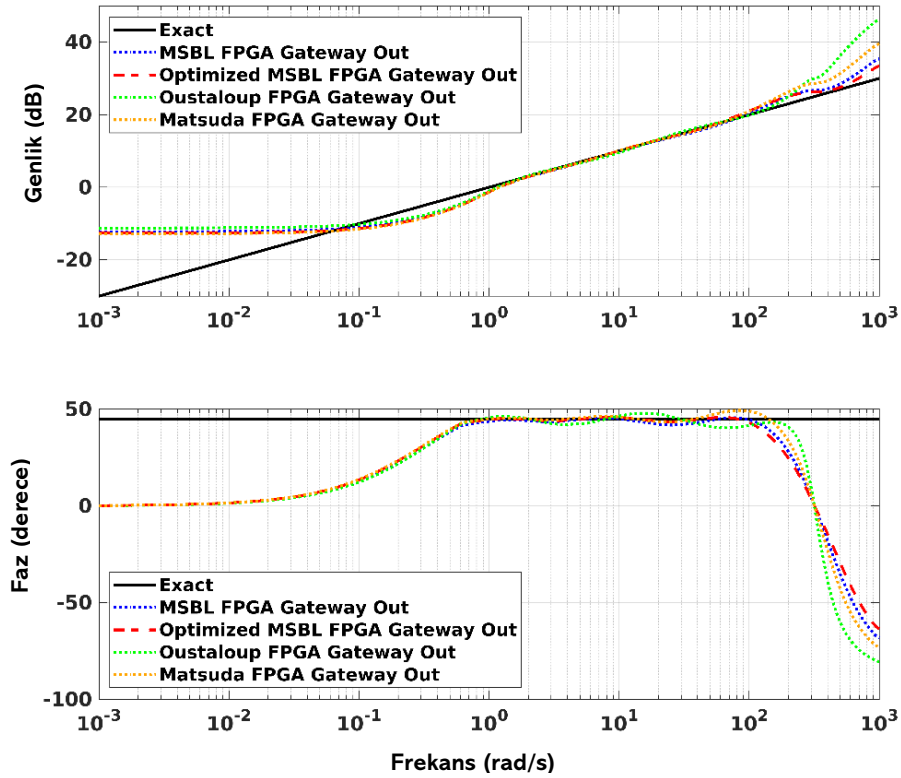
**Şekil 5.9 :**  $s^{0.5}$  operatörü için 3. derece MSBL yaklaşımı ve önerilen yöntemle elde edilen transfer fonksiyonlarının  $[0.01-100]$  rad/s frekans aralığında cevaplarının, analitik sonuçlarla karşılaştırılması.

**Çizelge 5.3 :** Türev operatörü  $s^{0.5}$  için 3. derece MSBL yaklaşımı ve önerilen yöntem kullanılarak elde edilen transfer fonksiyonlarının  $[0.01-100]$  rad/s frekans aralığındaki frekans tepkilerine ait hata karşılaştırması.

| Yaklaşım Metotları | RMSE   |        | MAPE (%) |       |
|--------------------|--------|--------|----------|-------|
|                    | Genlik | Faz    | Genlik   | Faz   |
| MSBL               | 0.5483 | 7.6514 | 15.78    | 14.50 |
| Opt. MSBL          | 0.3716 | 4.7587 | 7.88     | 9.13  |

#### 5.1.4 Dijital gerekleme sonuları

Bölüm 5.1.2’de belirtilen gerekleme adımları uygulandıktan sonra, FPGA üzerinde gerekleştirme doğruluğunu, tutarlılığını ve uygulanabilirliğini deęerlendirmek amacıyla sistem girişine farklı dalga biçimleri uygulanmıştır. İlk olarak, frekans cevabının elde edilebilmesi için [0.001, 1000] Hz aralığında bir chirp sinyali girişe uygulanmıştır. Her bir kesir dereceli yaklaşım yöntemi için elde edilen genlik ve faz tepkileri Şekil 5.10’da gösterildięi üzere ayrı ayrı çizdirilmiştir.  $\omega \in [1,100]$  rad/s frekans aralığında RMSE ve MAPE deęerleri hesaplanmıştır. Çizelge 5.4’te sunulan bu hata deęerleri, uygulanan optimizasyon algoritmasının MSBL yaklaşım yönteminin frekans tepkisini etkin bir şekilde iyileştirdiğini ortaya koymaktadır. Çizelgeden de görüldüğü üzere, bu optimizasyon tabanlı yöntem, dięer kesir dereceli yaklaşım yöntemlerinden elde edilen ve optimize edilmemiş ayrık zamanlı transfer fonksiyonlarına kıyasla daha iyi sonular sağlamaktadır. Gerekleme sonuları, MSBL yaklaşım yöntemiyle elde edilen transfer fonksiyonunun optimize edilmesine dayanan bu yapının, özellikle yüksek frekans bölgelerinde hem genlik hem de faz doğruluğu bakımından kayda deęer iyileştirmeler sunduğunu göstermektedir.

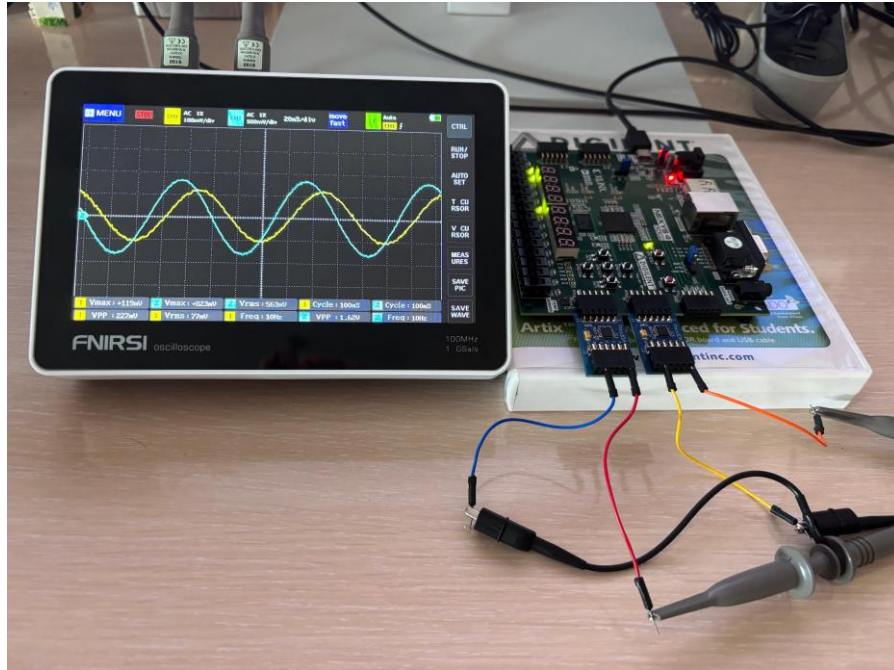


Şekil 5.10 : FPGA ıktıları için elde edilen  $s^{0.5}$  ifadesine ait karşılaştırmalı genlik ve faz tepkileri

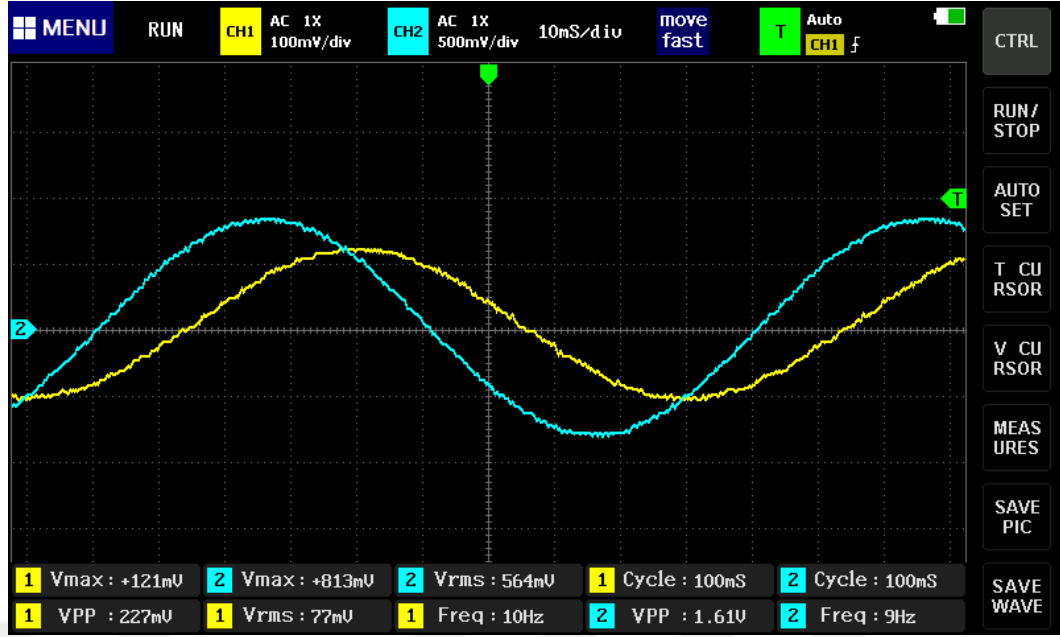
**Çizelge 5.4 :** FPGA çıkışları için, farklı frekans tabanlı yaklaşım yöntemlerine dayalı olarak elde edilen  $s^{0.5}$  operatörüne ait genlik ve faz tepkilerinin hata karşılaştırmaları ( $\omega \in [1,100]$  rad/s)

| Yaklaşım<br>Metotları | RMSE           |        | MAPE (%)       |      |
|-----------------------|----------------|--------|----------------|------|
|                       | Frekans Cevabı |        | Frekans Cevabı |      |
|                       | Genlik         | Faz    | Genlik         | Faz  |
| MSBL                  | 0.1983         | 1.5065 | 4.08           | 2.60 |
| Opt. MSBL             | 0.0152         | 0.7778 | 3.08           | 1.45 |
| Oustaloup             | 0.0177         | 2.5586 | 3.53           | 4.88 |
| Matsuda               | 0.0460         | 1.6908 | 3.62           | 2.67 |

Önerilen yöntemin uygulanabilirliğini değerlendirmek amacıyla,  $s^{0.5}$  türev operatörü için elde edilen ve Denklem 5.4'te verilen optimize edilmiş transfer fonksiyonu, temel dijital tasarım teknikleri ve Verilog HDL kullanılarak Nexys 4 DDR Artix-7 FPGA (XC7A100T) üzerinde gerçekleştirilmiştir. Cihaz programlaması için gerekli bit akışı dosyası Xilinx Vivado Design Suite kullanılarak oluşturulmuştur. Frekans tepkisini karşılaştırmalı olarak incelemek amacıyla 0.1 V genliğinde ve 10 Hz frekansında bir sinüzoidal giriş sinyali kullanılmıştır. Test sürecinde giriş işareti FPGA üzerinde bir Look-Up Table (LUT) içerisine kaydedilerek üretilmiştir. FPGA'nın dijital çıkışlarının analog işaretlere dönüştürülmesi için Pmod DA4 sayısal-analog dönüştürücü modülleri kullanılmış ve elde edilen analog çıkışlar Şekil 5.11'de gösterildiği üzere osiloskop üzerinde görüntülenmiştir. Ölçümlerin elde edilmesinde, iki analog giriş kanalına sahip FNIRSI-1013D dijital osiloskop kullanılmıştır [118].



**Şekil 5.11 :** Kesir dereceli türev operatörü  $s^{0.5}$ 'nin deneysel olarak FPGA ile gerçekleştirilmesi

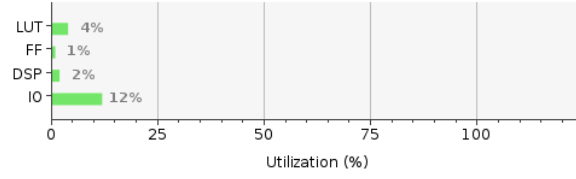


**Şekil 5.12 :** Optimize edilmiş transfer fonksiyonu dikkate alınarak, 0.1 V genliğinde ve 10 Hz frekansında sinüzoidal giriş sinyali için FPGA kartı üzerinde gerçekleştirilen  $s^{0.5}$  kesir dereceli türev operatörünün deneysel uygulama sonucu

Şekil 5.12’de sarı renk ile gösterilen sinüzoidal giriş gerilimi, LUT içerisinde saklanan 0.1 V genlikli ve 10 Hz frekanslı sinyaldir. Bu sinyal önceden yapılandırılmış FPGA’ya giriş olarak uygulandığında, çıkışta mavi renk ile gösterilen sinyal elde edilmektedir. Belirtilen frekanstaki deneysel olarak ölçülen genlik kazancı ve faz kayması incelendiğinde, elde edilen değerlerin, Şekil 5.10’da verilen benzetim tabanlı genlik ve faz tepki eğrilerinde aynı frekansa karşılık gelen kazanç ve faz kayması ile yüksek düzeyde uyum gösterdiği görülmektedir.

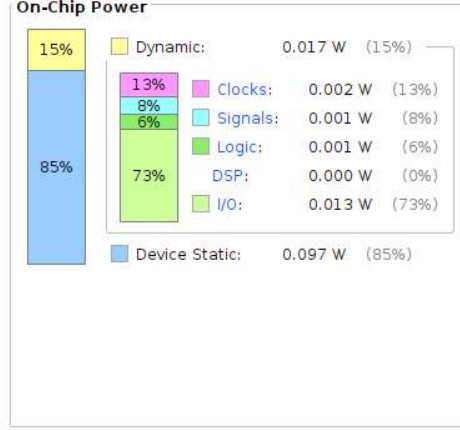
Deneysel çalışma, tekrar edilebilirlik ve kararlılığın değerlendirilmesi amacıyla on kez tekrarlanmıştır. Ölçülen genlik ve faz değerlerinin standart sapmasının sırasıyla yaklaşık %2 ve 2°’nin altında olduğu görülmüştür. Baskın belirsizlik kaynaklarının, FPGA saatine bağlı örnekleme titreşimi ile 12 bit çözünürlüğe sahip DAC biriminin kuantalama hatasından kaynaklandığı belirlenmiştir. Ayrıca, gerçekleştirilen transfer fonksiyonunun farklı çevresel koşullar altındaki performansı incelenmiştir. Bu kapsamda, FPGA saat frekansında  $\pm 0,2\%$  aralığında değişim ve ortam sıcaklığında 20 °C ile 30 °C arasında değişim oluşturulmuştur. Bu koşullar altında çıkış tepkisinde ölçülebilir bir bozulma gözlenmemiş, böylece gerçekleştirilen sistemin doğruluk ve kararlılığını sürdürdüğü teyit edilmiştir. Denklem 5.4’te elde edilen transfer fonksiyonu gerçeklemesi için Vivado üzerinde RTL analiz sonrası elde edilen FPGA’in kaynak kullanımı ve güç tahmini değerleri Şekil 5.13’te sunulmaktadır.

| Resource | Utilization | Available | Utilization % |
|----------|-------------|-----------|---------------|
| LUT      | 2534        | 63400     | 4.00          |
| FF       | 833         | 126800    | 0.66          |
| DSP      | 4           | 240       | 1.67          |
| IO       | 25          | 210       | 11.90         |



Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

**Total On-Chip Power:** 0.114 W  
**Design Power Budget:** Not Specified  
**Process:** typical  
**Power Budget Margin:** N/A  
**Junction Temperature:** 25.5°C  
Thermal Margin: 59.5°C (12.9 W)  
Ambient Temperature: 25.0 °C  
Effective  $\theta_{JA}$ : 4.6°C/W  
Power supplied to off-chip devices: 0 W  
Confidence level: Low  
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity



Şekil 5.13 : Deneysel FPGA uygulaması için kaynak kullanımı ve güç tahmini.

## 5.2 Kesir Dereceli Filtreler İçin Önerilen Yöntemin Uygulanması

### 5.2.1 Alçak geçiren filtre uygulaması 1

Bu kısımda aşağıda denklemi verilen kesir dereceli bir alçak geçiren filtre ele alınmış olup, önerilen yöntem bu filtre üzerinde test edilmiştir.

$$H(s) = \frac{2}{0.5 \cdot s^{1.1} + 3} \quad (5.13)$$

Denklem 5.13 ile ifade edilen kesir dereceli alçak geçiren filtre için önce MSBL yaklaşım yöntemi ile 5. dereceden tamsayı dereceli yaklaşık bir transfer fonksiyonu elde edilir. Elde edilen bu yaklaşık transfer fonksiyonunun optimizasyonu için Bölüm 5.1 açıklanan FMINCON optimizasyon yöntemi, uygulanır. Uygulanan optimizasyon sonucunda aşağıdaki transfer fonksiyonu elde edilmiştir:

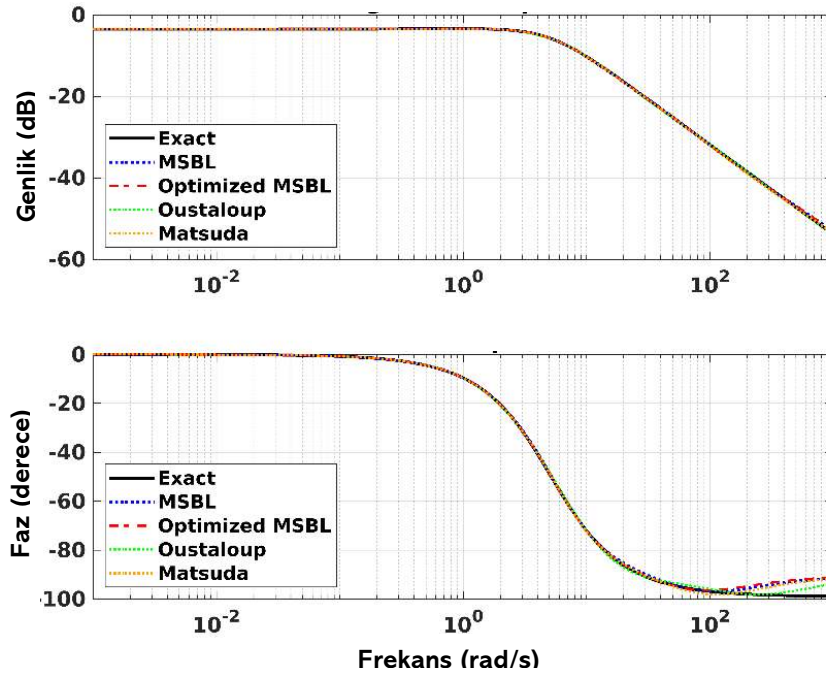
$$F_{lp}(s) \cong \frac{2.335s^5 + 233.1s^4 + 2211s^3 + 2458s^2 + 321.8s + 4.181}{1.045s^6 + 83.95s^5 + 964.2s^4 + 3869s^3 + 3746s^2 + 483.3s + 6.271} \quad (5.14)$$

Şekil 5.14'te Denklem 5.14'te verilen optimize edilmiş transfer fonksiyonuna ait frekans cevabı, analitik frekans cevabı ile MSBL, Oustaloup ve Matsuda yaklaşık transfer fonksiyonları kullanılarak elde edilen frekans cevaplarıyla karşılaştırılmaktadır. Şekilde

görüldüğü üzere, farklı yaklaşım yöntemleriyle elde edilen frekans cevapları genel olarak birbiriyle uyumludur. İncelenen kesir dereceli alçak geçiren filtre için optimize edilmiş MSBL yöntemi, diğer yaklaşımlara kıyasla orta düzeyde bir performans sergilemekle birlikte, Çizelge 5.5'te sunulan RMSE ve MAPE hata değerleri, özellikle faz cevabı açısından, optimize edilmiş MSBL yönteminin orijinal MSBL yöntemine kıyasla daha düşük hata değerleri ürettiğini göstermektedir.

**Çizelge 5.5 :** Kesir dereceli alçak geçiren filtre için farklı frekans tabanlı yaklaşım yöntemlerine dayalı genlik ve faz tepki hatalarının,  $\omega \in [0.01, 100]$  rad/s frekans aralığında karşılaştırılması.

| Yaklaşım<br>Metotları | RMSE           |        | MAPE (%)       |      |
|-----------------------|----------------|--------|----------------|------|
|                       | Frekans Cevabı |        | Frekans Cevabı |      |
|                       | Genlik         | Faz    | Genlik         | Faz  |
| MSBL                  | 0.0008         | 0.3121 | 0.23           | 2.56 |
| Opt. MSBL             | 0.0008         | 0.1438 | 0.29           | 1.42 |
| Oustaloup             | 0.0019         | 0.4774 | 0.49           | 1.02 |
| Matsuda               | 0.0009         | 0.3399 | 0.26           | 0.49 |



**Şekil 5.14 :** MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen yöntem kullanılarak elde edilen yaklaşık transfer fonksiyonlarının frekans tepkilerinin, kesir dereceli alçak geçiren filtrenin analitik frekans tepkileri ile karşılaştırılması

### 5.2.2 Alçak geçiren filtre uygulaması 2

Kesir dereceli alçak geçiren filtrelerin frekans tepkisini iyileştirmeye yönelik farklı bir çalışma daha gerçekleştirilmiştir. Bu çalışmada, kesir dereceli alçak geçiren filtrelerin gerçekleştirilmesinde yaygın olarak kullanılan Oustaloup yaklaşımı sonucu elde edilen transfer fonksiyonunun frekans tepkisi performansını iyileştirmeye yönelik, farklı bir optimizasyon yöntemi sunulmuştur. Oustaloup yaklaşımının özellikle bant kenarlarında ve geniş frekans aralıklarında gösterdiği yaklaşım hatalarını en aza indirmek amacıyla filtre katsayıları çok amaçlı optimizasyon yöntemlerinden biri olan MATLAB'ın fgoalattain yöntemi kullanılarak optimize edilmiştir.

Bu çalışmada, ideal referans model olarak  $\alpha = 0.9$  değerine sahip bir kesir dereceli alçak geçiren filtre ele alınmıştır. Bu filtrenin sürekli zaman alanındaki transfer fonksiyonu  $F(s)$ , Denklem (5.9)'da verilmiştir.

$$F(s) = \frac{5}{1.2s^{0.9}+4} \quad (5.15)$$

Kesir dereceli  $s^{0.9}$  operatörünün tam sayı dereceli rasyonel bir transfer fonksiyonu ile ifade edilmesi, sistemin analiz edilebilmesi ve gerçekleştirilebilmesi açısından bir gerekliliktir. Bu amaçla Oustaloup yaklaşım yöntemi kullanılmış ve yaklaşım için üçüncü derece ( $N = 3$ ) bir filtre yapısı tercih edilmiştir.

Üçüncü derece Oustaloup yaklaşımı referans  $F(s)$  fonksiyonuna uygulandığında, standart tam sayı dereceli yaklaşık transfer fonksiyonu  $F_{ous}(s)$  elde edilmekte olup, bu ifade Denklem (5.10)'da sunulmuştur.

$$F_{ous}(s) = \frac{5s^3+4012s^2+3.187 \cdot 10^4s+2506}{605.4s^3+1.086 \cdot 10^4s^2+2.646 \cdot 10^4s+2006} \quad (5.16)$$

Bu transfer fonksiyonu kısmi kesir genişlemesi yöntemi ile şu şekilde ayrıştırılmıştır:

$$F_{ous}(s) = \frac{3.736}{s+15.04} + \frac{2.741}{s+2.812} + \frac{0.001392}{s+0.07833} + 0.0082 \quad (5.17)$$

Oustaloup yaklaşımıyla elde edilen  $F_{ous}(s)$  transfer fonksiyonu, ideal  $F(s)$  modelinin frekans tepkisini belirli bir hata payı ile temsil etmektedir. Bu hata özellikle bant sınırlarında ve geniş frekans aralıklarında daha belirgin hâle gelmektedir. Yaklaştırmaya hatasını en aza indirmek ve frekans tepkisini iyileştirmek amacıyla  $F_{ous}(s)$  fonksiyonunun katsayıları optimize edilmiştir.

Optimizasyon süreci için, MATLAB Optimization Toolbox™ içerisinde yer alan çok amaçlı hedef tabanlı optimizasyon fonksiyonu fgoalattain kullanılmıştır. Bu optimizasyonun

amacı, belirlenen frekans aralığında  $F_{ous}(s)$  filtre tepkisinin, ideal  $F(s)$  modelinin genlik tepkisine olan hatasını minimize edecek yeni katsayıların bulunmasıdır. Sürecin sonunda iyileştirilmiş transfer fonksiyonu olan  $F_{opt.-ous}(s)$  elde edilmiş olup, bu ifade Denklem 5.18’de gösterilmiştir.

$$F_{opt.-ous}(s) = \frac{0.5658s^3 + 401.2s^2 + 5608s + 5012}{63.73s^3 + 1479s^2 + 5868s + 4012} \quad (5.18)$$

Ayrıca bu transfer fonksiyonu da kısmi kesir genişlemesi yöntemi kullanılarak şu şekilde ayrıştırılmıştır:

$$F_{opt.-ous}(s) = \frac{2.604}{s+13.77} + \frac{3.321}{s+3.361} + \frac{0.01638}{s+0.2643} + 0.0099 \quad (5.19)$$

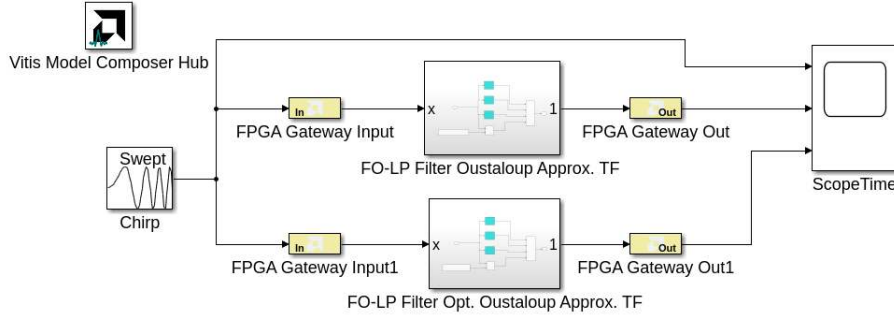
Üçüncü derece transfer fonksiyonlarının doğrudan donanım üzerinde uygulanması, katsayı hassasiyeti ve sayısal kararlılık sorunları gibi çeşitli problemlere yol açabilmektedir. Bu zorlukların üstesinden gelmek ve FPGA üzerinde verimli bir gerçekleştirim sağlamak amacıyla, hem standart  $F_{ous}(s)$  hem de optimize edilmiş  $F_{opt.-ous}(s)$  fonksiyonları, Denklem 5.17 ve 5.19’da gösterildiği şekilde kısmi kesir açılımı yöntemi kullanılarak paralel bağlı birinci derece filtreler ve bir kazanç terimine ayrıştırılmıştır.

Bu transfer fonksiyonu için 10 ms örnekleme periyodu ile uygulanan Tustin yaklaşımının, tanımlanan frekans aralığında en doğru performansı sağladığı belirlenmiştir. Bu dönüşüm sonrasında elde edilen  $z$ -düzlemi ifadeleri aşağıdaki gibi elde edilmektedir:

$$F_{ous}(z) = \frac{0.01737 + 0.01737z^{-1}}{1 - 0.8601z^{-1}} + \frac{0.01352 + 0.01352z^{-1}}{1 - 0.9723z^{-1}} + \frac{6.958e - 06 + 6.958e - 06z^{-1}}{1 - 0.9992z^{-1}} + 0.0082 \quad (5.20)$$

$$F_{opt.-ous}(z) = \frac{0.01218 + 0.01218z^{-1}}{1 - 0.8712z^{-1}} + \frac{0.01633 + 0.01633z^{-1}}{1 - 0.9669z^{-1}} + \frac{8.181e - 05 + 8.181e - 05z^{-1}}{1 - 0.9974z^{-1}} + 0.0099 \quad (5.21)$$

Daha sonra, Denklem 5.20 ve 5.21’de verilen yaklaşık transfer fonksiyonları karşılaştırmalı olarak analiz edilmiştir. Ardından, sistemin frekans tepkisini değerlendirmek amacıyla [0.01–100] rad/s aralığını kapsayan bir chirp sinyali uygulanmıştır. Simülasyon sırasında hem giriş hem de çıkış sinyalleri Time Scope üzerinden kaydedilmiş olup, Şekil 5.15’te gösterilen FPGA tabanlı gerçekleştirme sonucunda elde edilen verilerden frekans bölgesi karakteristikleri çıkarılmıştır.

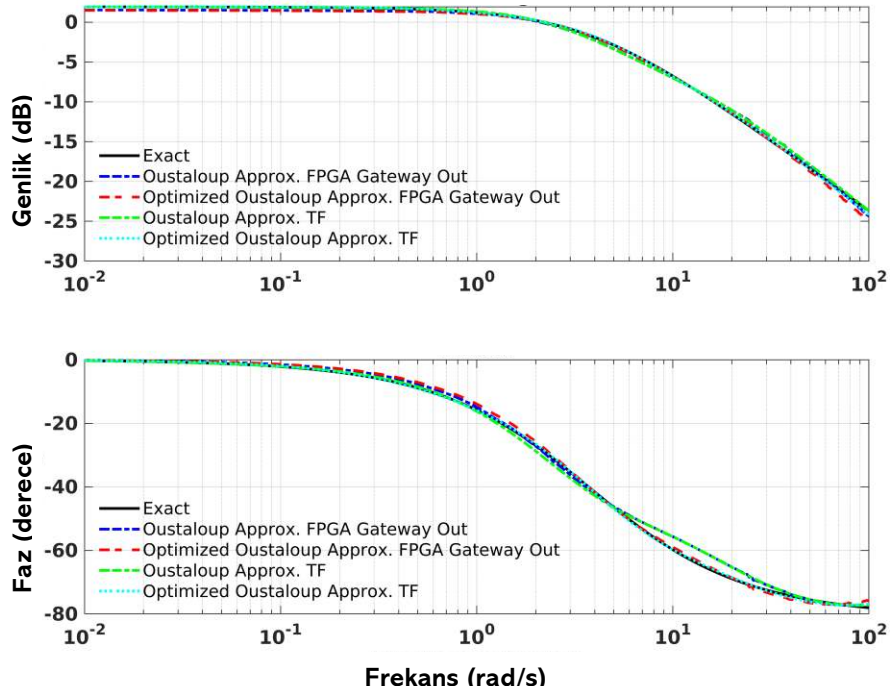


**Şekil 5.15 :** Vitis Model Composer üzerinde filtre denklemlerinin tasarlanması ve uygulanması.

Elde edilen transfer fonksiyonu tepkileri, hedeflenen frekans çözünürlüğüne uyum sağlamak amacıyla MATLAB ortamında interpolasyon işlemine tabi tutulmuştur. Genlik ve faz karakteristiklerinin doğruluğunu daha da artırmak için yüksek frekanslı dalgalanmaları azaltan ve sistem dinamiğinin öz niteliklerini koruyan bir Butterworth yumuşatma filtresi uygulanmıştır. Karşılaştırma, hem sürekli zamanlı transfer fonksiyonları üzerinden yapılan simülasyonlara hem de Vitis Model Composer kullanılarak modellenen FPGA gerçeği (‘‘Gateway Out’’) sonuçlarına dayalı olarak gerçekleştirilmiştir.

Şekil 5.16’da tüm fonksiyonların frekans tepkileri genlik ve faz bileşenleri şeklinde sunulmuştur. Sistemlerin ideal referans modele göre performansını sayısal olarak değerlendirmek amacıyla RMSE değerleri hesaplanmıştır. Hesaplanan RMSE değerleri Çizelge 5.6’da özetlenmektedir. Elde edilen sonuçlar, uygulanan optimizasyon algoritmasının Oustaloup yaklaşımının frekans tepki doğruluğunu önemli ölçüde iyileştirdiğini açıkça ortaya koymaktadır. Optimizasyon tabanlı yaklaşımın, diğer kesir dereceli yaklaşım yöntemlerinden elde edilen optimize edilmemiş ayrık zamanlı transfer fonksiyonlarına kıyasla belirgin şekilde daha iyi performans sergilediği gözlemlenmiştir. Uygulama sonuçları ayrıca, optimize edilmiş Oustaloup tabanlı transfer fonksiyonunun özellikle yüksek frekans bölgelerinde hem genlik hem de faz doğruluğu açısından kayda değer iyileştirmeler sağladığını göstermektedir.

Bu çalışma, kesir dereceli filtrelerin Oustaloup katsayılarının optimize edilmesinin sistemin faz doğruluğunu artırmada etkili bir yöntem olduğunu göstermiştir. Ayrıca, iyileştirilen bu filtrelerin FPGA gibi modern sayısal platformlarda gerçek zamanlı uygulamalarda başarıyla gerçekleştirilebildiği ortaya konulmuştur.



**Şekil 5.16 :** Kesir dereceli alçak geçiren filtre için, Oustaloup yaklaşımı ile elde edilen yaklaşık transfer fonksiyonlarının ve önerilen yöntemle elde edilen transfer fonksiyonunun frekans tepkilerinin, ideal frekans tepkileri ile karşılaştırılması.

**Çizelge 5.6 :** Kesir dereceli alçak geçiren filtre için farklı frekans tabanlı yaklaşım yöntemlerine dayalı genlik ve faz tepki hatalarının,  $\omega \in [0.01, 100]$  rad/s frekans aralığında karşılaştırılması

| Yaklaşım Metotları              | RMSE           |        |
|---------------------------------|----------------|--------|
|                                 | Frekans Cevabı |        |
|                                 | Genlik         | Faz    |
| Oustaloup                       | 0.2570         | 1.6330 |
| Opt. Oustaloup                  | 0.0950         | 0.3008 |
| Oustaloup FPGA Gateway Out      | 0.0042         | 1.6276 |
| Opt. Oustaloup FPGA Gateway Out | 0.1452         | 1.0109 |

### 5.3 Kesir Dereceli Kontrolör İçin Uygulama

Kesir dereceli kontrolcüler, endüstriyel otomasyon ve robotik sistemlerde artan bir ilgi görmektedir. Önerilen yöntemin kontrolcü tasarımındaki başarısını test etmek için, literatürde sıkça karşılaşılan bir FOPID kontrolcü transfer fonksiyonu seçilmiştir:

$$C(s) = 5 + \frac{1}{s^{0.8}} + 2s^{0.5} \quad (5.22)$$

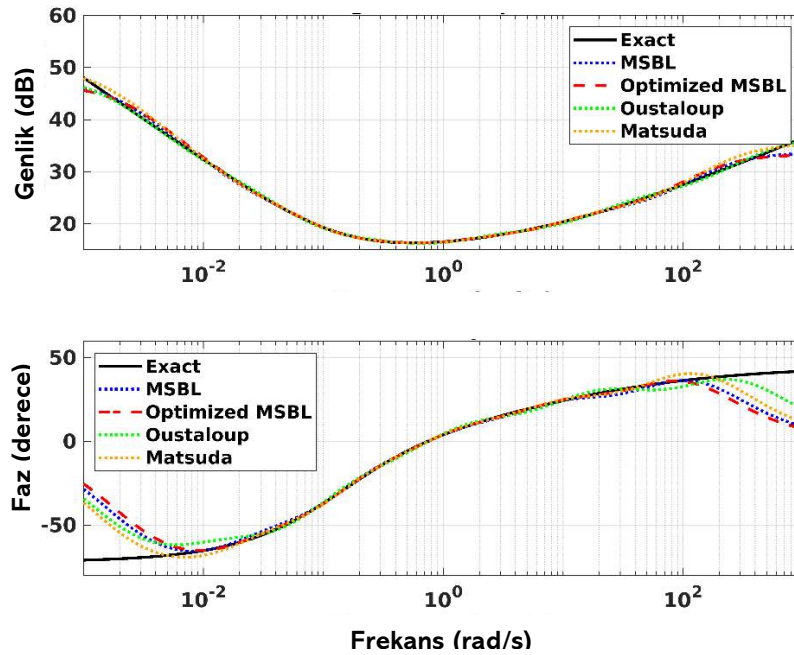
Bu kontrolcü, hem integral ( $s^{0.8}$ ) hem de türev ( $s^{0.5}$ ) etkilerini barındırdığı için optimizasyon açısından zorlu bir test senaryosu oluşturmaktadır. MSBL yaklaşımı ile elde edilen 10. dereceden transfer fonksiyonu, önerilen yöntemle optimize edilerek aşağıda

belirtilen  $F_c(s)$  fonksiyonu elde edilmiştir. Bu fonksiyon, FPGA gerçeeklemesi için uygun hale getirilmiştir.

$$F_c(s) \cong \frac{55.12s^{10} + 5642s^9 + 1.712 \cdot 10^5 s^8 + 1.666 \cdot 10^6 s^7 + 5.977 \cdot 10^6 s^6 + \dots}{1.19s^{10} + 280.5s^9 + 1.246 \cdot 10^4 s^8 + 1.703 \cdot 10^5 s^7 + 7.296 \cdot 10^5 s^6 + \dots} \frac{\dots + 7.987 \cdot 10^6 s^5 + 4.171 \cdot 10^6 s^4 + 8.827 \cdot 10^5 s^3 + 7.802 \cdot 10^4 s^2 + 2466s + 25.18}{\dots + 1.087 \cdot 10^6 s^5 + 5.256 \cdot 10^5 s^4 + 8.822 \cdot 10^4 s^3 + 4507s^2 + 68.09s + 0.1178} \quad (5.23)$$

FOPID kontrolcüyeye ait bu transfer fonksiyonuna, ayrıca MSBL, Oustaloup ve Matsuda yaklaşımları uygulanarak elde edilen transfer fonksiyonlarına ait frekans ve zaman cevapları, optimizasyon kullanılarak ile elde edilen transfer fonksiyonuna ait frekans ve zaman cevapları ile karşılaştırılarak analiz edilmiştir.

$F_c(s)$  Transfer fonksiyonunun frekans tepkisi Şekil 5.17’de sunulmuştur. Şekilden de görüldüğü üzere, transfer fonksiyonu katsayılarının optimize edilmesi, genlik veya faz tepkisinde herhangi bir belirgin bozulmaya yol açmamakta; hatta faz tepkisinde iyileşme sağlandığı gözlemlenmektedir. Frekans tepkisine ilişkin hata analizi,  $\omega \in [0.01, 100]$  rad/s aralığında logaritmik olarak dağıtılmış  $10^3$  noktada gerçekleştirilmiş olup, elde edilen sonuçlar Çizelge 5.7’de özetlenmiştir. Tabloda sunulan RMSE ve MAPE hata değerleri, uygulanan optimizasyon yönteminin FOPID denetleyicisinin frekans tepkisini etkili bir biçimde iyileştirdiğini açıkça göstermektedir.



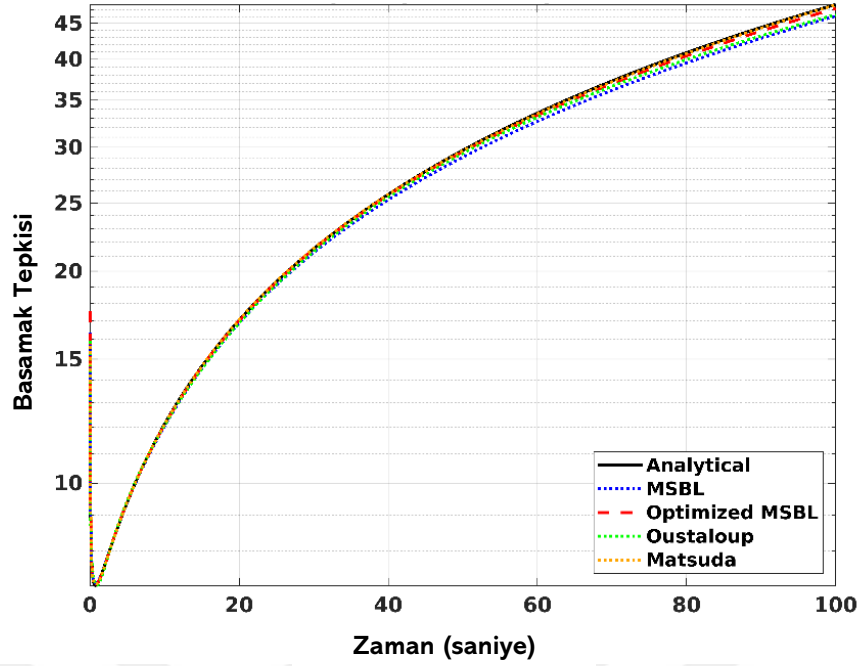
**Şekil 5.17 :** MSBL, Oustaloup ve Matsuda yaklaşımları ile önerilen yöntem kullanılarak elde edilen yaklaşık transfer fonksiyonlarının frekans tepkilerinin, kesir dereceliPID denetleyicisinin analitik (doğrusal) frekans tepkileri ile karşılaştırılması

Şekil 5.18’de  $F_c(s)$  fonksiyonunun 100 saniyelik analitik step cevabı, önerilen yöntemle ve diğer kesir dereceli yaklaşım yöntemleriyle elde edilen basamak cevaplarıyla karşılaştırmalı olarak sunulmuştur. Optimize edilmiş transfer fonksiyonuna dayalı step cevabı, 100 saniyelik test süresi boyunca tatmin edici bir performans sergilemektedir. Özellikle, MSBL yaklaşımına dayalı step cevabı ile optimize edilmiş MSBL fonksiyonuna dayalı step cevabı yanıtı arasındaki fark, uygulanan optimizasyon yönteminin zaman alanı davranışında da iyileşme sağladığını açıkça göstermektedir. Zaman alanına ilişkin RMSE ve MAPE değerleri Çizelge 5.7’de verilmiş olup, bu sonuçlar FMINCON optimizasyon algoritmasının MSBL yaklaşımı için zaman alanı performansını da etkili bir şekilde iyileştirdiğini doğrulamaktadır.

Her ne kadar FMINCON optimizasyonu frekans alanındaki genlik ve faz hatalarını hedef almış olsa da sistemin geçici rejim davranışıyla ilişkili baskın kutup–sıfır yapısını korumuştur. Bu nedenle zaman alanı yanıtında herhangi bir bozulma meydana gelmemiş, hatta bazı durumlarda sönüm oranı ve faz marjının daha uyumlu hâle gelmesi sonucunda hafif bir iyileşme dahi gözlenmiştir. Zaman alanında bir bozulma ancak optimizasyonun yüksek frekans bölgesine aşırı ağırlık vermesi veya kutupların hayali eksene çok yakın bir konuma taşınması durumunda ortaya çıkabilirdi; ancak bu çalışma kapsamında kullanılan formülasyon, bu tür uygunsuz durumların oluşmasını engelleyecek şekilde geliştirilmiştir.

**Çizelge 5.7 :**  $s^{0.5}$  türev operatörü için  $\omega \in [0.01,100]$  rad/s frekans aralığında farklı frekans tabanlı yaklaşıma yöntemlerine dayalı olarak elde edilen genlik, faz ve step tepkilerine ait hata karşılaştırmaları.

| Yaklaşım<br>Metotları | RMSE           |        |                 | MAPE (%)       |      |                 |
|-----------------------|----------------|--------|-----------------|----------------|------|-----------------|
|                       | Frekans Cevabı |        | Zaman<br>Cevabı | Frekans Cevabı |      | Zaman<br>Cevabı |
|                       | Genlik         | Faz    | Step            | Genlik         | Faz  | Step            |
| MSBL                  | 0.3770         | 1.0743 | 0.9279          | 1.28           | 4.31 | 2.12            |
| Opt. MSBL             | 0.3117         | 0.4546 | 0.2909          | 0.83           | 3.19 | 0.59            |
| Oustaloup             | 0.3354         | 1.8939 | 0.6540          | 1.83           | 8.08 | 1.41            |
| Matsuda               | 0.2645         | 1.1130 | 0.0692          | 1.00           | 3.58 | 0.17            |



**Şekil 5.18 :** FOPID denetleyicisi için elde edilen yaklaşık transfer fonksiyonlarının step cevaplarının, MSBL, Oustaloup ve Matsuda yaklaşım yöntemleri ile önerilen yöntem kullanılarak elde edilen sonuçların, analitik step cevabı ile karşılaştırılması.

#### 5.4 Bölüm 5'in Sonucu

Optimize edilen yaklaşık transfer fonksiyonunun frekans ve zaman tepkileri, analitik olarak hesaplanan frekans-zaman tepkileri ile MSBL, Oustaloup ve Matsuda yöntemleriyle elde edilen frekans-zaman tepkileri dikkate alınarak karşılaştırmalı biçimde analiz edilmiştir. Ayrıca hem frekans hem de zaman bölgesindeki yaklaşım performansını değerlendirmek amacıyla RMSE ve MAPE gibi nicel performans ölçütleri kullanılmıştır. Optimizasyon sonucunda, katsayıları kısmen iyileştirilmiş yeni bir transfer fonksiyonu elde edilmiştir. Yöntemin tahmin edilen iyileşmeyi sağlayıp sağlamadığını değerlendirmek amacıyla bu yaklaşım, bir kesir dereceli operatöre, bir kesir dereceli PID kontrolöre ve bir kesir dereceli alçak geçiren filtreye uygulanmıştır. Uygulama sonuçları, önerilen yöntemin genel olarak frekans tepkisinde beklenen iyileştirmeleri sağladığını göstermiştir. Frekans tepkisindeki bu iyileştirmeler, kesir dereceli kontrol sistemlerinde optimal kontrol performansının elde edilmesi açısından özellikle değerlidir. Ek olarak, kesir dereceli  $s^{0.5}$  operatörü ve FOPID kontrolöre ilişkin zaman tepkileri incelenmiş ve yöntemin zaman tepkisi üzerinde belirgin bir olumsuz etkiye yol açmadığı, aksine genel olarak küçük çaplı bir iyileştirme sağladığı gözlemlenmiştir.

Ayrıca yöntemin uygulanabilirliğini göstermek ve karşılaştırmalı bir analiz gerçekleştirmek amacıyla, MSBL, Oustaloup, Matsuda ve önerilen yöntemle elde edilen 5. derece yaklaşık transfer fonksiyonları, türev operatörü  $s^{0.5}$  için MATLAB Simulink ortamındaki Vitis Model Composer Hub System Generator bloğu kullanılarak FPGA üzerinde dijital olarak gerçekleştirilmiştir. FPGA gerçekleştirme sonuçları, tanımlanan frekans aralığında analitik frekans tepkisi ile yüksek uyum sergileyerek önerilen yöntemin etkinliğini doğrulamıştır. Simülasyon ortamındaki gerçekleştirme sonrasında optimize edilen transfer fonksiyonu, Nexys 4 DDR Artix-7 FPGA (XC7A100T) üzerinde deneysel olarak uygulanmıştır. Elde edilen sonuçlar, çalışma frekansında kazanç ve faz kayması açısından FPGA gerçekleştirme ile simülasyon sonuçlarının birbiriyle yüksek düzeyde uyumlu olduğunu göstermiştir. Bu uyum, belirtilen frekans aralığında dinamik davranışın FPGA tarafından yüksek doğruluk ve güvenilirlikle çoğaltılabildiğini teyit etmektedir.

Bu bulgular, herhangi bir tamsayı dereceli yaklaşım yöntemi kesir dereceli sisteme uygulandıktan hemen sonra bir optimizasyon yönteminin kullanılması ve ardından gerçekleştirme sürecine geçilmesinin, uygulamanın doğruluk ve güvenilirliğini artıracaklarını ortaya koymaktadır.

## 6. KESİR DERECELİ FONKSİYONLAR İÇİN ZAMAN CEVABI ESASLI OPTİMİZASYON VE GERÇEKLEME UYGULAMALARI

### 6.1 Kesir Dereceli Operatör İçin Uygulama

Bu bölümde, önceki bölümlerde ele alınan frekans tabanlı yaklaşımların aksine, kesir dereceli sistemlerin geçici hal (transient) performansını doğrudan iyileştirmeyi hedefleyen zaman cevabı esaslı bir optimizasyon stratejisi sunulmuştur. Uygulama örneği olarak, endüstriyel kontrol süreçlerinde sıkça karşılaşılan  $s^{0.7}$  türev operatörü seçilmiştir.

Bu  $s^{0.7}$  türev operatörüne Oustaloup yaklaşım yöntemi uygulanmış olup,  $[0.01, 100]$  rad/s frekans aralığında 5. Dereceden bir yaklaşım hedeflenmiştir. Oustaloup yöntemi ile elde edilen transfer fonksiyonu ( $T_{oust}(s)$ ) aşağıdaki şekilde elde edilmiştir.

$$T_{oust}(s) = \frac{125.9s^5 + 12830s^4 + 77630s^3 + 29510s^2 + 705.2s + 1}{1s^5 + 705.2s^4 + 29510s^3 + 77630s^2 + 12830s + 125.9} \quad (6.1)$$

Daha sonra elde edilen bu denklem, kısmi kesirlere ayırma metodu kullanılarak 5 adet 1. derece IIR filtrelerin ve kazanç değerinin toplamından oluşan bir aşağıdaki denkleme dönüştürülmüştür:

$$T_{oust}(s) = \frac{-7.554e^{04}}{s+660.7} + \frac{-414}{s+41.68} + \frac{-3.69}{s+2.631} + \frac{-0.03346}{s+0.1659} + \frac{-0.0002888}{s+0.01047} + 125.9 \quad (6.2)$$

Standart Oustaloup yaklaşımı, frekans düzleminde genlik ve faz uyumunu hedeflerken, zaman düzleminde (özellikle  $t = 0$  anı ve hemen sonrasında) aşım (overshoot) veya yerleşme süresi sapmalarına neden olabilmektedir. Bu bölümde, Oustaloup yöntemiyle elde edilen 5. dereceden transfer fonksiyonunun katsayıları, sistemin step cevabını (step response) analitik cevaba yaklaştıracak şekilde Parçacık Sürü Optimizasyonu (PSO) ve fmincon yöntemleri kullanılarak optimize edilmiştir.

#### 6.1.1 Kesir dereceli yaklaşım hibrit optimizasyonu

Kesir dereceli sistemlerin rasyonel yaklaşımlarında kullanılan standart Oustaloup yöntemi, frekans düzleminde belirli bir bant aralığında başarılı sonuçlar verse de zaman düzlemindeki (time-domain) basamak yanıtında ve özellikle dijital gerçekleştirme aşamasında istenmeyen geçici hal hataları oluşturabilmektedir. Bu bölümde, Oustaloup yöntemi ile elde edilen transfer fonksiyonu katsayılarının zaman düzlemindeki performansını artırmak amacıyla, global ve yerel arama algoritmalarının avantajlarını birleştiren hibrit bir optimizasyon stratejisi geliştirilmiştir. Önerilen yöntem üç temel aşamadan oluşmaktadır:

Odaklanmış sürü başlatma stratejisi, PSO-FMINCON hibrit optimizasyon mimarisi ve kısıtlı maliyet fonksiyonu tasarımı.

#### **6.1.1.1 Odaklanmış sürü başlatma stratejisi (Focused Cloud Initialization)**

Stokastik optimizasyon algoritmalarında, başlangıç popülasyonunun rastgele oluşturulması, özellikle yüksek dereceli filtre tasarımlarında sistemin kararsızlık (instability) bölgesine sürüklenmesine neden olabilmektedir. Bu çalışmada, optimizasyon sürecinin yakınsama hızını artırmak ve kararsız çözüm riskini minimize etmek amacıyla "Odaklanmış Sürü Başlatma" yöntemi uygulanmıştır.

Bu yöntemde, optimizasyon algoritmasının başlangıç parçacıkları tamamen rastgele bir uzaydan seçilmek yerine, analitik olarak hesaplanan standart Oustaloup katsayıları referans alınarak oluşturulmuştur. Sürüdeki lider parçacık (global best aday), referans performansın korunması amacıyla doğrudan orijinal Oustaloup katsayılarına eşitlenmiştir. Diğer parçacıklar ise bu referans değerlerin etrafında, belirli bir tolerans aralığında üniform dağılım ile türetilmiştir. Böylece algoritma, çözüm uzayının tamamını körü körüne aramak yerine, optimum çözümün bulunma olasılığının en yüksek olduğu "kararlı bölgeye" odaklanmaktadır.

#### **6.1.1.2 Hibrit optimizasyon mimarisi (Hybrid PSO- FMINCON)**

Kesir dereceli filtre katsayılarının optimizasyonu, çok modlu (multi-modal) bir problem olup çok sayıda yerel minimum noktası içermektedir. Bu nedenle, tek başına gradyan tabanlı yöntemler yerel minimumlara takılabilmekte, tek başına evrimsel algoritmalar ise tam optimum noktaya (global optimum) ulaşmada yavaş kalabilmektedir.

Bu bölümde, Parçacık Sürü Optimizasyonu (PSO) ve MATLAB FMINCON (Active-Set veya Interior-Point) algoritmalarını seri olarak çalıştıran hibrit bir yapı önerilmiştir. Sürecin ilk aşamasında, optimize edilecek parametrelerin, global arama yeteneği yüksek olan PSO algoritması ile çözüm uzayı taranarak en iyi çözüm bölgesine yakınsaması sağlanmaktadır. PSO algoritması durma kriterini sağladığında, elde edilen en iyi çözüm vektörü, gradyan tabanlı FMINCON algoritmasına başlangıç noktası olarak aktarılmaktadır. İkinci aşamada devreye giren FMINCON, türev tabanlı arama yeteneği sayesinde PSO'nun bulunduğu çözüm üzerinde ince ayar (FMINCON - tuning) yaparak hatayı minimize eden nihai katsayıları belirlemektedir.

### 6.1.1.3 Maliyet fonksiyonu ve kararlılık kısıtları

İdeal step cevabı, kesir dereceli sistemin analitik sürekli zaman transfer fonksiyonu esas alınarak, herhangi bir yaklaşım, ayırıklaştırma veya sayısal kısıtlama uygulanmaksızın elde edilmiştir. Bu referans cevap, sistemin gerçek kesir dereceli dinamiğini temsil etmekte olup, optimize edilen yaklaşık modellerin doğruluk değerlendirmesinde temel ölçüt olarak kullanılmıştır. Yaklaşım yöntemleri ve donanımsal gerçeklemelerin performansı, ideal step cevabı ile elde edilen cevaplar arasındaki farkın bir hata ölçütü üzerinden minimize edilmesi prensibine dayanmaktadır. Bu amaçla, zaman domeyninde tanımlanan bir maliyet fonksiyonu (cost function), ideal ve yaklaşık step cevapları arasındaki farkın karesinin zaman boyunca integralini içerecek şekilde tanımlanmış; böylece hem geçici rejim hem de uzun zamanlı davranıştaki sapmalar optimizasyon sürecine dâhil edilmiştir.

Optimizasyon probleminin temel amacı, önerilen fonksiyonun basamak yanıtı ( $y_{sim}$ ) ile ideal kesir dereceli sistemin teorik yanıtı ( $y_{ideal}$ ) arasındaki hatayı minimize etmektir. Ancak bu minimizasyon yapılırken sistemin kararlılığının korunması hayati önem taşımaktadır. Bu doğrultuda tasarlanan maliyet fonksiyonu ( $J(\theta)$ ), Ortalama Karesel Hata (MSE) metriğine ek olarak, kararsızlık durumunda devreye giren bir ceza mekanizmasını da içermektedir.

Minimize edilecek amaç fonksiyonu Denklem (6.3)'te sunulmuştur:

$$J(\theta) = \begin{cases} \Omega, & \text{eğer } \exists p_i \in \mathbf{p}: \text{Re}(p_i) \geq \epsilon \\ \frac{1}{M} \sum_{k=k_{start}}^K (y_{ideal}(t_k) - y_{sim}(t_k, \theta))^2, & \text{aksi halde} \end{cases} \quad (6.3)$$

Burada:

□  $\theta = [z_1, \dots, z_N, p_1, \dots, p_N, K]$ : Optimize edilen parametre vektörü (Sıfırlar, Kutuplar ve Kazanç).

□  $y_{ideal}(t)$ : İdeal kesir dereceli sistemin basamak yanıtı.

□  $y_{sim}(t, \theta)$ : Optimize edilen sistemin basamak yanıtı.

□  $\Omega$ : Kararsızlık durumunda uygulanan büyük ceza değeri ( $10^6$ ).

□  $\epsilon$ : Kararlılık marjini (kodunda  $-0.001$  olarak belirlenmiş, yani kutuplar kesinlikle sol yarı düzlemde olmalıdır).

□  $k_{start}$ : Geçici durumun başlangıcındaki sayısal tekillikleri (singularity) veya aşırı salınımları ihmal etmek için belirlenen başlangıç indeksi (toplam sürenin %5'ine denk gelen örnek).

□  $M$ : Değerlendirmeye alınan toplam örnek sayısı ( $M = K - k_{start}$ ).

Fonksiyonda  $\theta$ , optimize edilen filtre parametrelerini (sıfırlar, kutuplar ve kazanç) temsil etmektedir.  $\Omega$ , sistem kutuplarının ( $p$ ) sağ yarı düzleme veya orijine çok yakın bir sınıra ( $\epsilon = -10^{-3}$ ) geçmesi durumunda uygulanan yüksek değerli ceza katsayısıdır ( $10^6$ ). Bu ceza mekanizması ("Big-M" tekniği), algoritmanın kararsız çözüm bölgelerini terk etmesini garanti altına almaktadır.

Ayrıca, rasyonel yaklaşımlarda  $t = 0$  anında oluşabilen sayısal tekilliklerin (initial singularities) optimizasyonu yanılması engellemek amacıyla, hata hesabı simülasyonun ilk %5'lik dilimi ihmal edilerek ( $k_{start}$ ) gerçekleştirilmiştir. Bu yöntem, algoritmanın başlangıçtaki anlık sapmalar yerine, filtrenin genel karakteristiğine ve oturma davranışına odaklanmasını sağlamıştır. Optimizasyon sonucunda, Oustaloup yapısı temel alınarak katsayıları güncellenmiş optimize transfer fonksiyonu ( $T_{opt-oust}(s)$ ) elde edilmiştir:

$$T_{opt-oust.}(s) = \frac{121.5s^5 + 1.306e^4 s^4 + 7.441e^4 s^3 + 2.043e^4 s^2 + 552.2s + 0.6039}{s^5 + 736.4s^4 + 3.464e^4 s^3 + 5.372e04s^2 + 8138s + 104.4} \quad (6.4)$$

Ayrıca bu transfer fonksiyonu kısmi kesirlere ayırma yöntemi kullanılarak şu şekilde ayrıştırılmıştır:

$$T_{opt.-oust.}(s) = \frac{-7.599e04}{s+686} + \frac{-441.1}{s+48.79} + \frac{-2.097}{s+1.431} + \frac{-0.02277}{s+0.1542} + \frac{-0.0005013}{s+0.01413} + 121.53 \quad (6.5)$$

Bu denklemde de asıl amaç, sayısal kararlılığı artırmak ve katsayı kuantalama hatalarını en aza indirmek, sürekli zamanlı 5. derece transfer fonksiyonu kısmi kesir açılımı kullanılarak beş adet 1. derece bileşenin toplamı şeklinde ifade edilmiştir. Elde edilen her bir birinci derece bileşen daha sonra Tustin yöntemi kullanılarak ayrık zamanlı yapıya dönüştürülmüş ve FPGA üzerinde paralel biçimde gerçekleştirilmiştir.

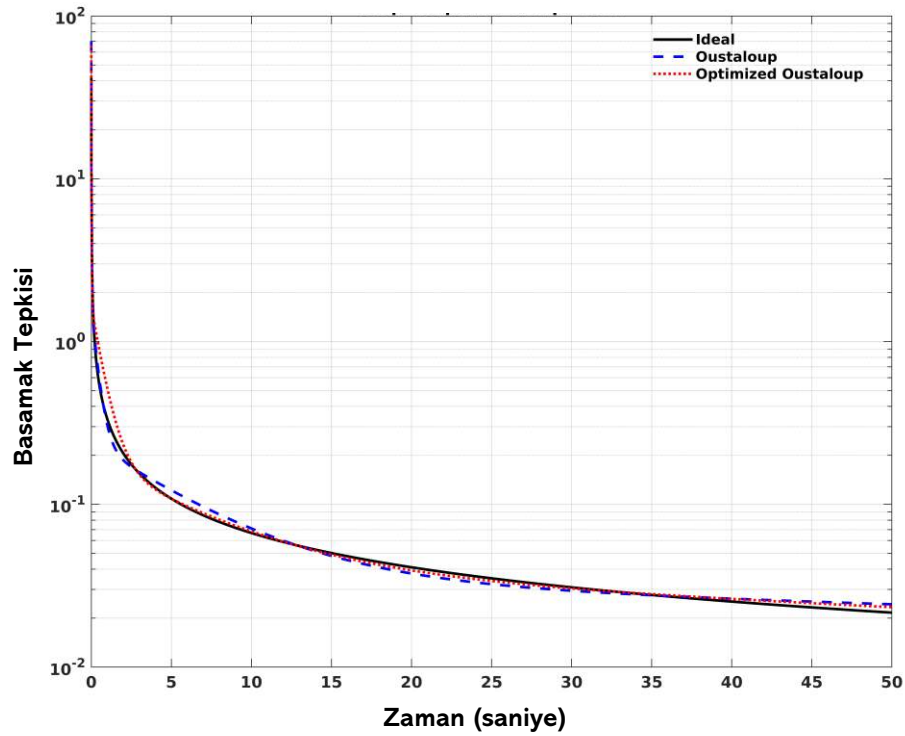
### 6.1.2 Kesir dereceli operatör için zaman ve frekans sonuçları

Şekil (6.1)'de  $T_{opt.-msbl}(z)$  fonksiyonunun 50 saniyelik analitik step cevabı, orijinal Oustaloup yaklaşım yöntemiyle elde edilen basamak cevabıyla karşılaştırmalı olarak sunulmuştur. Optimize edilmiş transfer fonksiyonuna dayalı step cevabı, 50 saniyelik test süresi boyunca tatmin edici bir performans sergilemektedir. Özellikle, Oustaloup yaklaşımına dayalı step cevabı ile optimize edilmiş Oustaloup fonksiyonuna dayalı step

cevabı yanıtı arasındaki fark, uygulanan optimizasyon yönteminin zaman alanı davranışında da iyileşme sağladığını açıkça göstermektedir. Zaman alanına ilişkin RMSE ve MAPE değerleri Çizelge 6.1’de verilmiş olup, bu sonuçlar PSO-fmincon hibrit optimizasyon algoritmasının Oustaloup yaklaşımı için zaman alanı performansını etkili bir şekilde iyileştirdiğini doğrulamaktadır.

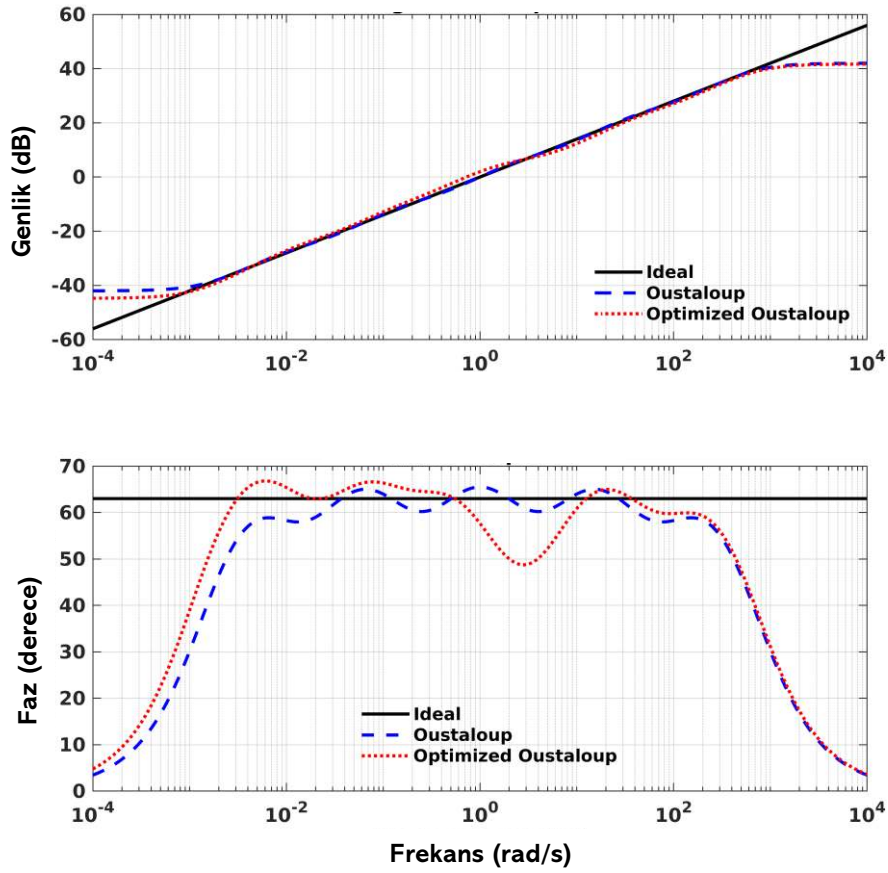
**Çizelge 6.1 :**  $s^{0.7}$  türev operatörü için  $\omega \in [0.01,100]$ rad/s frekans aralığında farklı frekans tabanlı yaklaştırma yöntemlerine dayalı olarak elde edilen step cevaplarına ait hata karşılaştırmaları.

| Yaklaşım Metotları | RMSE   | MAPE (%) |
|--------------------|--------|----------|
| Oustaloup          | 0.1478 | 6.51     |
| Opt. Oustaloup     | 0.1302 | 4.72     |



**Şekil 6.1 :**  $s^{0.7}$  operatörü için analitik step cevabı ile Oustaloup ve önerilen metoda dayalı olarak elde edilen 5. derece yaklaşık transfer fonksiyonlarına ait step cevapları karşılaştırılması

Frekans alanında gerçekleştirilen büyüklük ve faz karşılaştırmaları, optimize edilmiş sistemin zaman alanındaki iyileşmiş performansına rağmen Şekil (6.2)’teki grafikte de görüldüğü üzere frekans düzleminde aynı ölçüde bir iyileşme sağlamadığını göstermektedir. Nitekim Çizelge (6.2)’de de belirtildiği gibi RMSE ve MAPE değerleri, özellikle faz tepkisinde optimize edilmiş Oustaloup fonksiyonunun hata seviyelerinin klasik Oustaloup yaklaşımına kıyasla daha yüksek olduğunu ortaya koymaktadır.



Şekil 6.2:  $s^{0.7}$  operatörü için genlik ve faz cevapları karşılaştırılması

Çizelge 6.2 :  $s^{0.7}$  operatörü için genlik ve faz cevabı hatalarının,  $\omega \in [0.01, 100]$  rad/s frekans aralığında karşılaştırılması

| Yaklaşım<br>Metotları | RMSE           |        | MAPE (%)       |      |
|-----------------------|----------------|--------|----------------|------|
|                       | Frekans Cevabı |        | Frekans Cevabı |      |
|                       | Genlik         | Faz    | Genlik         | Faz  |
| Oustaloup             | 0.2088         | 2.5342 | 2.84           | 3.36 |
| Opt. Oustaloup        | 0.6699         | 5.6275 | 13.40          | 6.09 |

Bu durum, uygulanan yöntemin zaman cevabı esaslı bir optimizasyon stratejisi olmasından kaynaklanmaktadır. Amaç fonksiyonu, büyüklük ve faz uyumunu değil, step cevabının analitik modele yakınlığını öncelediği için algoritma, sistemin frekans alanındaki hatalarını artırma pahasına zaman alanı davranışını iyileştiren bir çözüm bölgesine yakınsamıştır. Dolayısıyla elde edilen sonuçlar, optimize edilmiş yapının frekans tepkisi açısından global bir iyileştirme hedeflemediğini, bunun yerine kısa süreli dinamikte daha iyi bir geçici rejim performansına odaklandığını göstermektedir. Bu bulgu, frekans ve zaman

alanı optimizasyonlarının aynı anda iyileştirilmesinin çoğu zaman çok amaçlı optimizasyon problemi olduğunu doğrulamaktadır.

## 6.2 FPGA Üzerinde Dijital Gerçekleme

Sürekli zamanlı bir transfer fonksiyonunun FPGA üzerinde dijital biçimde gerçekleştirilebilmesi için, söz konusu transfer fonksiyonunun ayrık zamanlı bir yapıya dönüştürülmesi gerekmektedir. Bu amaç doğrultusunda burada da söz konusu tüm yöntemler MATLAB ortamında test edilmiş ve incelenen transfer fonksiyonu için 1 ms örnekleme zamanı ile uygulanan Tustin yönteminin tanımlanan frekans aralığında göreceli olarak daha düşük hata değerleri sağladığı belirlenmiştir.

Denklem 6.2’te verilen Oustaloup transfer fonksiyonuna ve Denklem 6.5’te verilen optimize Oustaloup fonksiyonuna göre 1. derece alçak geçiren filtrelerin toplamı şeklinde ifade edilen sürekli zamanlı yaklaşık transfer fonksiyonları, belirtilen şekilde ayrık zamanlı transfer fonksiyonlarına dönüştürüldüğünde, elde edilen fonksiyonların z-domeynindeki ifadeleri aşağıdaki gibi olur:

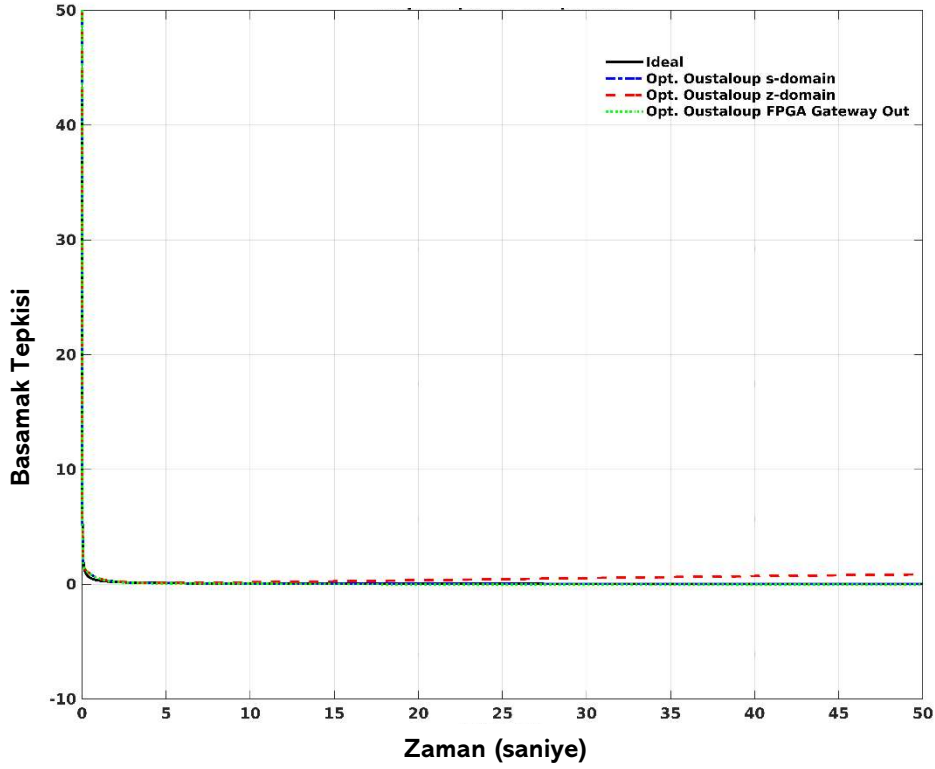
$$T_{oust.}(z) = \frac{-28.39-28.39z^{-1}}{1-0.5034z^{-1}} + \frac{-0.2028-0.2028z^{-1}}{1-0.9592z^{-1}} + \frac{-0.001842-0.001842z^{-1}}{1-0.9974z^{-1}} + \frac{-1.673e^{-5}-1.673e^{-5}z^{-1}}{1-0.9998341z^{-1}} + \frac{-1.444e^{-7}-1.444e^{-7}z^{-1}}{1-0.9999895z^{-1}} + 125.9 \quad (6.6)$$

$$T_{opt-oust.}(z) = \frac{-28.29-28.29z^{-1}}{1-0.4892z^{-1}} + \frac{-0.2167-0.2167z^{-1}}{1-0.9524z^{-1}} + \frac{-0.001048-0.001048z^{-1}}{1-0.9986z^{-1}} + \frac{-1.138e^{-5}-1.138e^{-5}z^{-1}}{1-0.9998458z^{-1}} + \frac{-2.507e^{-7}-2.507e^{-7}z^{-1}}{1-0.9999859z^{-1}} + 121.53 \quad (6.7)$$

Şekil 6.3 ve Şekil 6.4’te, sırasıyla 50 s’lik ve 5 s’lik birim basamak girişi için,  $s^{0.7}$  türev operatörünün analitik cevabı, optimize Oustaloup sürekli zaman cevabı, optimize Oustaloup ayrık zaman cevabı ve ayrık zaman cevabının FPGA simülasyon çıkışı gösterilmiştir. İlk 5 s’lik sürede, tüm eğriler analitik cevabı belirli oranda yakın şekilde takip ettiği görülmektedir. FPGA Gateway Out çıktısının, teorik olarak elde edilen ayrık zaman cevabını oldukça yakın şekilde izlediği gözlemlenmiştir. Uzun zaman davranışında (0–50 s) ise ayrık zamanlı modelde küçük bir birikimli sapma olduğu, FPGA simülasyon gerçeklemede ise yine birikimli bir sapma meydana geldiği, ancak bu birikimli sapmanın nispeten daha düşük seviyede olduğu görülmüştür. Bu sonuçlar, önerilen modelleme ve donanımsal gerçekleme yaklaşımının, bazı kısıtlara bağlı olarak, teorik cevaba belirli oranda yaklaşabildiğini göstermektedir.

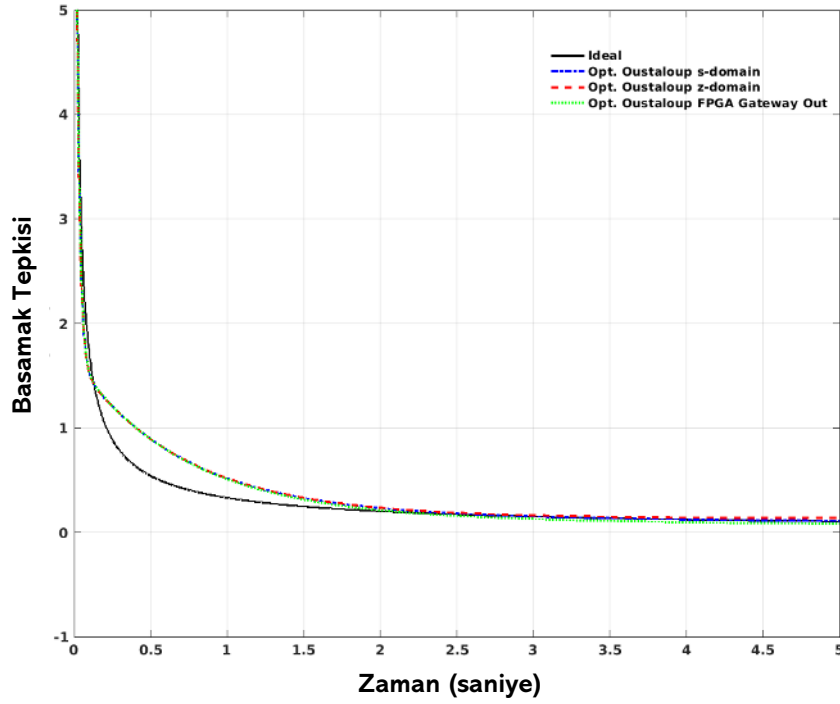
**Çizelge 6.3 :** Optimize Oustaloup denklemlerinin sürekli zaman, ayrık zaman ve FPGA step cevaplarına ait 50 s’lik hata karşılaştırılması.

| Yaklaşım Metotları              | RMSE   |
|---------------------------------|--------|
| Opt. Oustaloup s-domeyni        | 0.1302 |
| Opt. Oustaloup z-domeyni        | 0.4890 |
| Opt. Oustaloup FPGA Gateway Out | 0.2622 |



**Şekil 6.3**  $T_{opt-oust.}(s)$ ,  $T_{opt-oust.}(z)$  ile  $T_{opt-oust.}(z)$  denkleminin FPGA Gateway Out çıktısı için step cevapları karşılaştırması.

Çizelge 6.3’te sunulan RMSE sonuçları bu gözlemi nicel olarak doğrulamakta; sürekli zamanlı yaklaşımın en düşük hata değerini (RMSE = 0.1302) sağladığı, ayrık zamanlı modelde ise uzun vadeli birikimli etkiler nedeniyle hatanın arttığı (RMSE = 0.4890) belirlenmiştir. Buna karşılık, FPGA gerçeğemesinin ayrık zamanlı teorik modele kıyasla daha düşük bir hata değeri (RMSE = 0.2622) sunmaktadır. Donanımsal gerçeğleme sırasında uygulanan katsayı ölçeğleme ve gerçeğleme yöntemlerinin uzun zamanlı davranış üzerinde olumlu bir etki yarattığı varsayılmaktadır.



**Şekil 6.4**  $T_{opt-oust.}(s)$ ,  $T_{opt-oust.}(z)$  ile  $T_{opt-oust.}(z)$  denkleminin FPGA Gateway Out çıktısı için 0 – 5 s arası step cevapları karşılaştırması

Bununla birlikte, özellikle zaman cevabı, pratik uygulamalarda FPGA simülasyon sonuçlarındaki gibi çıkmayabilir. Hatta bunun o şekilde çıkmayacağı 5 s'lık zaman cevabındaki FPGA Gateway Out eğrisinin davranışından anlaşılmaktadır. Kesir dereceli türev ve integral operatörleri için elde edilen yüksek dereceli transfer fonksiyonlarının dijital donanımlar (FPGA/DSP) üzerinde doğrudan gerçekleştirilmesi, "sonlu kelime uzunluğu" (finite word length) etkileri nedeniyle çeşitli kararlılık sorunlarını beraberinde getirmektedir.

Oustaloup ve benzeri yaklaşımlar, özellikle düşük frekans bölgelerini modellemek için birim çembere ( $|z| = 1$ ) son derece yakın kutuplar (örneğin  $z = 0.99999$ ) üretme eğilimindedir. Teorik simülasyonlarda (MATLAB/Simulink double-precision) sorun yaratmayan bu kutuplar, FPGA tabanlı sabit nokta (fixed-point) aritmetiğinde yuvarlama hataları nedeniyle birim çemberin üzerine veya dışına ( $|z| \geq 1$ ) kayabilmektedir. Bu durum, sistemin marjinal kararlı halden kararsız hale geçmesine, çıkış sinyalinin doyuma ulaşmasına veya istenmeyen limit döngüsü salınımlarına neden olmaktadır [132].

Böyle bir durumda, elde edilen ayrık zamanlı modelin FPGA üzerinde kararlı, düşük hata oranıyla ve düşük kaynak tüketimiyle çalışabilmesi için Kutup Stabilizasyonu (Leakage), İkinci Dereceden Kesitlere Ayrıştırma (SOS) ve Ölçekleme (Scaling) yöntemlerini içeren çok aşamalı bir dijital tasarım prosedürü uygulanması önerilmektedir.

Bu problemi gidermek amacıyla, sistemin frekans cevabını mümkün olduğu kadar bozmadan kararlılık marjını garanti altına alan "Sızıntı Yöntemi" (Leakage Method) uygulanmıştır. Birim çembere kritik seviyede yakın olan kutuplar ( $p_i$ ), genlikleri belirli bir güvenlik faktörü ( $r < 1$ ) ile sınırlandırılarak orijine doğru hafifçe kaydırılmıştır:

$$p_{mod} = \begin{cases} r * \frac{p_i}{|p_i|}, & |p_i| > r \\ p_i, & \text{aksi halde} \end{cases} \quad (6.8)$$

Burada güvenlik sınırı  $r = 0.999$  olarak seçilmiştir. Bu işlem, sistemin DC kazancında ihmal edilebilir bir düşüşe neden olsa da FPGA üzerindeki integratör yapısının taşma (overflow) riskini ortadan kaldırmakta ve sistemin BIBO (Bounded-Input Bounded-Output) kararlılığını donanım seviyesinde garanti etmektedir [133,134].

Belirtildiği üzere, "Paralel Form" (Partial Fraction Expansion) olarak ifade edilen sistem, FPGA gerçeklemesi için "Seri Form" (Cascade Form) yapısına dönüştürülmüştür. Yüksek dereceli bir transfer fonksiyonunun ( $N \geq 3$ ) tek parça halinde gerçekleştirilmesi, katsayı kuantalama hatasına karşı aşırı duyarlılık yaratmaktadır. Katsayılardaki en küçük bit hatası, kutup ve sıfırların yerini büyük ölçüde değiştirerek filtre karakteristiğini bozmaktadır.

Bu tür sorunlar barındıran sistemler, sorunu aşmak amacıyla, İkinci Dereceden Kesitler (Second Order Sections - SOS) olarak adlandırılan seri bağlı alt bloklara (Biquad) ayrıştırılarak gerçekleştirilir. Toplam transfer fonksiyonu  $H(z)$ , Denklem 6.9'daki gibi ifade edilmiştir:

$$H(z) = K \cdot \prod_{k=1}^M H_k(z) = K \cdot \prod_{k=1}^M \frac{b_{0k} + b_{1k}z^{-1} + b_{2k}z^{-2}}{1 + a_{1k}z^{-1} + a_{2k}z^{-2}} \quad (6.9)$$

Burada  $M$ , toplam kesit sayısını temsil etmektedir. SOS yapısı, kutup ve sıfırları yerel gruplar halinde izole ettiğinden, kuantalama hatalarının sistemin geneline yayılmasını engeller ve donanım üzerinde çok daha yüksek hassasiyet sağlar.

Bu işlemler  $T_{oust}(z)$  ve  $T_{opt-oust.}(z)$  denklemlerine uygulanmış olup, FPGA'ye gerçekleştirilmek üzere aşağıdaki  $H_{oust.}(z)$  ve  $H_{opt-oust.}(z)$  denklemleri elde edilmiştir:

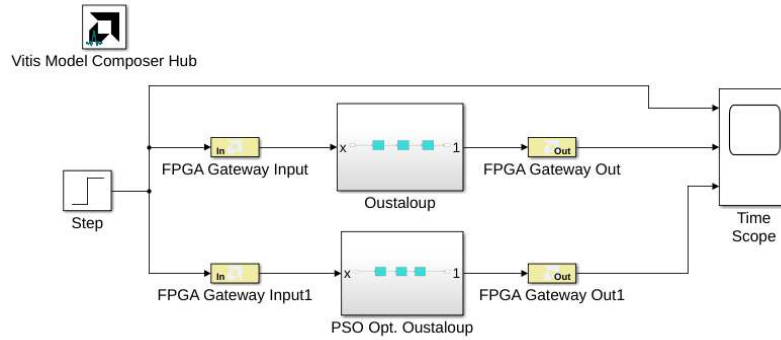
$$H_{oust.}(z) = \frac{0.00018135 - 0.00036261z^{-1} + 0.00018126z^{-2}}{1 - 1.998z^{-1} + 0.998001z^{-2}} * \frac{2843.053 - 5669.254z^{-1} + 2826.2z^{-2}}{1 - 1.9565z^{-1} + 0.95665z^{-2}} * \frac{188.7264 - 171.529z^{-1}}{1 - 0.5033z^{-1}} \quad (6.10)$$

$$H_{opt-oust.}(z) = \frac{0.0001772-0.00035441z^{-1}+0.0001771z^{-2}}{1-1.998z^{-1}+0.998001z^{-2}} * \frac{3003-5989.1626z^{-1}+2986.16z^{-2}}{1-1.951z^{-1}+0.951z^{-2}} * \frac{174.769-157.9z^{-1}}{1-0.49z^{-1}} \quad (6.11)$$

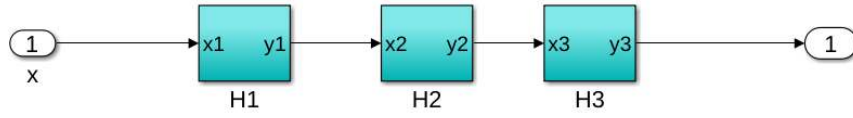
SOS bloklarının seri bağlanması sırasında, bir bloğun çıkışının diğer bloğun girişinde taşma (overflow) yaratmaması veya çok küçülerek hassasiyet kaybına (underflow) uğramaması için "Sonsuz Norm Ölçekleme" ( $L_{\infty}$ -norm scaling) uygulanmıştır. Sistem kazancı  $K$ , sinyal seviyesini her bloğun giriş ve çıkışında optimum aralıkta tutacak şekilde bölüştürülmüştür.

Elde edilen katsayılar ile sistemin, genelde Direct Form II ile gerçekleştirilmesi tavsiye edilse de bu çalışmada sistem Direct Form I yapıları kullanılarak gerçekleştirilmiştir. Direct form II, gecikme elemanlarını (delay lines) ortaklaştırarak FPGA kaynak kullanımını (Flip-Flop ve DSP Slice) minimize etmekte ve boru hattı (pipelining) işlemlerine uygunluk sağlamaktadır. Direct Form I yönteminin de kendine özgü avantajları mevcuttur. Sonuç olarak, s domenyindeki transfer fonksiyonu, uygulanan bu dijital sinyal işleme teknikleri sayesinde FPGA üzerinde kararlı ve analitik cevaba yakın bir basamak yanıtı üretmiştir.

Denklemler 6.10 ve 6.11, 2 ayrı SOS ve 1 IIR filtre denkleminin çarpımını temsil etmektedir. Bu denklemler, Vitis Model Composer Hub System Generator aracı kullanılarak Simulink ortamında Şekil 6.5'te gösterildiği gibi gerçekleştirilmiştir. Şekil 6.6'te görüldüğü üzere transfer fonksiyonları içerisinde yer alan her bir rasyonel bileşen için ayrı bir alt sistem (subsystem) bloğu kullanılmış ve bu alt sistemler denklemlerinde ifade edildiği üzere bir bloğun çıkışı diğerinin girişine bağlanarak çarpılmıştır. Simulink ile FPGA blokları arasındaki veri alışverişini sağlamak amacıyla Gateway bloklarından yararlanılmıştır.

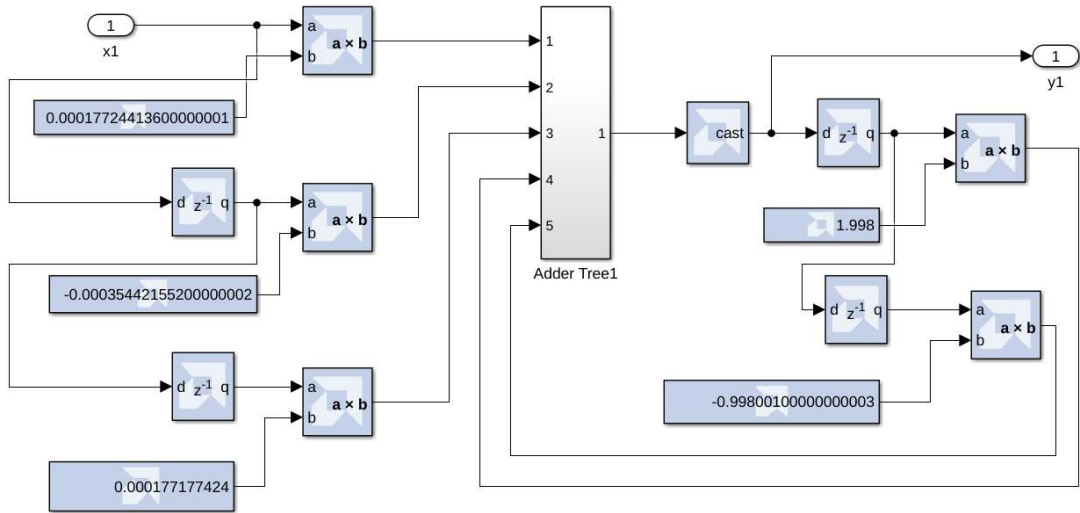


**Şekil 6.5:** Transfer Fonksiyonlarının Vitis Model Composer Hub Sistem Üretisinde Uygulanması ve Karşılaştırılması



**Şekil 6.6 :** Transfer Fonksiyonlarının Alt Sistem İç Yapısı

Alt sistemlerin içerisinde, H1 ve H2 isimli blokları, SOS yapısındaki denklemlerin gerçekleştirilmesi; çarpıcılar (multipliers), 3 adet kayıt elemanı (register), 1 veri türü dönüştürme bloğu (cast) ve bir toplayıcı ağaç (adder tree) kullanılarak yapılmıştır (Şekil 6.5). H3 isimli blok ise önceki bölümlerde kullanıldığı gibi her bir IIR filtrenin Direct Form I yapısındaki gerçekleştirilmesi; çarpıcılar (multipliers), iki adet kayıt elemanı (register), bir veri türü dönüştürme bloğu ve bir toplayıcı ağaç (adder tree) kullanılarak yapılmıştır. Sabit katsayılar için kullanılan veri türü, 32 bit double-precision floating point olarak belirlenmiştir.

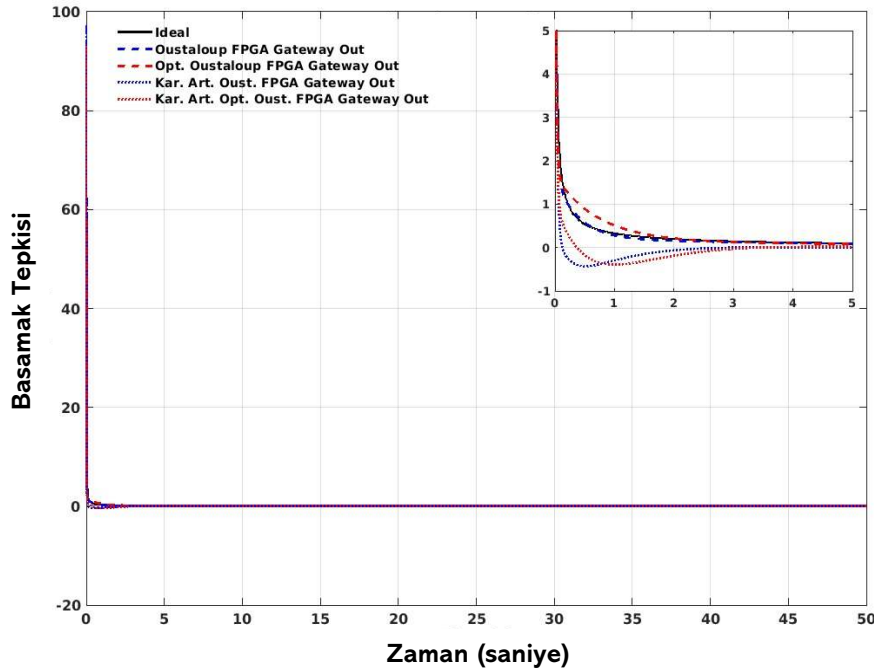


**Şekil 6.7:** H1 ve H2 İsimli Blokların İç Yapısı Örneği

### 6.2.1 Dijital gerçeikleme ile elde edilen zaman cevabı sonuçları

FPGA üzerinde gerçekleştirilen, 50 saniyelik step cevapları için deneysel doğrulama sonuçları, optimize edilmiş transfer fonksiyonunun donanım üzerinde klasik Oustaloup yaklaşımına kıyasla anlamlı derecede daha iyi bir performans sergilediğini göstermektedir. Şekil 6.6, tasarlanan kesir dereceli alçak geçiren filtrenin step girişine verdiği yanıtı zaman düzleminde göstermektedir. Grafik üzerinde yer alan "İdeal Model", sistemin ulaşması hedeflenen analitik referans davranışını temsil etmektedir. Standart Oustaloup yaklaşımı ve

önerilen Hibrit PSO algoritması ile optimize edilmiş yaklaşım karşılaştırıldığında, her iki yöntemin de kararlı duruma (steady-state) başarıyla oturduğu görülmektedir. Ancak, grafiğin sağ üst köşesindeki yakınlaştırılmış (zoomed) pencere incelendiğinde, geçici hal performansındaki farklar belirginleşmektedir. Standart yaklaşım, referans sinyalin altına inerek belirgin bir "undershoot" (alt salınım) sergilerken, optimize edilmiş yaklaşım bu salınımı sönümleyerek ideal yörüngeye daha sıkı bir şekilde tutunmuştur. Grafiğe ait sayısal performans metrikleri Çizelge 6.4'te özetlenmiştir. Özellikle kararlılığı arttırmak adına yapılan kutup kaydırma yoluyla stabilizasyonu artırma (Leakage Method) işleminin, doğal olarak zaman cevabı hatasında belirli oranda bir artışa neden olduğu gözlemlenmiştir. Kararlılığı artırılmış ayırık zamanlı sistem için RMSE değerlerinin, beklendiği gibi orijinal ayırık zamanlı transfer fonksiyonları için elde edilen RMSE değerlerine göre daha yüksek olduğu görülmüştür. Bunun sebebi, kararlılığı arttırmak için kutupların küçük de olsa taşınması sırasında, transfer fonksiyonunda ister istemez meydana gelen küçük değişimdir. Bu durum, önerilen yöntemin FPGA üzerindeki kararlılığını, dijital gerçekleştirme başarısını arttırırken, çıkışta küçük de olsa istenmeyen bir hata artışına neden olmaktadır. Sinyalin sönümlenen karakteristiği nedeniyle, bu çalışmada performans değerlendirmesi için RMSE metriği esas alınmıştır.



**Şekil 6.8:**  $s^{0.7}$  operatörüne ait analitik step cevabı ile Oustaloup ve önerilen yöntem sonucu elde edilen fonksiyonun FPGA step cevaplarının karşılaştırılması.

**Çizelge 6.4 :**  $s^{0.7}$  operatörüne ait ayrık zamanlı farklı transfer fonksiyonları için FPGA simülasyon çıkışındaki basamak cevaplarına ait hata değerleri

| Transfer Fonksiyonu                                 | RMSE   |
|-----------------------------------------------------|--------|
| Orijinal Oustaloup (D.6.6)                          | 0.2869 |
| Orijinal Optimize Oustaloup (D.6.7)                 | 0.2622 |
| Kararlılığı arttırılmış Oustaloup (D.6.10)          | 0.3272 |
| Kararlılığı arttırılmış Optimize Oustaloup (D.6.11) | 0.2972 |

### 6.3 Bölüm 6'nın Sonuçları

Bu bölümde, kesir dereceli filtrelerin dijital gerçekleştirilmesinde karşılaşılan zaman domeyni hatalarını minimize etmek amacıyla, Oustaloup yaklaşım katsayılarını yeniden düzenleyen hibrit bir optimizasyon stratejisi (Hybrid PSO-fmincon) önerilmiştir. Önerilen yöntem, teorik (s-domain) simülasyonlar ve FPGA tabanlı donanım döngüsü (HIL) testleri ile doğrulanmış; sistemin zaman ve frekans düzlemi karakteristikleri kapsamlı bir şekilde analiz edilmiştir.

Önerilen optimizasyon algoritmasının birincil hedefi olan step cevabı iyileştirmesi başarıyla sağlanmıştır. Teorik s-düzlemi analizlerinde, standart Oustaloup yaklaşımının RMSE 0.1478 iken, optimizasyon sonrası bu değer 0.1302 seviyesine çekilmiştir. Benzer şekilde, MAPE değeri de %6.51'den %4.72'ye düşürülmüştür. FPGA simülasyonu sonucu elde edilen RMSE değeri kararlılık arttırma işleminden sonra, 0.2622'den 0.2972'ye yükselerek, önerilen yöntemin FPGA'de kararsızlık riskini ortadan kaldırdığını, ancak buna karşılık dijital gerçekleştirilmede hata oranını küçük bir miktar arttırdığını göstermiştir.

Optimizasyon sürecinde maliyet fonksiyonu tamamen zaman domeyni hatasını minimize edecek şekilde kurgulanmıştır. Literatürdeki "zaman ve frekans düzlemi arasındaki dualite" ilkesi gereği, zaman yanıtındaki bu iyileşme, frekans cevabında beklenen bir sapmaya neden olmuştur. Analiz sonuçlarına göre, genlik cevabı RMSE değeri 0.2088'den 0.6699'a, faz hatası ise 2.53'ten 5.62'ye yükselmiştir. Bu durum, algoritmanın step cevabını ideal forma oturtmak için filtre kutup ve sıfırlarını frekans eksenindeki ideal yerlerinden kaydırmasının doğal bir sonucudur. Tasarımın öncelikli hedefi step cevabı performansını artırmak olduğundan, frekans düzlemindeki bu tolerans kabul edilebilir sınırlar içerisindedir.

Çalışmanın FPGA simülasyon aşamasında, optimize edilen katsayıların, sayısal kararlılığı artırmak için "Leakage" yöntemi uygulanmış ve sistem "İkinci Dereceden Kesitler" (SOS) yapısında FPGA'de DF I yapısı şeklinde gerçekleştirilmiştir. Optimizasyon

sonrası elde edilen sonuçlar, yüksek dereceli kesir dereceli sistemlerin, önerilen hibrit yöntem ve uygun dijital yapılar kullanılarak belirli kısıtlar içerisinde gömülü sistemlerde çalıştırılabileceğini göstermiştir.

Sonuç olarak; önerilen yöntem, frekans hassasiyetinin ikinci planda olduğu ancak hızlı ve salınımsız zaman yanıtının kritik önem taşıdığı (örneğin; servo kontrol, robotik pozisyonlama) kesir dereceli kontrol uygulamaları için etkin bir çözüm alternatifi sunmaktadır.



## 7. SONUÇLAR

Bu tez çalışması kapsamında, modern kontrol ve sinyal işleme sistemlerinde giderek artan bir öneme sahip olan kesir dereceli sistemlerin, operatörlerin ve kontrolcülerin dijital donanımlar üzerinde yüksek doğrulukla ve verimli bir şekilde gerçekleştirilmesi problemi kapsamlı bir şekilde ele alınmıştır. Çalışma boyunca, literatürde yaygın olarak kullanılan Oustaloup, MSBL ve Matsuda gibi analitik yaklaşım yöntemlerinin sınırları detaylı bir şekilde analiz edilmiş ve bu sınırların ötesine geçebilmek amacıyla hem frekans hem de zaman düzlemi tabanlı optimizasyon destekli yaklaşım metodolojileri geliştirilmiştir. Geliştirilen bu metodolojilerin avantajları FPGA simülasyon ortamında gösterilmiş, ayrıca bir örnek bir uygulama için FPGA donanımı üzerinde pratik olarak gerçekleştirilmiştir.

Tezin en önemli katkılarından biri, standart yaklaşım yöntemlerinin özellikle çalışma bandının uç noktalarında ve geçici rejim bölgelerinde sergilediği performans kayıplarının, önerilen optimizasyon stratejileri ile giderilmesidir. Frekans düzlemi odaklı çalışmalarda, MSBL yaklaşımı temel alınarak FMINCON ve SQP algoritmalarıyla geliştirilen optimizasyon yöntemi sayesinde,  $s^{0.5}$  türev operatörü ve FOPID kontrolcü tasarımlarında analitik modele çok daha yakın sonuçlar elde edilmiştir. Özellikle kontrol sistemlerinin kararlılığı açısından kritik öneme sahip olan faz cevabında, standart yöntemlere kıyasla belirgin iyileşmeler sağlanmış ve faz dalgalanmaları minimize edilmiştir. Buna ek olarak, zaman cevabı esaslı optimizasyon çalışmalarında,  $s^{0.7}$  operatörü için PSO algoritması kullanılarak geliştirilen yöntem, sistemin basamak tepkisindeki aşım ve yerleşme süresi hatalarını, özellikle  $t = 0$  anındaki tekillik bölgelerinde, standart yöntemlere göre önemli ölçüde azaltmıştır. Bu iki farklı yaklaşım, tasarımcıya uygulamanın gereksinimlerine göre frekans kararlılığı veya zaman düzlemi hızı esnek bir optimizasyon tercihi sunma imkânı sağlamıştır.

Çalışmanın bir diğer kritik ayağını, gerçek fiziksel sistemlerin modellenmesi ve bu modellerin donanım kısıtları altında gerçekleştirilmesi oluşturmuştur. Gerçek bir DC motor deney düzeneği üzerinden alınan verilerle gerçekleştirilen sistem tanımlama süreci, kesir dereceli modellerin karmaşık dinamikleri tamsayı dereceli modellere kıyasla daha yüksek bir başarıyla temsil ettiğini göstermiştir. Ancak, elde edilen yüksek dereceden modellerin gömülü sistemlerde doğrudan kullanımı işlem yükü açısından verimsiz olduğundan, tez kapsamında  $H_2$ -Norm tabanlı optimizasyon ile model indirgeme teknikleri başarıyla uygulanmıştır. 15. dereceden 2. dereceye indirgenen modelin FPGA üzerindeki başarısı,

karmaşık endüstriyel sistemlerin basit, hızlı ve düşük maliyetli donanımlarla kontrol edilebileceğini ortaya koymuştur.

Geliştirilen tüm matematiksel modellerin FPGA üzerinde gerçekleştirilmesi amacıyla, modern model tabanlı tasarım araçları ve yüksek seviyeli sentez teknikleri kullanılarak FPGA simülasyon platformu oluşturulmuştur. Paralel işleme mimarisine uygun olarak tasarlanan IIR filtre yapıları ve toplayıcı ağaç mimarileri sayesinde, sistemlerin daha kontrol edilebilir ve gürbüz olması sağlanmıştır. Artix-7 FPGA kartına göre yapılan simülasyonlar, bu kart üzerinde yapılan deneysel çalışmalar ve Vivado sentez raporları, uygulanan optimizasyon tabanlı yaklaşım yönteminin frekans cevabında kayda değer bir iyileşme sağladığını göstermektedir. Aynı zamanda, gerçekleştirme sonucu elde edilen veriler, FPGA'nın düşük güç tüketimi ve mantıksal kaynak kullanımı (LUT ve DSP blokları) ile çalıştığını göstermektedir. Osiloskop üzerinden alınan deneysel verilerin teorik simülasyon sonuçlarına yakın olması, önerilen yöntemin güvenilirliğini ve uygulanabilirliğini göstermektedir. .

Bu tezde elde edilen bulgular ve kazanılan deneyimler ışığında, gelecekteki çalışmalar için bazı önemli araştırma yönleri de ortaya çıkmıştır. İlerleyen süreçte, optimizasyon algoritmalarının FPGA içerisine gömülerek (System-on-Chip yaklaşımıyla), sistem parametrelerinin değişen ortam koşullarına veya bileşen yaşlanmasına göre çalışma zamanında yeniden optimize edildiği "Adaptif Kesir Dereceli Kontrolcüler" tasarlanabilir. Ayrıca, geliştirilen IP çekirdeklerinin daha yüksek performanslı veya daha düşük güç tüketen farklı FPGA aileleri üzerinde test edilerek endüstriyel uygulanabilirlik alanının genişletilmesi mümkündür. Son olarak, bu çalışmada kullanılan lineerleştirilmiş sistemler yerine, robotik manipülatörler veya kaotik devreler gibi yüksek derecede lineer olmayan sistemlerin kesir dereceli kontrolü üzerine çalışmalar yapılarak yöntemin sınırları daha da zorlanabilir. Sonuç olarak bu tez, kesir dereceli sistemlerin teorik dünyadan pratik uygulamalara geçişinde karşılaşılan doğruluk ve uygulanabilirlik sorunlarına, optimizasyon ve FPGA teknolojilerini birleştiren güçlü bir çözüm sunmaktadır.

## KAYNAKLAR

- [1] Podlubny, I. (2002). Fractional-order systems and PI/sup/spl lambda//D/sup/spl mu//-controllers. *IEEE Transactions on automatic control*, 44(1), 208-214.
- [2] Iqbal, A. ve Shekh, R. R. (2016). A comprehensive study on different approximation methods of Fractional order system. *International Research Journal of Engineering and Technology*, 3(8), 1848-1853.
- [3] Monje, C. A., Vinagre, B. M., Feliu, V. ve Chen, Y. (2008). Tuning and auto-tuning of fractional order controllers for industry applications. *Control engineering practice*, 16(7), 798-812.
- [4] Godinho, C. F. de L. ve Vancea, I. V. (2025). Fractional Calculus in Physics: A Brief Review of Fundamental Formalisms. *Mathematics*, 13(22). <https://doi.org/10.3390/math13223643>
- [5] Sierociuk, D., Dzieliński, A., Sarwas, G., Petras, I., Podlubny, I. ve Skovranek, T. (2013). Modelling heat transfer in heterogeneous media using fractional calculus. *Philosophical Transactions of the Royal Society A: Mathematical, Physical and Engineering Sciences*, 371(1990), 20120146.
- [6] Gao, X., Liu, F. ve Liu, C. (2022). Fractional-order rumor propagation model with memory effect. *Social network analysis and mining*, 12(1), 159.
- [7] Ali, A., Bingi, K., Ibrahim, R., Devan, P. A. M. ve Devika, K. B. (2024). A review on FPGA implementation of fractional-order systems and PID controllers. *AEU - International Journal of Electronics and Communications*, 177, 155218. <https://doi.org/10.1016/j.aeue.2024.155218>
- [8] Shah, P. ve Agashe, S. (2016). Review of fractional PID controller. *Mechatronics*, 38, 29-41.
- [9] Sorcia-Vázquez, F. de J., Rumbo-Morales, J. Y., Brizuela-Mendoza, J. A., Ortiz-Torres, G., Sarmiento-Bustos, E., Pérez-Vidal, A. F., Rentería-Vargas, E. M., De-la-Torre, M. ve Osorio-Sánchez, R. (2023). Experimental Validation of Fractional PID Controllers Applied to a Two-Tank System. *Mathematics*, 11(12). <https://doi.org/10.3390/math11122651>
- [10] Aburakhis, M. ve Ordóñez, R. (2024). Generalization of Direct Adaptive Control Using Fractional Calculus Applied to Nonlinear Systems. *Journal of Control, Automation and Electrical Systems*, 35(3), 428-439. <https://doi.org/10.1007/s40313-024-01082-0>
- [11] Barbero, G., Evangelista, Luiz. R., Zola, R. S., Lenzi, E. K. ve Scarfone, A. M. (2024). A Brief Review of Fractional Calculus as a Tool for Applications in Physics: Adsorption Phenomena and Electrical Impedance in Complex Fluids. *Fractal and Fractional*, 8(7). <https://doi.org/10.3390/fractalfract8070369>
- [12] Barrios-Sánchez, J. M., Baeza-Serrato, R. ve Martínez-Jiménez, L. (2024). Fractional Calculus to Analyze Efficiency Behavior in a Balancing Loop in a System Dynamics Environment. *Fractal and Fractional*, 8(4). <https://doi.org/10.3390/fractalfract8040212>

- [13] **Fadili, Y. E. ve Boumhidi, I. (2024).** New design of an intelligent electromagnetic torque controller based on neural network and fractional calculus: Variable-speed wind energy systems application. *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, 10, 100829. <https://doi.org/10.1016/j.prime.2024.100829>
- [14] **Yattou, E. F., Youssef, B. ve Ismail, B. (2024).** A novel combination of Sliding Mode, Fractional Calculus, and Genetic Algorithm to improve the performance of a controller in a wind power application. *2024 International Conference on Circuit, Systems and Communication (ICCSC)*, 1-6. <https://doi.org/10.1109/ICCSC62074.2024.10616435>
- [15] **Robles, E. H., Torres, F. J., Balvantín-García, A. J., Martínez-Ramírez, I., Capilla, G. ve Ramírez-Paredes, J.-P. (2024).** Fractional Calculus Applied to the Generalized Model and Control of an Electrohydraulic System. *Fractal and Fractional*, 8(12). <https://doi.org/10.3390/fractalfract8120679>
- [16] **Huang, G., Qin, H., Chen, Q., Shi, Z., Jiang, S. ve Huang, C. (2024).** Research on Application of Fractional Calculus Operator in Image Underlying Processing. *Fractal and Fractional*, 8(1). <https://doi.org/10.3390/fractalfract8010037>
- [17] **Liu, X. (2024).** Fractional Calculus in Non-stationary Signal Analysis. *Proceedings of the 2024 9th International Conference on Cyber Security and Information Engineering*, 578-584. <https://doi.org/10.1145/3689236.3689293>
- [18] **Han, B., Yin, D. ve Gao, Y. (2024).** The application of a novel variable-order fractional calculus on rheological model for viscoelastic materials. *Mechanics of Advanced Materials and Structures*, 31(28), 9951-9963. <https://doi.org/10.1080/15376494.2023.2283126>
- [19] **Yang, N., Yang, Z., Huang, Y., Yang, W., Liu, W. ve Chen, X. (2024).** Modeling Thermal Impedance of IGBT Devices Based on Fractional Calculus Techniques. *Electronics*, 13(22). <https://doi.org/10.3390/electronics13224423>
- [20] **Zhang, X., Zhang, X., Li, M., Wu, M. ve Wang, P. (2025).** Modeling and control of electric springs based on fractional calculus. *Journal of Power Electronics*. <https://doi.org/10.1007/s43236-025-01139-6>
- [21] **Pataro, I. M. L., Gil, J. D., Álvarez, J. D., Guzmán, J. L. ve Berenguel, M. (2024).** Robust Fractional Order PID Controller Coupled with a Nonlinear Filtered Smith Predictor for Solar Collector Fields. *IFAC-PapersOnLine*, 58(7), 234-239. <https://doi.org/10.1016/j.ifacol.2024.08.040>
- [22] **Hu, R., Aziz, M. H. N., Aruchunan, E. ve Mohamed, N. A. (2025).** Modeling and analysis of a delayed fractional order COVID-19 SEIHRM model with media coverage in Malaysia. *Scientific Reports*, 15(1), 25305. <https://doi.org/10.1038/s41598-025-99389-8>
- [23] **Coelho, C., Costa, M. F. P. ve Ferrás, L. L. (2024).** Fractional Calculus Meets Neural Networks for Computer Vision: A Survey. *AI*, 5(3), 1391-1426. <https://doi.org/10.3390/ai5030067>
- [24] **Zhang, X., Zhang, X., Li, M., Deng, X. ve Du, L. (2025).** Fractional-order electric spring based on fuzzy PI $\lambda$ D $\mu$  adaptive control. *Journal of Power Electronics*, 25(8), 1561-1572. <https://doi.org/10.1007/s43236-024-00979-y>

- [25] Higazy, M., Almalki, N., Muhammad, S. ve Al-Ghamdi, A. (2024). A new fractional order 6D chaotic model: Study of model dynamics, system structure graph, electronic circuit realization and fractional control. *Journal of Ocean Engineering and Science*, 9(2), 112-125. <https://doi.org/10.1016/j.joes.2022.04.002>
- [26] Mohammed, A. F., Marhoon, H. M., Basil, N. ve Ma'arif, A. (2024). A New Hybrid Intelligent Fractional Order Proportional Double Derivative+ Integral (FOPDD+ I) Controller with ANFIS Simulated on Automatic Voltage Regulator System. *International Journal of Robotics & Control Systems*, 4(2).
- [27] Krishna, B. T. ve Janarthanan, M. (2023). Realization of fractional order lowpass filter using different approximation techniques. *Bulletin of Electrical Engineering and Informatics*, 12(6), 3552-3561.
- [28] Pektaş, Ö. ve Köseoğlu, M. (2025). Comparative Analysis of Analog and FPGA Realizations Based on Matsuda Method for Fractional Order Integral Operator. *Balkan Journal of Electrical and Computer Engineering*, 13(1), 96-105. <https://doi.org/10.17694/bajece.1577733>
- [29] Celik, O. M., Deniz, F. N. ve Koseoglu, M. (2025). Design of Hybrid MPC-PID Controller Based on Fractional Order Model of AMR. *IEEE Access*.
- [30] Han, B., Yin, D. ve Gao, Y. (2024). The application of a novel variable-order fractional calculus on rheological model for viscoelastic materials. *Mechanics of Advanced Materials and Structures*, 31(28), 9951-9963.
- [31] Robles, E. H., Torres, F. J., Balvantín-García, A. J., Martínez-Ramírez, I., Capilla, G. ve Ramírez-Paredes, J.-P. (2024). Fractional calculus applied to the generalized model and control of an electrohydraulic system. *Fractal and Fractional*, 8(12), 679.
- [32] Aburakhis, M. ve Ordóñez, R. (2024). Generalization of direct adaptive control using fractional calculus applied to nonlinear systems. *Journal of Control, Automation and Electrical Systems*, 35(3), 428-439.
- [33] Mohammed, A. F., Marhoon, H. M., Basil, N. ve Ma'arif, A. (2024). A New Hybrid Intelligent Fractional Order Proportional Double Derivative+ Integral (FOPDD+ I) Controller with ANFIS Simulated on Automatic Voltage Regulator System. *International Journal of Robotics & Control Systems*, 4(2).
- [34] Reddy, A. S. ve Reddy, G. N. (2024). Novel applications of oustaloup recursive approximation and modified oustaloup recursive approximation methods in linear fractional order control design: AS Reddy, GN Reddy. *International Journal of Dynamics and Control*, 12(7), 2236-2246.
- [35] Shah, P., Sekhar, R., Sharma, D. ve Penubadi, H. R. (2024). Fractional order control: A bibliometric analysis (2000–2022). *Results in Control and Optimization*, 14, 100366.
- [36] Gharab, S., Achnib, A., Lanusse, P. ve Battle, V. F. (2024). Fractional Order Modeling of Lithium-ion Batteries For A Real Smart Grid System. *IFAC-PapersOnLine*, 58(12), 478-483.

- [37] **Ortigueira, M. D., Rodríguez-Germá, L. ve Trujillo, J. J.** (2011). Complex Grünwald–Letnikov, Liouville, Riemann–Liouville, and Caputo derivatives for analytic functions. *Communications in Nonlinear Science and Numerical Simulation*, 16(11), 4174-4182. <https://doi.org/10.1016/j.cnsns.2011.02.022>
- [38] **Krejcar, O. ve Namazi, H.** (2026). Review of the applications of different fractional models in engineering. *Applied Mathematical Modelling*, 153, 116623. <https://doi.org/10.1016/j.apm.2025.116623>
- [39] **Fahad, H. M. ve Fernandez, A.** (2021). Operational calculus for Caputo fractional calculus with respect to functions and the associated fractional differential equations. *Applied Mathematics and Computation*, 409, 126400. <https://doi.org/10.1016/j.amc.2021.126400>
- [40] **Scherer, R., Kalla, S. L., Tang, Y. ve Huang, J.** (2011). The Grünwald–Letnikov method for fractional differential equations. *Computers & Mathematics with Applications*, 62(3), 902-917. <https://doi.org/10.1016/j.camwa.2011.03.054>
- [41] **Pano-Azucena, A. D., Ovilla-Martinez, B., Tlelo-Cuautle, E., Muñoz-Pacheco, J. M. ve Fraga, L. G. de la.** (2019). FPGA-based implementation of different families of fractional-order chaotic oscillators applying Grünwald–Letnikov method. *Communications in Nonlinear Science and Numerical Simulation*, 72, 516-527. <https://doi.org/10.1016/j.cnsns.2019.01.014>
- [42] **Deniz, F. N., Alagoz, B. B., Tan, N. ve Koseoglu, M.** (2020). Revisiting four approximation methods for fractional order transfer function implementations: Stability preservation, time and frequency response matching analyses. *Annual Reviews in Control*, 49, 239-257. <https://doi.org/10.1016/j.arcontrol.2020.03.003>
- [43] **Koseoglu, M., Deniz, F. N., Alagoz, B. B. ve Alisoy, H.** (2022). An effective analog circuit design of approximate fractional-order derivative models of M-SBL fitting method. *Engineering Science and Technology, an International Journal*, 33, 101069. <https://doi.org/10.1016/j.jestch.2021.10.001>
- [44] **Deniz, F. N., Alagoz, B. B., Tan, N. ve Atherton, D. P.** (2016). An integer order approximation method based on stability boundary locus for fractional order derivative/integrator operators. *ISA Transactions*, 62, 154-163. <https://doi.org/10.1016/j.isatra.2016.01.020>
- [45] **Oustaloup, A., Levron, F., Mathieu, B. ve Nanot, F. M.** (2002). Frequency-band complex noninteger differentiator: Characterization and synthesis. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(1), 25-39.
- [46] **Mihaly, V., Șuşcă, M., Bîrs, I. R. ve Dobra, P.** (2023). Reduced-Order Approximation of Fractional-Order Controllers by keeping Robust Stability and Robust Performance. *2023 American Control Conference (ACC)*, 2301-2306. <https://doi.org/10.23919/ACC55779.2023.10156398>
- [47] **Krishna, B. T.** (2011). Studies on fractional order differentiators and integrators: A survey. *Signal processing*, 91(3), 386-426.
- [48] **Koseoglu, M.** (2022). Time response optimal rational approximation: Improvement of time responses of MSBL based approximate fractional order derivative operators by using gradient descent optimization. *Engineering Science and*

- [49] Emad, S., Hassanein, A. M., AbdelAty, A. M., Madian, A. H., Radwan, A. G. ve Said, L. A. (2024). A Study on Fractional Power-Law Applications and Approximations. *Electronics*, 13(3).  
<https://doi.org/10.3390/electronics13030591>
- [50] El-Khazali, R., Batiha, I. M. ve Momani, S. (2018). Approximation of fractional-order operators. *International workshop on Advanced Theory and Applications of Fractional Calculus*, 121-151.
- [51] Yüce, A., Deniz, F. N. ve Tan, N. (2017). A New Integer Order Approximation Table for Fractional Order Derivative Operators. *IFAC-PapersOnLine*, 50(1), 9736-9741. <https://doi.org/10.1016/j.ifacol.2017.08.2177>
- [52] Koseoglu, M., Deniz, F. N., Alagoz, B. B., Yuce, A. ve Tan, N. (2021). An experimental analog circuit realization of Matsuda's approximate fractional-order integral operators for industrial electronics. *Engineering Research Express*, 3(4), 045041. <https://doi.org/10.1088/2631-8695/ac3e11>
- [53] Köseoğlu, M. (2023). A Hybrid Approximation Method for Integer-Order Approximate Realization of Fractional-Order Derivative Operators. *Journal of Circuits, Systems and Computers*, 32(13), 2350224. <https://doi.org/10.1142/S0218126623502249>
- [54] Köseoğlu, M., Deniz, F. N. ve Alagöz, B. B. (2023). Hybrid Approximation Method For Time Response Improvement Of Cfe Based Approximate Fractional Order Derivative Models By Using Gradient Descent Algorithm. *Uludağ University Journal of The Faculty of Engineering*, 403-416. <https://doi.org/10.17482/uumfd.1148882>
- [55] Tricaud, C. ve Chen, Y. (2010). An approximate method for numerically solving fractional order optimal control problems of general form. *Computers & Mathematics with Applications*, 59(5), 1644-1655. <https://doi.org/10.1016/j.camwa.2009.08.006>
- [56] Bauer, W., Baranowski, J., Kapoulea, S. ve Psychalinos, C. (2019). Digital and analog design of fractional PD controller for a servo system. *2019 24th International Conference on Methods and Models in Automation and Robotics (MMAR)*, 472-477.
- [57] Nako, J., Psychalinos, C. ve Elwakil, A. S. (2023). A  $1+\alpha$  order generalized Butterworth filter structure and its field programmable analog array implementation. *Electronics*, 12(5), 1225.
- [58] Hassanein, A. M., Madian, A. H., Radwan, A. G. G. ve Said, L. A. (2023). On the Design Flow of the Fractional-Order Analog Filters Between FPAA Implementation and Circuit Realization. *IEEE Access*, 11, 29199-29214. <https://doi.org/10.1109/ACCESS.2023.3260093>
- [59] Mahata, S., Kubanek, D. ve Herencsar, N. (2024). Design of fractional-order transitional filters of the Butterworth-Sync-Tuned, Butterworth-Chebyshev, and Chebyshev-Sync-Tuned types: Optimization, simulation, and experimental verification. *Computers and Electrical Engineering*, 116, 109200.

- [60] **Afolabi, O.-M., Adeyemi, V.-A., Tlelo-Cuautle, E. ve Nuñez-Perez, J.-C.** (2024). FPGA Realization of a Fractional-Order Model of Universal Memory Elements. *Fractal and Fractional*, 8(10), 605.
- [61] **Alimisis, V., Eleftheriou, N. P., Georgakilas, E., Dimas, C., Uzunoglu, N. ve Sotiriadis, P. P.** (2024). A Low Power Analog Integrated Fractional Order Type-2 Fuzzy PID Controller. *Fractal and Fractional*, 8(4), 234.
- [62] **Monir, M. S., Sayed, W. S., Madian, A. H., Radwan, A. G. ve Said, L. A.** (2022). A unified FPGA realization for fractional-order integrator and differentiator. *Electronics*, 11(13), 2052.
- [63] **Lin, L., Wang, Q. ve Cai, G.** (2022). FPGA realization of two different fractional-order time-delay chaotic system with predefined synchronization time. *IEEE Access*, 10, 133663-133672.
- [64] **Liu, D.-Y., Gibaru, O., Perruquetti, W. ve Laleg-Kirati, T.-M.** (2015). Fractional Order Differentiation by Integration and Error Analysis in Noisy Environment. *IEEE Transactions on Automatic Control*, 60(11), 2945-2960. <https://doi.org/10.1109/TAC.2015.2417852>
- [65] **Birs, I., Muresan, C., Nascu, I. ve Ionescu, C.** (2019). A Survey of Recent Advances in Fractional Order Control for Time Delay Systems. *IEEE Access*, 7, 30951-30965. <https://doi.org/10.1109/ACCESS.2019.2902567>
- [66] **Srivastava, H. M.** (t.y.). Fractional-Order Derivatives and Integrals: Introductory Overview and Recent Developments. *Kyungpook Mathematical Journal*, 60(1). <https://doi.org/10.5666/KMJ.2020.60.1.73>
- [67] **Mohamed, S. M., Sayed, W. S., Said, L. A. ve Radwan, A. G.** (2021). Reconfigurable FPGA Realization of Fractional-Order Chaotic Systems. *IEEE Access*, 9, 89376-89389. <https://doi.org/10.1109/ACCESS.2021.3090336>
- [68] **Abdelfettah, B. H., Mohamed, L. ve Abdelbaki, D.** (2022). Synergy between fractional order control and industry 4.0: A bibliometric analysis. *Procedia Computer Science*, 204, 803-810. <https://doi.org/10.1016/j.procs.2022.08.097>
- [69] **Gao, Z. ve Liao, X.** (2012). Improved Oustaloup approximation of fractional-order operators using adaptive chaotic particle swarm optimization. *Journal of Systems Engineering and Electronics*, 23(1), 145-153. <https://doi.org/10.1109/JSEE.2012.00018>
- [70] **Chatterjee, S., Romero, O., Ashourvan, A. ve Pequito, S.** (2020). Fractional-order model predictive control as a framework for electrical neurostimulation in epilepsy. *Journal of Neural Engineering*, 17(6), 066017. <https://doi.org/10.1088/1741-2552/abc740>
- [71] **Romero, O., Chatterjee, S. ve Pequito, S.** (2020). Fractional-Order Model Predictive Control for Neurophysiological Cyber-Physical Systems: A Case Study using Transcranial Magnetic Stimulation. *2020 American Control Conference (ACC)*, 4996-5001. <https://doi.org/10.23919/ACC45564.2020.9147545>

- [72] **George, T. ve Ganesan, V.** (2022). Optimal tuning of PID controller in time delay system: A review on various optimization techniques. *Chemical Product and Process Modeling*, 17(1), 1-28. <https://doi.org/doi:10.1515/cppm-2020-2001>
- [73] **Saif, M., Singh, V., Rani, A. ve Yadav, J.** (2024). Particle Swarm Optimization based Fractional Order PID Control for the Twin Rotor Multi-Input Multi-Output System. *2024 3rd International conference on Power Electronics and IoT Applications in Renewable Energy and its Control (PARC)*, 292-296. <https://doi.org/10.1109/PARC59193.2024.10486531>
- [74] **Fidalgo Astorquia, I., Gómez-Larrakoetxea, N., Gude, J. J. ve Pastor, I.** (2025). Fractional-Order System Identification: Efficient Reduced-Order Modeling with Particle Swarm Optimization and AI-Based Algorithms for Edge Computing Applications. *Mathematics*, 13(8). <https://doi.org/10.3390/math13081308>
- [75] **Huang, J. ve Kuang, Z.** (2025). Mechanical Property Prediction of Wood Using a Backpropagation Neural Network Optimized by Adaptive Fractional-Order Particle Swarm Algorithm. *Forests*, 16(8). <https://doi.org/10.3390/f16081223>
- [76] **Mohammadi, S., Hejazi, S. R., Saeidi, H. ve ElahiShirvan, G.** (2025). Modeling and optimal control of nonlinear fractional order chaotic system of factors affecting money laundering: Genetic algorithms and particle swarm optimization. *Applied Economics*, 57(23), 3092-3113. <https://doi.org/10.1080/00036846.2024.2333713>
- [77] **Abualigah, L.** (2025). Particle Swarm Optimization: Advances, Applications, and Experimental Insights. *Computers, Materials & Continua*, 82(2), 1539-1592. Complementary Index. <https://doi.org/10.32604/cmc.2025.060765>
- [78] **Maroua, B., Laid, Z., Benbouhenni, H., Elbarbary, Z. M. S., Colak, I. ve Alammam, M. M.** (2025). Genetic algorithm type 2 fuzzy logic controller of microgrid system with a fractional-order technique. *Scientific Reports*, 15(1), 6318. <https://doi.org/10.1038/s41598-025-90239-1>
- [79] **Alexakis, K., Benekis, V., Kokkinakos, P. ve Askounis, D.** (2025). Genetic algorithm-based multi-objective optimisation for energy-efficient building retrofitting: A systematic review. *Energy and Buildings*, 328, 115216. <https://doi.org/10.1016/j.enbuild.2024.115216>
- [80] **Alhijawi, B. ve Awajan, A.** (2024). Genetic algorithms: Theory, genetic operators, solutions, and applications. *Evolutionary Intelligence*, 17(3), 1245-1256. <https://doi.org/10.1007/s12065-023-00822-6>
- [81] **Gen, M. ve Lin, L.** (2023). Genetic Algorithms and Their Applications. İçinde H. Pham (Ed.), *Springer Handbook of Engineering Statistics* (ss. 635-674). Springer London. [https://doi.org/10.1007/978-1-4471-7503-2\\_33](https://doi.org/10.1007/978-1-4471-7503-2_33)
- [82] **Sohail, A.** (2023). Genetic Algorithms in the Fields of Artificial Intelligence and Data Sciences. *Annals of Data Science*, 10(4), 1007-1018. <https://doi.org/10.1007/s40745-021-00354-9>
- [83] **Sharma, I., Kumar, V. ve Sharma, S.** (2022). A Comprehensive Survey on Grey Wolf Optimization. İçinde *Recent Advances in Computer Science and Communications* (C. 15, Sayı 3, ss. 323-333). Bentham Science Publishers. <https://doi.org/10.2174/2666255813999201007165454>

- [84] Liu, Y., As'array, A., Hassan, M. K., Hairuddin, A. A. ve Mohamad, H. (2024). Review of the grey wolf optimization algorithm: Variants and applications. *Neural Computing and Applications*, 36(6), 2713-2735. <https://doi.org/10.1007/s00521-023-09202-8>
- [85] Rezaei, H., Bozorg-Haddad, O. ve Chu, X. (2018). Grey Wolf Optimization (GWO) Algorithm. İçinde O. Bozorg-Haddad (Ed.), *Advanced Optimization by Nature-Inspired Algorithms* (ss. 81-91). Springer Singapore. [https://doi.org/10.1007/978-981-10-5221-7\\_9](https://doi.org/10.1007/978-981-10-5221-7_9)
- [86] Albaghdadi, A. M., Baharom, M. B. ve Sulaiman, S. A. bin. (2021). Parameter design optimization of the crank-rocker engine using the FMINCON function in MATLAB. *IOP Conference Series: Materials Science and Engineering*, 1088(1), 012072. <https://doi.org/10.1088/1757-899X/1088/1/012072>
- [87] Sertsöz, M. ve Fidan, M. (2021). A comparison of PSO and Fmincon methods for finding optimum operating speed and time values in trams. *International Journal of Energy Applications and Technologies*, 8(2), 48-52.
- [88] Li, Y. ve Kundu, B. K. (2018). An improved optimization algorithm of the three-compartment model with spillover and partial volume corrections for dynamic FDG PET images of small animal hearts in vivo. *Physics in Medicine & Biology*, 63(5), 055003. <https://doi.org/10.1088/1361-6560/aaac02>
- [89] Skovranek, T., Podlubny, I., Petras, I. ve Bednarova, D. (2012). Data fitting using solutions of differential equations: Fractional-order model versus integer-order model. *Proceedings of the 13th International Carpathian Control Conference (ICCC)*, 703-710. <https://doi.org/10.1109/CarpathianCC.2012.6228737>
- [90] Meng, F., Liu, S. ve Liu, K. (2020). Design of an Optimal Fractional Order PID for Constant Tension Control System. *IEEE Access*, 8, 58933-58939. <https://doi.org/10.1109/ACCESS.2020.2983059>
- [91] Fgoalattain optmization on MATLAB Toolbox. (t.y.). Geliş tarihi 13 Aralık 2025, gönderen <https://www.mathworks.com/help/optim/ug/fgoalattain.html>
- [92] Chuan, W., Lei, Y. ve Jianguo, Z. (2014). Study on optimization of radiological worker allocation problem based on nonlinear programming function-fmincon. *2014 IEEE International Conference on Mechatronics and Automation*, 1073-1078. <https://doi.org/10.1109/ICMA.2014.6885847>
- [93] Ahmed, G., Eltayeb, A., Alyazidi, N. M., Imran, I. H., Sheltami, T. ve El-Ferik, S. (2024). Improved particle swarm optimization for fractional order PID control design in robotic manipulator system: A performance analysis. *Results in Engineering*, 24, 103089. <https://doi.org/10.1016/j.rineng.2024.103089>
- [94] Gunantara, N. (2018). A review of multi-objective optimization: Methods and its applications. *Cogent Engineering*, 5(1), 1502242. <https://doi.org/10.1080/23311916.2018.1502242>
- [95] Gad, A. G. (2022). Particle swarm optimization algorithm and its applications: A systematic review. *Archives of computational methods in engineering*, 29(5).

- [96] **Sharma, S. ve Kumar, V.** (2022). A Comprehensive Review on Multi-objective Optimization Techniques: Past, Present and Future. *Archives of Computational Methods in Engineering*, 29(7), 5605-5633. <https://doi.org/10.1007/s11831-022-09778-9>
- [97] **Pereira, J. L. J., Oliver, G. A., Francisco, M. B., Cunha, S. S. ve Gomes, G. F.** (2022). A Review of Multi-objective Optimization: Methods and Algorithms in Mechanical Engineering Problems. *Archives of Computational Methods in Engineering*, 29(4), 2285-2308. <https://doi.org/10.1007/s11831-021-09663-x>
- [98] **Dakua, B. K. ve Pati, B. B.** (2024). A frequency domain-based loop shaping procedure for the parameter estimation of the fractional-order tilt integral derivative controller. *Mathematical Modelling and Control*, 4(4), 374-389.
- [99] **Moqbel, M. A. M., Ali, T. A. A. ve Xiao, Z.** (2024). Optimal wideband digital fractional-order differentiators using gradient based optimizer. *PeerJ Computer Science*, 10, e2341.
- [100] **Krishna, B. T. ve Janarthanan, M.** (2023). Design of a Fractional Order Low-pass Filter Using a Differential Voltage Current Conveyor. *Journal of Telecommunications and Information Technology*, 2, 17-21.
- [101] **Mattu, S. R. ve Chockalingam, A.** (2024). Learning in time-frequency domain for fractional delay-Doppler channel estimation in OTFS. *IEEE Wireless Communications Letters*, 13(5), 1245-1249.
- [102] **Kothari, K., Mehta, U. V. ve Prasad, R.** (2019). Fractional-order system modeling and its applications. *Journal of Engineering Science and Technology Review*, 12(6), 1-10.
- [103] **Melo, A. S., Dos Santos, L. B. ve Rojas-Medar, M. A.** (2024). Higher-order optimality conditions for nonregular multiobjective problem. *Annals of Operations Research*. <https://doi.org/10.1007/s10479-024-06198-9>
- [104] **Oppenheim, A. V.** (1999). *Discrete-time signal processing*. Pearson Education India.
- [105] **Proakis, J. G.** (2007). *Digital signal processing: Principles, algorithms, and applications*, 4/E. Pearson Education India.
- [106] **Matlab Documentation “c2d”.** (t.y.). c2d. [https://www.mathworks.com/help/control/ref/dynamicsystem.c2d.html?s\\_tid=doc\\_ta](https://www.mathworks.com/help/control/ref/dynamicsystem.c2d.html?s_tid=doc_ta)
- [107] **Qin, Y.** (2023). *FPGA-Based Signal Processing Architectures for 5G Wireless Using High-Level Synthesis*. Politecnico di Torino.
- [108] **Li, R., Huang, H., Wang, Z., Shao, Z., Liao, X. ve Jin, H.** (2020). Optimizing memory performance of Xilinx FPGAs under Vitis. *arXiv preprint arXiv:2010.08916*.
- [109] **Churiwala, S. ve Hyderabad, I.** (2017). Designing with xilinx® fpgas. İçinde *Circuits & Systems*. Springer.
- [110] **Xilinx System Generator for DSP Getting Started Guide.** (t.y.). AMD. Geliş tarihi 16 Ağustos 2024, gönderen [https://docs.amd.com/v/u/en-US/sysgen\\_gs](https://docs.amd.com/v/u/en-US/sysgen_gs)
- [111] **Dixit, H. V. ve Gupta, D. V.** (2012). IIR filters using Xilinx System Generator for FPGA implementation. *International Journal of Engineering Research and Applications*, 2(5), 303-307.

- [112] Tolba, M. F., Said, L. A., Madian, A. H. ve Radwan, A. G. (2019). FPGA Implementation of the Fractional Order Integrator/Differentiator: Two Approaches and Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 66(4), 1484-1495. <https://doi.org/10.1109/TCSI.2018.2885013>
- [113] Nuñez-Perez, J.-C., Afolabi, O.-M., Adeyemi, V.-A., Sandoval-Ibarra, Y. ve Tlelo-Cuautle, E. (2025). FPGA Implementation of Secure Image Transmission System Using 4D and 5D Fractional-Order Memristive Chaotic Oscillators. *Fractal and Fractional*, 9(8), 506. <https://doi.org/10.3390/fractalfract9080506>
- [114] Malik, S. A. ve Mir, A. H. (2020). FPGA Realization of Fractional Order Neuron. *Applied Mathematical Modelling*, 81, 372-385. <https://doi.org/10.1016/j.apm.2019.12.008>
- [115] Sharma, A. ve Rawat, T. K. (2019). Design and FPGA implementation of lattice wave fractional order digital differentiator. *Microelectronics Journal*, 88, 67-78. <https://doi.org/10.1016/j.mejo.2019.04.013>
- [116] Digilent Nexys 4 DDR FPGA. (t.y.). Geliş tarihi 11 Aralık 2025, gönderen <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start>
- [117] Pmod DA4 Reference Manual. (t.y.). Geliş tarihi 12 Ağustos 2025, gönderen [https://digilent.com/reference/pmod/pmodda4/reference-manual?srltid=AfmBOoofK8gtxNR\\_FLnoP2Qg6iQh1ehIjPcv36dbKND0sRL1a3qeiErO](https://digilent.com/reference/pmod/pmodda4/reference-manual?srltid=AfmBOoofK8gtxNR_FLnoP2Qg6iQh1ehIjPcv36dbKND0sRL1a3qeiErO)
- [118] FNIRSI-1013D User Manual. (t.y.). Geliş tarihi 12 Ağustos 2025, gönderen <https://cdn.shopify.com/s/files/1/0694/8310/2426/files/1013D-Manual.pdf?v=1715670613>
- [119] Monir, M. S., Sayed, W. S., Madian, A. H., Radwan, A. G. ve Said, L. A. (2022). A Unified FPGA Realization for Fractional-Order Integrator and Differentiator. *Electronics*, 11(13), 2052. <https://doi.org/10.3390/electronics11132052>
- [120] Tolba, M. F., AboAlNaga, B. M., Said, L. A., Madian, A. H. ve Radwan, A. G. (2019). Fractional order integrator/differentiator: FPGA implementation and FOPID controller application. *AEU - International Journal of Electronics and Communications*, 98, 220-229. <https://doi.org/10.1016/j.aeue.2018.10.007>
- [121] Muresan, C. I., Folea, S., Mois, G. ve Dulf, E. H. (2013). Development and implementation of an FPGA based fractional order controller for a DC motor. *Mechatronics*, 23(7), 798-804. <https://doi.org/10.1016/j.mechatronics.2013.04.001>
- [122] Wang, B., Wang, S., Peng, Y., Pi, Y. ve Luo, Y. (2022). Design and high-order precision numerical implementation of fractional-order PI controller for PMSM speed system based on FPGA. *Fractal and Fractional*, 6(4), 218.
- [123] Husnain, S. ve Abdulkader, R. (2023). Fractional Order Modeling and Control of an Articulated Robotic Arm. *Engineering, Technology & Applied Science Research*, 13(6), 12026-12032. <https://doi.org/10.48084/etasr.6270>
- [124] Ali, A., Bingi, K., Ibrahim, R., Bansal, L. ve Omar, M. (2025). Zynq-7000 FPGA-in-the-loop implementation of fractional-order PID controllers using a hybrid

fixed-point and floating-point approach. *Engineering Research Express*, 7(2), 025341.

- [125] **Gude, J. J. ve García Bringas, P.** (2023). A Novel Control Hardware Architecture for Implementation of Fractional-Order Identification and Control Algorithms Applied to a Temperature Prototype. *Mathematics*, 11(1). <https://doi.org/10.3390/math11010143>
- [126] **Gerkšič, S. ve Pregelj, B.** (2021). Finite-word-length FPGA implementation of model predictive control for ITER resistive wall mode control. *Fusion Engineering and Design*, 169, 112480. <https://doi.org/10.1016/j.fusengdes.2021.112480>
- [127] **Alilou, M., Azami, H., Oshnoei, A., Mohammadi-Ivatloo, B. ve Teodorescu, R.** (2023). Fractional-Order Control Techniques for Renewable Energy and Energy-Storage-Integrated Power Systems: A Review. *Fractal and Fractional*, 7(5). <https://doi.org/10.3390/fractalfract7050391>
- [128] **Paducel, I., Safirescu, C. O. ve Dulf, E.-H.** (2022). Fractional Order Controller Design for Wind Turbines. *Applied Sciences*, 12(17). <https://doi.org/10.3390/app12178400>
- [129] **Tabak, A.** (2022). Fractional order frequency proportional-integral-derivative control of microgrid consisting of renewable energy sources based on multi-objective grasshopper optimization algorithm. *Transactions of the Institute of Measurement and Control*, 44(2), 378-392. <https://doi.org/10.1177/01423312211034660>
- [130] **Bingi, K., Rajanarayan Prusty, B. ve Pal Singh, A.** (2023). A Review on Fractional-Order Modelling and Control of Robotic Manipulators. *Fractal and Fractional*, 7(1). <https://doi.org/10.3390/fractalfract7010077>
- [131] **Tepljakov, A., Petlenkov, E., Belikov, J. ve Finajev, J.** (2013). Fractional-order controller design and digital implementation using FOMCON toolbox for MATLAB. *2013 IEEE Conference on Computer Aided Control System Design (CACSD)*, 340-345. <https://doi.org/10.1109/CACSD.2013.6663486>
- [132] **Mitra, S. K.** (2011). Digital signal processing: A computer-based approach (C. 2). McGraw-Hill New York, NY, USA:
- [133] **Vinagre, B. M., Podlubny, I., Hernandez, A. ve Feliu, V.** (2000). Some approximations of fractional order operators used in control theory and applications. *Fractional calculus and applied analysis*, 3(3), 231-248.
- [134] **Monje, C. A., Chen, Y., Vinagre, B. M., Xue, D. ve Feliu, V.** (2010). Fractional-order systems and controls: Fundamentals and applications. Springer.

## ÖZGEÇMİŞ

**Ad-Soyad** : Ömer Pektaş

### ÖĞRENİM DURUMU:

- **Lisans** : 2015, İnönü Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü
- **Yüksek Lisans** : 2018, İnönü Üniversitesi, Elektrik Elektronik Mühendisliği A.B.D.
- **Doktora** : 2025, İnönü Üniversitesi, Elektrik Elektronik Mühendisliği A.B.D.

### MESLEKİ DENEYİM:

- 2019'dan beri Karamanoğlu Mehmetbey Üniversitesi, Teknik Bilimler MYO, Elektrik ve Enerji Bölümü, Elektrik Programında Öğretim Görevlisi olarak çalışmaktadır.

### DOKTORA TEZİNDEN TÜRETİLEN ÇALIŞMALAR (Makaleler, Bildiriler, Patentler v.b.)

- **Pektaş, Ö., & Köseoğlu, M. (2025).** Comparative Analysis of Analog and FPGA Realizations Based on Matsuda Method for Fractional Order Integral Operator. *Balkan Journal of Electrical and Computer Engineering*, 13(1), 96-105. <https://doi.org/10.17694/bajece.1577733>.
- **Pektaş, Ö., & Köseoğlu, M. (2025, October).** Improvement Of The Frequency Response Of A Low-Pass Fractional-Order Filter And Its Digital Implementation With Fpga, Conference: 4th International Scientific Research and Innovation Congress (ISARC'25), Mardin/Türkiye.
- **Pektas, O., Celik, O.M., & Koseoglu, M. (2025, November).** System Identification Based Fractional Order Plant Realization on an FPGA, 9th International Artificial Intelligence and Data Processing Symposium (IDAP'25). IEEE.
- **Pektas, O., Celik, O. M., & Koseoglu, M. (2025).** Improvement of Frequency Responses of MSBL-Based Approximate Fractional-Order Derivative Operator and Its Digital Realization with FPGA. *Electronics*, 14(22), 4481.