

ÜÇ BOYUTLU YONGA-ÜSTÜ-AĞ (3B-YÜA) MİMARİLERİ İÇİN EŞLEME YÖNTEMLERİ

MAPPING METHODS FOR THREE DIMENSIONAL NETWORK-ON-CHIP (3D-NOC) ARCHITECTURES

YİĞİTCAN NALCI

Doç. Dr. SÜLEYMAN TOSUN

Tez Danışmanı

Hacettepe Üniversitesi

Lisansüstü Eğitim-Öğretim ve Sınav Yönetmeliğinin

Bilgisayar Mühendisliği Anabilim Dalı için Öngördüğü

YÜKSEK LİSANS TEZİ olarak hazırlanmıştır.

2018

YİĞİTCAN NALCI' nın hazırladığı " **Üç Boyutlu Yonga-üstü-Ağ (3B-YüA) Mimarileri için Eşleme Yöntemleri**" adlı bu çalışma aşağıdaki jüri tarafından **BİLGİSAYAR MÜHENDİSLİĞİ ANABİLİM DALI'** nda **YÜKSEK LİSANS TEZİ** olarak kabul edilmiştir.

Doç. Dr. Lale ÖZKAHYA
Başkan

L. ÖzkaHYA

Doç. Dr. Süleyman TOSUN
Danışman

S. Tosun

Doç. Dr. Kayhan İMRE
Üye

Kayhan İmre

Dr. Öğr. Üyesi Adnan ÖZSOY
Üye

A. Özsoy

Dr. Öğr. Üyesi Bülent TUĞRUL
Üye

B. Tuğrul

Bu tez Hacettepe Üniversitesi Fen Bilimleri Enstitüsü tarafından **YÜKSEK LİSANS TEZİ** olarak onaylanmıştır.

Prof. Dr. Menemşe GÜMÜŞDERELİOĞLU
Fen Bilimleri Enstitüsü Müdürü

YAYINLAMA VE FİKRİ MÜLKİYET HAKLARI BEYANI

Enstitü tarafından onaylanan lisansüstü tezimin/raporumun tamamını veya herhangi bir kısmını, basılı (kağıt) ve elektronik formatta arşivleme ve aşağıda verilen koşullarla kullanıma açma iznini Hacettepe Üniversitesine verdiğimi bildiririm. Bu izinle Üniversiteye verilen kullanım hakları dışındaki tüm fikri mülkiyet haklarım bende kalacak, tezimin tamamının ya da bir bölümünün gelecekteki çalışmalarda (makale, kitap, lisans ve patent vb.) kullanım hakları bana ait olacaktır.

Tezin kendi orijinal çalışmam olduğunu, başkalarının haklarını ihlal etmediğimi ve tezimin tek yetkili sahibi olduğumu beyan ve taahhüt ederim. Tezimde yer alan telif hakkı bulunan ve sahiplerinden yazılı izin alınarak kullanması zorunlu metinlerin yazılı izin alarak kullandığımı ve istenildiğinde suretlerini Üniversiteye teslim etmeyi taahhüt ederim.

- ☒ **Tezimin/Raporumun tamamı dünya çapında erişime açılabilir ve bir kısmı veya tamamının fotokopisi alınabilir.**

(Bu seçenekle teziniz arama motorlarında indekslenebilecek, daha sonra tezinizin erişim statüsünün değiştirilmesini talep etmeniz ve kütüphane bu talebinizi yerine getirirse bile, tezinin arama motorlarının ön belleklerinde kalmaya devam edebilecektir.)

- ☐ **Tezimin/Raporumun tarihine kadar erişime açılmasını ve fotokopi alınmasını (İç Kapak, Özet, İçindekiler ve Kaynakça hariç) istemiyorum.**

(Bu sürenin sonunda uzatma için başvuruda bulunmadığım takdirde, tezimin/raporumun tamamı her yerden erişime açılabilir, kaynak gösterilmek şartıyla bir kısmı ve ya tamamının fotokopisi alınabilir)

- ☐ **Tezimin/Raporumun tarihine kadar erişime açılmasını istemiyorum, ancak kaynak gösterilmek şartıyla bir kısmı veya tamamının fotokopisinin alınmasını onaylıyorum.**

- ☐ **Serbest Seçenek/Yazarın Seçimi**

16 / 05 / 2018

(İmza)
Öğrencinin Adı Soyadı
Yigitcan NALCI

ETİK

Hacettepe Üniversitesi Fen Bilimleri Enstitüsü, tez yazım kurallarına uygun olarak hazırladığım bu tez çalışmada;

- tez içindeki bütün bilgi ve belgeleri akademik kurallar çerçevesinde elde ettiğimi,
- görsel, işitsel ve yazılı tüm bilgi ve sonuçları bilimsel ahlak kurallarına uygun olarak sunduğumu,
- başkalarının eserlerinden yararlanılması durumunda ilgili eserlere bilimsel normlara uygun olarak atıfta bulunduğumu,
- atıfta bulunduğum eserlerin tümünü kaynak olarak gösterdiğimi,
- kullanılan verilerde herhangi bir tahrifat yapmadığımı,
- ve bu tezin herhangi bir bölümünü bu üniversite veya başka bir üniversitede başka bir tez çalışması olarak sunmadığımı

beyan ederim.

10/05/2018



Yiğitcan Nalcı

ÖZET

ÜÇ BOYUTLU YONGA-ÜSTÜ-AĞ (3B-YÜA) MİMARİLERİ İÇİN EŞLEME YÖNTEMLERİ

Yiğitcan NALCI

Yüksek Lisans, Bilgisayar Mühendisliği

Tez Danışmanı: Doç. Dr. Süleyman TOSUN

MAYIS 2018, 66 sayfa

Teknolojinin ilerlemesi ve uygulamaların ihtiyaçlarının artması ile yonga içindeki çekirdek sayısı hızlı bir artış göstermiştir. Bu durum tasarımcıları Yonga üstü Ağ (YüA) modeli gibi yeni iletişim teknolojileri icat etmeye yöneltmiştir. Bütünleşmiş devre üretimindeki gelişmeler, üç boyutlu YüA (3B YüA) uygulamalarına da olanak sağlamıştır. 3B YüA mimarilerinin avantajları 2B karşılığına göre fazladır. 3B YüA'lar daha düşük alana, daha yüksek verim ve performansa ve daha az enerji tüketimine sahiptir. Ancak 3B YüA mimarileri otomasyon algoritmalarından yoksundurlar. Önemli tasarım sorunlarından birisi de verilen uygulama bileşenlerini örgü tabanlı 3B YüA mimarisi üzerine eşleme problemidir. Bu tez çalışmasında, örgü tabanlı 3B YüA mimariler için bir sezgisel eşleme algoritması olan CastNet3D yöntemi önerilmiştir. CastNet3D algoritması, uygulamada birbiriyle çok iletişim kuran düğümleri, aralarında yatay bağlantılara göre daha hızlı ve daha az enerji tüketen dikey bağlantılar olacak şekilde yerleştirmeye çalışmaktadır. Ayrıca eşleme problemi için geliştirilen benzetimli tavlama (BT) tabanlı SA3D algoritması da sezgisel yöntemi meta sezgisel yöntem ile karşılaştırmak için önerilmiştir. CastNet3D algoritması SA3D ve iki adet 2B YüA algoritması ile birçok kıstasa göre karşılaştırılmıştır. Alınan sonuçlar CastNet3D'nin çok kısa sürede enerji tüketimi açısından daha iyi eşlemeler elde ettiğini göstermiştir.

Anahtar Kelimeler: Yonga üstü Sistem (YüS); Yonga üstü Ağ (YüA); 3B YüA; Topoloji; 3B bütünleşmiş devreler; enerji tüketimi.

ABSTRACT

MAPPING METHODS FOR THREE DIMENSIONAL NETWORK- ON-CHIP (3D-NOC) ARCHITECTURES

Yiğitcan NALCI

Master of Science, Department of Computer Engineering

Supervisor: Assoc. Prof. Dr. Süleyman TOSUN

May 2018, 66 Pages

The number of cores in the chip has shown a rapid increase with the advancement of technology and the increased needs of applications. This led designers to invent new communication technologies such as Network-on-Chip (NoC) paradigm. Advances in integrated circuit fabrications even allowed three-dimensional NoC (3D-NoC) implementations. 3D-NoC architectures have more advantages than its 2D counterpart. 3D-NoCs have a lower area, higher efficiency and performance and lower energy consumption. However, they lack the design automation algorithms. An important design problem for a given application is mapping it on 3D-NoC topology. In this thesis, we propose a heuristic mapping algorithm, called CastNet3D, for mesh-based 3D-NoCs. The algorithm tries to utilize vertical links for communicating nodes as much as possible since they are faster and less energy consuming than horizontal ones. Simulated annealing based algorithm (SA3D) for the mapping problem is also proposed to compare the heuristic method with the metaheuristic method. CastNet3D has been compared against SA3D and two 2D-NoC algorithms on several benchmarks. The results show that CastNet3D obtains better mappings in terms of energy consumption most of the time in a very short time.

Key Words: System-on-Chip (SoC); Network-on-Chip (NoC); 3B NoC; Topology; 3D integrated circuits; energy consumption.

TEŞEKKÜR

Tez çalışmam süresince beni yönlendiren, bilgi ve tecrübeleri ile destekleyen, sonsuz sabırla beni her zaman çalışmaya teşvik eden ve zor zamanlarda yardımlarını asla eksik etmeyen danışmanım Sayın Doç. Dr. Süleyman TOSUN'a (Hacettepe Üniversitesi Bilgisayar Mühendisliği Anabilim Dalı) en derin sevgi ve saygılarımla teşekkür ederim.

Çalışmalarım süresince desteklerini esirgemeyen Hacettepe Üniversitesi Bilgisayar Mühendisliği Bölüm Başkanı Sayın Ebru AKÇAPINAR SEZER'e en derin sevgi ve saygılarımla teşekkür ederim.

Hayatım boyunca karşılaştığım tüm zorluklarda desteği ile yanımda olan, lisansüstü eğitimime başlamam konusunda telkinleri ile akademik hayata atılmamı sağlayan ve tüm eğitim hayatım boyunca benden maddi, manevi desteklerini asla esirgemeyen babama, anneme ve kardeşime en derin sevgi ve saygılarımla teşekkür ederim.

Birlikte geçirdiğimiz zaman içinde iyi ve kötü günü gördüğümüz, bu süreçte her zaman bana destek olan eşime, maddi ve manevi her anlamda yanımda olan değerli ailesine en derin sevgi ve saygılarımla teşekkür ederim.

İÇİNDEKİLER

ÖZET.....	i
ABSTRACT.....	ii
TEŞEKKÜR.....	iii
ŞEKİLLER.....	vi
ÇİZELGELER.....	vii
SİMGELER VE KISALTMALAR.....	viii
1. GİRİŞ	1
2. LİTERATÜR ÖZETİ	4
2.1. 2B YüA için Uygulama Eşleme Yöntemleri	4
2.2. 3B YüA için Uygulama Eşleme Yöntemleri	5
3. MATERYAL	12
3.1. Tanımlar.....	12
3.1.1. Yonga üstü Sistem.....	12
3.1.2. Yonga üstü Ağ	12
3.1.3. 3B Yongalar.....	13
3.1.4. Silikon Arası Bağlantılar.....	13
3.1.5. 3B Yonga üstü Ağlar.....	14
3.2. Enerji Verimli Uygulama Eşleme Problemi.....	14
3.2.1. Kullanılan Enerji Modeli	14
3.2.2. Problem Tanımı	16
4. YÖNTEM.....	20
4.1. Sezgisel Yöntem: CastNet3D	20
4.1.1. Başlangıç Çekirdek Seçimi.....	22
4.1.2. Başlangıç Görev Seçimi	24
4.1.3. Kalan Görev Seçimleri	26
4.1.4. Kalan Çekirdek Seçimleri	26
4.1.5. Açıklayıcı Örnek	27
4.2. 3B YüA için BT Temel Alınarak Geliştirilen Yöntem: SA3D	29
4.3. 2B YüA için Uygulama Eşleyen Diğer Yöntemler	33
5. DENEYSEL SONUÇLAR.....	34
5.1. Deneylerde Kullanılan Veri Kümesi.....	34
5.2. Enerji Tüketimi Sonuçları	36
5.3. Performans Sonuçları	41

5.4. Ortalama Atlama Sayısı Sonuçları	43
6. SONUÇ.....	46
KAYNAKLAR	48
ÖZGEÇMİŞ	52



ŞEKİLLER

Sayfa

Şekil 2.1. 2×2×2 boyutlu YüA	5
Şekil 2.2. Aktürk ve Öztürk tarafından önerilen yaklaşımın genel görünümü [21]	7
Şekil 2.3. Jha vd. tarafından 3B YüA mimarideki köşegen karoların görünümü [23]	8
Şekil 2.4. Anagnostopoulos vd. tarafından geliştirilen metodolojinin akış şeması [25]	9
Şekil 3.1. Örnek bir bileşen akış çizgesi	17
Şekil 3.2. Bileşenlerin eşleneceği $2 \times 2 \times 2$ boyutunda bir topoloji çizgesi.....	17
Şekil 3.3. 8 bileşene sahip uygulamanın 3B YüA mimarisindeki çekirdeklere eşlenmiş hali	19
Şekil 4.1. Eşit sayıda toplam bağlantı sayısına sahip çekirdekler aynı renge boyanmıştır: (a) $2 \times 2 \times 2$ boyutlu YüA, (b) $2 \times 2 \times 3$ boyutlu YüA, (c) $3 \times 3 \times 3$ boyutlu YüA	22
Şekil 4.2. CastNet3D algoritmasının Şekil 3.1’de verilen BAÇ için eşleme adımları	29
Şekil 4.3. BT temel alınarak geliştirilen algoritmanın bir iterasyon örneği : (a) Başlangıç eşlemesi, (b) 2 düğümü yer değiştirilmiş eşleme.	32
Şekil 5.1. CastNet3D ve CastNet yöntemlerinin enerji tüketim karşılaştırması	39
Şekil 5.2. SA3D ve SA2D yöntemlerinin enerji tüketim karşılaştırması	40
Şekil 5.3. SAB’ların farklı enerji tüketim miktarlarına göre CastNet3D ve CastNet yöntemlerinin karşılaştırılması	40

ÇİZELGELER

Sayfa

Çizelge 4.1. Şekil 3.1’de verilen BAÇ için öncelik ataması	25
Çizelge 5.1. Çizgelerin karakteristik özellikleri	35
Çizelge 5.2. Enerji tüketim (μJ) değerleri	36
Çizelge 5.3. CastNet3D enerji tasarrufu (%).....	37
Çizelge 5.4. SA3D enerji tasarrufu (%)	38
Çizelge 5.5. Dört yöntemin yürütme zamanı karşılaştırması (s)	42
Çizelge 5.6. Eşleme yöntemlerinin yürütme zamanı karşılaştırması (s)	43
Çizelge 5.7. Eşleme yöntemlerinin ortalama atlama sayısı karşılaştırması.....	44
Çizelge 5.8. Eşleme yöntemlerinin ortalama atlama sayısı karşılaştırması.....	45



SİMGELER VE KISALTMALAR

Simgeler

Σ	Toplam
μJ	Micro joule
θ	Dikey bağlantı enerji tüketim katsayısı

Kısaltmalar

SoC	System on Chip
NoC	Network on Chip
TSV	Through Silicon Via
3D	Three Dimensional
2D	Two Dimensional
VOPD	Video Object Plane Decoder
MPEG-4	Moving Pictures Experts Group-4
MWD	Multi Window Display
263 Dec	263 Decoder
263 Enc	263 Encoder
Mp3 Enc	Mp3 Encoder
DVOPD	Dual Video Object Plane Decoder
Kbits/s	Kilobits per second
TDP	Tamsayı Doğrusal Programlama
BT	Benzetimli Tavlama
2B	İki Boyutlu
3B	Üç Boyutlu
YüA	Yonga-üstü-Ağ
YüS	Yonga-üstü-Sistem

BAÇ	Bileşen Akış Çizgesi
TÇ	Topoloji Çizgesi
OAS	Ortalama Atlama Sayısı
SAB	Silikon Arası Bağlantı
APSO	Ayrık Parçacık Sürüsü Optimizasyonu
PSO	Parçacık Sürüsü Optimizasyonu
GA	Genetik Algoritması
DSİ	Dijital Sinyal İşleme
MİB	Merkezi İşlem Birimi



1. GİRİŞ

Yonga teknolojisindeki büyük gelişmelerle birlikte bir elektronik sistemin birden çok bileşeni tek bir yonga üzerine entegre edilebilmektedir. Birçok bileşenin entegre edildiği böyle sistemler Yonga üstü Sistem (YüS) diye adlandırılmaktadır. Büyük ölçekli entegrasyonlar ile gün geçtikçe artan çekirdek sayısı, bu çekirdekler arasındaki bağlantı sayısını da arttırmaktadır. Bunun sonucunda geleneksel sistemler artık gereksinimleri karşılayamaz duruma geldi. Tek yongalı YüS mimarisi içinde iletişim, işlem gücünün artması ve veriyi yoğun olarak kullanan uygulamaların yaygınlaşmasıyla birlikte önemli bir araştırma konusu haline gelmiştir. Bu durum araştırmacıları bileşenler arasında yeni iletişim teknolojileri bulmaya yönlendirmiştir.

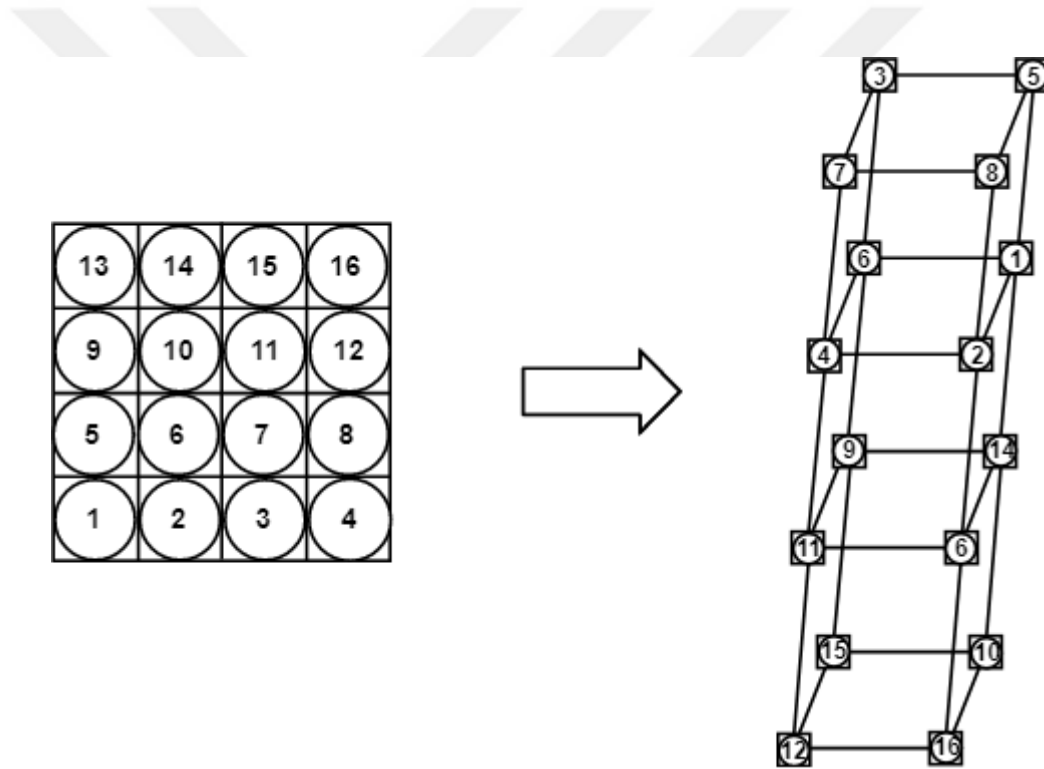
Araştırmacılar tarafından büyük ölçekli YüS içi iletişim sorunları için bilgisayar ağlarında kullanılan çözümlerin yonga içi iletişimde kullanılması düşünülmüştür. Burada amaç karmaşık olmayan bir ağ yapısıyla yonga içindeki bileşenler arasında iletişimi sağlamaktır. Yonga üstü Ağ (YüA) [2]–[5] olarak adlandırılan bu mimarinin iki temel amacı vardır:

- Yonga içindeki bileşenlerin iletişimi için hesaplama merkezli tasarım yerine iletişim merkezli tasarım kullanılması
- Ölçeklenebilir iletişim mimarilerinin uygulanması

YüA mimarisi YüS mimarisinden tamamen farklı olmayıp YüS'e bir eklenti olarak tasarlanmıştır. Amaç, bilgisayar ağlarında kullanılan katmanlı yapıyı yonga içi iletişime uyarlamaktır. Bu da bilgisayar ağlarında kullanılan çözümlerin bazı kısıtlamalara göre yeniden uyarlanmasını gerektirmiştir. Sınırlı güç ve alan bu kısıtlamalara örnek olabilir. YüA mimarisinde yonga içindeki bileşenler ağ ara yüzlerini kullanarak yönlendiricilere bağlanırlar ve ağ üzerinden iletişim kurarlar. Bu mimari sayesinde geleneksel sistemlerin tükettiğinden daha az enerji tüketilir [7]. YüA mimarisi yönlendiricilerden ve kısa bağlantılardan yararlanarak daha verimli bir tasarım ortaya koysa da artan veri yoğunluğu ve daha yüksek performans ihtiyaçlarının karşılanması için 2 boyutlu (2B) mimariden 3 boyutlu (3B) mimariye geçiş kaçınılmaz olmuştur.

3B yonga mimarisinde yonga katmanları daha küçük parçalara bölünür ve üst üste yerleştirilirler. Bu katmanlar arasında iletişim için Silikon Arası Bağlantılar (SAB) kullanılır. SAB'lar diğer emsallerine göre daha kısadırlar bu nedenle 3B yonga mimarisi ile 2B yonga mimarisine göre daha az enerji tüketilir ve gecikme önemli ölçüde azaltılmış olur

[8, 9]. Aynı zamanda farklı teknolojilere sahip bileşenler 2B yongalarda tek bir yongaya yerleştirilemiyorken 3B yongalarda tek bir yongaya yerleştirilebilirler [1]. Şekil 1.1’de 2B yonga mimarisi ve 3B yonga mimarisi gösterilmiştir, 3B yonga mimarilerindeki katmanları birbirine bağlayan bağlantılar SAB’lardır. İşte bu kısa bağlantılar sayesinde 3B entegre devreler 2B olanlardan daha az enerji tüketirler. Ayrıca gecikmeyi de önemli ölçüde azaltırlar. YüA mimarisiyle 3B yonga teknolojisinin birleşimi performansa önemli ölçüde katkı yapar. 3B YüA tasarlarırken karşılaşılan birtakım sorunlar vardır. Bu sorunlardan en önemlisi ağ topolojisini seçmek yani uygulama eşlemesini yapmaktır. En uygun şekilde uygulama çekirdek eşlemelerini yapmak enerji tüketimini, gecikmeyi, iletişim maliyetlerini azaltır ve daha iyi bir performans sağlar.



Şekil 1.1. 4×4 boyutlu bir yonganın $2 \times 2 \times 4$ boyutlu bir yongaya dönüşmüş hali

Bu çalışmada, sistemin enerji tüketimini azaltmayı amaçlayarak 3B YüA mimarisi tabanlı enerji farkındalıklı uygulama eşleyen CastNet3D adlı bir yöntem anlatılmıştır. Bu yöntem birbiriyle daha fazla iletişim kuran bileşenleri mimaride SAB’lar yardımıyla birbirlerine yakın olarak konumlandırmayı amaçlar. Bunun için ilk olarak boyutlarına göre bir 3B YüA mimarisi oluşturulur. İkinci adımda, haberleşme miktarlarına göre uygulamaların öncelikleri

atanır. Daha sonra belirli bir kurala göre ilk uygulama ile eşlenecek çekirdekler kümesi belirlenir. Bu çekirdeklerden ilki birinci çekirdek seçilerek belirlenen ilk uygulama bileşeni ile eşlenir. Daha sonra, önceliği atanmış ikinci bileşen için mimaride henüz bir uygulamayla eşlenmemiş çekirdekler seçilir ve toplam iletişim maliyetleri hesaplanır. Uygulama bileşeninin toplam iletişim maliyeti hesaplanırken eğer ilk çekirdek ile seçilen ikinci çekirdek arasındaki bağlantı dikey bir bağlantıysa yani SAB ise bu maliyet bir katsayı ile çarpılır. Bağlantı yatay bir bağlantıysa herhangi bir katsayıyla çarpılmaz. Bu şekilde her eşlenmemiş çekirdek için ikinci eşlenecek bileşenin toplam iletişim maliyeti hesaplanır ve en az iletişim maliyetine sahip çekirdek seçilir. Bu işlem tüm bileşenler ile çekirdekler eşleninceye kadar devam eder. Başlangıçta belirlenen çekirdek kümesindeki tüm çekirdekler için eşlemeler yapılır ve her biri için toplam enerji tüketimi hesaplanır. CastNet3D en az toplam enerji tüketimine sahip eşlemeyi seçer ve bunu sonuç olarak getirir.

Bu çalışmada, Benzetimli Tavlama (BT) algoritması 3B YüA mimarisi için uygulanmış ve alınan sonuçlar CastNet3D ile karşılaştırılmıştır. CastNet3D algoritmasının 2B YüA mimarisinde çalışan, eşdeğeri olan CastNet [6] algoritması da uygulanmış ve alınan sonuçlar CastNet3D algoritmasından alınan sonuçlar ile kıyaslanmıştır. Son olarak BT algoritmasının daha önceden 2B YüA mimarisinde uygulanmış sürümü ile de karşılaştırmalar yapılmıştır. Bu algoritmaların karşılaştırması için gerçek hayatta kullanılan farklı boyutlara sahip uygulamalar ile birçok deney yapılmıştır. Alınan sonuçlara göre enerji tüketiminde kayda değer bir azalma gözlenmiştir ve CastNet3D algoritması diğer yöntemlere kıyasla daha az zamanda sonuca ulaşmıştır.

Sunulan tez çalışması 6 bölümden oluşmaktadır. İkinci bölümde daha önce yapılan benzer çalışmalar anlatılmış sunulan sezgisel CastNet3D algoritmasının farklılıkları ve bu alanda yaptığı katkı vurgulanmıştır. Üçüncü bölümde tez çalışmasının hangi probleme çözüm getirdiği anlatılmış ve çalışmada kullanılan enerji modeli açıklanmıştır. Geliştirilen sezgisel yöntem ile uygulanan diğer yöntemler dördüncü bölümde anlatılmıştır. Beşinci bölümde deneysel sonuçlara ve karşılaştırmalara yer verilmiştir. Son bölümde tez çalışmasının sonunda varılan sonuç belirtilmiştir.

2. LİTERATÜR ÖZETİ

Teknoloji ilerledikçe artan işlem gücü ve veri yoğunluğu nedeniyle yongalar daha fazla enerji tüketmeye başlamışlardır. Zaman ilerledikçe sınırlı alan ve sınırlı enerji gibi kıstaslar yongalardaki enerji tasarrufunun öneminin kavranmasını sağlamıştır. Bir yonga içerisindeki bileşenlerin efektif bir ağ topolojisi ile iletişim kurmalarını sağlamak hem sistem tarafından tüketilen enerjiyi minimize eder hem de gecikmeyi azaltmış olur. Aynı zamanda sistemin performansını da artırır. Bu nedenle 2B ve 3B YüA mimarileri tabanlı efektif topoloji tasarımı bugüne kadar birçok araştırmanın konusu olmuştur. Bu alanda yapılan çalışmaların çoğu dinamik enerji tüketiminin azaltılmasına yöneliktir. Aşağıdaki bölümlerde literatürde karşılaşılan 2B ve 3B YüA için uygulama eşleme yöntemleri anlatılmıştır.

2.1. 2B YüA için Uygulama Eşleme Yöntemleri

Koren ve Shasha tarafından geliştirilen MOCA [10] bir uygulama eşleme yöntemidir. Bu yöntemde eşlenecek her uygulamanın bir zaman sınırı vardır. Eşlenecek bileşen bu zaman sınırı aşılmadan eşlendiğinde bir değere sahip olur. Eğer görev zamanında eşlenmezse herhangi bir değer almaz. Eşlenecek bileşen eşit güçteki işlemcilerden herhangi birine atanabilir.

Tamsayı Doğrusal Programlama (TDP) [11] tekniğinin ana amacı verilen birden çok nesneli problem için en verimli çözümü bulmaktır. YüA tabanlı örgü mimarisinde uygulama eşleme için bir formülasyon sunar. İlgili referansta geliştirilen TDP formülasyonu ile deneylerin çoğunda verilen zaman limiti aşılmayacak şekilde en uygun sonuçlar elde edilmiştir. Ancak uygulamadaki eşlenecek görev sayısı arttığında bazı durumlarda verilen süre içinde en uygun sonuçlar bulunamamıştır.

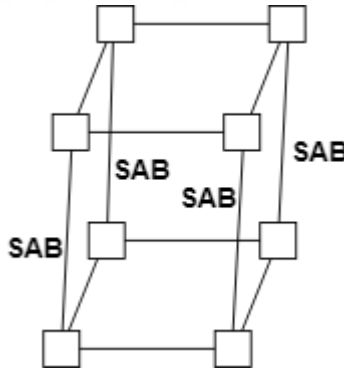
Murali ve De Micheli tarafından önerilen NMAP [12] algoritması, YüS tabanlı örgü mimaride bant genişliği limiti ile enerji tüketimini minimize ederek uygulamalar ile çekirdekleri eşleyen bir yöntemdir. NMAP algoritmasında uygulamalar iletişim ağırlıklarına göre eşlenirler ve Dijkstra'nın en kısa yol algoritmasına göre iletişim maliyeti hesaplanır. Eşleme tekrarlı bir şekilde iki düğümün yerleri değiştirilerek yeniden oluşturulur ve iletişim maliyeti hesabı yeniden yapılır. Böylelikle en son oluşturulan eşlemenin enerji tüketiminin en az olması amaçlanır. Yapılan deneylere göre bu yöntem iletişim maliyetlerini önemli

derecede azaltmakta ve bant genişliğinden kar sağlamaktadır. Başka bir sezgisel yöntem olan ONYX [13] algoritmasında eşlenecek bileşen atanmış öncelik değerine göre seçilir. Seçilen bileşen ile eşlenecek çekirdek için algoritma bir aday belirler ve eşleme yapılır.

Genetik algoritma (GA) ve BT yöntemi, uygulama çekirdek eşlemesi problemi için kullanılan genel amaçlı yöntemlerdir. BT 2B örgü YüA üzerinde kümeleme tabanlı bir eşleme yapar [14]. GA uygulama eşleme problemi için farklı ölçütler göz önüne alınarak kullanılır. Örneğin [15]'de anlatılan yöntemde bir kaos-genetik algoritması sunulmuştur ancak bu algoritma sonucunda bulunan eşleme ve enerji tüketimindeki azalma önceki yöntemlere kıyasla tatmin edici olmamıştır.

2.2. 3B YüA için Uygulama Eşleme Yöntemleri

2B yongaların yerine 3B yongaların kullanılmasının en önemli nedenleri SAB'lar ile enerji tüketiminin azaltılması ve farklı teknolojileri içeren bileşenlerin tek bir yongada barınabilmesi ihtiyacıdır [16].



Şekil 2.1. 2×2×2 boyutlu YüA

Şekil 2.1'de görüldüğü üzere SAB'lar katmanları bir arada tutan dikey bağlantılardır. Bu ihtiyaçları karşılayan 3B YüA teknolojisi artan modülerlik ve ölçeklenebilirlik için iyi bir çözüm sunar [17]. Ancak etkin bir uygulama bazı işlemleri kolaylaştırırken bant genişliğini arttırabilir. 3B YüA tabanlı geliştirilen uygulama eşleme algoritmaları farklı amaçlar için geliştirilmiştir. Bu amaçlar enerji tüketimini azaltmak, yonga yüzeyinin ortalama/maksimum

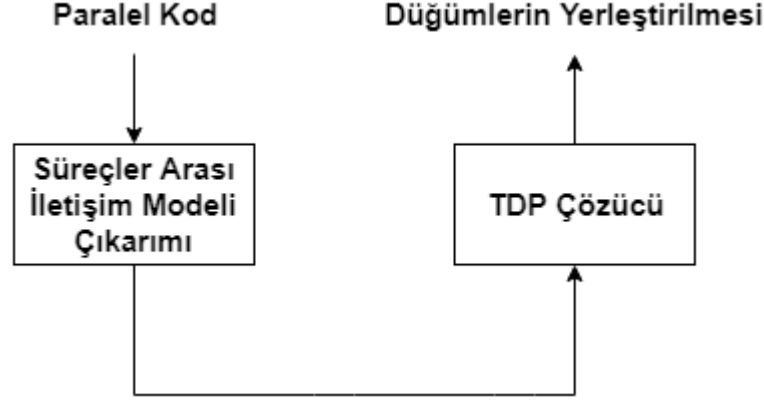
ısını azaltmak ya da gecikmeyi azaltmak olabilir. Bazı yöntemler ise bu amaçların hepsine birden çözüm getirmek için geliştirilmişlerdir.

Ebrahimi vd. [18]'de örgü tabanlı topolojileri kullanarak çok sayıda SAB ile 3B mimarilerin nasıl oluşturulabileceğini tartışmışlardır. Araştırmacılar bu çalışmada SAB'ların maliyetlerini azaltan iki yeni yığılmış örgü topolojisi önermişlerdir. Önerilen örgü topolojiler kümelenmiş örgü topolojisinin avantajlarını korur ve her bir katman üzerindeki güç yoğunluğunu ve SAB etkisini azaltır. Katmanlardaki birden fazla yönlendirici aynı dikey kanala bağlanabileceğinden geleneksel mimarilerde katmanlar arası bağlantılar etkili değildir. Bu soruna çözüm getiren yeni bir veri yolu makalede anlatılmıştır. Önerilen veri yolu yapısı, merkezi kontrol birimi olmadan veri yolu üzerinden eş zamanlı aktarımlara olanak tanır.

Araştırmacılar 3B YüA mimarisinde [19] gecikmeyi azaltmakla kalmayıp aynı zamanda mimarideki termal davranışı da geliştirmişlerdir. Daneshtalab vd. bu makalede katmanlar arası iletişim için yeni bir yapı önermişlerdir. Bu yapının önerilmesinin amacı performansı arttırmak, geleneksel yapıda karşılaşılan gecikmeyi ve karmaşıklığı azaltmaktır.

Enerji farkındalıklı 3B YüA tasarımı için dört aşamadan oluşan yöntem Zhong, Chen vd. [20] tarafından sunulmuştur. Bu yöntemde katmanlar arasına SAB'lar yerleştirilmeden önce ve sonra olmak üzere yonga bileşenleri iki defa dizilmiştir. Yönlendiricilerin ve ağ ara yüzlerinin yerlerini belirlemek için TDP temelli bir yöntem kullanılmaktadır. Geliştirilen yöntemin dezavantajları zaman karmaşıklığının fazla olması, bileşenlerin dizilişinin iki defa yapılması ve katmanların gelişigüzel dizilmesidir.

TDP tabanlı yonga bileşenlerinin farklı katmanlara yerleştirildiği bir yöntem Aktürk ve Öztürk [21] tarafından geliştirilmiştir. Önerdikleri yöntemde veri iletişiminden doğan enerjiyi tüketimine odaklanarak toplam dinamik enerjiyi azaltmaya çalışmışlardır.

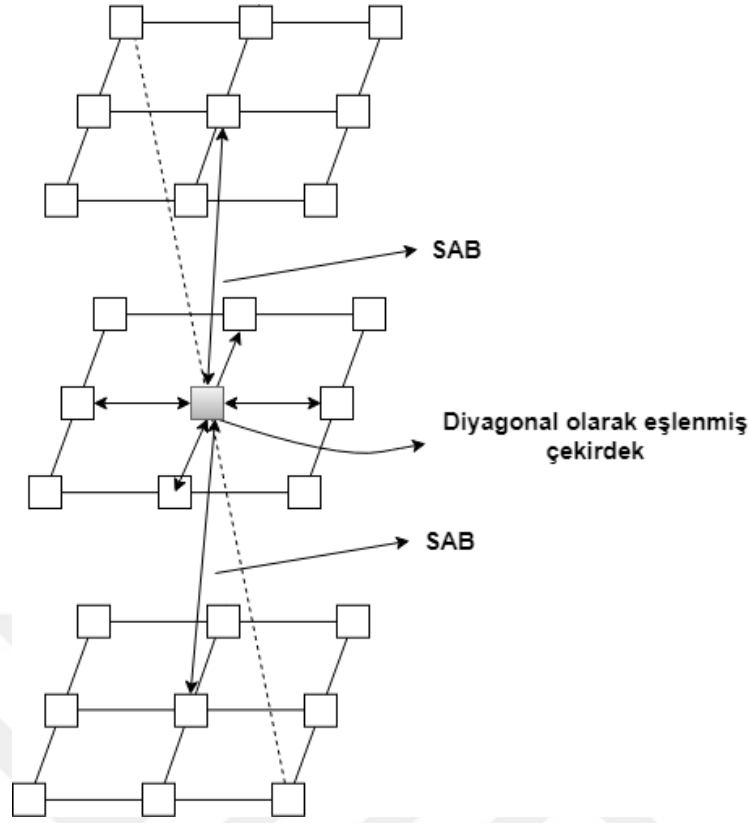


Şekil 2.2. Aktürk ve Öztürk tarafından önerilen yaklaşımın genel görünümü [21]

Yaklaşım, Şekil 2.2’de görüldüğü üzere genel olarak iki adımdan oluşur. Parallelleştirme adımından sonra uygulama iletişim analiz modülüne geçirilir. Analiz modülü, birbirleriyle iletişim kuran ve bu bilgiyi TDP çözücüyeye ileten işlemci düğümleri kümesini tanımlar. TDP çözücü, iletişim maliyetini en aza indirmek için bütün düğümlerin yerini seçer. İletişim maliyeti iletişim yoğunluğunun yanı sıra düğümler arasındaki 3B mesafeye dayanarak tahmin edilmektedir. Bu çalışma sonucunda elde edilen veriler, önerilen yaklaşımın makul çözüm süreleri içinde ümit verici sonuçlar doğurduğunu göstermektedir.

Ayrık Parçacık Sürüsü Optimizasyonu (APSO) tabanlı uygulama eşleme yöntemi [22] bir bant genişliği limiti ile iletişim maliyetlerini iyileştirmeyi amaçlar. Anlatılan yöntemde çok aşamalı bir Parçacık Sürüsü Optimizasyonu (PSO) kullanılmıştır. Burada bir aşamanın yerel ve global en iyi bilgileri bir sonraki aşamaya aktarılmıştır. Böylelikle daha hızlı bir yakınsama sağlanmış ve ardışık aşamalarla çözüm kalitesi arttırılmıştır. PSO’nun herhangi bir aşamasında ilk varlık üretimi tamamen rastgele yapılmamıştır. Ayrıca bulunan çözümler hem 2B hem de 3B örgü mimariler için elde edilmiştir. Geliştirilen yöntem TDP tabanlı eşleme yöntemi ile kıyaslanmıştır. Elde edilen sonuçlardan, 2B ve 3B eşleme yöntemlerinin, daha az MİB zamanı ile TDP tekniğine benzer sonuçları ürettiği görülmüştür.

İletişim gecikmesine çözüm getirmek amacıyla homojen 3B YüA tabanlı enerji farkındalıklı [23] bir yöntem geliştirilmiştir. Bu yöntemde birbiriyle çok iletişim kuran bileşenler mimaride mümkün olduğunca yakın yerleştirilmeye çalışılmıştır. Bunun için araştırmacılar birbiriyle iletişim kuran iki çekirdek arasındaki atlama sayısını azaltarak toplam iletişim enerji tüketimini düşürmeye çalışmışlardır.



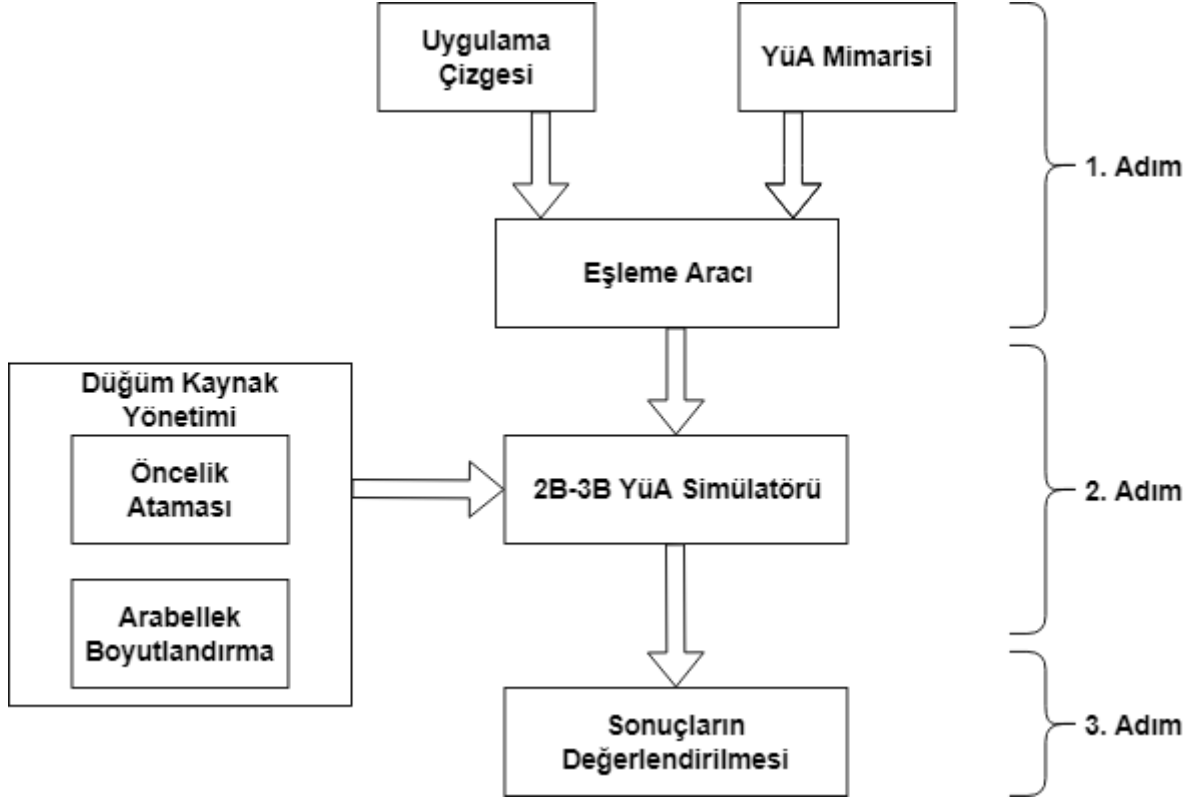
Şekil 2.3. Jha vd. tarafından 3B YüA mimarideki köşegen karoların görünümü [23]

3B YüA mimarisinde her katmanın köşegen çekirdeğinin 4 komşu bağlantısı vardır ayrıca bir yukarı ve bir aşağı bağlantıya da sahiptir. En yüksek bağlantı sayısına sahip düğümler köşegen çekirdekler üzerine eşlenmeye çalışılmıştır. Köşegen çekirdekler daha fazla komşu çekirdeğe sahip olduğundan eşlenmeyen en yüksek iletişime sahip bileşenlerin eşlenenlere daha yakın olması sağlanmış olur. Geliştirilen yöntem başka algoritmalarla karşılaştırılmış ve daha iyi bir optimizasyon sağladığı görülmüştür.

Genetik algoritması (GA) tabanlı 3B uygulama eşleme yöntemi [24] önerilmiştir. Bu çalışmada ısı yönetimi ve enerji tüketimi birlikte ele alınmıştır. Bu iki konuya çözüm getiren enerji ve ısı farkındalıklı eşleme yaklaşımı 3B YüA için GA tabanlı olarak geliştirilmiştir.

Araştırmacılar, 3B örgü YüA mimarisinde eşleme problemi için düğümler arasındaki atlama sayısını **Manhattan uzaklık** formülünü kullanarak bulmuşlardır. Bulunan atlama sayısını azaltmanın enerji tüketimini minimize edeceğini düşünmüşlerdir. Atlama sayıları hesaplanırken 2B toplam atlama sayısı için x ve y eksenlerindeki atlama sayılarını

hesaplayıp toplamışlar, 3B atlama sayısı için ise z boyutundaki atlama sayısını hesaplamışlardır. 2B ve 3B atlama sayılarını toplayarak toplam atlama sayısını bulmuşlardır.



Şekil 2.4. Anagnostopoulos vd. tarafından geliştirilen metodolojinin akış şeması [25]

Geliştirilen yöntem Şekil 2.4’te görüldüğü üzere üç fazdan oluşmaktadır. İlk fazda en uygun eşleme GA kullanılarak yapılır. Takip eden adımlarda 3B YüA içindeki her çekirdeğin konumuna karar verilir. İkinci fazda, son eşlemede elde edilen sonuçlara göre çekirdekler arasındaki belirlenmiş iletişim ilişkileri 3B YüA simülatörüne girilir ve yapılandırma dosyaları ayarlanır. En iyi eşlemenin enerji tüketim değeri elde edilir. Üçüncü fazda, birinci ve ikinci fazda elde edilen eşleme ve bu eşlemelerin enerji tüketim değerleri simülasyon çatısına girdi olarak verilir. Son fazda ise elde bulunan eşleme kümesi ile bu eşlemelerin performansı ve enerji tüketimi değerlerine göre en uygun eşleme seçilir. Eğer en uygun eşleme zaten eldeyse algoritma birinci faza dönerek işlemleri tekrarlar. Geliştirilen yöntem rastgele eşleme ile karşılaştırıldığında enerji tüketimi 27.07% oranında azalmıştır. Özellikle

çekirdek sayısının arttığı durumlarda enerji tüketimindeki azalma göze daha çok çarpmaktadır.

Daha önce geliştirilen NMAP yönteminin [11] 3B YüA’da çalışan sürümü Anagnostopoulos vd. tarafından [16] geliştirilmiştir. Geliştirilen yöntemin ilk adımı daha önceden önerilen ve diğer çözümlere göre 32% daha iyi sonuç veren eşleme algoritmasıdır. Yukarıda bahsedilen algoritma [12], 2B YüA topolojilerinde bant genişliği kısıtlayıcı uygulama eşlemesi gerçekleştirebilmektedir. Bu çalışma kapsamında NMAP algoritması 3B YüA topolojileri üzerinde eşlemeyi desteklemek için 3B YüA mimarisinde çalışacak şekilde genişletilmiştir.

Metodolojiye göre çekirdek ile uygulama eşlemeleri YüA mimarisinin performansı ve enerji tüketimi üzerinde büyük bir etkiye sahiptir, bu nedenle gerekli kararlar erken bir tasarım aşamasında alınmalıdır.

Metodolojinin 2. adımı düğüm kaynağı yönetimini içerir. Bu yönetim, YüA içerisindeki belirli paket akışlarına öncelik atamasını ve yönlendiricilerin ihtiyaç duyduğu arabellek yuvalarının en aza indirilmesini sağlayan bir algoritmayı içerir. Yukarıda belirtilen tekniklerin her ikisi de gecikme süresi ve sistemin enerji tüketimi ile ilgili olarak en iyi duruma ulaşmak için entegre bir şekilde kullanılır. Yöntemin son adımında ise yapılan deneylerin ölçümleri değerlendirilir. Araştırmacılar, 4 farklı Dijital Sinyal İşleme (DSİ) uygulaması için önerilen yöntem ile enerji tüketiminde ve gecikmede ortalama 34%’lük bir azalma elde etmişlerdir.

Jamali vd. tarafından [26] önerilen çözümün altında yatan genel fikir, verilen 3B örgü mimarinin, dikey bağlantılar yoluyla birbirine bağlanmış bir dizi 2B örgü mimariden oluştuğu şekilde görülmesidir. Düğümler, aralarında minimum veri değişiminin korunduğu kategorilere ayrılırsa, her bir kategorinin düğümleri bir 2B örgü üzerinde bağımsız olarak eşlenebilir. Bu kategoriler içindeki eşlemelerin son iletişim maliyetleri üzerinde kayda değer bir etkisi olmaz.

Buna uygun olarak, uygun bir kümeleme yöntemi 3B örgü katmanlarının sayısı kadar kümeler halinde düğümleri katmanlara paylaştırmak için kullanılmıştır. Daha sonra, uygun bir 2B eşleme algoritması kullanılarak, her kümedeki düğümler katmanlara eşlenmiştir. 3B eşleme yöntemlerinin genel olarak sorunu uzun süren yürütme süreleridir. Makalede anlatılan yöntem bu süreyi azaltmayı amaçlamıştır. Metodolojide öncelikle görev çizgesindeki düğümler makalede önerilen FLVAMOSA metoduyla iletişim ağırlıklarına

göre kümelenmiştir. Sonra, 2B YüA mimarisinde çalışan CastNet [6] algoritması elde edilen düğüm kümelerini bir 2B katmana eşlemiştir.

Alınan sonuçlara göre önerilen yöntemin [26] diğer yöntemlere göre daha az yürütme süresine sahip olduğu ve diğer yöntemlerden daha verimli olduğu görülmüştür.

Bu tez çalışmasında sunulan 3B YüA için uygulama eşleme problemine çözüm getiren CastNet3D algoritmasının karmaşıklığı azdır ve bulduğu en az enerji tüketimine sahip eşlemeyi oldukça kısa bir sürede getirir. Anlatılan yöntemlere kıyasla daha performanslıdır. Ayrıca yöntemin verimliliği 8 uygulama için farklı kıstaslarda 3 farklı yönetime karşı test edilerek ispatlanmıştır.



3. MATERYAL

Bu bölümde, sunulan tez çalışmasında kullanılan önemli kavramlar anlatılmış, problem tanımı yapılmış ve çalışmada kullanılan enerji modeli açıklanmıştır.

3.1. Tanımlar

Bu alt bölümde, sunulan çalışmada kullanılan önemli tanımlar anlatılmıştır. Yüs, 3B yonga, YüA ve 3B YüA söz konusu olan bu tanımlardan bazılarıdır.

3.1.1. Yonga üstü Sistem

Yongalar üzerindeki transistör sayısı gün geçtikçe artmaktadır. Teknolojik gelişmelerle birlikte transistör boyutları küçülmüş ve daha fazla transistör aynı katmana yerleştirilebilmiştir. Böylelikle daha fazla bileşenin aynı katmanda olması için gereken alan sağlanmıştır. Elle taşınabilir cihazların artmasıyla birlikte bu cihazların tükettiği enerjiyi azaltmaya yönelik çalışmalara araştırmacıların ilgisi çoğalmıştır. Yongaların tükettiği enerjiyi azaltmak için önerilen yöntemlerden biri de yongaların içindeki bileşenlerin birbiriyle iletişiminden kaynaklanan enerjiyi azaltmak olmuştur. Bu bileşenlerin arasındaki iletişimi azaltmak için birbirinden farklı işler yapan bileşenleri tek bir yonga üzerine yerleştirmek gerekmiştir. Bileşenlerin sıkı entegrasyonu, kablolamaya olan ihtiyacı azaltmış ve bu, cihazları çok daha verimli hale getirmiştir. Farklı işlevleri gerçekleştiren sistem bileşenleri bir iletişim altyapısını kullanarak bir yonga üzerinde toplanırlar. Bu yongalar literatürde Yonga üstü Sistem (Yüs) [27]–[29] olarak adlandırılmıştır. Cep telefonları ve mobil aygıtlar gibi elle taşınabilir cihazlar daha az enerji tükettikleri için Yüs'leri kullanırlar.

3.1.2. Yonga üstü Ağ

Yonga teknolojisindeki gelişmelerle ve çok çekirdekli işlemcilerin artmasıyla birlikte Yüs içindeki bileşenlerin sayısı da artmıştır. Bu bileşenlerin sayılarındaki artış Yüs yapısı içindeki iletişimin önemini daha da artırmıştır. Eskiden iletişim gücü işlem gücünden daha pahalıyken artık tam tersi durum söz konusudur. Bileşen sayısının artması ile geleneksel iletişim altyapıları için iletişim daha zor hale gelmektedir [30]. Bu durum gecikmenin ve

enerji tüketiminin artmasına performansın ise düşmesine yol açmaktadır. Büyük ölçekli YüS içi iletişim sorunlarını çözmek için bilgisayar ağlarında kullanılan yöntemlerin yonga içi iletişimde kullanılması düşünülmüştür. Bunun için Yonga üstü Ağ (YüA) iletişim altyapısı bileşenler arasındaki global iletişimi sağlamak üzere geliştirilmiştir [31]. Bu teknolojiye, yönlendiriciler kullanılarak uygulamaya ait bileşenler birbiriyle ağ üzerinden haberleşmektedirler. YüA mimarisi sayesinde büyük ölçekli sistemlerin enerji tüketimi ve gecikmesi azalmıştır.

3.1.3. 3B Yongalar

Son yıllarda artan işlem gücü yonga bileşenlerinin de artmasına yol açmıştır. Bu artış 2B yongaların alanların büyümesine ve bileşenler arasındaki bağlantıların fazla ve uzun olmasına neden olmuştur. Bağlantı uzunluğunun artması enerji tüketimini de artırmıştır. Son yıllarda bu soruna çözüm getiren 3B yongalar geliştirilmiştir. 3B yongalar [32]–[34] Şekil 1.1’de görüldüğü üzere tek 2B yonganın daha küçük katmanlara bölünmesi ve üst üste konulmasıyla elde edilir. 3B yongalarda katmanlar arası iletişimi sağlamak için dikey bağlantılar kullanılmaktadır. Bu bağlantılar yatay olanlardan daha kısa olduklarından dolayı iletişimden doğan enerji tüketimini azaltırlar [35]. Katmanlar arası bağlantı için kullanılan en yaygın teknoloji Silikon Arası Bağlantı (SAB) [36] olduğundan bu tez çalışmasında sunulan yöntemde de SAB’lardan yararlanılmıştır.

3.1.4. Silikon Arası Bağlantılar

SAB’lar [36], [37] katmanlar arasındaki iletişimi sağlamak amacıyla kullanılan dikey bağlantılardır. Bu bağlantılar yonga üstü bağlantılara göre daha kısa olduklarından enerji tüketimini minimize ederler ve daha hızlıdır. Uzunlukları 5-50 μm arasındadır [38]. Ancak bu bağlantıların üretimi zor ve maliyetlidir. Bu yüzden sayıları dikkatle belirlenmelidir.

3.1.5. 3B Yonga üstü Ağlar

Gün geçtikçe karmaşık hale gelen uygulamalar çok çekirdekli işlemcilerin yaygın hale gelmesinde önemli rol oynamıştır. YüS'lerin bileşenlerin artması bir anlamda bileşenlerin iletişimini sağlayan YüA yapılarının işlerini de zorlaştırmaktadır. İleriki yıllarda çok daha fazla bileşenden oluşacak YüS'lerin geliştirilmesiyle YüA'ların işi daha zor olacaktır. YüS'lerin bu ihtiyacının karşılanması için 3B yonga ve YüA teknolojileri birleştirilerek 3B YüA geliştirilmiştir [39]-[41]. 3B YüA'lar, 3B yonga ile YüA teknolojilerinin getirdiği yenilikleri kullanmaktadır [42].

3.2. Enerji Verimli Uygulama Eşleme Problemi

Bu alt bölümde öncelikle tez çalışmasında kullanılan enerji modeli anlatılacaktır daha sonra 3B YüA mimarisi için uygulama eşleme problemi tanımlanacaktır.

3.2.1. Kullanılan Enerji Modeli

Bir yongada tüketilen toplam dinamik enerji, bileşenlerin tükettiği enerji ile bu bileşenlerin aralarındaki iletişim nedeniyle tüketilen enerjiden oluşur. Bu tez çalışmasının amacı bileşenler arasındaki iletişimden kaynaklanan enerjiyi minimize etmektir. YüA üzerinde harcanan enerji iki bileşen arasında iletilen veri miktarıyla doğru orantılıdır. Bu çalışmada iletilen toplam bit miktarı için kullanılan enerji modeli Formül 3.1' de görülmektedir [43]. Bu formülde $E_{R_{bit}}$ ve $E_{L_{bit}}$ sırasıyla yönlendiricilerde ve bağlantılarda tüketilen toplam enerji miktarını göstermektedir.

$$E_{T_{bit}} = E_{R_{bit}} + E_{L_{bit}} \quad (3.1)$$

$E_{L_{bit}}$ hesaplanırken 3B YüA mimarisi için Formül 3.2'de olduğu gibi yatay ve dikey bağlantılarda tüketilen enerji miktarları toplanır. Bu formülde $E_{L-H_{bit}}$ ve $E_{L-V_{bit}}$ sırasıyla katman üstü bağlantılarda ve SAB'larda tüketilen enerji miktarını göstermektedir.

$$E_{L_{bit}} = E_{L-H_{bit}} + E_{L-V_{bit}} \quad (3.2)$$

Buradan yola çıkılarak 3B YüA için i çekirdeğinden j çekirdeğine gönderilen bir bitin tükettiği ortalama enerji miktarı $E_{T_{bit}}^{i,j}$ Formül 3.3 ile hesaplanır.

$$E_{T_{bit}}^{i,j} = (r_{i,j}) \times E_{R_{bit}} + d_{i,j,h} \times E_{L_{bit}} + d_{i,j,v} \times \theta \times E_{L_{bit}} \quad (3.3)$$

Bu formülde $r_{i,j}$ bir çekirdekten diğerine gönderilen bitin geçtiği yönlendirici sayısını ifade etmektedir. $d_{i,j,h}$ ve $d_{i,j,v}$ ise i ve j çekirdeği arasındaki yatay ve dikey bağlantı uzaklıklarını temsil etmektedir. Burada bağlantılarda tüketilen enerjinin yatay ve dikey diye iki farklı şekilde hesaplanıp toplanmasının nedeni dikey bağlantıların yani SAB'ların yatay bağlantılardan daha kısa olmasıdır. Dolayısıyla, SAB'larda tüketilen enerji yatay bağlantılarda tüketilen enerjiden daha azdır. Bu yüzden, Formül 3.3'de görüldüğü üzere dikey bağlantılarda tüketilen enerji θ gibi bir katsayıyla çarpılır. Bu çalışmada θ katsayısı 0,2'den 1'e kadar farklı değerler almıştır.

3B örgü ağlar için i ve j çekirdeği gibi iki çekirdek arasındaki atlama sayısı bu iki çekirdeğin koordinat değerleri $i(x_i, y_i, z_i)$ ve $j(x_j, y_j, z_j)$ kullanılarak Manhattan uzaklığı ile tanımlanır.

$$d_{i,j,h} = |x_i - x_j| + |y_i - y_j| \quad (3.4)$$

$$d_{i,j,v} = |z_i - z_j| \quad (3.5)$$

Verilen formüllerden yola çıkılarak 3B YüA mimarisi için bileşenlerin haberleşmesinden kaynaklı toplam enerji tüketimi $E_{YüA}$ Formül 3.6 kullanılarak hesaplanır.

$$E_{YÜA} = \sum_{\forall e_{i,j} \in E} w_{i,j} \times E_{T_{bit}}^{v_i, v_j} \quad (3.6)$$

Bu formülde $w_{i,j}$ v_i ve v_j düğümleri arasında saniyede transfer edilen veri miktarını göstermektedir.

Görevlerin çekirdekler ile eşlenmesinden sonra düşünülmesi gereken önemli bir konu yönlendirme yöntemidir. Ağın bant genişliği kısıtı düşünülerek bu yönlendirme yapılmalıdır. XYZ boyut sıralı yönlendirme yöntemi [53] deterministik yönlendirme algoritmalarına iyi bir örnektir. Eşleme yapıldıktan sonra XYZ yönlendirme yönteminin kullanıldığı düşünülmüştür. Ayrıca verilerin paketler halinde iletildiği ve anahtarlama biçiminin paket anahtarlama olduğu düşünülmüştür.

3.2.2. Problem Tanımı

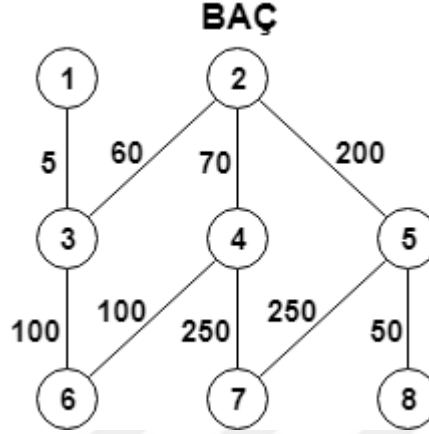
3B YüA mimarisi, katmanların üst üste dizilmesiyle ve dikey bağlantılar aracılığıyla bağlanmasıyla oluşturulmuştur. 3B yongalarda katmanlar arası veri iletişimde dikey bağlantı olarak oldukça popüler olan SAB'lar kullanılmaktadır. Bu dikey bağlantılar katman üstü bağlantılara göre çok daha kısa olduklarından dolayı bu bağlantılar kullanılarak yapılan iletişim sonucu tüketilen enerji daha azdır.

Dikey bağlantıların sağladığı verimlilikten yararlanarak verilen her uygulama için yeterince çekirdek olacak şekilde enerji farkındalıklı uygulama eşleme problemine çözüm getirilmelidir. Çözüm geliştirilirken uygulama bileşenlerinin iletişiminden kaynaklı enerji tüketimi en aza indirgenmelidir. Algoritma tasarlanırken kullanılan bileşenler arasında transfer edilen veri miktarını gösteren Bileşen Akış Çizgesi (BAÇ) ile bu bileşenlerin eşleşeceği çekirdekleri gösteren Topoloji Çizgesi (TÇ) tanımları aşağıda yapılmıştır.

Tanım 1: Bileşen akış çizgesi (BAÇ), $G(V,E)$ ile verilen bir çizge olup bu çizgenin her bir elemanı $v_i \in V$ uygulamanın bileşenini/görevini, bu bileşenler arasındaki bağlar ise $e_{i,j} \in E$ olacak biçimde v_i ve v_j bileşenleri arasındaki bağımlılığı temsil etmektedir.

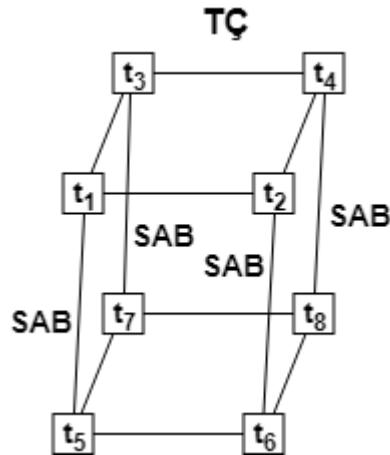
Şekil 3.1'de [6] makalesinden alınan örnek bir bileşen akış çizgesi verilmiştir. Bu BAÇ, çekirdeklerle eşlenecek uygulama bileşenlerini temsil etmektedir. Bu şekilde düğümlerin

numaraları dairelerin içinde gösterilmiş ve düğümler arasındaki saniyede kaç bit verinin aktarıldığını gösteren veri miktarları da kenarların üzerinde gösterilmiştir.



Şekil 3.1. Örnek bir bileşen akış çizgesi

Tanım 2: Topoloji çizgesi (TÇ), $M(T, P)$ şeklinde bir çizge olmak üzere çizgedeki her düğüm $t_i \in T$ topolojide yer alan bir çekirdeği ve bu topolojideki her kenar $p_{i,j} \in P$ olacak biçimde t_i ve t_j çekirdekleri arasındaki bir iletişim yolunu göstermektedir.



Şekil 3.2. Bileşenlerin eşleneceği $2 \times 2 \times 2$ boyutunda bir topoloji çizgesi

Bahsedilen özellikler Şekil 3.2’de örnek olarak verilmiş $2 \times 2 \times 2$ boyutunda bir topoloji çizgesinde görülmektedir. Bu şekilde, birbirine yatay ve dikey bağlantılarla bağlı 8 çekirdek görülmektedir. Topoloji çizgesindeki her bir çekirdeğin kendine ait belleği [54] vardır.

Yukarıda verilen tanımlardan yola çıkarak uygulama eşleme problemi aşağıdaki gibi matematiksel bir şekilde açıklanabilir.

Problem: Uygulama eşleme problemi. $G(V, E)$ ile gösterilen bir BAÇ ve $M(T, P)$ ile gösterilen bir TÇ verilsin. Verilen uygulamanın her bir bileşeni topoloji çizgesindeki bir çekirdeğe eşlenmeli ve tasarlanan YüA’nın enerji tüketimi minimize edilmelidir. Uygulama eşleme problemi matematiksel olarak aşağıdaki gibi tanımlanabilir.

Aşağıdaki şartları sağlayan bir BAÇ ve TÇ verilsin:

$$|V| \leq |T| \quad (3.7)$$

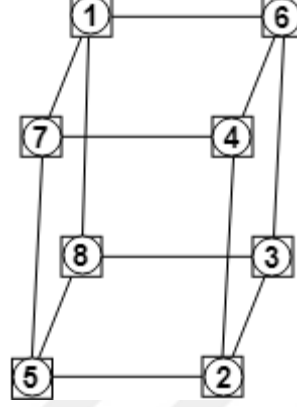
Formül 3.7’deki $|V|$ BAÇ’daki toplam bileşen sayısını ve $|T|$ de TÇ’deki toplam çekirdek sayısını göstermektedir. Bu şart altında BAÇ’dan TÇ’ye aşağıdaki şartları sağlayan bir bire-bir uygulama eşleme fonksiyonu $F : V \rightarrow T$ tanımlansın. Bu fonksiyon aşağıdaki şartları sağlamalıdır.

$$\forall v_i \in V, \exists t_k \in T, \quad f(v_i) = t_k \quad (3.8)$$

$$\forall v_i \neq v_j \in V, \quad f(v_i) \neq f(v_j) \quad (3.9)$$

$$\min : \left\{ E_{Y\ddot{U}A} = \sum_{\forall e_{i,j} \in E} w_{i,j} \times E_{T_{bit}}^{v_i, v_j} \right\} \quad (3.10)$$

Yukarıdaki şartlar sağlandığında $E_{Y\ddot{U}A}$ 3B YüA'nın toplam enerji tüketimini ve $E_{T_{bit}}^{v_i, v_j}$ ise $f(v_i) = t_k$ 'dan $f(v_j) = t_l$ 'ye gönderilen bir bitin enerji tüketimini temsil etmektedir.



Şekil 3.3. 8 bileşene sahip uygulamanın 3B YüA mimarisindeki çekirdeklere eşlenmiş hali

Şekil 3.3'te, şekil 3.1'de verilen 8 bileşenli uygulamanın 8 çekirdek ile oluşturulmuş $2 \times 2 \times 2$ boyutlu bir topolojiye eşlenmiş hali gösterilmektedir. Karelerin içindeki daireler ile hangi bileşenin topolojideki hangi çekirdekle eşlendiği bilgisine ulaşılabilir. Örneğin t_1 çekirdeği ile uygulamanın 7. bileşeni eşleşmiştir.

4. YÖNTEM

Bu bölümde, tez çalışmasında 3B YüA mimarisinde çalışan uygulama eşleme problemine çözüm getirmek amacıyla geliştirilen iki yöntem anlatılacaktır. Bunlardan birincisi sezgisel bir yöntem olan CastNet3D algoritmasıdır. Diğer yöntem ise BT tabanlı geliştirilen SA3D algoritmasıdır. Ayrıca geliştirilen algoritmalarla kıyaslama yapmak için daha önceden bulunmuş 2B YüA mimarisi üzerinde çalışan CastNet [6] ve BT tabanlı yöntemin de [44] kodlaması yapılmıştır. Bu iki yöntemden de kısaca bahsedilecektir.

4.1. Sezgisel Yöntem: CastNet3D

CastNet3D algoritması yinelemeli, yapıcı bir eşleme algoritmasıdır. Bu algoritmada her bir eşleme adımında iki ana karar vardır. Bunlar uygulama bileşeninin (görev) seçimi ve bu bileşenin eşleneceği çekirdeğin seçimidir. Görev seçimi, başlangıç görev seçimi ve kalan görev seçimleri olmak üzere iki aşamadan oluşur. Ayrıca çekirdek seçiminin de başlangıç çekirdek seçimi ve kalan çekirdek seçimi olmak üzere iki aşaması vardır. Algoritma, görevlerin iletişim maliyetini ve eşlenmiş görevleri temel alarak eşlenecek görev için en uygun çekirdeği seçer.

CastNet3D algoritmasının sözde kodu Algoritma 4.1’de verilmiştir. Algoritma, öncelikle farklı eşlemeler için başlangıç çekirdeklerini belirler. Başlangıç çekirdeklerinin seçimi 2B YüA’da çalışan CastNet algoritmasındaki başlangıç çekirdek seçimine benzerdir [6], bu algoritmada çekirdekler farklı simetri gruplarından seçilirler. 3. satırda başlangıç çekirdeği ile eşlenecek başlangıç görevi, görevlerin ortalama iletişim maliyetlerine göre belirlenir. Belirlenen başlangıç görevi 7. satırda başlangıç çekirdeğiyle eşlenir. Bu adımdan sonra kalan görevler, iletişim maliyetlerine göre belirlenir ve seçilen görev için en uygun çekirdek belirlenir. En uygun çekirdek belirlenirken uygun durumda olan tüm çekirdeklere seçilen görev atanır ve bu atama sonucu ilgili görevin toplam iletişim maliyeti hesaplanır. En az toplam iletişim maliyetine sahip eşlemenin çekirdeği seçilir. Bu işlem 11. ve 16. satırlar arasında gerçekleşmektedir. Ayrıca uygun çekirdek seçimi yapılırken farklı bir katman üzerindeki çekirdek seçimi dikey bağlantıların kullanımından dolayı enerji tüketimini azaltacağından böyle çekirdeklerin seçilme ihtimali daha yüksektir. Algoritma, başlangıç çekirdek sayısına eşit olan $|C|$ kadar eşleme sonucu bulur. Son olarak CastNet3D algoritması

22. ve 25. satırlar arasında her bir eşlemenin iletişim maliyetini ve $E_{Y_{uA}}$ değerlerini kıyaslar ve en iyi sonucu döndürür.

Data: G, M

Result: $T, E_{Y_{uA}}$.

```

1 begin
  // Baslangic cekirdek adaylari toplam baglanti sayilarina
  // gore belirleniyor ve ilki  $C'$  ye ataniyor.
2   $C = \text{baslangic\_cekirdegi\_sec}(M)$ ;
  // Gorevlere oncelik atamasi yapildiktan sonra birinci
  // oncelige sahip gorev  $v_h'$  ye ataniyor.
3   $v_h = \text{baslangic\_gorevi\_sec}(G)$ ;
  // En dusuk enerji tuketimini bulmak icin  $TET_{en\_iyi}$ 
  // oldukca buyuk bir sayiya esitleniyor.
4   $TET_{en\_iyi} = \infty$ ;
  // Birinci dongude belirlenen tum aday baslangic cekirdekleri icin
  // esleme yapiliyor ve enerji tuketimi hesaplaniyor.
5  for  $i \rightarrow 1$  to  $|C|$  do
6     $G_i = G$ ;  $T_i = T$ ;  $G'_i = \emptyset$ ;  $T'_i = \emptyset$ ;
7     $f(v_h) = t_{C[i]}$ ;
8     $G_i = G_i - \{v_h\}$ ;  $G'_i = G'_i + \{v_h\}$ ;
9     $T_i = T_i - \{t_{C[i]}\}$ ;  $T'_i = T'_i + \{t_{C[i]}\}$ ;
    // Ikinci dongude baslangic cekirdegi ile baslangic gorevi eslendikten
    // sonra diger eslemeler yapiliyor, gorev ve cekirdek kumeleri guncelleniyor.
10   while  $G \neq \emptyset$  do
11      $t_k = \text{cekirdek\_sec}(T_i, T'_i)$ ;
12      $v_n = \text{dugum\_sec}(G_i, G'_i)$ ;
13      $f(v_n) = t_k$ ;
14      $G_i = G_i - \{v_n\}$ ;  $G'_i = G'_i + \{v_n\}$ ;
15      $T_i = T_i - \{t_k\}$ ;  $T'_i = T'_i + \{t_k\}$ ;
16   end
    //  $i$  baslangic cekirdegi icin olusturulan eslemenin toplam enerji tuketimi
    // hesaplaniyor.
17    $TET_i = \text{hesapla\_TET}(T_i)$ ;
    // Hesaplanan  $TET_i$  degerinin  $TET_{en\_iyi}'$  den kucuk olmasi durumunda
    //  $TET_{en\_iyi}$  ve  $Ten\_iyi$  guncelleniyor.
18   if  $TET_i < TET_{en\_iyi}$  then
19      $TET_{en\_iyi} = TET_i$ ;
20      $Ten\_iyi = T_i$ ;
21   end
22 end
  // Bulunan en iyi esleme ve enerji tuketimi ile ilgili atamalar yapiliyor ve
  // sonuclar donuluyor.
23  $T = T_{en\_iyi}$ ;
24  $E_{Y_{uA}} = TET_{en\_iyi}$ ;
25 return  $T, E_{Y_{uA}}$ ;
26 end

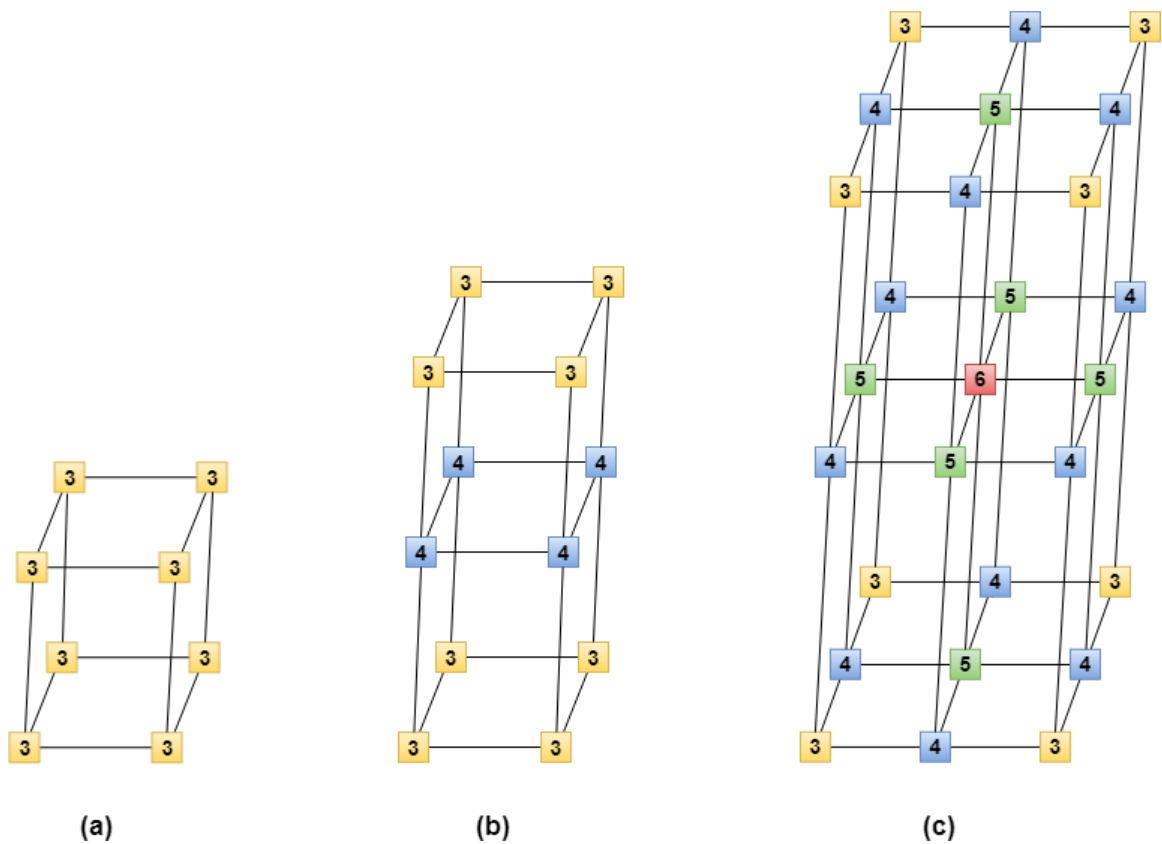
```

Algoritma 4.1. CastNet3D

Aşağıdaki bölümlerde algoritmanın ana adımları olan başlangıç çekirdek seçimi, başlangıç görev seçimi, kalan çekirdek seçimleri ve kalan görev seçimleri detaylı bir şekilde anlatılacaktır.

4.1.1. Başlangıç Çekirdek Seçimi

Başlangıç çekirdek adaylarının belirlenmesi CastNet3D algoritmasının ilk adımıdır. Geliştirilen yöntemde 3B YüA mimarisi belirlenen boyutlara göre oluşturulduğunda topolojideki tüm çekirdekler başlangıç çekirdeği olmaya aday çekirdek olarak görülebilir. Ancak topoloji üzerindeki bazı çekirdeklerin yatay ve dikey bağlantı sayıları toplamı aynı olduğundan eşleme algoritmasının kalan kısımlarını etkileyecek sadece birkaç çekirdek vardır.



Şekil 4.1. Eşit sayıda toplam bağlantı sayısına sahip çekirdekler aynı renge boyanmıştır: (a) $2 \times 2 \times 2$ boyutlu YüA, (b) $2 \times 2 \times 3$ boyutlu YüA, (c) $3 \times 3 \times 3$ boyutlu YüA

Şekil 4.1’de görüldüğü üzere karelerin içerisine çekirdeklerin toplam bağlantı sayılarını belirten 3, 4, 5 ve 6 rakamları yazılmıştır. 3B örgü mimaride bir yönlendiricinin 3 ile 6 arasında kapısı olabilir. Şekil 4.1’deki ilk topolojide tüm yönlendiriciler 3 kapıya sahipken

ikinci topolojide 3 ve 4 kapılı yönlendiriciler vardır. Üçüncü topolojide ise 3, 4, 5 ve 6 kapılı tüm yönlendiriciler bulunmaktadır.

Şekil 4.1’de yatay ve dikey bağlantı sayıları toplamı eşit çekirdekler aynı renge boyanmıştır. Bu şekilde sırasıyla $2 \times 2 \times 2$, $2 \times 2 \times 3$ ve $3 \times 3 \times 3$ boyutlarında 3B YüA topolojileri gösterilmiştir. Bu topolojilerden ilki 8 çekirdeğe sahiptir ve bu çekirdeklerin hepsi eşit sayıda bağlantıya sahip olduğundan herhangi biri başlangıç çekirdeği olarak seçilebilir. $2 \times 2 \times 3$ boyutundaki ikinci topolojide ise 1. ve 3. katmanlardaki çekirdeklerin yatay ve dikey bağlantı sayıları toplamı birbirine eşittir. Bu çekirdeklerin bağlantı sayıları toplamı 3’tür. Ortadaki katmanda ise çekirdeklerin bağlantı sayısı toplamı birbirine eşittir ve 4’tür. Bu yüzden ortadaki topolojiden 3 ve 4 bağlantı sayılarına sahip birer çekirdek seçilmesi başlangıç çekirdeğine aday olarak yeterlidir. $3 \times 3 \times 3$ boyutundaki üçüncü topolojide ise aynı katmanda farklı toplam bağlantı sayılarına sahip çekirdekler bulunmaktadır. 1. katmanda köşelerde bulunan çekirdeklerin toplam bağlantı sayısı 3’tür. Aynı katmanda mavi renge boyanmış çekirdeklerin toplam bağlantı sayısı 4, ortadaki yeşil renge boyanmış çekirdeğin toplam bağlantı sayısı 5’tir. 1. ve 3. katmandaki karşılıklı gelen çekirdeklerin şekilde görüldüğü üzere toplam bağlantı sayısı aynıdır. Ortadaki katmanda ise mavi renge boyanmış çekirdekler 4, yeşil renge boyanmış çekirdekler 5 ve ortadaki kırmızı renge boyanmış çekirdek 6 bağlantı sayısına sahiptir.

Başlangıç çekirdeği seçimi için adaylar belirlenirken Şekil 4.1’de görülen topolojilerdeki farklı renklerden birer aday seçilmesi yeterlidir. Bu durumda, eşit sayıda bağlantısı olan çekirdeklerden birer tane seçilmiş olacaktır. Buna göre algoritma tarafından $2 \times 2 \times 2$ boyutundaki topolojiden 3 bağlantı sayısına sahip 1 adet çekirdek, $2 \times 2 \times 3$ boyutundaki topolojiden 3 ve 4 bağlantı sayılarına sahip 2 adet çekirdek ve $3 \times 3 \times 3$ boyutundaki topolojiden 3, 4, 5 ve 6 bağlantı sayılarına sahip 4 adet çekirdek seçilecektir. Bu durumda, topolojilerdeki r adet yönlendirici grubundan seçilen r adet başlangıç çekirdeği ile r adet eşleme bulunur. Buna göre Şekil 4.1’deki topolojiler için sırasıyla 1, 2 ve 4 adet eşleme sonucu üretilir. En iyi eşleme için farklı başlangıç noktalarının olmasının nedeni en iyi sonucun bulunması ihtimalini artırmasıdır çünkü her bir başlangıç çekirdek seçimi, eşlemelerin geri kalanını etkileyebilir ve farklı sonuçlar elde edilebilir.

Data: T
Result: C .

```
1 begin
  // Asagidaki dongude baglanti sayilari onceden belirlenmis cekirdeklerden
  // icerisiden baslangic cekirdekleri seciliyor.
2  for  $i \rightarrow 1$  to  $|T|$  do
3    if 3 baglantiya sahip cekirdek secilmediyse ve  $t_i$ 'nin baglanti sayisi 3 ise then
4       $C = C + \{t_i\}$ ;
5    end
6    if 4 baglantiya sahip cekirdek secilmediyse ve  $t_i$ 'nin baglanti sayisi 4 ise then
7       $C = C + \{t_i\}$ ;
8    end
9    if 5 baglantiya sahip cekirdek secilmediyse ve  $t_i$ 'nin baglanti sayisi 5 ise then
10      $C = C + \{t_i\}$ ;
11   end
12   if 6 baglantiya sahip cekirdek secilmediyse ve  $t_i$ 'nin baglanti sayisi 6 ise then
13      $C = C + \{t_i\}$ ;
14   end
15 end
16 return  $C$ ;
17 end
```

Algoritma 4.2. Başlangıç çekirdek seçimi algoritması

Başlangıç çekirdeği seçim algoritması Algoritma 4.2’de verilmiştir. 3B YüA topolojisinde her yönlendirici grubundan bir çekirdek seçileceği için birinci ve ikinci katmanlardan 3, 4, 5 ve 6 bağlantı sayılarına sahip çekirdekleri seçmek yeterli olacaktır. Başlangıç çekirdek adayları belirlenirken bağlantı sayıları belirlenmiş çekirdeklerden bağlantısı sayısı 3, 4, 5 ve 6 olan çekirdekler sırasıyla seçilir.

4.1.2. Başlangıç Görev Seçimi

Başlangıç çekirdeğiyle eşlenecek başlangıç görevinin belirlenmesi CastNet3D algoritmasının ikinci adımıdır. Bu seçim yöntemi için görevlere atanan öncelik değerleri kullanılır. Bunun için her i görevine komşuları ile arasındaki toplam iletişim maliyeti ($TİM_i$) temel alınarak P_i öncelik değeri atanır. Bir bileşenin $TİM$ değeri ne kadar büyükse o bileşenin önceliği daha yüksek olur. Öncelik atanacak görevlerin $TİM_i$ değerleri arasında bir eşitlik varsa en büyük ortalama iletişim maliyetine A_i sahip görev daha öncelikli olur. Eğer bu iki kıstasta eşitliği bozamıyorsa daha öncelikli görev rastgele seçilir. Formül 4.1 ve Formül 4.2 sırasıyla $TİM_i$ ve A_i değerlerini bulmak için kullanılır. Ortalama iletişim maliyeti A_i hesaplanırken kullanılan $d_G(v_i)$, v_i görevinin komşu sayısını göstermektedir.

$$TİM_i = \sum_{e_{i,j} \in E} w_{i,j} \quad (4.1)$$

$$A_i = \sum_{e_{i,j} \in E} w_{i,j} / d_G(v_i) \quad (4.2)$$

Şekil 3.1’de verilen BAÇ’daki görevlerin hesaplanan $TİM_i$ ve A_i değerlerine göre belirlenen öncelik değerleri P_i Çizelge 4.1’de görülmektedir.

Çizelge 4.1. Şekil 3.1’de verilen BAÇ için öncelik ataması

v_i	$TİM_i$	A_i	P_i
1	5	5	8
2	330	110	4
3	165	55	6
4	420	140	3
5	500	167	2
6	200	100	5
7	500	250	1
8	50	50	7

Çizelge 4.1’de görüldüğü üzere, v_5 ve v_7 komşularıyla en yüksek toplam iletişim maliyetine sahip bileşenlerdir. Bu bileşenlerin toplam iletişim maliyetleri $TİM_5 = TİM_7 = 500$ ’e eşittir. v_5 ve v_7 ’nin toplam iletişim maliyetleri eşit olduğu için ortalama iletişim maliyetlerine bakılır. Buna göre $A_5 = 167$ ve $A_7 = 250$ ’dir. Sonuç olarak 3B YüA’nın başlangıç çekirdeğiyle eşlenecek ilk görev v_7 olur.

4.1.3. Kalan Görev Seçimleri

Öncelik değerine göre seçilen başlangıç görevi başlangıç çekirdeğine atandıktan sonra CastNet3D kalan tüm bileşenleri 3B YüA üzerindeki boş çekirdeklerle eşleştirir. Geliştirilen algoritma, eşlenmemiş her bir görevin eşleştirilenlerle toplam iletişimini hesaplayarak bir sonraki görevi seçer. En yüksek iletişime sahip görev bir sonra eşlenecek görev olarak seçilir. Eğer görevlerin toplam iletişim maliyetleri eşitse öncelik değeri P_i daha yüksek olan görev seçilir. Bu seçim için BAÇ üzerindeki tüm görevlerin kıyaslanmasına gerek yoktur yalnız eşlenen görev ile kenarları olan görevlerin karşılaştırılması yeterlidir.

4.1.4. Kalan Çekirdek Seçimleri

Seçilen görev için en uygun çekirdeğin bulunması amacıyla algoritma tarafından bir görevle eşlenmemiş tüm çekirdekler kontrol edilir. Seçilen görev sırasıyla boş çekirdeklerle eşlenir ve eşlenmiş görevlerle olan toplam iletişim maliyeti hesaplanır. Bu maliyet hesaplanırken seçilen görevin eşleştiği çekirdek farklı bir katmanda ise toplam iletişim maliyeti θ katsayısıyla çarpılır. Bunun nedeni mevcut çekirdek ile dikey bağlantıya sahip olan çekirdeğin yatay bağlantıya sahip olan çekirdeklere göre daha az enerji tüketmesidir. Daha önce bahsedildiği gibi θ katsayısının değeri 0,2 ile 1 arasında tutulmuştur. Sonuç olarak, eşlenecek görev için en az maliyet sonucunu veren çekirdek seçilir ve eşleme yapılır. Çoğu eşleşmede karşılaşılan minimum iletişim maliyeti sonucunu veren birden fazla çekirdek olması durumunda mevcut görev v_i 'nin V' kümesindeki eşlenmemiş görevler ile arasındaki kenar sayısı (NE_i) ile mevcut çekirdek p_k 'nin T kümesindeki bir atlama uzaklığındaki boş çekirdek sayısı (NT_k) arasındaki uygunluğa bakılır. NE_i Formül 4.3 kullanılarak bulunur.

$$NE_i = \sum_{\forall v_i, v_j} f_{i,j} \quad (4.3)$$

Bu formülde $f_{i,j}$ bir ikili sayıdır, eğer $v_i \in V, v_j \in V'$ ve $w_{i,j} > 0$ ise $f_{i,j} = 1$ olur. Aksi durumda $f_{i,j} = 0$ olur.

3B YüA mimarisinde p_k çekirdeğinin bir atlama uzaklığındaki boş çekirdekleri için NT_k Formül 4.4'deki gibi tanımlanır.

$$NT_k = \sum_{\forall p_k, p_l} t_{k,l} \quad (4.4)$$

Bu formülde $t_{k,l}$ bir ikili sayıdır, $p_k \in T, p_l \in T$ ve $n_{p_k, p_l} = 1$ (atlama uzaklığı 1 ise) ise $t_{k,l} = 1$ olur. Aksi durumda $t_{k,l} = 0$ olur.

Daha sonra p_k çekirdeği aşağıdaki koşullara bağlı olarak aday olarak seçilir. Eğer $NT_k - NE_i \geq 0$ ise $\{NT_k - NE_i\}$ değerini en aza indiren p_k seçilir. Eğer $NT_k - NE_i < 0$ ise $\{NT_k - NE_i\}$ değerini en yükseğe çıkaran p_k seçilir.

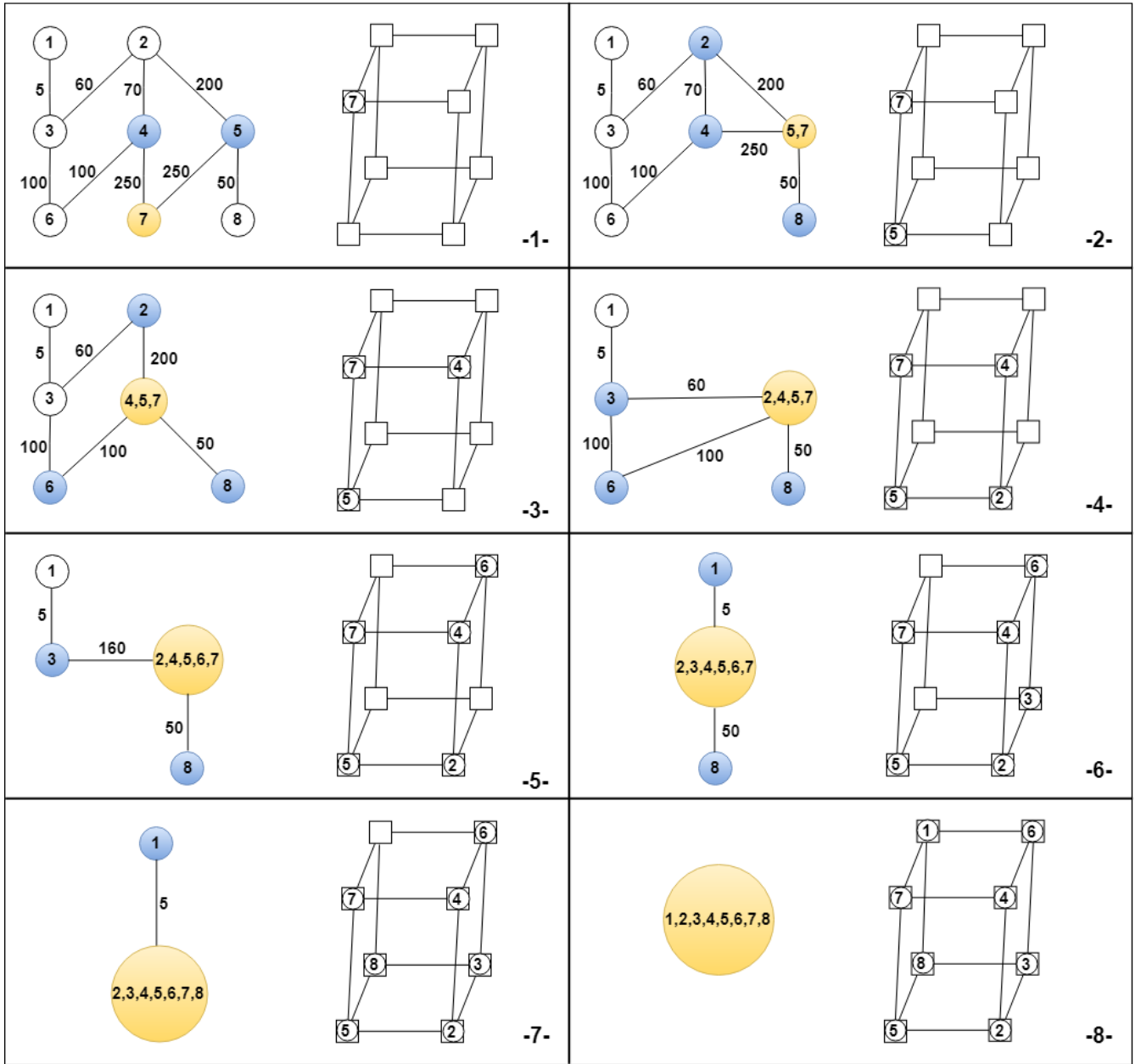
Bu koşullara rağmen hala seçilecek birden fazla aday çekirdek varsa çekirdek numarası en küçük olan çekirdek seçilir.

4.1.5. Açıklayıcı Örnek

Bu bölümde CastNet3D uygulama eşleme yöntemi Şekil 3.1'de verilen bileşen akış çizgisi için uygulanarak adım adım anlatılmıştır. Geliştirilen yöntem başlangıç görevi ile eşlenecek başlangıç çekirdeğini t_1 olarak belirlemiştir. 3B YüA topolojisinde tüm yönlendiriciler 3 kapılı olduğundan algoritma tarafından başlangıç çekirdeği olarak sadece t_1 belirlenmiştir. Bu çizgenin uygulama eşleme adımları Şekil 4.2'de görülmektedir. Başlangıç görevi olan v_7, t_1 üzerine eşlendikten sonra algoritma tarafından 2. eşlenecek görev belirlenmelidir. Bunun için en yüksek TİM'e sahip görev seçilir. v_4 ile v_5 eşlenmemiş görevler içinde en yüksek TİM'e sahip iki görevdir. Bu yüzden v_4 ile v_5 'in ortalama iletişim maliyetlerine bakılır bu durumda ortalama iletişim maliyeti daha yüksek olan v_5 seçilir. v_5 'in eşleneceği

çekirdeğin belirlenmesi için boş olan çekirdeklerle eşleme yapılır ve v_5 'in eşlenen görevle toplam iletişim maliyeti hesaplanır. Burada en az iletişim maliyetini veren çekirdek seçilir. Bu durumda diğer katmanda olan t_5 , v_5 ile eşlenmek üzere seçilir. Kalan çekirdek seçimlerinde eğer TİM sonuçları eşit birden fazla çekirdek olması durumunda anlatılan diğer koşullar göz önünde bulundurularak çekirdek seçimi yapılır. Bu aşamadan sonra v_4, v_2, v_6, v_3, v_8 ve v_1 görevleri sırasıyla t_2, t_6, t_4, t_8, t_7 ve t_3 ile eşlenir. CastNet3D algoritması tarafından bulunan bu eşlemenin toplam enerji tüketimi 426.23 Kbits/s'dir.





Şekil 4.2. CastNet3D algoritmasının Şekil 3.1’de verilen BAÇ için eşleme adımları

4.2. 3B YüA için BT Temel Alınarak Geliştirilen Yöntem: SA3D

Benzetimli tavlama (BT), amacı verilen maliyet fonksiyonunun global en iyisini bulmak olan bir olasılık yöntemidir [45]. Ayrıca BT algoritması sezgisel yöntemlerin sorunu olan yerel en iyiye takılma problemine çözüm getirir. Düşük sıcaklıklarda yoğunlaştırılmış maddenin davranışı üzerine modellenmiştir. Tavlama işlemi bir başlangıç dizilişle başlar, sistem sıcaklığını sürekli azaltarak daha iyi bir diziliş arar. Enerji değeri mevcut enerji değerinden daha iyiye kabul edilir. Daha kötü bir diziliş bulunması durumunda ise bir kabul

olasılığı fonksiyonuna bağılı olarak yeni diziliş kabul edilir. Bu şekilde, bir yerel minimumdan yukarı doğru hareketler yapılır. Amaç, yerel bölgedeki global minimumu bulmaktır.

BT algoritması, 3B YüA mimarisinde uygulama eşleme problemine çözüm getirmek için iyi bir seçenektir. Geliştirilen BT tabanlı algoritmada 3B YüA üzerinde görevler çekirdeklerle rastgele bir şekilde eşlenir böylelikle başlangıç eşlemesi elde edilmiş olur. Başlangıç eşlemesinin toplam enerji tüketimi (TET) hesaplanır. Algoritmada başlangıç eşlemesi için sıcaklık en yüksek değere ayarlanır. Eşleme problemindeki sıcaklık parametresi, 3B YüA’da iki düğüm arasındaki Manhattan uzaklığına benzerdir. Eğer iki düğüm arasındaki uzaklık fazla ise sıcaklık değeri yüksek, uzaklık az ise sıcaklık değeri düşük olur. Önceki çalışmalarda [46] başlangıç sıcaklık değerinin $[\alpha \times \ln|T|]$ olarak alınması ile iyi sonuçların alındığı görüldüğünden bu çalışmada da aynı eşitlik kullanılmıştır. Bu eşitlikte $|T|$ mimarideki çekirdek sayısını α ise bir ölçeklendirme parametresini temsil etmektedir. Uygulamada yapılan farklı deneylerde α 50 ile 100 arasında değişen değerler almıştır.

Geliştirilen BT tabanlı eşleme algoritmasının sözde kodu Algoritma 4.3’de görülmektedir. Sıcaklık değeri $[\alpha \times \ln|T|]$ olarak belirlendikten sonra algoritma iki iç içe döngü çalıştırır. Dıştaki döngü global minimumu ararken içteki döngü ise mevcut durumdaki yerel minimumu en iyi yapmaya çalışır. Dıştaki döngünün iterasyon sayısı [4]’de önerildiği üzere $|T|^\beta$ ile sınırlanmıştır. β burada sabit bir değerdir. Bu çalışmada β küçük kıyaslamalar için 2 değerini alırken büyük kıyaslamalar için değer artırılmıştır.

```

Data:  $G, M$ 
Result:  $T, E_{YüA}$ 

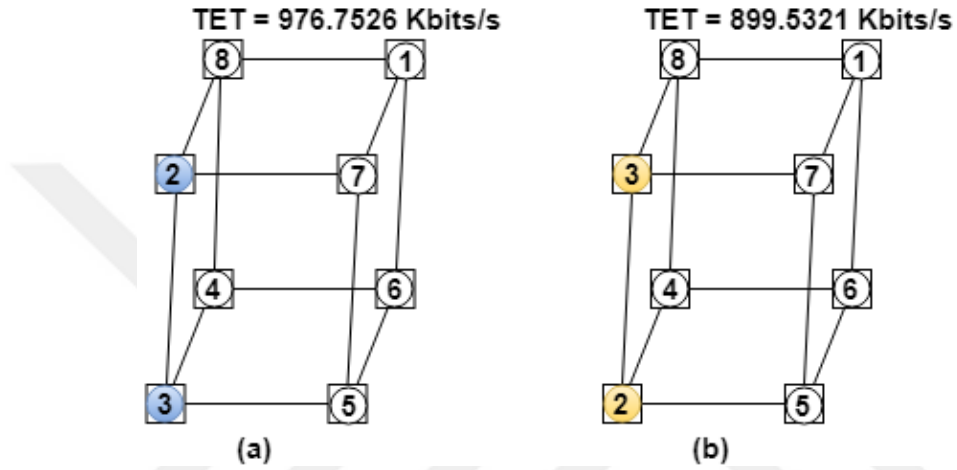
1 begin
  // Baslangic eslemesi rastgele eslemeler ile elde ediliyor ve  $T'$ 'ye ataniyor.
2   $T = rastgele\_esleme\_yap(G, M)$ 
  // Baslangic eslemesinin enerji tüketimi hesaplanıyor ve  $TET'$ e ataniyor.
3   $TET = hesapla\_TET(T)$ 
4   $T_{en\_iyi} = T$ 
5   $TET_{en\_iyi} = TET$ 
  // Sicaklik degeri bahsedildigi gibi  $[\alpha \ln|T|]$ 'e esitleniyor.
6   $Sicaklik = [\alpha \ln|T|]$ 
  // Birinci dongu ile global minimum araniyor.
7  for  $i \rightarrow 0$  to  $|T|^\beta$  do
8     $R = 0$ 
    // Ikinci dongu ile en iyi yerel minimum araniyor.
9    while  $R < 10$  do
10     // Mimaride iki adet dugum yer degistiriyor.
11      $T' = komsu(T)$ 
    // Degisen mimarinin enerji tüketimi hesaplaniyor.
12      $TET' = hesapla\_TET(T')$ 
    // Hesaplanan enerji tüketimleri arasindaki fark bulunuyor.
13      $\Delta TET = TET - TET'$ 
    Rastgele bir deger  $\Upsilon$  uretilir,  $0 \leq \Upsilon \leq 1$ 
    //  $\Upsilon$  degeri kabul fonksiyonundan kucukse yeni esleme kabul edilir.
14     if  $\Delta TET \leq 0$  or  $\Upsilon \leq e^{(-\Delta TET)/Sicaklik}$  then
15        $T = T'$ 
16        $R = 0$ 
17     else
18        $R++$ 
19     end
    //  $TET_{en\_iyi}$  degeri eldeki enerji tuketim degerinden kucukse yeni
    // esleme kabul edilir ve  $TET_{en\_iyi}$  yeni  $TET'$ e esitlenir.
20     if  $R = 0 \wedge TET < TET_{en\_iyi}$  then
21        $T_{en\_iyi} = T$ 
22        $TET_{en\_iyi} = TET$ 
23     end
24   end
  // Yeterince ret olmasi durumunda  $Sicaklik$  azaltilir.
25   $Sicaklik$  azalt
26 end
  // Bulunan en iyi esleme ve enerji tüketimi ile ilgili atamalar yapiliyor ve
  // sonuclar donuluyor.
27  $T = T_{en\_iyi}$ 
28  $E_{YüA} = TET_{en\_iyi}$ 
29 return  $T, E_{YüA}$ 
30 end

```

Algoritma 4.3. 3B YüA için BT temel alınarak geliştirilen eşleme algoritması.

İçteki döngüde rastgele iki düğüm seçilir ve bu düğümler yeni bir çözüm oluşturmak için yer değiştirirler. Eğer yeni oluşturulan eşlemenin enerji değeri daha küçükse yeni eşleme kabul edilir. Ayrıca kabul edilen yeni eşleme de eldeki en iyi eşlemeyle karşılaştırılır böylelikle en iyi eşlemede elde tutulmuş olur. Üretilen yeni eşlemenin enerji değeri daha kötüyse algoritma rastgele $0 \leq \Upsilon \leq 1$ şartı sağlanacak şekilde bir sayı üretir ve bu sayı,

kabul olasılık fonksiyonu olan $\alpha^{(-\Delta TET)/Sıcaklık}$ ile karşılaştırılır. Fonksiyondan üretilen sonuç γ 'dan büyükse yeni eşleme eldeki eşleme olarak kabul edilir. Sıcaklık değerinin yüksek olduğu durumlarda kabul olasılığı da fazla olacaktır. Sistemin sıcaklık değeri düşürüldüğü zaman kabul olasılığı da azalır. İçteki döngünün iterasyon sayısı 10 ardışık ret ile sınırlandırılmıştır. Her iterasyondan sonra sistemin sıcaklığı azaltılır ve elde kalan eşleme en iyi eşleme olarak kabul edilip yeni bir iterasyon başlatılır.



Şekil 4.3. BT temel alınarak geliştirilen algoritmanın bir iterasyon örneği : (a) Başlangıç eşlemesi, (b) 2 düğümü yer değiştirilmiş eşleme.

Şekil 3.2'de verilen BAÇ'ın geliştirilen SA3D algoritmasına girdi olarak verilmesiyle yapılan ilk iterasyon Şekil 4.3'de görülmektedir. Görüldüğü üzere başlangıç eşlemesinden sonra içteki döngünün içinde mimariden rastgele iki düğüm seçilir ve bu bileşenler yer değiştirirler. Düğümler yer değiştirmeden önce hesaplanan TET = 976.7526 Kbits/s kadardır. Yer değişikliği yapıldıktan sonra ise TET = 899.5321 Kbits/s olur. Yeni eşlemenin toplam enerji tüketimi daha az olduğu için yeni eşleme yeni çözüm olarak kabul edilir. Algoritma, bu aşamadan sonra önceden tanımlanmış iterasyon değerine ulaşıncaya dek yer değiştirme işlemine devam eder.

4.3. 2B YüA için Uygulama Eşleyen Diğer Yöntemler

Bu tez çalışması kapsamında sadece 3B YüA üzerinde çalışan CastNet3D ve BT temel alınarak geliştirilmiş SA3D algoritmaları geliştirilmemiş, daha iyi bir kıyaslama yapmak için daha önce geliştirilen ve 2B YüA üzerinde çalışan CastNet [6] ve BT temel alınarak geliştirilmiş yöntemin de [44] kodlaması yapılmıştır.

CastNet algoritmasında, başlangıç çekirdek adayları farklı simetri gruplarından seçilir. Bu yöntemde görevlerin hepsine bir öncelik değeri atanır ve başlangıç görevi, önceliği en yüksek olan görev olur. Başlangıç görevi ile başlangıç çekirdek adayı eşlendikten sonra seçilen görevin bir çekirdek ile eşlenmesi işlemi için eşlenecek görev mimari üzerinde sırasıyla eşlenmemiş olan tüm çekirdeklerle eşlenir ve bu eşlenme sonucu mimaride eşlenen görevlerle olan toplam iletişim maliyetini hesaplanır. Minimum toplam iletişim maliyetini veren çekirdek seçilen görev ile eşlenir. Bu şekilde, CastNet bir görev ile komşuları arasındaki atlama sayısını azaltmaya çalışır. Tüm başlangıç çekirdek adayları için eşlemeler tamamlandıktan sonra algoritma en az toplam enerji tüketimine sahip eşlemeyi seçer.

2B YüA üzerinde çalışan BT tabanlı uygulama eşleme yönteminde öncelikle görevler ile çekirdekler rastgele eşlenir ve başlangıç eşlemesinin toplam enerji tüketimi hesaplanır. Daha sonra, eşleme üzerindeki iki görev yer değiştirir ve toplam enerji tüketimi tekrar hesaplanır. Hesaplanan toplam enerji tüketimleri karşılaştırılır ve daha az olan enerji tüketimine sahip eşleme yeni çözüm olarak kabul edilir. Algoritma önceden tanımlanmış yineleme değerine ulaşılan kadar global en iyiyi aramaya devam eder ve bu sayıya ulaşıldığında eldeki global minimum en iyi çözüm olarak kabul edilir.

5. DENEYSEL SONUÇLAR

Bu bölümde, tez çalışması kapsamında geliştirilen 3B YüA üzerinde çalışan CastNet3D ve BT tabanlı yöntem SA3D ile geliştirilen yöntemler ile kıyaslama yapmak amacıyla kodlanmış 2B YüA üzerinde çalışan CastNet ve BT tabanlı yöntem SA2D yöntemleri hem gerçek uygulamalar hem de Şekil 3.1’de verilmiş özel üretilmiş çizge üzerinde test edilecek ve alınan sonuçlar ile karşılaştırmaları yapılacaktır.

5.1. Deneylerde Kullanılan Veri Kümesi

Bu tez çalışmasında, algoritmaların verimliliğinin test edilmesi amacıyla literatürdeki çalışmalarda da kullanılan bileşen ve bağlantı sayıları farklı olan yedi adet multimedya uygulaması ile bir adet rastgele üretilmiş çizge üzerinde birçok deney yapılmıştır. Deneylerde kullanılan gerçek multimedya uygulamaları [13]’de kullanılmış Video Object Plane Decoder (VOPD) ve MPEG-4 Decoder (MPEG4), [47]’de kullanılmış Multi-Window Display (MWD), [48]’de kullanılmış 263 Decoder (263 Dec), 263 Encoder (263 Enc) ve Mp3 Encoder (Mp3 Enc) ile [49]’de kullanılmış Dual Video Object Plan Decoder (DVOPD) uygulamalarıdır. Çizelge 5.1’de kullanılan 7 ayrı multimedya uygulaması ile rastgele üretilmiş BAÇ’ın düğüm ve kenar sayıları görülmektedir.

Bu çalışmada, her bir eşlemenin enerji tüketimini tahmin etmek için [43]’de kullanılan güç/enerji modeli kullanılmıştır. Bu modelde, enerji tüketimi metriği, kaynağından hedef çekirdeğe giden bir bitin tüketilen enerjisine dayanarak tanımlanır. Bu metrikte enerji tüketimine, yönlendiricilerde ve bağlantılarda tüketilen enerji miktarı dahildir. Amaç ağ topolojisinde düğümlerin iletişiminden kaynaklanan enerjiyi en aza indirmek olduğundan çekirdeklerde tüketilen enerji dahil edilmemiştir.

Çizelge 5.1. Çizgelerin karakteristik özellikleri

Çizge	Çizge Numarası	Düğüm Sayısı	Kenar Sayısı
VOPD	G1	16	20
MPEG4	G2	12	13
MWD	G3	12	12
263 Dec	G4	14	15
263 Enc	G5	12	12
Mp3 Enc	G6	13	13
DVOPD	G7	32	44
Şekil 3.1	G8	8	9

Enerji değerleri hesaplanırken [48]'de verilen 100 nm teknolojisinde elde edilen enerji tüketim değerleri kullanılmıştır. Buna göre [48] bir yönlendiricinin giriş kapısının tükettiği enerji yaklaşık olarak 328 nj/Mb/s'dir. Yönlendiricinin çıkış kapısının tükettiği enerji ise 65,5 nj/Mb/s'dir. Bir fiziksel bağlantıda tüketilen enerji yaklaşık olarak 79,6 nj/Mb/s/mm'dir. [50]'da önerildiği gibi iki çekirdeği bağlayan yatay bağlantı uzunluğu 3 mm olarak varsayılmıştır.

3B yongalarda genellikle ısı dağılımı problemine rastlandığından, maliyetli olduğundan ve imalat zorluğundan [51] dolayı çoğunlukla 5'den fazla katmanlı [38] yongalar tercih edilmezler. Bu çalışmada yapılan deneylerde 3B yongaların katman sayısı 2 ve 3 ile sınırlandırılmıştır. 2 ve 3 katmanlı topolojiler oluşturularak en verimli olanı seçilmeye çalışılmıştır.

5.2. Enerji Tüketimi Sonuçları

3B YüA'da çalışan CastNet3D ve SA3D ile 2B YüA'da çalışan CastNet ve SA2D algoritmaları önceki bölümde belirtilen çizgeleri girdi olarak almışlardır, bunun sonucunda elde edilen enerji tüketim değerlerine göre karşılaştırılmışlardır. 3B yongalarda katmanları birbirine bağlayan SAB'lar [52] yatay bağlantılardan daha kısa ve hızlı olduklarından katman üstü bağlantılardan daha az miktarda enerji tüketirler. Dikey bağlantılar olan SAB'ların diğer bağlantılardan kısa ve hızlı olması bu bağlantılarda katman üstü bağlantılarda tüketilen enerji miktarının 0,2, 0,3, 0,4, 0,5 ve 1 sayıları ile çarpımı kadar enerji tüketilmesini sağlar. Bu nedenle 3B YüA topolojisinde çalışan CastNet3D ve SA3D yöntemlerinde toplam enerji tüketimini hesap edilirken kullanılan θ katsayısı sırasıyla 0,2, 0,3, 0,4, 0,5 ve 1 değerlerini almıştır. Çizelge 5.2'de sonuçları gösterilen CastNet3D ve SA3D yöntemlerinin topolojileri 2 katmanlıdır. 2B YüA üzerinde çalışan CastNet ve SA2D yöntemleri ise verilen çizgelerdeki düğüm sayısına en yakın sayıda çekirdek bulunduran örgü topolojilere eşleme yapmıştır.

Çizelge 5.2. Enerji tüketim (μ J) değerleri

Çizge	CastNet3D	SA3D	CastNet	SA2D
G1	2014,89	2357,07	4113,06	5632,48
G2	2235,66	2239,58	3739,74	5093,18
G3	760,67	801,05	1148,90	1513,10
G4	14,62	13,56	20,26	34,09
G5	92,99	96,62	236,27	327,82
G6	10,89	8,95	23,76	23,77
G7	4510,83	8256,18	9825,22	18940,46
G8	426,23	541,16	1112,99	1112,99

θ katsayı 0,2 olduğunda algoritmalarından alınan enerji tüketim sonuçları Çizelge 5.2’de görülmektedir. Bu çizelgede, ilk sütun yöntemlere girdi olarak girecek çizgeleri ikinci, üçüncü, dördüncü ve beşinci sütunlar ise yöntemlerin uygulanması sonucunda alınan enerji tüketim değerlerini göstermektedir. Bu çizelgeye göre 263 Dec ve Mp3 Enc çizgeleri dışındaki çizgelerde CastNet3D algoritması minimum enerji tüketim sonucunu vermiştir. Bu iki çizgeydeyse SA3D yöntemi daha iyi sonuç vermiştir. Geliştirilen sezgisel yöntem CastNet3D, 263 Dec ve Mp3 Enc çizgeleri içinde en iyi sonuçlara yakın sonuçlar vermiştir.

Çizelge 5.3. CastNet3D enerji tasarrufu (%)

Çizge	CastNet3D	CastNet	% Kazanç
G1	2014,89	4113,06	51,01
G2	2235,66	3739,74	40,22
G3	760,67	1148,90	33,79
G4	14,62	20,26	27,84
G5	92,99	236,27	60,64
G6	10,89	23,76	54,17
G7	4510,83	9825,22	54,09
G8	426,23	1112,99	61,70
Ortalama			47,93

Çizelge 5.3’de CastNet3D yönteminin önceki versiyonu olan 2B YüA üzerinde çalışan CastNet yöntemine göre ne kadar enerji kazanımı sağladığı % cinsinden verilmiştir. Verilen çizgelerin hepsinde CastNet3D yöntemi ile kayda değer enerji tasarrufu sağlanmıştır. Geliştirilen yöntem, ortalama %47.93 daha az enerji tüketmektedir.

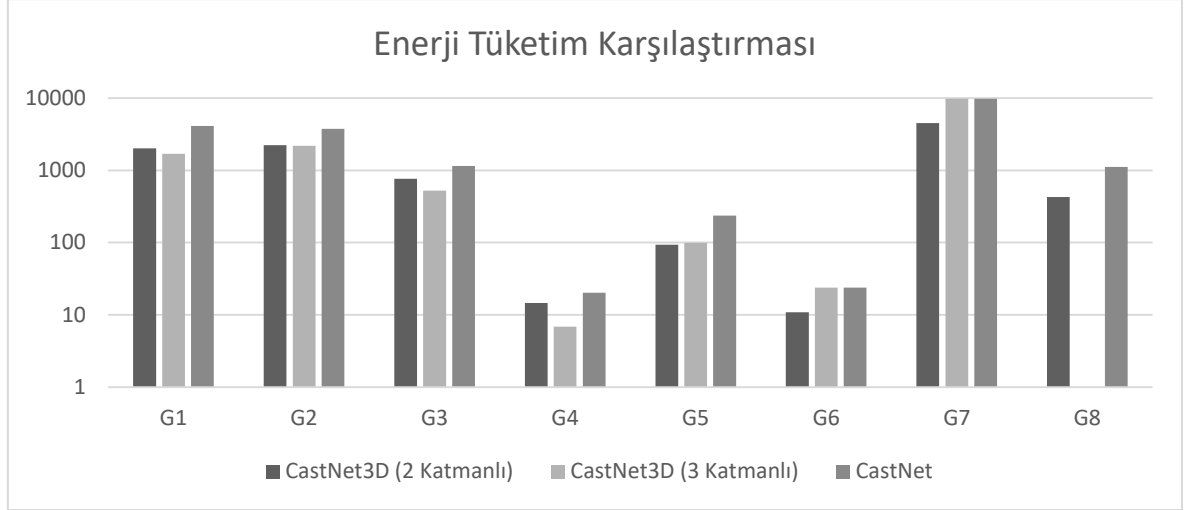
Çizelge 5.4. SA3D enerji tasarrufu (%)

Çizge	SA3D	SA2D	% Kazanç
G1	2357,07	5632,48	58,15
G2	2239,58	5093,18	56,03
G3	801,05	1513,10	47,06
G4	13,56	34,09	60,22
G5	96,62	327,82	70,53
G6	8,95	23,77	62,35
G7	8256,18	18940,46	56,41
G8	541,16	1112,99	51,38
Ortalama			57,77

Çizelge 5.4’de SA3D yönteminin önceki versiyonu olan 2B YüA üzerinde çalışan SA2D yöntemine göre ne kadar enerji kazanımı sağladığı % cinsinden verilmiştir. Verilen çizgelerin hepsinde SA3D yöntemi ile kayda değer enerji tasarrufu sağlanmıştır. Geliştirilen yöntem, ortalama %57.77 daha az enerji tüketmektedir.

Çizelge 5.3 ve 5.4’de 3B YüA üzerinde çalışan CastNet3D ve SA3D 2B versiyonlarına göre sırasıyla %47.93 ve %57.77 oranlarında enerjiden tasarruf sağlamışlardır. Bu enerji tasarrufunun nedeni iletişimden kaynaklanan enerjinin çoğunlukla kısa ve hızlı SAB’lar üzerinden aktarılmasıdır. Bu aktarım sayesinde düğümlerin iletişiminden doğan dinamik enerji de azalmıştır.

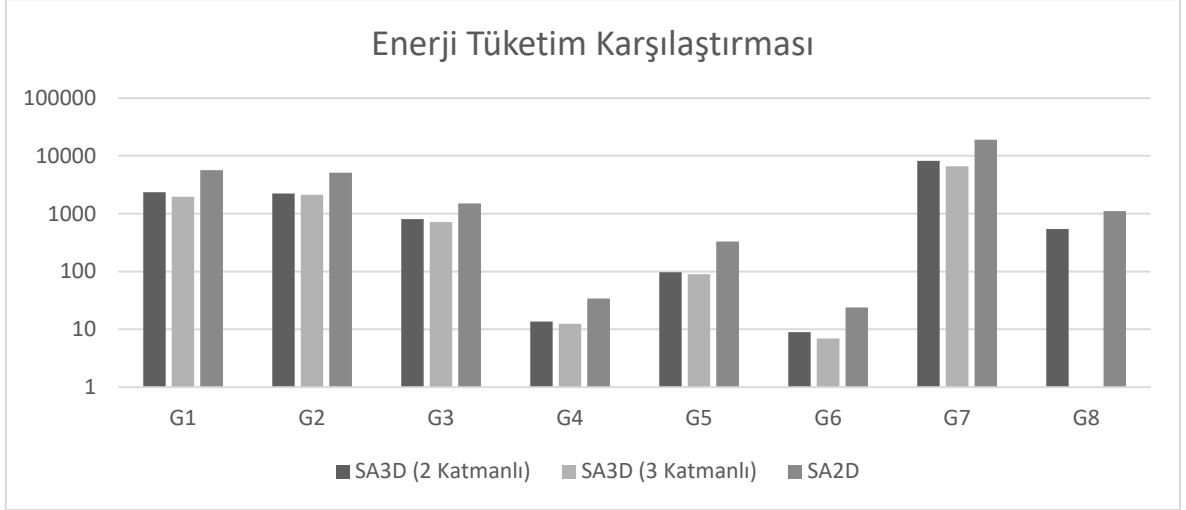
Farklı uygulamalar için 3B YüA üzerinde çalışan CastNet3D ve 2B YüA üzerinde çalışan CastNet yöntemleri tarafından tüketilen enerji değerleri Şekil 5.1’de görülmektedir.



Şekil 5.1. CastNet3D ve CastNet yöntemlerinin enerji tüketim karşılaştırması

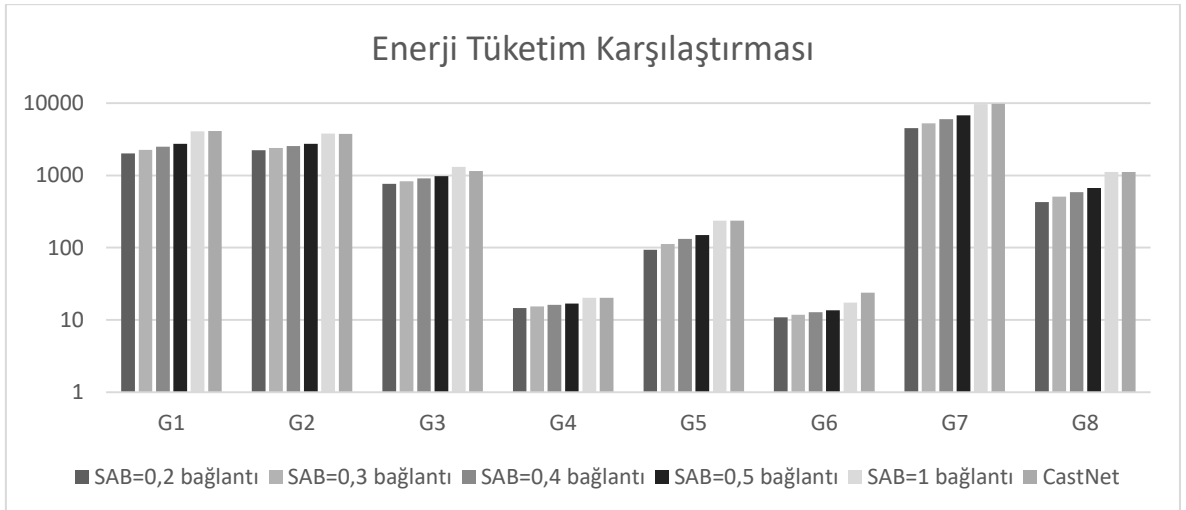
Şekilde görüldüğü üzere 8 ayrı uygulama için CastNet3D yönteminden topoloji 2 katmanlı ve 3 katmanlı olacak şekilde sonuçlar alınmıştır. Bu sonuçlar alınırken SAB’larda tüketilen enerji miktarı yatay bağlantılarda tüketilen enerji miktarının 1/5’i olarak varsayılmıştır. Yani bu deneylerde enerji hesabı yapılırken θ katsayısı 0,2 olarak alınmıştır. 3 katmanlı topolojilerin 2 katmanlı topolojilerden ve 2B YüA örgü topolojilerinden daha az enerji tükettiği Şekil 5.1’de görülmektedir. 8 düğümlü G8 çizgesinin 3 katmanlı bir topolojiye eşlenmesi mantık dışı olduğundan böyle bir eşleme yapılmamıştır.

Farklı uygulamalar için 3B YüA üzerinde çalışan SA3D ve 2B YüA üzerinde çalışan SA2D yöntemleri tarafından tüketilen enerji değerleri Şekil 5.2’de görülmektedir. Şekilde görüldüğü üzere 8 ayrı uygulama için SA3D yönteminden topoloji 2 katmanlı ve 3 katmanlı olacak şekilde sonuçlar alınmıştır.



Şekil 5.2. SA3D ve SA2D yöntemlerinin enerji tüketim karşılaştırması

Bu sonuçlar alınırken SAB’larda tüketilen enerji miktarı yatay bağlantılarda tüketilen enerji miktarının 1/5’i olarak varsayılmıştır. Yani bu deneylerde enerji hesabı yapılırken θ katsayısı 0,2 olarak alınmıştır. 3 katmanlı topolojilerin 2 katmanlı topolojilerden ve 2B YüA örgü topolojilerinden daha az enerji tükettiği Şekil 5.2’de görülmektedir. 8 düğümlü G8 çizgesinin 3 katmanlı bir topolojiye eşlenmesi mantık dışı olacağından böyle bir eşleme yapılmamıştır.



Şekil 5.3. SAB’ların farklı enerji tüketim miktarlarına göre CastNet3D ve CastNet yöntemlerinin karşılaştırılması

Şekil 5.3’de görüldüğü üzere, dikey bağlantıların SAB’ların, yatay bağlantılara göre enerji tüketim miktarları değişmektedir. Bu şekilde SAB’larda katma üstü bağlantılarda tüketilen enerji miktarının 0,2, 0,3, 0,4, 0,5 ve 1 katı kadar enerji harcandığı varsayılmıştır. Bu grafikte alınan enerji tüketim sonuçları CastNet3D için 2 katmanlı topolojiler üzerinedir. Bu grafik göstermektedir ki SAB’ların tükettiği enerji miktarı yatay bağlantıların tükettiği enerji miktarı ile aynı olsa bile CastNet3D yöntemi, 2B YüA üzerinde çalışan CastNet’e göre çoğunlukla daha iyi sonuç vermiştir. Daha iyi sonuç vermediği durumlarda ise en iyiye çok yakın sonuçlar vermiştir.

5.3. Performans Sonuçları

Yapılan deneylerde anlatılan dört optimizasyon yöntemi, çözüm doğruluğuna dayalı olarak test edilmiştir. Algoritmaların çözümü belirlemelerinin ne kadar zaman aldığı yani bu dört yöntemin yürütme zamanları da bu yöntemleri karşılaştırmak için önemli başka bir kıstastır. Yapılan deneylerde 3.60 GHz hızıyla çalışabilen 4 çekirdekli Intel i7-7000 işlemci ve 16 GB ana hafızaya sahip bir bilgisayar kullanılmıştır. Çizelge 5.5’de anlatılan dört yöntemin yürütme zamanları saniye cinsinden listelenmiştir. 3B YüA üzerinde çalışan CastNet3D ve SA3D ile 2B YüA üzerinde çalışan CastNet ve SA2D yöntemleri 7 adet gerçek multimedya uygulaması ve Şekil 3.1’deki BAÇ ile test edilmiştir. Çizelge 5.5’te bu dört eşleme yönteminin söz edilen çizgeler için yürütme zamanları gösterilmiştir. Bu çizelgede 3B YüA üzerine eşleme yapan CastNet3D ve SA3D yöntemleri için 2 katmanlı topolojiler kullanılmıştır. SA3D yöntemi test edilirken algoritmanın sözde kodunun anlatıldığı bölümde geçen α ve β değişkenlerine farklı değerler verilerek sonuçlar alınmıştır.

Çizelge 5.5. Dört yöntemin yürütme zamanı karşılaştırması (s)

Çizge	CastNet3D	SA3D	CastNet	SA2D
G1	0,46	53,29	0,56	1102,80
G2	0,26	106,33	0,61	530,92
G3	0,25	326,53	0,34	195,49
G4	0,45	320,60	0,53	159,06
G5	0,27	110,43	0,55	281,47
G6	0,43	27,18	0,56	320,11
G7	0,86	132,16	1,34	121,18
G8	0,14	131,71	0,44	1221,17

Çizelge 5.5'te görüldüğü üzere CastNet3D ve CastNet algoritmaları eşleme sonucuna saniyeler içerisinde varmaktadır. Bu iki yöntemden 3B YüA üzerinde çalışan CastNet3D algoritması CastNet algoritmasından bütün düğüm çizgelerinde daha iyi bir performans sergilemiştir yani yürütme zamanı daha kısa sürmüştür. BT algoritması temel alınarak geliştirilmiş SA3D ve SA2D yöntemlerinin yürütme zamanları diğer iki yöntemden çok daha fazla sürmüştür. Sonuç olarak sezgisel olan bu dört yöntemden en kısa yürütme zamanına sahip olan yöntem CastNet3D algoritmasıdır.

Çizelge 5.6. Eşleme yöntemlerinin yürütme zamanı karşılaştırması (s)

Çizge	CastNet3D	SA3D	CastNet	SA2D
G1	0,46	45,30	0,56	1102,80
G2	0,27	696,57	0,61	530,92
G3	0,28	352,97	0,34	195,49
G4	0,42	41,73	0,53	159,06
G5	0,30	16,78	0,55	281,47
G6	0,41	21,76	0,56	320,11
G7	1,11	231,51	1,34	121,18
G8	0,14	131,71	0,44	1221,17

Çizelge 5.6’da CastNet3D ve SA3D yöntemleri 3 katmanlı topolojiyle eşleme işlemini gerçekleştirmiştir. Bu çizelgeden de anlaşıldığı üzere CastNet3D yöntemi bütün çizgeler için en kısa yürütme zamanına sahip yöntemdir.

5.4. Ortalama Atlama Sayısı Sonuçları

Yapılan deneylerde anlatılan dört optimizasyon yöntemi, çözüm doğruluğuna ve yürütme zamanlarına dayalı olarak karşılaştırılmıştır. Yöntemler sonucu bulunan eşlemelerin ortalama atlama sayıları da (OAS) bu yöntemleri karşılaştırmak için iyi bir kıstastır. Çizelge 5.7’de anlatılan dört yöntemin OAS değerleri listelenmiştir. 3B YüA üzerinde çalışan CastNet3D ve SA3D ile 2B YüA üzerinde çalışan CastNet ve SA2D yöntemleri 7 adet gerçek multimedya uygulaması ve Şekil 3.1’deki BAÇ ile test edilmiştir. Bu çizelgede 3B YüA üzerine eşleme yapan CastNet3D ve SA3D yöntemleri için 2 katmanlı topolojiler kullanılmıştır. SA3D yöntemi test edilirken algoritmanın sözde kodunun anlatıldığı bölümde geçen α ve β değişkenlerine farklı değerler verilerek sonuçlar alınmıştır.

Çizelge 5.7. Eşleme yöntemlerinin ortalama atlama sayısı karşılaştırması

Çizge	CastNet3D	SA3D	CastNet	SA2D
G1	1,30	1,60	1,45	2,05
G2	1,31	1,77	1,46	2,15
G3	1,42	1,58	1,00	1,50
G4	1,20	2,00	1,07	2,67
G5	1,25	1,83	1,08	1,83
G6	1,07	2,00	1,07	2,08
G7	1,62	2,80	1,83	3,66
G8	1,11	1,33	1,00	1,00

Çizelge 5.7'ye göre CastNet3D yöntemi 2B YüA üzerinde çalışan muadili CastNet yöntemi ile yakın OAS değerlerine sahiptir. SA3D yöntemi ise SA2D yöntemine göre OAS değerleri bakımından daha iyi sonuçlar vermiştir. Sonuç olarak ilgili çizelgede CastNet3D ve CastNet yöntemlerinin daha iyi OAS değerlerine sahip olduğu görülmektedir.

Çizelge 5.8. Eşleme yöntemlerinin ortalama atlama sayısı karşılaştırması

Çizge	CastNet3D	SA3D	CastNet	SA2D
G1	1,45	2,15	1,45	2,05
G2	1,38	1,92	1,46	2,15
G3	1,33	1,33	1,00	1,50
G4	1,20	2,07	1,07	2,67
G5	1,33	2,33	1,08	1,83
G6	1,31	2,31	1,07	2,08
G7	1,45	3,00	1,83	3,66
G8	1,11	1,33	1,00	1,00

Çizelge 5.8’de 3B YüA üzerinde çalışan CastNet3D ve SA3D yöntemlerinde 3 katmanlı topolojiler kullanılmıştır. Buna göre CastNet3D ve SA3D yöntemleri için 3 katmanlı topolojilerin kullanılması ile OAS değeri azda olsa artış göstermiştir.

6. SONUÇ

Çekirdek sayısının artması ile bu çekirdeklerin arasındaki bağlantı problemleri daha önemli hale gelmiştir. Bu sorunun üstesinden gelebilmek için 3B bütünleşmiş devreler ile YüA mimarileri birleştirilerek 3B YüA mimarisi geliştirilmiştir. Verimli 3B YüA mimarisi tasarlamının birçok zorluğu mevcuttur. En önemli zorluklardan birisi de uygulamaların düğümlerini topolojideki çekirdeklere eşleme problemidir.

Bu tez çalışmasında, örgü tabanlı 3B YüA mimarileri için uygulama eşleme problemine çözüm getiren sezgisel, enerji farkındalıklı, karmaşıklığı fazla olmayan ve en iyi eşlemeyi kısa sürede bulan bir yöntem olan CastNet3D sunulmuştur. Bu tez çalışmasında sunulan başka bir yöntem ise aynı probleme çözüm getiren BT temel alınarak geliştirilmiş, meta sezgisel SA3D yöntemidir. Ayrıca geliştirilen yöntemlerle karşılaştırmak üzere daha önceden geliştirilmiş örgü tabanlı 2B YüA mimarisi üzerinde çalışan CastNet ve SA2D algoritmaları kodlanmıştır. Geliştirilen yöntemlerin amacı verilen uygulama bileşenleri arasındaki iletişim maliyetini azaltarak iletişimden doğan enerji tüketimini en aza indirmektir. CastNet3D algoritması, bu amaca ulaşmak için çok iletişim kuran düğümler arasındaki atlama sayısını azaltarak ve bu düğümlerin SAB'lar vasıtası ile haberleşmesini sağlayarak enerji tüketimini minimize eder. SA3D algoritmasında ise başlangıçta oluşturulan rastgele eşlemenin enerji tüketim değeri, eşleme üzerinde her yinelemede iki düğüm yer değiştirecek şekilde yeniden hesaplanır ve bu değer yineleme yoluyla iyileştirilmeye çalışılır.

Bu çalışmada sunulan CastNet3D ve SA3D yöntemleri farklı düğüm sayılarına sahip 7 adet gerçek uygulama ve 1 adet örnek uygulama ile test edilmiştir. Yapılan deneylerde enerji tüketim değerlerinin karşılaştırılmasının yanında performans ve ortalama atlama sayısı kıstaslarına göre de karşılaştırmalar yapılmıştır. Bu karşılaştırmalara göre örgü tabanlı 3B YüA mimarisi için eşleme yapan CastNet3D ve SA3D algoritmaları 2B YüA için eşleme yapan muadillerine göre daha iyi toplam enerji tüketim sonuçları vermişlerdir. Toplam enerji tüketimi, performans kıstaslarında bütün uygulamalar için CastNet3D daha iyi sonuç vermiştir. Ortalama atlama sayısı kıstasında ise ya en iyi ya da en iyi değere çok yakın sonuç vermiştir. Sonuç olarak CastNet3D yöntemi, çoğunlukla tüm kıstaslarda diğer yöntemlere göre daha iyi sonuç vermiştir.

Sunulan yöntemlerde yapılacak iyileştirmelerden birisi yöntemlerin ortalama atlama sayısı daha az eşleme bulabilecek hale getirilmesi olabilir. Bilhassa BT temel alınarak geliştirilmiş SA2D ve SA3D algoritmalarının daha iyi özelliklere sahip bilgisayarlarla daha uzun sürelerde çalışması sağlanarak OAS değerinin azalması gerçekleşebilir. Son olarak geliştirilen CastNet3D ve SA3D yöntemlerinin daha fazla yöntem ile düğüm sayısı daha fazla olan uygulamalar üzerinde karşılaştırılması sonraki araştırmalarımızın konusu olabilir.



KAYNAKLAR

- [1] J. Cong and J. Wei, "A thermal-driven floorplanning algorithm for 3D ICs," *Comput. Aided Des.*, pp. 306–313, **2004**.
- [2] P. Guerrier and A. Greiner, "A generic architecture for on-chip packet-switched interconnections," in *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*, **2000**, pp. 250–256.
- [3] G. De Micheli and L. Benini, *Networks on Chips: Technology and Tools*. San Francisco, California: Morgan Kaufmann, **2006**.
- [4] L. Benini and G. De Micheli, "Networks on chips: a new SoC paradigm," *Computer (Long. Beach. Calif.)*, vol. 35, no. 1, pp. 70–78, Jan. **2002**.
- [5] S. Kumar et al., "A network on chip architecture and design methodology," in *Proceedings IEEE Computer Society Annual Symposium on VLSI. New Paradigms for VLSI Systems Design. ISVLSI 2002*, **2002**, pp. 105–112.
- [6] S. Tosun, "New heuristic algorithms for energy aware application mapping and routing on mesh-based NoCs," *J. Syst. Archit.* 57 (1) (**2011**) 6978.
- [7] B. Yu, S. Dong, S. Chen, and S. Goto, "Floorplanning and topology generation for application-specific Network-on-Chip," in *2010 15th Asia and South Pacific Design Automation Conference (ASP-DAC)*, **2010**, pp. 535–540.
- [8] J. Kim et al., "A Novel Dimensionally-decomposed Router for On-chip Communication in 3D Architectures," in *Proceedings of the 34th Annual International Symposium on Computer Architecture*, **2007**, pp. 138–149.
- [9] J. W. Joyner, P. Zarkesh-Ha, and J. D. Meindl, "A stochastic global net-length distribution for a three-dimensional system-on-a-chip (3D-SoC)," in *Proceedings 14th Annual IEEE International ASIC/SOC Conference (IEEE Cat. No.01TH8558)*, **2001**, pp. 147–151.
- [10] G. Koren and D. Shasha, "MOCA: a multiprocessor on-line competitive algorithm for real-time system scheduling," *Real-Time System Symposium*, pp 172-181, **1993**.
- [11] S. Tosun, O. Ozturk and M. Ozen, "An ILP formulation for application mapping onto Network-on-Chips," *Application of Information and Communication Technologies*, pp. 1-5, **2009**.
- [12] S. Murali, G. De Micheli, "Bandwidth-constrained mapping of cores onto NoC architectures," in: *Proceedings of the Conference on Design, Automation and Test in Europe*, pp. 896-901, **2004**.
- [13] M. Janidarmian, A. Khademzadeh, M. Tavanpour (2009) Onyx: a new heuristic bandwidth-constrained mapping of cores onto tile-based Network on Chip. In: *IEICE Electron. Express*, vol 6, no 1, pp 1–7.
- [14] L. Zhonghai, X. Lei, J. Axel (2008) Cluster-based simulated annealing for mapping cores onto 2D mesh networks on chip. In: *Proceedings of the 2008 11th IEEE*

Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS '08), IEEE Computer Society, Washington DC.

- [15] F. Moein-darbari, A. Khademzade, G. Gharooni-fard(2009) CGMAP: a new approach to network-on-chip mapping problem. *IEICE Electron Express* 6(1):27–34.
- [16] S. Borkar (2011) 3d integration for energy efficient system design. In: *design automation conference (DAC)*, **2011** 48th ACM/EDAC/IEEE, pp 214–219.
- [17] P. Vivet, D. Dutoit, Y. Thonnart, F. Clermidy (2011) 3d NoC using through silicon via: an asynchronous implementation. In: *VLSI and system-on-chip (VLSI-SoC), 2011 IEEE/IFIP 19th international conference on*, pp 232–237.
- [18] M. Ebrahimi, M. Daneshtalab, P. Liljeberg, J. Plosila, H. Tenhunen (2013) Cluster-based topologies for 3d networks-on-chip using advanced inter-layer bus architecture. *J Comput Syst Sci* 79(4):475–491.
- [19] M. Daneshtalab, M. Ebrahimi, J. Plosila (2012) Hibs: novel inter-layer bus structure for stacked architectures. In: *3D systems integration conference (3DIC), 2011 IEEE, international*, pp 1–7.
- [20] W. Zhong, S. Chen, F. Ma, T. Yoshimura, and S. Goto, “Floorplanning driven Network-on-Chip synthesis for 3-D SoCs,” in *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, **2011**, pp. 1203–1206.
- [21] I. Akturk and O. Ozturk, “ILP-Based Communication Reduction for Heterogeneous 3D Network-on-Chips,” in *2013 21st Euromicro International Conference on Parallel, Distributed, and Network-Based Processing*, **2013**, pp. 514–518.
- [22] P.K. Sahu, T. Shah, K. Manna, S. Chattopadhyay, Application mapping onto mesh-based network-on-chip using discrete particle swarm optimization, *IEEE Trans. Very Large Scale Integr. Syst.* 22 (2) (**2014**) 300–312.
- [23] V. Jha, S. Deol, M. Jha, G.K. Sharma, Energy and latency aware application mapping algorithm & optimization for homogeneous 3D network on chip keywords network on chip, mapping, 3D architecture, system on chip, optimization.
- [24] N. Ge, Fen Feng, Gui Yu, Shuang Wu, Power-and thermal-aware mapping for 3d network-on-chip, *Inf. Technol. J.* 12 (23) (**2013**) 7297–7304.
- [25] I. Anagnostopoulos, A. Bartzas, I. Vourkas, D. Soudris, Node resource management for dsp applications on 3D network-on-chip architecture, in: *DSP 2009 16th Int. Conf. Digit. Signal Process. Proc.* **2009**.
- [26] M. Dageleh, M. Jamali, V-CastNet3D: A novel clustering-based mapping in 3-D Network on chip, in: *Nano Communication Networks*, December **2017**.
- [27] G. Jullien, Y. Savaria, and W. Badawy, “System-on-chip (SoC) technology: the future of VLSI design,” in *The IEEE International Symposium on Circuits and Systems*, 2003. Tutorial Guide: ISCAS 2003., **2003**, vol. 1, pp. 1–4.
- [28] H. De Man, “Future systems-on-a-chip: impact on engineering education,” in *Proceedings Eleventh International Conference on VLSI Design*, **1998**, pp. 572– 577.

- [29] A. S. Berger, "Applying hardware/software co-design to systems-on-a-chip," in *Wescon/98. Conference Proceedings (Cat. No.98CH36265)*, **1998**, pp. 22–28.
- [30] X. Wang, M. Yang, Y. Jiang, and P. Liu, "A Power-aware Mapping Approach to Map IP Cores Onto NoCs Under Bandwidth and Latency Constraints," *ACM Trans. Arch. Code Optim.*, vol. 7, no. 1, p. 1:1--1:30, May **2010**.
- [31] S. Kumar et al., "A network on chip architecture and design methodology," in *Proceedings IEEE Computer Society Annual Symposium on VLSI. New Paradigms for VLSI Systems Design. ISVLSI 2002*, **2002**, pp. 105–112.
- [32] B. Dunne et al., "Fully stacked 3D devices in electron beam recrystallised material," in *Proceedings. SOS/SOI Technology Workshop*, **1988**, p. 70-.
- [33] M. Matsunami, M. Koba, and R. Miyake, "A study of high density multilayer LSI," in *1990 Proceedings. International Conference on Wafer Scale Integration*, **1990**, pp. 322–328.
- [34] C. K. Subramanian and G. W. Neudeck, "A full-wafer SOI process for 3 dimensional integration," in *Proceedings Ninth Biennial University/Government/Industry Microelectronics Symposium*, **1991**, pp. 195–198.
- [35] S. Pasricha, "Exploring serial vertical interconnects for 3D ICs," in *2009 46th ACM/IEEE Design Automation Conference*, **2009**, pp. 581–586.
- [36] S. Pozder, R. Chatterjee, A. Jain, Z. Huang, R. E. Jones, and E. Acosta, "Progress of 3D Integration Technologies and 3D Interconnects," in *2007 IEEE International Interconnect Technology Conference*, **2007**, pp. 213–215.
- [37] W. Jang and D. Z. Pan, "Chemical-Mechanical Polishing-Aware Application-Specific 3D NoC Design," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 32, no. 6, pp. 940–951, Jun. **2013**.
- [38] F. Li, C. Nicopoulos, T. Richardson, Y. Xie, V. Narayanan, and M. Kandemir, "Design and Management of 3D Chip Multiprocessors Using Network-in-Memory," in *33rd International Symposium on Computer Architecture (ISCA '06)*, 2006, pp. 130–141.
- [39] S. Fujita, K. Nomura, K. Abe, and T. H. Lee, "3D on-chip networking technology based on post-silicon devices for future networks-on-chip," in *2006 1st International Conference on Nano-Networks and Workshops*, **2006**, pp. 1–5.
- [40] K. Lee et al., "Networks-on-chip and Networks-in-Package for High-Performance SoC Platforms," in *2005 IEEE Asian Solid-State Circuits Conference*, **2005**, pp. 485–488.
- [41] V. F. Pavlidis and E. G. Friedman, "3-D Topologies for Networks-on-Chip," in *2006 IEEE International SOC Conference*, **2006**, pp. 285–288.
- [42] B. Feero and P. P. Pande, "Performance Evaluation for Three-Dimensional Networks-On-Chip," in *IEEE Computer Society Annual Symposium on VLSI (ISVLSI '07)*, **2007**, pp. 305–310.

- [43] T. T. Ye, L. Benini, and G. De Micheli, "Analysis of power consumption on switch fabrics in network routers," *Proc. 2002 Des. Autom. Conf. (IEEE Cat. No.02CH37324)*, pp. 524–529, **2002**.
- [44] S. Tosun, et al. "Application mapping algorithms for mesh based network-on-chip architectures." *The Journal of Supercomputing* 71.3 (**2015**): 995-1017.
- [45] S. Kirkpatrick, Jr CD. Gelatt, MP. Vecchi (1983) Optimization by simulated annealing. *Science* 220(4598):671–680
- [46] Marcon CAM, Moreno EI, Calazans NLV, Moraes FG(2008) Comparison of network-on-chip mapping algorithms targeting low energy consumption. *Comput Digit Tech IET* 2(6):471–482
- [47] K-C. Chang and T-F. Chen. "Low-power algorithm for automatic topology generation for application-specific networks on chips." *IET Computers & Digital Techniques* 2.3 (**2008**): 239-249.
- [48] Srinivasan, Krishnan, C. S. Karam, and K. Goran. "Linear programming- based techniques for synthesis of network-on-chip architectures." *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 14.4 (**2006**): 407-420.
- [49] Z. Qian, et al. "Performance evaluation of noc-based multicore systems: From traffic analysis to noc latency modeling." *ACM Transactions on Design Automation of Electronic Systems (TODAES)* 21.3 (**2016**): 52.
- [50] W.J. Dally, B. Towles, Route packets, not wires: on-chip interconnection networks, in: *Proceedings on Design Automation Conference, Las Vegas, Nevada, USA, 2001*, pp. 684–689.
- [51] C. Santos, P. Vivet, J. P. Colonna, P. Coudrain, and R. Reis, "Thermal performance of 3D ICs: Analysis and alternatives," in *2014 International 3D Systems Integration Conference (3DIC)*, **2014**, pp. 1–7.
- [52] T. Onagi, C. Sun, and K. Takeuchi, "Impact of through-silicon via technology on energy consumption of 3D-integrated solid-state drive systems," in *2015 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, **2015**, pp. 215–218.
- [53] A. B. Ahmed and A. B. Adallah, "LA-XYZ: Low Latency, High Throughput Look-Ahead Routing Algorithm for 3D Network-on-Chip (3D-NoC) Architecture," in *Embedded Multicore Socs (MCSoc), 2012 IEEE 6th International Symposium*, **2012**, pp. 162-174.
- [54] D. Skillicorn, "Taxonomy for computer architectures," *Computer*, 21(11), **1988**, pp. 46-57.

ÖZGEÇMİŞ

Kimlik Bilgileri

Ad, Soyad: Yiğitcan Nalcı

Doğum Yeri: Altındağ/ANKARA

Medeni Hali: Evli

E-posta: yigitcannalci@gmail.com

Adres: Türkiye Cumhuriyet Merkez Bankası İdare Merkezi, Anafartalar Mah.
İstiklal Cad. No:10 06050 Ulus Altındağ/ANKARA

Eğitim

Lisans: Ankara Üniversitesi, Bilgisayar Mühendisliği, Ankara, 2014

Lise: Elvankent Bilgi Anadolu Lisesi, Ankara, 2009

Yabancı Diller

Almanca, İngilizce

İş Deneyimi

2014 - 2015: Yazılım Mühendisi, Cybersoft Enformasyon Teknolojileri Ltd. Şti.

2015 - 2016: Yazılım Mühendisi, Başarı Mobile Bilişim Ürünleri ve Hizmetleri A.Ş.

2016 - : Yazılım Mühendisi, Türkiye Cumhuriyet Merkez Bankası (TCMB)

Deneyim Alanları

Bilgi Teknolojileri Projeleri, Mobil Uygulama Projeleri, Büyük Veri.

Tezden Üretilmiş Projeler ve Bütçesi

Tezden Üretilmiş Yayınlar

Tezden Üretilmiş Tebliğ ile Katıldığı Toplantılar

NALCI, Yigitcan; TOSUN, Suleyman, "CastNet3D: A Heuristic Algorithm for Energy-Aware Application Mapping on 3D-NoCs.", 15th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), Prague, Czech Republic, 2018.



HACETTEPE ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
YÜKSEK LİSANS/DOKTORA TEZ ÇALIŞMASI ORJİNALLİK RAPORU

HACETTEPE ÜNİVERSİTESİ
FEN BİLİMLER ENSTİTÜSÜ
BİLGİSAYAR MÜHENDİSLİĞİ ANABİLİM DALI BAŞKANLIĞI'NA

Tarih: 16/05/2018

Tez Başlığı / Konusu: ÜÇ BOYUTLU YONGA-ÖSTÜ AĞ (3B-YÜA) MİMARLARI İÇİN
ESLEME YÖNTEMLERİ

Yukarıda başlığı/konusu gösterilen tez çalışmamın a) Kapak sayfası, b) Giriş, c) Ana bölümler d) Sonuç kısımlarından oluşan toplam 66 sayfalık kısmına ilişkin, 26/04/2018 tarihinde şahsım/tez danışmanım tarafından Turnitin adlı intihal tespit programından aşağıda belirtilen filtrelemeler uygulanarak alınmış olan orijinallik raporuna göre, tezimin benzerlik oranı % 5'tür.

Uygulanan filtrelemeler:

- 1- Kaynakça hariç
- 2- Alıntılar hariç/dahil
- 3- 5 kelimedenden daha az örtüşme içeren metin kısımları hariç

Hacettepe Üniversitesi Fen Bilimleri Enstitüsü Tez Çalışması Orjinallik Raporu Alınması ve Kullanılması Uygulama Esasları'nı inceledim ve bu Uygulama Esasları'nda belirtilen azami benzerlik oranlarına göre tez çalışmamın herhangi bir intihal içermediğini; aksinin tespit edileceği muhtemel durumda doğabilecek her türlü hukuki sorumluluğu kabul ettiğimi ve yukarıda vermiş olduğum bilgilerin doğru olduğunu beyan ederim.

Gereğini saygılarımla arz ederim.

Tarih ve İmza

Adı Soyadı: Yigitcan NALCI
Öğrenci No: N14223432
Anabilim Dalı: Bilgisayar Mühendisliği
Programı:
Statüsü: ☒ Y.Lisans ☐ Doktora ☐ Bütünleşik Dr.

16/05/2018

DANIŞMAN ONAYI

UYGUNDUR.

Doç. Dr. Süleyman TOSUN
(Unvan, Ad Soyad, İmza)