

**BAŞKENT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK/ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI
ELEKTRİK/ELEKTRONİK MÜHENDİSLİĞİ TEZLİ YÜKSEK
LİSANS PROGRAMI**

**X BANT UYGULAMALARI İÇİN GaN TABANLI DÜŞÜK
GÜRÜLTÜLÜ YÜKSELTEÇ TASARIMI**

HAZIRLAYAN

GİZEM TENDÜRÜS ÇAĞLAR

YÜKSEK LİSANS TEZİ

ANKARA - 2022

**BAŞKENT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK/ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI
ELEKTRİK/ELEKTRONİK MÜHENDİSLİĞİ TEZLİ YÜKSEK
LİSANS PROGRAMI**

**X BANT UYGULAMALARI İÇİN GaN TABANLI DÜŞÜK
GÜRÜLTÜLÜ YÜKSELTEÇ TASARIMI**

HAZIRLAYAN

GİZEM TENDÜRÜS ÇAĞLAR

YÜKSEK LİSANS TEZİ

TEZ DANIŞMANI

PROF. DR. SEDAT NAZLIBİLEK

ANKARA - 2022

BAŞKENT ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Elektrik/Elektronik Mühendisliği Anabilim Dalı Elektrik/Elektronik Mühendisliği Tezli Yüksek Lisans Programı çerçevesinde Gizem Tendürüs Çağlar tarafından hazırlanan bu çalışma, aşağıdaki jüri tarafından Yüksek Lisans Tezi olarak kabul edilmiştir.

Tez Savunma Tarihi: 26 / 05 / 2022

Tez Adı: X Bant Uygulamaları İçin GaN Tabanlı Düşük Gürültülü Yükselteç Tasarımı

Tez Jüri Üyeleri (Unvanı, Adı - Soyadı, Kurumu)

İmza

Prof. Dr. Sedat NAZLIBİLEK (Başkent Üniversitesi)

.....

Prof. Dr. Hasan Şakir BİLGE (Gazi Üniversitesi)

.....

Dr. Öğr. Üyesi Murat ÜÇÜNCÜ (Başkent Üniversitesi)

.....

ONAY

Prof. Dr. Ömer Faruk Elaldı

Fen Bilimleri Enstitüsü Müdürü

Tarih : ... / ... /

BAŞKENT ÜNİVERSİTESİ
FEN BİLİMLER ENSTİTÜSÜ
YÜKSEK LİSANS TEZ ÇALIŞMASI ORJİNALLİK RAPORU

Tarih: ... / ... / 2022

Öğrencinin Adı, Soyadı: Gizem Tendürüs Çağlar

Öğrencinin Numarası: 21910365

Anabilim Dalı: Elektrik/Elektronik Mühendisliği

Programı: Elektrik/Elektronik Mühendisliği Tezli Yüksek Lisans

Danışmanın Unvanı/Adı, Soyadı: Prof. Dr. Sedat Nazlıbilek

Tez Başlığı: X BANT UYGULAMALARI İÇİN GaN TABANLI DÜŞÜK GÜRÜLTÜLÜ
YÜKSELTEÇ TASARIMI

Yukarıda başlığı belirtilen Yüksek Lisans tez çalışmamın; Giriş, Ana Bölümler ve Sonuç Bölümünden oluşan, toplam 108 sayfalık kısmına ilişkin, 31 / 05 / 2022 tarihinde tez danışmanım tarafından Turnitin adlı intihal tespit programından aşağıda belirtilen filtrelemeler uygulanarak alınmış olan orijinallik raporuna göre, tezimin benzerlik oranı % 5'dir. Uygulanan filtrelemeler:

1. Kaynakça hariç

2. Alıntılar hariç

3. Beş (5) kelimedenden daha az örtüşme içeren metin kısımları hariç

“Başkent Üniversitesi Enstitüleri Tez Çalışması Orijinallik Raporu Alınması ve Kullanılması Usul ve Esaslarını” inceledim ve bu uygulama esaslarında belirtilen azami benzerlik oranlarına tez çalışmamın herhangi bir intihal içermediğini; aksinin tespit edileceği muhtemel durumda doğabilecek her türlü hukuki sorumluluğu kabul ettiğimi ve yukarıda vermiş olduğum bilgilerin doğru olduğunu beyan ederim.

Öğrenci İmzası:

ONAY

Tarih: ... / ... / 2022

Öğrenci Danışmanı Unvan, Adı, Soyadı, İmza:

Prof. Dr. Sedat NAZLIBİLEK

Bu tezi savunma sanayisinde yıllarını büyük bir fedakârlıkla geçiren ve ülkemizin savunma sektöründe ilerlemesine katkı sağlayan tüm tasarım mühendislerine ve sevgisini esirgemeyen aileme ithaf ediyorum.

Gizem TENDÜRÜS ÇAĞLAR

Ankara-2022

TEŞEKKÜR

Danışmanım Prof. Dr. Sedat NAZLIBİLEK'e yüksek lisans eğitimim boyunca bana rehberlik eden ve bu yolda bana göstermiş olduğu değerli destekleri için en içten teşekkürlerimi sunarım.

Lisans ve yüksek lisans eğitim hayatım boyunca yardımlarını esirgemeyerek ufkumu açan Dr. A. Çağrı YAPICI'ya bana öğrettiği değerli bilgiler için sonsuz minnetimi sunarım.

Sürekli motive olmama yardımcı olan, çok değerli engin bilgileri ile araştırmamı teşvik edip desteklerini asla esirgemeyen değerli hocam Prof. Dr. Ekmel ÖZBAY'a teşekkürlerimi sunarım.

Prof. Dr. Hasan Şakir BİLGE ve Dr. Öğr. Üyesi Murat ÜÇÜNCÜ'ye aydınlatıcı yorumları ve tez komitesinin bir parçası oldukları için teşekkürlerimi sunarım.

NANOTAM ve AB MikroNano'daki RF Tasarım ve Karakterizasyon bölümü çalışma arkadaşlarıma minnettarım. Ölçümlerde bana desteklerini esirgemeyen Emirhan URFALI ve Efkan GÜNEYSU'ya teşekkürlerimi sunarım.

Bu tez serüvenimde geniş bilgi birikimi ile bana destek olan çalışma arkadaşlarım Yunus Erdem ARAS ve Büşra ÇANKAYA AKOĞLU'na teşekkürlerimi sunarım.

Bu teze katkılarından dolayı Salahuddin ZAFAR ve Abdülkadir GÜRBÜZ'e teşekkürlerimi sunarım.

NANOTAM'ın üretim ekibine aralıksız önverili biçimde çalışmaları için ayrıca teşekkürlerimi sunarım. Bu tezi yazarken değerli yorumlarda bulunan Doğan YILMAZ'a ve Gurur SALKIM'a teşekkürlerimi sunarım.

Her zaman yanımda olup hiç şüphe duymadan bana güç ve cesaret veren sevgili annem Yakutiye TENDÜRÜS'e ve desteklerini asla esirgemeyen babam Atila TENDÜRÜS'e en derin saygı ve şükranlarımı sunarım. Ablaları olarak en büyük rol model olacağım melek kardeşlerim Ece ve Hira TENDÜRÜS'e, teşekkürlerimi sunarım.

Sevgili eşim Emre ÇAĞLAR'a tezim sürecinde yardımlarını esirgemediği için teşekkürlerimi sunarım.

ÖZET

Gizem TENDÜRÜS ÇAĞLAR

X BANT UYGULAMALARI İÇİN GaN TABANLI DÜŞÜK GÜRÜLTÜLÜ

YÜKSELTEÇ TASARIMI

Başkent Üniversitesi Fen Bilimleri Enstitüsü

Elektrik/Elektronik Mühendisliği Anabilim Dalı

2022

Galyum Nitrür (GaN) tabanlı Yüksek Elektron Hareketli Transistörlerin (HEMT'ler) ortaya çıkışı, özellikle yüksek arıza gerilimleri ve üstün güç işleme yetenekleri nedeniyle dikkatleri üzerine çekmiştir. Bu özellikler, GaN tabanlı Monolitik Mikrodalga Devresi (MMIC) teknolojisi üzerinde çok yüksek verimliliğe sahip yüksek güçlü yükselteçler (HPA) tasarlama şansı verir. GaN HEMT'lere duyulan ihtiyaç, onu yalnızca HPA'lar için değil, aynı zamanda anahtarlar ve düşük gürültülü yükselteçler (LNA) için de giderek daha çekici hale getirdi. GaN HEMT monolitik teknolojisinin ortaya çıkmasıyla birlikte, düşük gürültü yükselteç tercihleri de değişti. GaN tabanlı düşük gürültülü yükselteçler, sisteme gürültü vererek çok düşük güçlü bir sinyali, sinyal-gürültü oranını önemli ölçüde düşürmeden yükselten, genel sistem gürültü katsayısını azaltacak şekilde, devreleri limitleyecek korumaya ihtiyaç duymadan ve hasar görmeden son derece yüksek giriş gücü seviyelerine dayanabilen alıcı aşamaları gerçekleştirmek için en iyi adaylardan biridir. Alıcı devrelerinde düşük gürültülü yükselteçler, antenden alınan sinyale düşük gürültü vererek sinyalin gürültülü kısmını düşürdüğünden iletişim sistemleri için önem arz eder.

GaN HEMT'lerin doğal sağlamlığı nedeniyle, bu cihazlar kullanılarak tasarlanan LNA'lar, koruma devresi olmadan sürekli çalışabilir.

Bu tezde, X bandında çalışan bir MMIC LNA, kaynak dejenerasyonu ile GaN HEMT kullanılarak tasarlanmıştır. Pasif devre elemanları, transistörler ve MMIC NANOTAM'da geliştirilen Silisyum Karbür (SiC) tabanlı 0,15 μm /0,2 μm AlGaN/GaN HEMT mikrofabrikasyon süreci ile üretilmiştir. Üretim iki aşamadan oluşmaktadır. Sırasıyla önyüz ve arkayüz adımlarını içermektedir.

Üretilen transistörlerin doğrusal akım (DC), küçük işaret, büyük işaret ve gürültü katsayısı ölçümleri yapılmıştır. LNA tasarımı için uygun HEMT seçilmiş ve tasarım süreci, kaynak

dejenere HEMT kullanılarak tek kademeli yapıda gerçekleştirilmiştir. Kaynak dejenere HEMT topolojisi hem kolay giriş eşlemesi hemde kararlılık sağlamıştır. GaN tabanlı LNA MMIC tasarımı yapılmış üretim sonrasında wafer üzerinde oda sıcaklığında ölçümleri alınmış ve en iyi sonuçları aktarılmıştır. LNA tasarımı 8-11 GHz arasında 7 dB üzerinde küçük işaret kazancı, 8,5 dB'den iyi giriş ve çıkış kayıpları, 1,1 dB'den iyi gürültü katsayısı, 17,19 dBm çıkış gücü ve %12,64 akçe verimliliği sağlamaktadır.

ANAHTAR KELİMELELER: Düşük Gürültülü Yükselteç, Galyum Nitrür, Monolitik Mikrodalga Devresi, X Bant, Yüksek Elektron Hareketli Transistör, Silisyum Karbür, Kaynak Dejenerasyonu.

NANOTAM (Nano Teknoloji Araştırma Merkezi A.Ş.)

ABSTRACT

Gizem TENDÜRÜS ÇAĞLAR

GaN-BASED SINGLE STAGE LOW NOISE AMPLIFIER FOR X-BAND APPLICATIONS

Başkent University Institute of Science

Department of Electrical and Electronics Engineering

2022

The emergence of Gallium Nitride (GaN)-based High Electron Mobility Transistors (HEMTs) devices has attracted attention, especially due to their high breakdown voltages and superior power handling capabilities. These features give a chance to design very high-efficiency high power amplifiers (HPA) on GaN-based Monolithic Microwave Circuit (MMIC) technology. The need for GaN HEMTs has made it increasingly attractive for this and switches and low-noise amplifiers (LNAs). With the advent of GaN HEMT monolithic technology, low noise amplifier preferences have also changed. GaN-based low-noise amplifiers (LNAs) can deliver noise to the system, amplifying a very low-power signal without significantly reducing the signal-to-noise ratio, reducing the overall system noise coefficient, without the need for protection and damage to limit circuits, to extremely high input power levels. It is one of the best candidates to perform the receiving stages that can withstand. Low noise amplifiers in receiver circuits are important for communication systems as they reduce the signal received from the antenna by giving low noise.

Due to the inherent robustness of GaN HEMTs, LNAs designed using these devices can operate continuously without protection circuitry.

In this thesis, an X-band MMIC LNA is designed using GaN HEMT with source degeneration. Passive circuit elements, transistors, and Silicon Carbide (SiC) based 0,15 μm /0,2 μm AlGaIn/GaN HEMT microfabrication process developed in MMIC NANOTAM. Production consists of two stages. It includes the front and back steps, respectively.

The produced transistors made the linear current (DC), small signal, and large-signal and noise coefficient measurements. The appropriate HEMT was selected for the LNA design

and the design process was carried out in a single-stage structure using the source degenerate HEMT. The source degenerate HEMT topology provided both easy input matching and stability. GaN-based LNA MMIC was designed, and after the production, measurements were taken on the wafer at room temperature and the best results were reported. LNA design provides a small signal gain of over 7 dB between 8-11 GHz, input and output losses better than 8,5 dB, noise coefficient better than 1,1 dB, the output power of 17,19 dBm and drain efficiency of 12,64%.

KEYWORDS: Low Noise Amplifier, Gallium Nitride, Monolithic Microwave Circuit, X Band, High Electron Mobility Transistor, Silicon Carbide, Source Degenerate.

NANOTAM (Nano Technology Research Center A.Ş.)

İÇİNDEKİLER

TEŞEKKÜR.....	i
ÖZET	ii
ABSTRACT	iv
İÇİNDEKİLER.....	vi
TABLolar LİSTESİ	viii
ŞEKİLLER LİSTESİ	ix
SİMGELER VE KISALTMALAR LİSTESİ	xiv
1. GİRİŞ.....	1
1.1. Silisyum Karbür (SiC) üzerine GaN.....	1
1.1.1. Niçin GaN?	1
1.2. Yüksek Elektron Hareketli Transistör (HEMT)	6
1.2.1. Heterobağlantı ve HEMT	7
1.2.2. HEMT Çalışma Prensibi.....	7
1.2.3. HEMT Epitaksiyel Yapısı.....	10
1.3. Düşük Gürültülü Yükselteç (LNA).....	14
1.3.1. Düşük Gürültülü Yükselteç (LNA) Nedir?	14
1.3.2. Düşük Gürültülü Yükselteç Nerede ve Niçin Kullanılır?	15
1.3.3. Sistem Diyagramında LNA Rolü?	16
2. GaN HEMT FABRİKASYON TEKNOLOJİSİ.....	17
2.1. Fabrikasyon.....	17
2.1.1. Ön Yüz Üretim Adımları	18
2.1.2. Arka Yüz Üretim Adımları.....	36
3. ÖLÇÜM SİSTEMLERİ.....	47
3.1. DC Karakterizasyon.....	47
3.2. Küçük İşaret Karakterizasyonu.....	53
3.3. Büyük İşaret (Load Pull) Karakterizasyonu	62
3.4. Gürültü Katsayısı (Noise Figure) Karakterizasyonu	68
4. HEMT Tasarımı	73
4.1. HEMT Küçük Sinyal Modeli.....	73
4.2. HEMT Layout Yapısı.....	74

4.3. Optimum HEMT Seçimi.....	75
5. MMIC Tasarımı.....	79
5.1. HEMT Referans Düzlemi Belirleme	79
5.2. HEMT Kararlılık Devresi Belirleme	80
5.3. HEMT Giriş Eşleme Devresi Tasarımı.....	87
5.4. HEMT Çıkış Eşleme Devresi Tasarımı	89
5.5. LNA Layout Tasarımı	90
5.5.1. Kapı Kutuplama Devresi Tasarımı.....	91
5.5.2. Akaç Kutuplama Devresi Tasarımı	92
5.5.3. Giriş Eşleme Devresi Tasarımı.....	92
5.5.4. Çıkış Eşleme Devresi Tasarımı.....	93
5.5.5. LNA Devresi Tasarımı	93
5.6. LNA Layout Tasarımı ve Simulasyon Sonuçları.....	94
6. MMIC Ölçüm Sonuçları	96
6.1. LNA Küçük İşaret Ölçüm Sonuçları	96
6.2. LNA Gürültü Katsayısı Ölçüm Sonuçları.....	97
6.3. LNA Load Pull Ölçüm Sonuçları	98
7. TARTIŞMA VE SONUÇ	102
KAYNAKÇA.....	104

TABLolar LİSTESİ

	Sayfa
Tablo 1.1. GaN büyütmeye için alttaş karşılaştırması	4
Tablo 1.2. Si, GaN, GaAs ve yarı iletken malzeme özelliklerinin karşılaştırılması.....	5
Tablo 3.1. 4x50µm HEMT Id-Vds ölçüm sonuçları	50
Tablo 3.2. 4x50µm HEMT Id-Vgs ölçüm sonuçları	50
Tablo 3.3. 4x50µm HEMT ileri IV ölçüm sonuçları.....	51
Tablo 3.4. 4x50µm HEMT kırılma voltajı ölçüm sonuçları.....	53
Tablo 3.5. 4x50 µm & 4x75 µm Kaynak Dejenere HEMT RF Küçük İşaret Ölçüm Sonuçları Karşılaştırması.....	62
Tablo 3.6. 4x50µm Kaynak Dejenere HEMT 1dB Kazanç Bastırması Sonuçları	67
Tablo 3.7. 4x75µm Kaynak Dejenere HEMT 1dB Kazanç Bastırması Sonuçları	68
Tablo 3.8. 4x50µm Kaynak Dejenere HEMT'in Gürültü Katsayısı Ölçüm Sonucu.....	72
Tablo 3.9. 4x75µm Kaynak Dejenere HEMT'in Gürültü Katsayısı Ölçüm Sonucu.....	72
Tablo 4.1. 4x50µm ve 4x75 µm HEMT DC ölçüm sonuçları.....	76
Tablo 4.2. 4x50µm ve 4x75µm HEMT'lerin RF ölçüm sonuçları	76
Tablo 4.3. 4x50µm ve 4x75µm HEMT'lerin Load Pull ölçüm sonuçları.....	77
Tablo 4.4. 4x50µm ve 4x75µm HEMT'lerin Gürültü Katsayısı ölçüm sonuçları.....	77
Tablo 7.1. Önerilen tek aşamalı kaynak dejenere LNA'nın X-bandında bildirilen verilerle karşılaştırılması.....	103

ŞEKİLLER LİSTESİ

	Sayfa
Şekil 1.1. Yüksek frekans ve yüksek güç alanlarında transistör teknolojisi performansları .	2
Şekil 1.2. Transistör yarı iletken malzemeleri için çeşitli performans ölçütlerinin karşılaştırılması.....	3
Şekil 1.3. ABAB dizisini gösteren GaN'nin altıgen Wurtzite yapısı.....	8
Şekil 1.4. a) Uyumlu örgü düzeninin atomik görüntüsü b) uyumsuz örgü bozukluklarının atomik görüntüsü [24].	9
Şekil 1.5. Dopsuz AlGaIn'nin enerji bandı	10
Şekil 1.6. Dopsuz bir AlGaIn/GaN heteroyapısının enerji bandı.	10
Şekil 1.7. MOCVD işlemi ile büyütülen epitaksiyel yapı	11
Şekil 1.8. GaN Buffer katman yapısı.....	13
Şekil 1.9. Gürültülü bir devrenin gürültü katsayısını belirleme devresi.....	15
Şekil 1.10. Alıcı Devresi Blok Şeması	16
Şekil 2.1. HEMT/MMIC aygıtın ön yüz ve arka yüz süreç adımlarını gösteren kesit görüntüsü	17
Şekil 2.2. TFR/ MIM Kapasitör aygıtın ön yüz süreç adımlarını gösteren kesit görüntüsü	18
Şekil 2.3. Önyüz ohmik metal süreç adımı sonrası wafer kesit görüntüsü.....	19
Şekil 2.4. Alaşımız ohmik kontak süreci şematik görüntüsü.....	20
Şekil 2.5. Ohmik metal açıklıkları desenleme adımı sonrası aygıtların optik mikroskop görüntüsü	21
Şekil 2.6. N+InGaIn İletken Tabaka Büyütme adımı sonrası örnek yüzeyinden alınan SEM görüntüsü	21
Şekil 2.7. Metal kaplama adımı sonrası ohmik kontakların SEM.....	22
Şekil 2.8. Mesa desenleme adımı sonrası aygıtların optik mikroskop görüntüsü	23
Şekil 2.9. Mesa aşındırma süreç adımı sonrası wafer kesit görüntüsü	23
Şekil 2.10. 3inç wafer üzerindeki TLM deseninin görüntüsü	24
Şekil 2.11. 3 inç wafer boyunca kontak direnç dağılımı	24
Şekil 2.12. Birinci Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü.....	25
Şekil 2.13. Birinci Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü.....	25

Şekil 2.14. T-Kapı aya kaşındırma adımı sonrası SEM görüntüleri.....	26
Şekil 2.15. Kapı süreç adımı sonrası wafer kesit görüntüsü.....	27
Şekil 2.16. Kapı litografi adımı sonrası aygıtların SEM görüntüleri	27
Şekil 2.17. İkinci Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü.....	28
Şekil 2.18. İkinci Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü.....	29
Şekil 2.19. TFR tabakasının süreç adımı sonrası wafer kesit görüntüsü.....	30
Şekil 2.20. Metal 1 süreç adımı sonrası wafer kesit görüntüsü	30
Şekil 2.21. İkinci Dielektrik Kaplaması ve dielektrik kontak açıklığı sonrası aygıtların SEM görüntüleri	31
Şekil 2.22. Üçüncü Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü.....	31
Şekil 2.23. Üçüncü Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü.....	32
Şekil 2.24. TFR ve MIM Kapasitör süreç adımı sonrası wafer kesit görüntüsü	32
Şekil 2.25. Metal 2 süreç adımı sonrası wafer kesit görüntüsü	33
Şekil 2.26. Resizt süreç adımı sonrası wafer kesit görüntüsü	34
Şekil 2.27. Resizt süreç adımı sonrası Metal 2 adımının tekrarlanması sonrasındaki wafer kesit görüntüsü.....	34
Şekil 2.28. Rezist malzemesinin kimyasal temizlik sonrası hava köprüsünün oluşumu wafer kesit görüntüsü.....	35
Şekil 2.29. Bağlantı metali sonrası aygıtların SEM görüntüsü	35
Şekil 2.30. Bağlantı metali sonrası aygıtların SEM görüntüsü	36
Şekil 2.31. Fotorezist koruyucu malzemenin serilmesi işlemi sonrası wafer kesit görüntüsü	37
Şekil 2.32. Destek örneğinin vaks ile yapıştırılması sonucu wafer kesit görüntüsü	38
Şekil 2.33. SiC alttaş aşındırma ve inceltme sonrası wafer kesit görüntüsü	39
Şekil 2.34. SiC alttaş aşındırma sonrası tohum tabakasının (Ti, Au, Ni) kaplanması sonucu wafer kesit görüntüsü.....	39
Şekil 2.35. Tohum tabaksı sonrasında kaynak kısımlarına fotodirenç malzemenin geleceği yerlerin belirlenmesi sonucu wafer kesit görüntüsü	40

Şekil 2.36. Nikel maskesi oluşumu sonrası Nikel metali kaplanmış wafer kesit görüntüsü	40
Şekil 2.37. Kimyasal temizlik sonrası Ni metalinin temizlenmiş hali wafer kesit görüntüsü	41
Şekil 2.38. Elektroliz yöntemi ile nikel maske kaplama adımı sonrası SiC alttaş yüzeyin SEM görüntüsü	41
Şekil 2.39. Elektroliz yöntemi ile nikel maske kaplama adımı sonrası SiC alttaş yüzeyin SEM görüntüsü	42
Şekil 2.40. Flor tabanlı kuru aşındırma sonrası geçiş deliklerinin SEM görüntüsü	42
Şekil 2.41. Kimyasal temizlik sonrası omik bölgesine kadar aşındırılmış wafer kesit görüntüsü	43
Şekil 2.42. SiC alttaş Ni metal temizliği sonrası tohum tabakasının (Ti, Au) kaplanması sonucu oluşan wafer kesit görüntüsü	44
Şekil 2.43. SiC alttaş Au kaplanması sonucu oluşan wafer kesit görüntüsü	44
Şekil 2.44. Elektroliz yöntemi ile altın kaplanmış geçiş deliklerinin SEM görüntüsü	45
Şekil 2.45. Destek örneğinin ayrılması, koruyucu malzemenin kimyasal olarak temizlenmesi sonucu oluşan wafer kesit görüntüsü	45
Şekil 2.46. Ön yüz ve arka yüz işlemleri tamamlanmış HEMT aygıtların optik mikroskop görüntüsü	46
Şekil 2.47. Ön yüz ve arka yüz işlemleri tamamlanmış LNA SEM görüntüsü	46
Şekil 3.1. Transistör DC karakterizasyon ölçüm düzeneğinin fotoğrafı	47
Şekil 3.2. DC ölçüm sistemi	48
Şekil 3.3. 4x50µm HEMT'in I_d-V_{ds} ölçüm grafiği	49
Şekil 3.4. 4x50µm HEMT'in I_d-V_{gs} ölçüm grafiği	51
Şekil 3.5. 4x50µm HEMT'in ileri IV ölçüm grafiği	52
Şekil 3.6. 4x50µm HEMT'in kırılma gerilimi ölçüm grafiği	53
Şekil 3.7. Transistör RF küçük işaret karakterizasyon ölçüm düzeneğinin fotoğrafı	54
Şekil 3.8. İki portlu devrenin modeli	55
Şekil 3.9. Transistör RF küçük işaret karakterizasyon ölçüm düzeneği	58
Şekil 3.10. a) 4x50µm kaynak dejenere HEMT S ₁₁ sonucu b) 4x50µm kaynak dejenere HEMT S ₂₂ sonucu	58
Şekil 3.11. a) 4x75µm kaynak dejenere HEMT S ₁₁ sonucu b) 4x50µm kaynak dejenere HEMT S ₂₂ sonucu	59

Şekil 3.12. 4x50µm ve 4x75µm kaynak dejenere HEMT'lerin MAG sonucu karşılaştırması	60
Şekil 3.13. 4x50µm kaynak dejenere HEMT'in f_T ve f_{max} analiz sonucu karşılaştırması...	61
Şekil 3.14. 4x75µm kaynak dejenere HEMT'in f_T ve f_{max} analiz sonucu karşılaştırması	62
Şekil 3.15. Doğrusal olmayan yükselteç için 1dB bastırma tanımı.....	63
Şekil 3.16. Transistör büyük işaret karakterizasyon ölçüm düzeneği	65
Şekil 3.17. Transistör büyük işaret karakterizasyon ölçüm düzeneğinin fotoğrafı	66
Şekil 3.18. 4x50µm HEMT büyük işaret ölçüm sonucu	66
Şekil 3.19. 4x75µm HEMT büyük işaret ölçüm sonucu	67
Şekil 3.20. Gerçekçi yükseltecin dinamik aralığı	69
Şekil 3.21. Transistör gürültü katsayısı karakterizasyon ölçüm düzeneği	70
Şekil 3.22. Transistör gürültü katsayısı karakterizasyon ölçüm düzeneğinin fotoğrafı	71
Şekil 3.23. 4x50µm HEMT gürültü katsayısı ölçüm sonucu	71
Şekil 3.24. 4x75µm HEMT gürültü katsayısı ölçüm sonucu	72
Şekil 4.1. HEMT küçük işaret modeli	74
Şekil 4.2. 4x50µm HEMT layout görüntüsü	75
Şekil 5.1. 4x50µm HEMT'in referans düzlemi	80
Şekil 5.2. LNA kararlılık ve önyargı devresi	81
Şekil 5.3. LNA kararlılık ve önyargı devresinin EM model gösterimi	82
Şekil 5.4. LNA kararlılık ve önyargı devresinin sonuçları.....	82
Şekil 5.5. a) Kapı önyargı devresinin EM model gösterimi b) izolasyon sonucu	83
Şekil 5.6. Akaç önyargı devresinin EM model gösterimi ve izolasyon sonucu	84
Şekil 5.7. Gürültü katsayısı ve kazanç kontürlarının Smith Abağında gösterimi	85
Şekil 5.8. Giriş eşleme devresi şematik tasarımı	87
Şekil 5.9. Giriş eşleme devresi EM model tasarımı	88
Şekil 5.10. Giriş eşleme devresinin Smith Abağı düzerinde empedans kontrolü.....	88
Şekil 5.11. Çıkış eşleme devresi şematik tasarımı	89
Şekil 5.12. Çıkış eşleme devresi EM model tasarımı	89
Şekil 5.13. Çıkış eşleme devresinin Smith Abağı düzerinde empedans kontrolü	90
Şekil 5.14. LNA devresi basitleştirilmiş gösterimi.....	91
Şekil 5.15. Giriş kutuplama devresinin layout görüntüsü	91
Şekil 5.16. Çıkış kutuplama devresinin layout görüntüsü	92

Şekil 5.17. Giriş eşleme devresinin layout görüntüsü	92
Şekil 5.18. Çıkış eşleme devresinin layout görüntüsü.....	93
Şekil 5.19. LNA devresinin layout görüntüsü	93
Şekil 5.20. LNA devresi EM simülasyon sonucu layout görüntüsü.....	94
Şekil 5.21. LNA devresi referans HEMT'in yerleştirilmiş Layout görüntüsü	94
Şekil 5.22. LNA devresinin küçük işaret simülasyon sonucu	95
Şekil 5.23. LNA devresinin gürültü katsayısı simülasyon sonucu	95
Şekil 6.1. LNA devresinin fabrikasyon sonrası wafer üzerindeki görüntüsü.....	96
Şekil 6.2. LNA devresinin küçük işaret ölçüm ve simülasyon sonucunun karşılaştırılması	97
Şekil 6.3. LNA devresinin gürültü katsayısı ölçüm ve simülasyon sonucunun karşılaştırılması.....	98
Şekil 6.4. LNA devresinin 12V@100mA/mm kutuplama koşulundaki büyük işaret ölçüm sonucu	100
Şekil 6.5. LNA devresinin 9V@100mA/mm kutuplama koşulundaki büyük işaret ölçüm sonucu	101

SİMGELER VE KISALTMALAR LİSTESİ

2DEG	2 Boyutlu Bir Elektron Gazı
ADS	İleri Düzey Tasarım Programı
AlGaN	Alüminyum Galyum Nitrür
AlN	Alüminyum Nitrür
ATS	Otomatik Empedans Ayarlayıcı Program
C	Karbon
CF_4	Tetraflorometan
CW	Sürekli Dalga
dB	Desibel
dBm	Desibel / 1 miliWatt
DC	Doğrusal Akım
ϵ_r	Dielektrik Sabiti
ECAL	Elektronik Kalibrasyon Kiti
EM	Elektromanyetik
F	Gürültü Faktörü
Fe	Demir
F_T	Kesim Frekansı
F_{max}	Maksimum Salınım Frekansı
Ga	Galyum
GaAs	Galyum Arsenik
GaN	Galyum Nitrür
G_T	Tek Taraflı Dönüştürücü Kazancı
G_{av}	İki Portun Kullanılabilir Kazancı
G_{ASS}	İlişkili Kazanç
H_{21}	Transistör Akım Kazancı
H	Hidrojen
HBT	Hetero Bağlantılı Tek Kutup Transistör
HEMT	Yüksek Elektron Hareketli Transistör
HF	Hidroflorik Asit
HFET	Hetero Yapı Alan Etkili Transistör
HPA	Yüksek Güçlü Yükselteç
InP	İndiyum Fosfit
IRC	Giriş Yansıma Katsayısı
I_{dssmax}	Maksimum Akaç Akımı
I_d	Akaç Akımı
$I_{d-kaçak}$	Aygıt Kapalı Konumdaki Akaç Kaçak Akımı
I_g	Kapı Akımı
I_{RC}	Giriş Yansıma Katsayısı
IVCAD	İleri Düzey Ölçüm ve Modelleme Programı
K	Kararlılık Faktörü
LNA	Düşük Gürültülü Yükselteç

MAG	Elde Edilebilir En Büyük Kazanç
MESFET	Metal Yarıiletken Alan Etkili Transistör
MIM	Çip Üstü
MMIC	Monolitik Mikrodalga Devresi
MOCVD	Metal Organik Kimyasal Buhar Birikimi
MOSFET	Metal Oksit Yarı iletken Alan Etkili Transistör
N	Nitrojen
NANOTAM	Nanoteknoloji Araştırma Merkezi
NF	Gürültü Katsayısı
NH_3	Amonyak
O_2	Oksijen
ORC	Çıkış Yansıma Katsayısı
PAE	Güç Katma Verimliliği
PECVD	Plazma Geliştirilmiş Kimyasal Buhar Biriktirme
pHEMT	Psödomorf Yüksek Elektron Hareketli Transistör
P_{1dB}	1 Desibel Bastırma Noktasındaki Çıkış Gücü
RF	Radyo Frekans
S	Saçılma Parametreleri
SEM	Taramalı Elektron Mikroskobu
SiC	Silisyum Karbür
SiC	Silikon
Si_3N_4	Silisyum Nitrür
SMU	Sinyal Görüntüleme Ünitesi
TFR	İnce Film Resistör
TLM	İletim Hattı Ölçümü
TMAH	Tetrametil Amonyum Hidroksit
TMAI	Trimetil Alüminyum
TMGa	Trimetil Galyum
V_{knee}	Bükülme Voltajı
V_{th}	Eşik Voltajı
V_{to}	Kapı Açılma Voltajı
V_{br}	Kırılma Voltajı
V_g	Kapı Voltajı
V_d	Akaç Voltajı
Γ	Yansıma Katsayısı

1. GİRİŞ

1.1. Silisyum Karbür (SiC) üzerine GaN

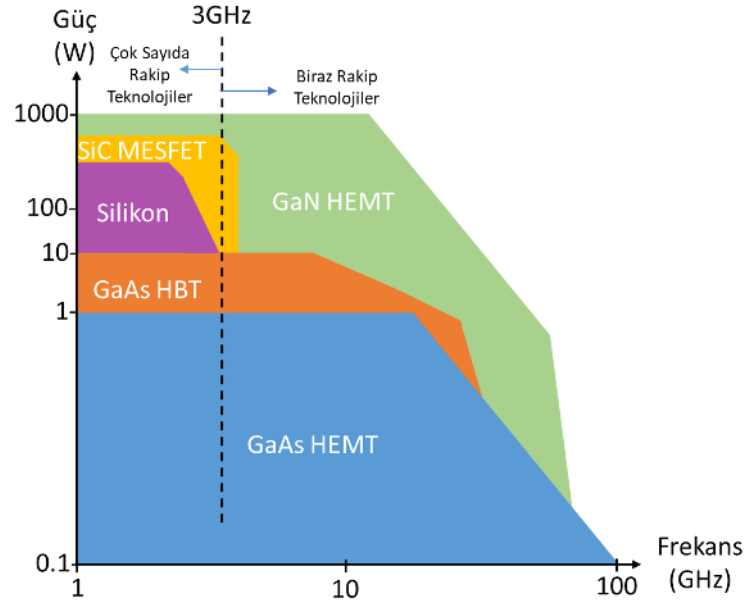
Galyum Nitrür (GaN) transistörünün ilk kez 1993'te gösterilmesinden bu yana [1], GaN malzeme büyümesi ve üretim tekniklerindeki teknik ilerlemeler, GaN HEMT'in elektromanyetik spektrum'da 1 GHz - 100 GHz kısmı için en güçlü ve güç açısından en verimli katı hal RF kaynağı olarak ortaya çıkmasına neden oldu [2]. 5G gibi daha yüksek frekanslarda daha yüksek bant genişliği ve güç gerektiren yeni uygulamalara olanak sağlamayı vaat eden yüksek hız ile birlikte en yüksek güç işleme yeteneklerinin birleşimi ve basitleştirilmiş ve genel olarak alıcı-verici bileşenleri daha kompakt bir şekilde gerçekleştirildi. [3].

GaN HEMT teknolojisi, şu anda birçok ticari uygulamada Galyum Arsenit (GaAs) teknolojilerinin yerini alma yolundadır. Ayrıca, son zamanlarda faz dizili radarlar, kablosuz iletişim sistemleri ve vericiler gibi yüksek güçlü uygulamalar için elektromanyetik (EM) spektrumun mm-dalga frekanslarına hakim olmuştur. Bu sistemler güç yükselteçleri, anahtarlar ve düşük gürültülü yükselteçler için kullanılır.

GaN tabanlı Yüksek Elektron Hareketli Transistörler (HEMT'ler) tüm bu kullanımlar için malzeme kaliteleri açısından tercih edilmektedir. Kompaktlık, daha düşük maliyet ve güvenilir üretim için Monolitik Mikrodalga Entegre Devreler (MMIC'ler), GaN HEMT'lere dayalı RF amplifikatörleri üretme seçimidir [4].

1.1.1. Niçin GaN?

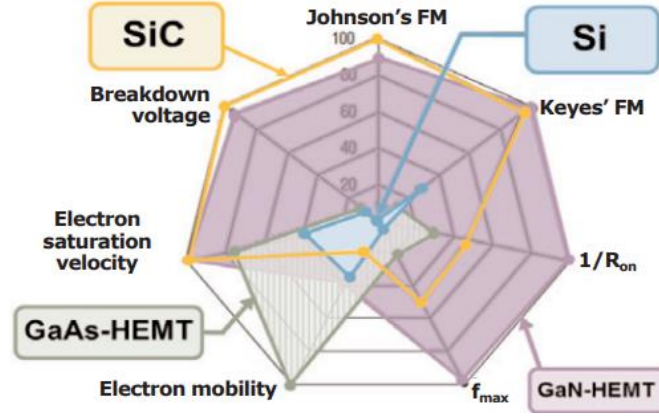
Galyum Nitrür, GaAs ve Silikon (Si) gibi diğer olgun teknolojilerle karşılaştırıldığında nispeten yeni bir yarı iletken malzemedir. Bununla birlikte, radarlar, verici sistemleri, uydular, iletişimi vb. gibi yüksek frekans ve yüksek gücün gerekli olduğu [5] birçok uygulama alanına hızla hakim olmuştur. Şekil 1.1'de GaN HEMT teknolojisinin diğer teknolojiler ile karşılaştırması mevcuttur.



Şekil 1.1. Yüksek frekans ve yüksek güç alanlarında transistör teknolojisi performansları

Yüksek güçlü RF uygulamalarında GaN teknolojisinin popülerliği, üç ana özelliğinden kaynaklanmaktadır. GaN teknolojisini diğer rakip teknolojilerden ayıran özellikler: yüksek kırılma elektrik alanı, yüksek güç, yüksek doygunluk hızı ve üstün termal özellikler vb. [6].

AlGaIn/GaN HEMT'lerin performansı diğer teknolojilerle şematik olarak Şekil 1.2'de karşılaştırılmıştır. GaN HEMT'lerin Si transistörlerini her açıdan geride bıraktığı kolayca fark edilebilir. GaAs HEMT'ler elektron hareketliğinde üstün olmasına rağmen, diğer kriterlerde başarısız olurlar. Ayrıca yüksek güç uygulamalarında uygun değildir. Aynı zamanda geniş bant aralıklı bir yarı iletken olan SiC, kırılma voltajında, Johnson FM'de ve benzerlerinde GaN HEMT'ler ile biraz daha iyi veya eşit performansa sahiptir. Bununla birlikte, GaN HEMT'ler, çalışma frekansı ve kanal direncinde SiC teknolojisinden çok daha iyidir. Genel olarak, GaN HEMT'ler diğer teknolojilere göre üstün performans sağlar.



Şekil 1.2. Transistör yarı iletken malzemeleri için çeşitli performans ölçütlerinin karşılaştırılması

GaN, SiC gibi, geniş bant aralıklı bir yarı iletkenidir; bu, kırılma elektrik alanının Si'den yaklaşık on kat daha yüksek olduğu anlamına gelir. Buda akaç ve kaynak arasındaki kırılma voltajının on kat daha iyi olduğu ayrıca bu özelliğe dayanarak neredeyse on katı çıkış gücü anlamına gelir.

GaN, malzemenin örgü uyumluluğu Tablo 1.1'de görüldüğü gibi oldukça yükseltir. GaN üzerine GaN %0 oranında örgü uyumsuzluğuna sahiptir. Fakat GaN alttaş büyüme süreci oldukça zordur. Bu sebeple wafer üretimlerinde kullanılmamaktadır. Si malzeme en düşük maliyetli alttaşdır. Si malzeme üzerine GaN yapıldığında örgü uyumsuzluğu olmaktadır. Bu istenilen bir şey değildir. Bu sebeple SiC üzerine GaN cihazları düşük örgü uyumsuzluğu ve nispeten düşük termal genleşme uyumsuzluğu avantajlarına sahiptir ve yüksek güçlü uygulamalar için ideal adaylar oluşturur [7].

GaN kullanımında önemli bir husus maliyettir. SiC alttaşlar Si'den daha pahalıdır, ancak daha da kötüsü, normal üretimdeki en büyük SiC alttaş boyutu 6 inçtir. Olumlu tarafı, GaN HEMT cihazları daha yüksek bir güç yoğunluğuna sahiptir, bu nedenle watt başına kalıp boyutu daha küçüktür, bu da maliyet sorununu bir dereceye kadar azaltır.

Tablo 1.1. GaN büyütme için alttaş karşılaştırması

Alttaş	Örgü Uyumsuzluğu	Wafer Boyutu	Maliyet (€/cm ²)
Si	-17%	Tüm	0,1
SiC	+3,5%	6 inç üzerinde	10
Safir	-16%	8 inç üzerinde	1
GaN	Asla	2/3 inç	10

GaN, AlGaN (Alüminyum Galyum Nitrür) ile başarılı bir şekilde birleştirilir. On kat daha büyük bir elektron konsantrasyonuna sahip iki boyutlu bir elektron gazı (2-DEG) oluşturulur. Bu birleşme çıkış gücü kapasitesini artıran daha yüksek doymuş akaç akımı anlamına gelir.

GaN katmanında kasıtlı bir doping yoktur, bunun sonucunda GaN katmanında akan elektronların hareketliği çok yüksektir, dolayısıyla HEMT adının kökeni budur. Yüksek elektron hareketliği, açılma-direncini (turn on) azaltır ve iletkenliği (transconductance) artırır ve bu, daha yüksek bir verim ve daha yüksek bir kesme frekansının elde edilmesini kolaylaştırır.

Yüksek RF güç yoğunluklarına ek olarak, GaN cihazları üstün termal özellikleri Si ile benzerdir. On kat daha yüksek güç yoğunluğu potansiyelinin, darbeleri uygulamalar dışında pratikte gerçekleştirilemeyeceği anlamına gelir.

GaN malzemesinin maksimum çalışma sıcaklığı Tablo 1.2'de görüldüğü gibi çok daha yüksektir [8], [9]. Bu da güç işleme kapasitesini artırır ve çok daha yüksek kanal sıcaklıklarına dayanmasına izin verir (Tablo 1.2). Kanal sıcaklığına dayanma özelliği sayesinde GaN malzemesinin pratikte gerçekleştirilebilmesini artırır.

Tablo 1.2. Si, GaN, GaAs ve yarı iletken malzeme özelliklerinin karşılaştırılması

Fiziksel Özellikler	Si	SiC	GaAs	GaN
Bant Genişliği (E_g), (eV)	1,1	2,9	1,4	3,4
Elektron Mobilitesi (μ_n), (cm ² /Vs)	1300	260	5000	2000
Kırılma Elektrik Alanı (E_{br}), (10 ⁶ V/cm)	300	2500	400	3300
Doygunluk Bölgesindeki Elektron Hızı (V_{sat}), (10 ⁷ cm/s)	1,0	2,0	1,0	2,5
Termal İletkenliği (W/cm.K)	1,5	4,9	0,46	1,3
Transistör Tipi	BJT MOSFET HBT	MESFET HEMT	MESFET HEMT HBT	MESFET HEMT
Maksimum Operasyon Sıcaklığı (T_{max}), (C°)	200	500	300	700
Kütle Üretim Başına Maliyet	Düşük	Çok Yüksek	Yüksek	Çok Yüksek

Yüksek güç uygulamalarında, GaN cihazları genellikle elektronik özelliklerinden ziyade temel alt tabakadan ısıyı dağıtma yetenekleriyle sınırlıdır [10]. Neyse ki, GaN örgüsü, her ikisi de çok iyi termal iletken olan SiC veya elmas gibi üstün termal özelliklere sahip bir dizi alttaş tabaka seçeneği üzerinde büyümeye uygundur. GaN HEMT'lerin güç performansına, şu anda yüksek performanslı GaN HEMT MMIC'lerin yapılması için tercih edilen bir alttaş olan SiC'nin mükemmel termal özellikleri de yardımcı olur. Birkaç grup ayrıca, SiC'nin termal iletkenliğinin kabaca 1/3'üne sahip olan düşük maliyetli Si alttaş üzerinde mükemmel GaN MMIC performans verileri bildirmiştir, ancak Si tabanlı GaN MMIC'lerde, SiC alttaş üzerinde GaN MMIC'ler için bildirilen güç ve PAE (Güç Katma Verimliliği) performansı ile tam olarak eşleşmemektedir.

GaN tabanlı LNA'lar, genel sistem gürültü katsayısını azaltacak şekilde, devreleri limiteyecek korumaya ihtiyaç duymadan ve hasar görmeden son derece yüksek giriş gücü seviyelerine dayanabilen alıcı aşamaları gerçekleştirmek için en iyi adaylardan biridir [11].

Ek olarak, GaN HEMT'ler, güç kullanımı ve doğal doğrusallık açısından GaAs benzerlerinden üstündür ve son derece doğrusal LNA'ların üretilmesine izin verir.

1.2. Yüksek Elektron Hareketli Transistör (HEMT)

Transistör girişine uygulanan sinyali yükselterek gerilim ve akım kazancı sağlayan, gerektiğinde anahtarlama elemanı olarak kullanılan yarı iletken bir elektronik devre elemanıdır. Transistörler elektronik cihazların temel yapı taşlarındandır. 20. Yüzyılın en önemli buluşlarından biri olarak kabul edilen ve elektronik devrelerin can damarı olan transistörler, 1947 yılında yapıldı. Dünyanın en büyük telefon şirketi olan Bell kuruluşlarının araştırma laboratuvarlarında, William Shockley başkanlığında John Bardeen ve Walter Brattain'den oluşan ekip, teknolojiye yepyeni bir çığır açan bu buluşlarından dolayı, 1956 yılında Nobel Ödülü'nü paylaştı [12].

Transistör, 1947'deki icadından bu yana temel olarak kullanılan eleman haline geldi ve yirminci yüzyılın en büyük icatlarından biri olarak kabul ediliyor [13]. Düşük maliyet, güvenilirlik ve esneklik gibi özellikleri onu modern elektronik için temel bir cihaz haline getirdi. Araştırmacılar daha iyiyi elde etmeyi hedefleyerek yarı iletken teknolojisini günümüze kadar geliştirdi. Çünkü yüksek performanslı transistörler, daha verimli ve güvenilir iletişim sistemlerinin geliştirilmesine yardımcı olur.

Geniş bant aralıklı yarı iletkenler üzerine araştırmalar uzun yıllardır devam etmekte ve RF uygulamaları için önemli bir performans artışı göstermektedir. Geniş bant aralıklı cihazlar yüksek voltajlarda, yüksek sıcaklıklarda ve yüksek frekanslarda çalışarak daha iyi performans sağlar [14]. En yaygın olarak kullanılan Silikon (Si) transistörlerin yanı sıra, 1970'lerden sonra, GaAs, İndiyum Fosfit (InP) ve SiC'e dayalı MESFET, HBT, pHEMT dahil olmak üzere geniş bant aralıklı yarı iletkenler kullanan yeni cihazlar geliştirildi (SiC). HEMT'ler 1979'da piyasaya çıktı ve yüksek çıkış gücü ve yüksek kırılma gerilimi ile verimlilik ve yüksek frekanslarda çalışma yeteneği gösterdi [15], [16].

Yarı iletken mikroelettronik alanına, basit epitaksiyel yapı ve olgun üretim teknikleri nedeniyle Si MOSFET hakimdir, ancak çok yüksek frekanslı cihazlar söz konusu olduğunda GaAs MESFET hakimdir. Ana sebep, GaAs'ın silikona kıyasla daha yüksek hareketliliği ve dielektrik sabitidir. 1970'lerin sonlarında ve 1980'lerde, GaAs MESFET VLSI devreleri, yüksek kaliteli iyon implantasyon teknikleri ve yarı yalıtkan substratlar sayesinde üretildi

[17]. GaAs MESFET'in mikrodalga performansı, 1990'da Heteroyapı Alan Etkili Transistörlerin (HFET'ler) performansına zaten yaklaştı [18].

HEMT veya Yüksek Elektron Hareketli Transistörü, mikrodalga frekanslarında düşük gürültü rakamı ve çok yüksek performans seviyelerinin bir kombinasyonunu sunmak için kullanılan bir tür alan etkili transistördür (FET) . Bu, yüksek hızlı, yüksek frekanslı, dijital devreler ve düşük gürültülü uygulamalara sahip mikrodalga devreler için önemli bir cihazdır. Bu uygulamalar arasında bilgi işlem ve telekomünikasyon bulunur. Cihaz ayrıca çok yüksek RF frekanslarında yüksek performansın gerekli olduğu RF tasarımında da kullanılmaktadır.

MOSFET'lerden ve geleneksel MESFET'lerden farklı olarak, HEMT'lerde kanal katkısız bölgede oluşturulur, böylece yük taşıyıcıların katkılı iyonlarla kolombik saçılımını azaltır. Bu teknik, cihazın hareketliliğini artırır ve dolayısıyla Yüksek Elektron Hareketli Transistör olarak adlandırılır. Farklı bant aralıklarına sahip iki yarı iletken malzeme, bir heteroeklem oluşturmak için fiziksel bir temasa getirilir. Bu, bir yarı iletkenin diğerinin üzerinde epitaksiyel büyümesiyle yapılır. Farklı yarı iletkenlerin örgü eşleşmesi, farklı heteroeklem türlerinin kombinasyonunda önemli bir rol oynar [19].

1.2.1. Heterobağlantı ve HEMT

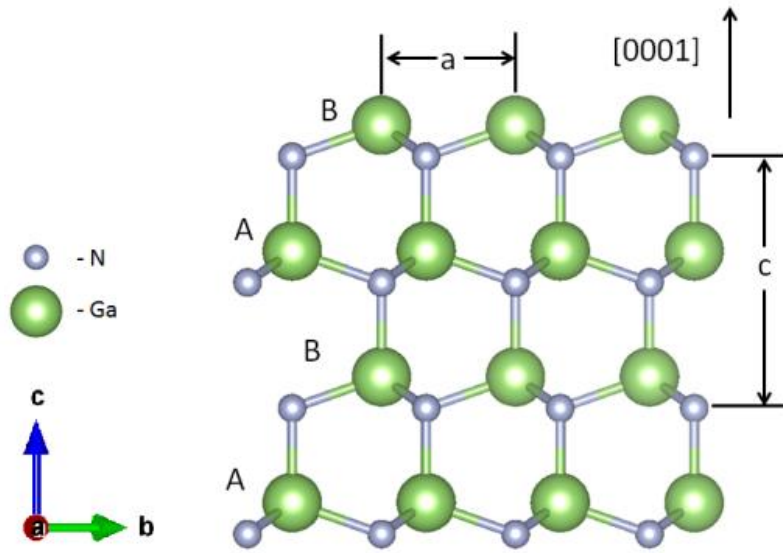
Hetero-bağlantı, farklı kristal yarı iletkenlerin iki bölgesi arasındaki arayüz olarak tanımlanabilir. HEMT, heteroeklemlerde kullanılan bant aralığı mühendisliği bilimine dayanmaktadır. MOSFET'lerden ve geleneksel MESFET'lerden farklı olarak, HEMT'lerde kanal katkısız (dop) bölgede oluşturulur, böylece yük taşıyıcıların katkılı iyonlarla kolombik saçılımını azaltır. Bu teknik, cihazın hareketliliğini artırır ve dolayısıyla Yüksek Elektron Hareketli Transistör olarak adlandırılır. Farklı bant aralıklarına sahip iki yarı iletken malzeme, bir heteroeklem oluşturmak için fiziksel bir temasa getirilir. Bu, bir yarı iletkenin diğerinin üzerinde epitaksiyel büyümesiyle yapılır. Farklı yarı iletkenlerin eşleşmesi, farklı hetero bağlantı türlerinin kombinasyonunda önemli bir rol oynar.

1.2.2. HEMT Çalışma Prensibi

Elektronegatiflik, kimyada bağ yapımında kullanılan elektronların bağı oluşturan atomlar tarafından çekilme gücüdür. Galyum (Ga) ve Nitrojen (N) atomlarının

elektronegatifliklerindeki farklılıktan dolayı galyum atomları anyonik (+) ve nitrojen atomları katyonik (-) özelliklere sahiptirler.

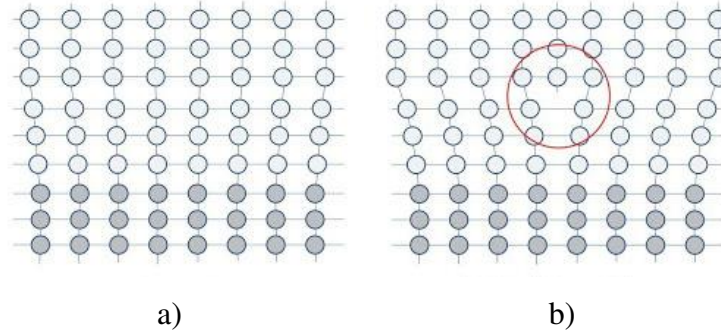
Elektronegatiflikteki bu fark elektrik polarizasyonuna neden olur. Bu polarizasyon kesim yüzeyindeki asimetri nedeniyle c eksenini boyunca özel bir polarizasyon ortaya çıkar. Termodinamik açıdan daha kararlı ve daha güçlü kutuplanma özelliğine sahip Wurtzite kristal yapısı ele alınacaktır [20]. Wurtzite kristal yapısı, birim hücresi iç içe geçmiş iki hekzagonal sıkı yapıdan oluşmakta olup a ve c olmak üzere iki örgü sabitine (lattice constant) sahiptir [21]. GaN materyali, Wurtzite kristal yapısına sahiptir. GaN, atomik düzenlenmeye bağlı olarak c-ekseni ([0001] yönelimi) boyunca Ga- [0001] ve N- [0001]⁻ olmak üzere iki farklı şekilde büyüebilmektedir [22]. Şekil 1.3’de Wurtzite kristal yapısına sahip Ga-atomu GaN tabakasının atomik düzeni mevcuttur. Burada, örgü parametresi c'nin iki ardışık A veya B yığını arasındaki mesafe olduğu açıkça belirtilebilir.



Şekil 1.3. ABAB dizisini gösteren GaN'nin altıgen Wurtzite yapısı [23]

Oluşan GaN atomlarının elektronegatifliklerindeki farktan ve kristal simetrisinin ani ihlalden kaynaklanan bu polarizasyona kendiliğinden polarizasyon denir. Epitaksiyel yapıdaki farklı örgü sabitleri nedeniyle bu katmanlar arasında mekanik olarak stres oluşur. Mekanik gerilmenin neden olduğu c-eksenine dik doğrultudaki gerilme, diyagonal olmayan gerilme tensörü (strain tensor) nedeniyle c-ekseninde de gerilmeye neden olur. Ga ve N atomları arasındaki mesafelerin değişmesi, piezoelektrik polarizasyon tipine neden olur. Şekil 1.3’de atomik yerleşim mevcuttur. C- eksenine dik doğrultuda çekme gerilimi

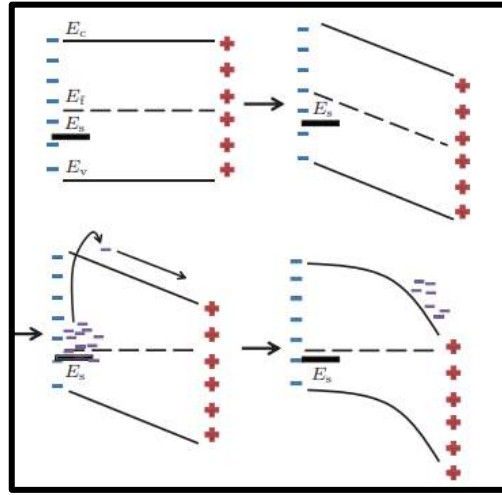
uygulanmaktadır. Bu, atomların orijinal konumlarından hareket etmesine neden olur. Yeni konfigürasyondaki polarizasyon alanı, c ekseninde sıfıra ulaşmaz, bu nedenle ek bir polarizasyon alanı oluşur. Kendiliğinden ve kristalin içinde piezoelektrik polarizasyonlar bir iç elektrik alanına neden olur. Bu alan elektronları GaN kristallerinde büyüme yönüne doğru hareket etmeye zorlar. Bunun sonucunda Şekil 1.4'de görüldüğü gibi örgü uyumsuzluğu oluşur.



Şekil 1.4. a) Uyumlu örgü düzeninin atomik görüntüsü b) uyumsuz örgü bozukluklarının atomik görüntüsü [24].

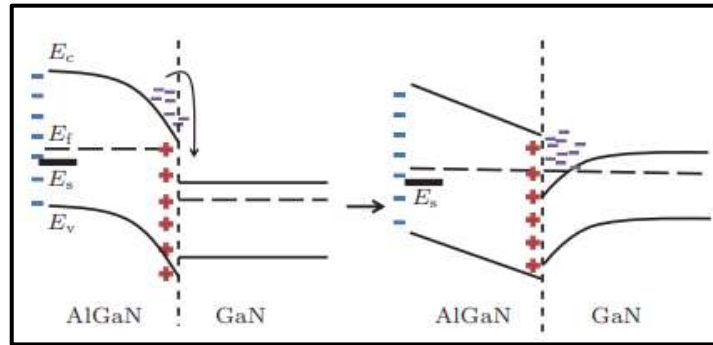
İlk olarak, 2DEG GaN tampon bölgesinden gelemez. AlGaIn/GaN arayüzündeki toplam polarizasyon yükü iki kısma ayrılabilir. Bir kısım AlGaIn'den, diğeri GaN'den gelir. AlGaIn katmanının tepesindeki negatif polarizasyon yükü ve GaN tampon bölgedeki pozitif polarizasyon yükü, iki düzlemi dışında hiçbir elektrik alanı oluşturmayan düzlemsel bir plaka kondansatörü oluşturduğundan, AlGaIn kısmının GaN tarafında hiçbir etkisi olmayacaktır. Benzer şekilde, GaN kısmı, GaN katmanının altındaki karşılığı ile birlikte, GaN katmanının altından AlGaIn/GaN arayüzüne doğru işaret eden düzgün bir elektrik alanı üretir. Bu elektrik alanı, AlGaIn/GaN arayüzündeki net elektron yoğunluğunu bırakın, 2DEG'yi azaltacaktır. İkincisi, 2DEG, AlGaIn bariyerinin gövdesinden gelemez çünkü dopsuz (katkısız) AlGaIn'de birkaç iletken elektron vardır. Şekil 1.5'de, AlGaIn tabakasının GaN üzerinde büyütülen ile aynı gerilme gerilimi altında olduğu varsayımıyla, yüzey donör durumlarına sahip bağımsız bir AlGaIn parçasının enerji bandını göstermektedir. AlGaIn tabakası yeterince kalırsa, Fermi seviyesi donör durum seviyesi E_s 'e ulaşacak ve elektronlar iletken banda uyarılacak ve polarizasyon kaynaklı elektrik alanının kuvveti ile diğer tarafa doğru kaydırılacaktır. Bir GaN katmanıyla temasa geçtiğinde, Fermi seviyesinin düşmesi nedeniyle elektronlar GaN tarafına akacaktır. Elektronlar arayüzde birikecek ve Şekil 1.6'da gösterildiği gibi 2DEG oluşturacaktır. 2DEG ve iyonize yüzey donör durumları, arayüzden

yüzeye işaret eden bir elektrik alanı oluşturacak ve AlGaN katmanındaki polarizasyon alanını azaltacaktır [25].



Şekil 1.5. Dopsuz AlGaN'nin enerji bandı

Elektronlar iletken banda uyarılır ve polarizasyon kaynaklı elektrik alanının kuvveti altında hareket eder.



Şekil 1.6. Dopsuz bir AlGaN/GaN heteroyapısının enerji bandı.

Bir GaN katmanı ile temas geçtiğinde elektronlar GaN tarafına akacak, arayüzde birikecek ve 2DEG oluşturacaktır [25].

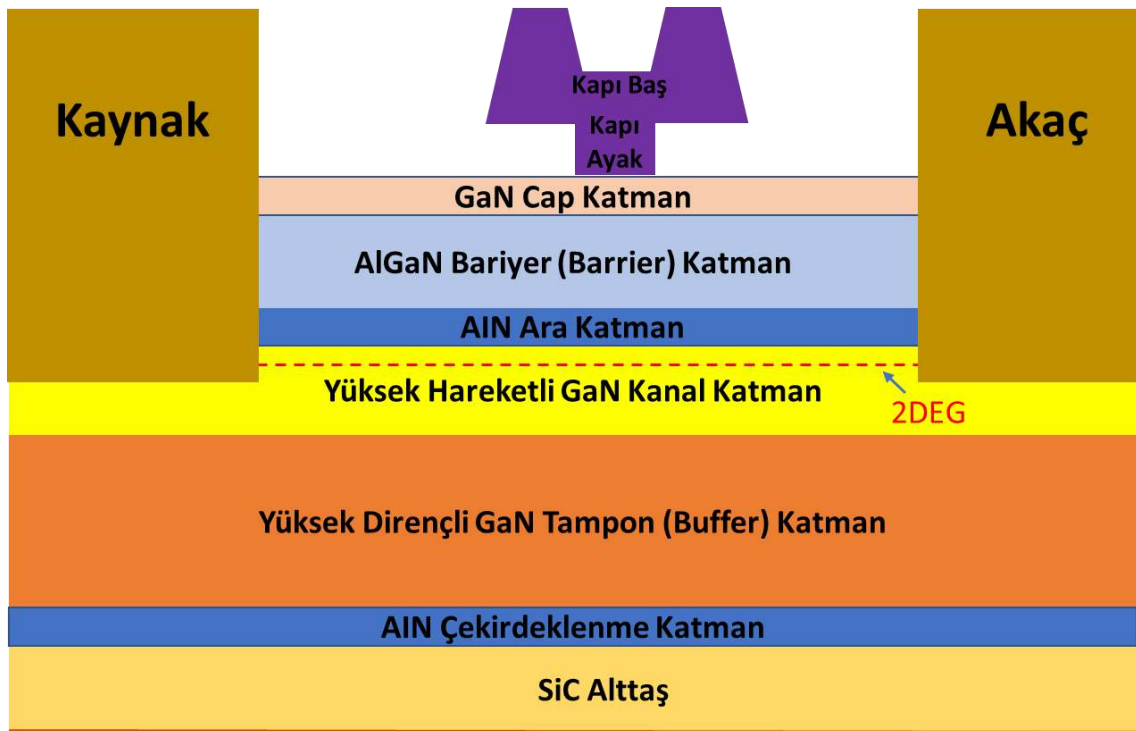
1.2.3. HEMT Epitaksiyel Yapısı

Metal Organik Kimyasal Buhar Birikimi (MOCVD) epitaksiyel katmanların kimyasal buhar biriktirme işlemi ile büyütülmesidir. SiC alttaş 1000°'de ısıtıldığında üzerine

organik gazlar gönderilir. Bu gazlar metal ile kimyasal tepsimeye girer. Tepkime sonucunda organik bağlar kopar ve metal atomları alttaş üzerinde kristalleşir.

GaN, AlGaN ve AlN (Alüminyum Nitrür) tabakalarının oluşturulması için azot (N) ve hidrojen (H) gazları kullanılarak amonyak (NH_3), Trimetil galyum (TMGa) ve Trimetal alüminyum (TMAI) metal organik gazları verilir. Bunun sonucunda GaN, AlGaN ve AlN katmanları büyütülmüş olur [26].

Şekil 1.7’de MOCVD işlemi ile büyütülen epitaksiyel yapı verilmiştir. GaN-epitaksi için büyüme, çekirdeklenme katmanının 3 inç çapında, 350 μm kalınlığında SiC alttaş üzerinde biriktirilmesiyle başlar.



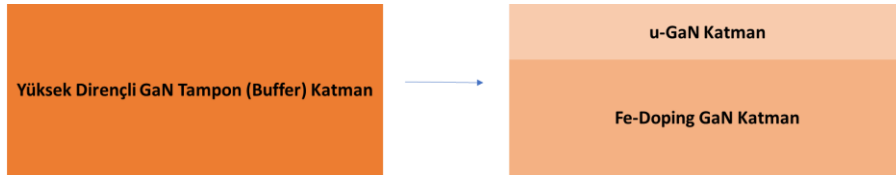
Şekil 1.7. MOCVD işlemi ile büyütülen epitaksiyel yapı

- **SiC Alttaş:** SiC termal, mekanik, kimyasal ve elektriksel özelliklere sahiptir. Bu özellikler sayesinde yüksek sıcaklık, yüksek frekanslı ve yüksek güçlü elektronik cihazlar yapmak için en iyi malzemelerden biridir.
 - SiC ve GaN epitaksiyel katmanının örgü sabiti (lattice constant) ve kimyasal özellikleri uyumludur.
 - SiC mükemmel termal iletkenliğe sahiptir (safırdan 10 kat daha fazla) ve GaN epitaksiyel tabakasının termal genleşme katsayısına yakındır.

- SiC alttař GaN malzemesinden daha dūřuk maliyetlidir.
- **AlN ekirdeklenme katmanı:** Bu tabaka alttař ve GaN malzemesi arasında kullanılır. ekirdeklenme katmanı olarak 100nm’lik dūřuk sıcaklıklıkta AlN kullanılır.
 - İki farklı malzeme arasındaki örgü uyumsuzluęunun (lattice mismatch) etkisini azaltmak,
 - GaN Tampon (Buffer) katmanı üzerindeki gerilimi azaltmak için kullanılır.
- **GaN Tampon (Buffer) katmanı:** Büyüme, kasıtlı olarak doplu (katkılı) veya dopsuz (katkısız) GaN'den oluřan tampon katman birikimi ile devam eder.
 - Tampon kaaklarını ve tuzakları (trap) önlemek için ok yüksek kalitede dūřuk kusur (defect) yoğunluęu ile sonulanan katman olmalıdır.
 - Bir aygıtın kapı-kaynak daralma gerilimi (pinch-off) performansı ve aka akım dūřūř mekanizması, dūřuk kaliteli tampon katmanı nedeniyle 2DEG elektronlarının tuzaklara yakalanmasından doęrudan etkilenir.
 - Katman kalitesi iyi hapsedme ve yüksek elektron hareketlięi ile yüksek performanslı bir 2DEG katmanı elde etmek için arayüz pürüzlölüęünü de etkiler.
 - Tampon tabakasının direncinin, kaaklar ve tuzaklar için yüksek olması gereklidir.
 - Tampon katmanı iki alt katmandan oluřmaktadır. řekil 1.8’de alt katmanlar görölmektedir. Tampon bölgesindeki kaaklar ve tuzaklardan kaynaklı aka akımındaki dūřmeleri en aza indirmek için, C (Karbon)-doping, Fe (Demir)-doping ile yüksek direnli bir GaN tampon katmanı elde edilir [27], [28].
 - GaN Buffer katmanı alt iki katmandan oluřmaktadır. řekil 1.8’de görölmektedir. C katkılı tamponda derin alıcı tuzakların varlıęı, yüksek voltaja baęlı bir akım dūřmesine neden olurken, Fe (Demir) doplu katman alıcı tuzaklarının olmaması nedeniyle sadece hafif akım dūřmesine neden olur [27]. Bu sebeple katman Fe-doping ile büyütlür. Demir atomları kaan

elektronları yakalar. Ayrıca, Fe doplu yapılarda kanal ve tampon tabaka arasındaki daha yüksek enerji bariyeri nedeniyle tampon kaçak akımı daha küçüktür [29]. Bu tampon tabakanın kalınlığı 1100 nm'dir.

- 660nm kalınlığındaki geçiş u-GaN katmanı, tampon katmandan sonra büyütülür ve yüksek oranda Fe doplu bölgeden (doped region), dopsuz(undoped region) kanal bölgesine geçiş sağlar.



Şekil 1.8. GaN Buffer katman yapısı

- **Yüksek Hareketli GaN Kanal (Channel) katmanı:** 2DEG kanalının meydana geldiği katman olarak hizmet eder.
 - GaN geçişinden sonra yüksek nitelikli 130nm kalınlığında GaN kanal katmanı biriktirilir.
 - Yüksek yüzey düzgünlüğü ile düşük kusur yoğunluğuna sahiptir.
- **AlN Ara katmanı:** GaN Kanal ve AlGaN katmanları arasında AlN'den oluşan bir ara katman biriktirilir.
 - Daha düşük alaşım saçılımı, daha yüksek hapsedme ve daha yüksek kapı kalınlığı Schottky bariyer ile belirlenen 2DEG özellikleri üzerinde önemli etkisi vardır.
 - AlN ara katmanın kalınlığını arttırmak elektron hareketliliğini artırır. Buna bağlı olarak akım yoğunluğu artar. Bunun sonucunda yüksek güçler elde edilir.
- **AlGaN Bariyer katmanı:** AlGaN bariyer katmanı, kuantum kuyusuna elektron sağlamak ve metalle Schottky teması oluşturmak için ve verici olarak ara katmandan sonra büyütülür.

- GaN/AlGaIn heteroekleminde kendiliğinden ve piezoelektrik polarizasyon, arayüzde pozitif polarizasyon yükü ve AlGaIn katmanındaki negatif yük oluşturarak bir elektrik alanı oluşturur.
- Bu katmanın kalınlığı ve Al konsantrasyonu, 2DEG'nin taşıyıcı konsantrasyonunu etkiler.
- Al konsantrasyonu, 2DEG yoğunluğunu herhangi bir gevşeme olmaksızın mümkün olduğunca arttıracak şekilde ayarlanmalıdır [30].
- Bu tabakanın kalınlığı 22nm'dir.
- **GaN Cap katmanı:** MOCVD'nin son adımı olarak bariyer tabakasındaki Alüminyum (Al) oksidasyonunu ortadan kaldırmak için ince bir GaN cap (2-3nm) tabakası biriktirilir.
 - Daha düşük yüzey kusurları sağlar.
 - Daha yüksek güvenilirlik sağlar.
 - Bu katman Schottky kapı oluşumunu kolaylaştırır.
 - Kapı kaçaklarını önler.
 - Kaynak ve akaç omik kontaklar elde edilir.

1.3. Düşük Gürültülü Yükselteç (LNA)

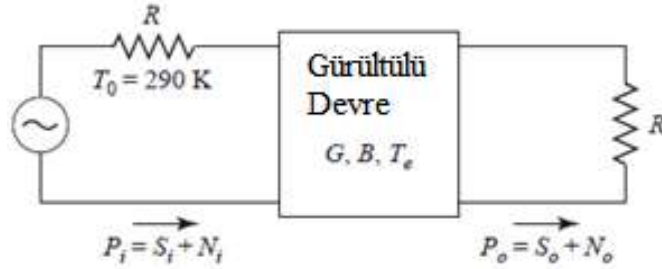
1.3.1. Düşük Gürültülü Yükselteç (LNA) Nedir?

Gürültünün etkisi çoğu RF ve mikrodalga iletişim, radar ve uzaktan algılama sisteminin başarımı açısından oldukça önem taşımaktadır. Gürültü alıcılar tarafından sezilebilen güvenilir minimum sinyal eşiğini belirler.

LNA'lar sisteme gürültü vererek çok düşük güçlü bir sinyali, sinyal-gürültü oranını önemli ölçüde düşürmeden yükselten, bir radyo frekansı alıcısının çok önemli bir elemanıdır.

Sinyal-gürültü oranı, istenen sinyal gücünün istenmeyen gürültü gücüne oranıdır ve bu nedenle sinyal gücüne bağlıdır. Gürültüsüz bir ağına girişine istenen bir sinyal ve gürültü uygulandığında, hem gürültü hem de sinyal aynı faktör tarafından azaltılacak veya güçlendirilecektir, böylece sinyal-gürültü oranı değişmeyecektir. Ancak ağ gürültülü ise,

ıkış gürültü gücü ıkış sinyal gücünden daha fazla artacak ve böylece ıkış sinyal-gürültü oranı düşecektir [31]. Şekil 1.9'da gürültülü bir devrenin gürültü katsayısını belirlemek için hazırlanmış devre mevcuttur. P_i sisteme verilen giriş gücünü ve P_o sistemden elde edilen ıkış gücünü vermektedir.



Şekil 1.9. Gürültülü bir devrenin gürültü katsayısını belirleme devresi [31]

Gürültü faktörü, sinyal-gürültü oranındaki azalmanın bir ölçüsüdür ve şu şekilde tanımlanır:

$$F = \frac{S_{i(giriş)}/N_{i(giriş)}}{S_{o(ıkış)}/N_{o(ıkış)}} \geq 1 \quad (1.1)$$

Elektronik bileşenlerin her birinin gürültüsü mevcuttur. ıkıştaki sinyalin gürültüye oranı giriştekinden daha düşük olması sebebiyle herhangi bir yükseltecin gürültü faktörü her zaman 1'den yüksektir.

Gürültü faktörünün desibel cinsinden ifadesi gürültü katsayısını vermektedir. Formülü aşağıda mevcuttur.

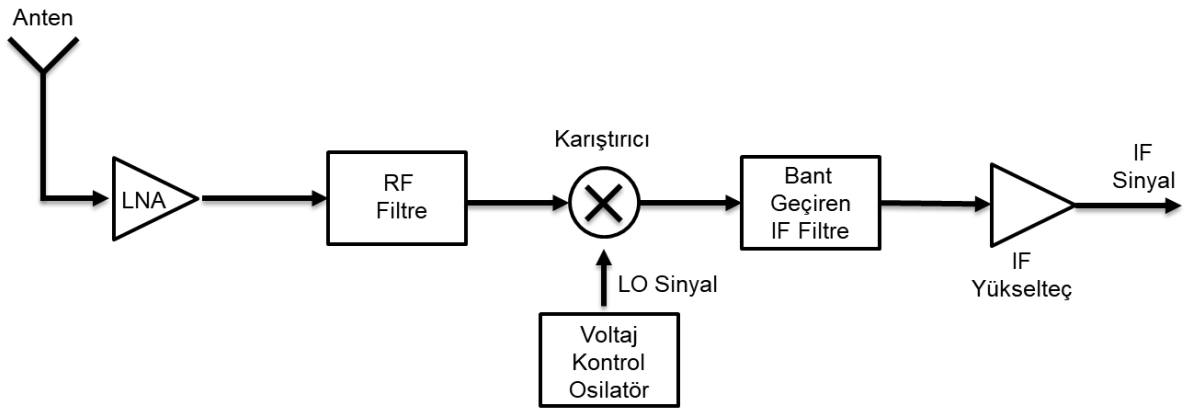
$$NF|_{dB} = 10 \log_{10} F \quad (1.2)$$

1.3.2. Düşük Gürültülü Yükselteç Nerede ve Niçin Kullanılır?

Herhangi bir yükselteç, hem sinyalin hem de girişinde bulunan gürültünün gücünü artıracaktır, ancak yükselteç ayrıca bazı ek gürültüler de getirecektir. LNA'lar bu ek gürültüyü en aza indirecek şekilde tasarlanmıştır. LNA'lar alıcı sistemlerinde düşük güçlü sinyalleri yükseltmek için kullanılır ve sinyal kayıplarını düşürmek için alıcı sistemlerindeki antenlere yakın olacak şekilde kullanılır. Düşük gürültülü yükselteçler genellikle alıcı antenden sonra kullanılan ön önemli ön uç parçasıdır. Bu yükselteçlerin en önemli görevi antenden gelen düşük seviyedeki sinyalin üzerine gürültü ekleyerek yükseltmesidir.

1.3.3. Sistem Diyagramında LNA Rolü?

Basamaklı sistemlerde, birinci elemanın gürültü katsayısı, tüm sistemin gürültü katsayısını etkilemektedir. RF alıcılarında düşük gürültülü yükselteç çok önemli bir role sahiptir. Şekil 1.10'da alıcı sisteminin blok şeması mevcuttur. Tipik bir mikrodalga sisteminde giriş sinyali art arda gelen birçok farklı bileşenden geçerek ilerler. Her bir bileşen sistemin sinyalinin gürültüye oranını belli bir oranda kötüleştirir. Her bir katın gürültü katsayısı bilinirse, art arda yapının gürültü katsayısı belirlenebilir [31].



Şekil 1.10. Alıcı Devresi Blok Şeması

Katlar içerisinde birinci katın gürültü katsayısı başarımının en kritik olduğu aşağıdaki Friis eşitliğinde görülmektedir. Bunun nedeni birinci katın kazancının ikinci katın gürültü katsayısına olan etkisini arttırmasıdır. Bundan dolayı toplam gürültü başarımının en iyi olması için birinci kat düşük bir gürültü katsayısına sahip olmalı ve kazancı da en azından orta seviyelerde olmalıdır. Daha sonra gelen katlardan ziyade masraf ve çaba daha çok birinci kata harcanmalıdır. Çünkü toplam gürültü başarımına daha sonra gelen katların etkisi giderek azalır [31].

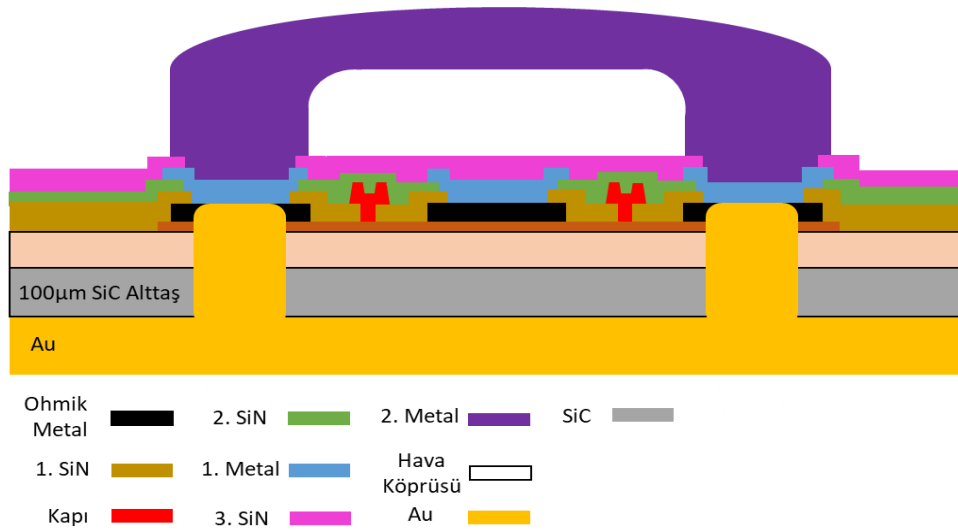
$$F_{eşdeğer} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 * G_2} + \dots \quad (1.3)$$

2. GaN HEMT FABRİKASYON TEKNOLOJİSİ

GaN HEMT ve MMIC'lerin üretimi epitaksiyel büyüme ile başlar, ön yüz üretim işlemi tamamlanır eş düzlemsel aygıtlar ile ön yüz adımı test edilir ve arka yüz işlemi yapılır. Arka yüz adımı mikroşerit aygıtlarda test edilir. Bunun sonucunda GaN HEMT'ler ve MMIC'ler için üretim sonlanmış olur. Bu bölümde üretim adımları aktarılacaktır.

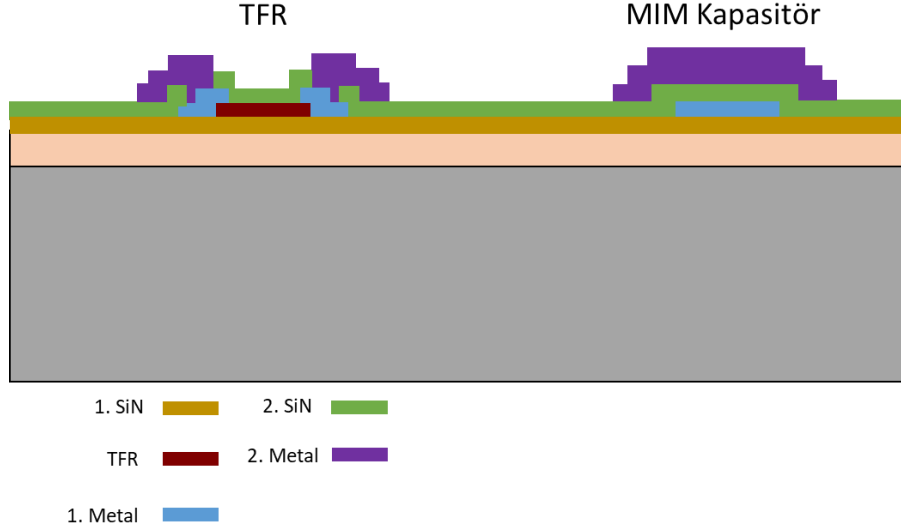
2.1. Fabrikasyon

GaN HEMT ve MMIC'lerin üretimi epitaksiyel büyüme ile başlar, ön yüz üretim işlemi tamamlanır eş düzlemsel aygıtlar ile ön yüz adımı test edilir ve arka yüz işlemi yapılır. Arka yüz adımı mikroşerit aygıtlarda test edilir. Bunun sonucunda GaN HEMT'ler ve MMIC'ler için üretim sonlanmış olur. Bu bölümde üretim adımları aktarılacaktır. Şekil 2.1'de gösterilmiştir. Her işlem adımı farklı renklerle gösterilmiştir.



Şekil 2.1. HEMT/MMIC aygıtın ön yüz ve arka yüz süreç adımlarını gösteren kesit görüntüsü

Pasif aygıtlar için elde edilen aygıtların wafer kesiti Şekil 2.2'de gösterilmiştir.



Şekil 2.2. TFR/ MIM Kapasitör aygıtın ön yüz süreç adımlarını gösteren kesit görüntüsü

2.1.1. Ön Yüz Üretim Adımları

Ön yüz üretim adımları aşağıdaki sıra ile yapılmaktadır;

1. Wafer Hazırlama ve Temizlik Adımı
2. Alaşımsız Ohmik Kontak Adımı
3. Mesa İzolasyonu Adımı
4. Birinci Dielektrik Kaplaması ve Açıklığı Adımı
5. Kapı (Gate) Oluşturma
6. İkinci Dielektrik Kaplaması ve Açıklığı Adımı
7. Alan Levhası (Field Plate) Oluşturma
8. İnce Film Rezistör (TFR) Adımı
9. Metal 1 Adımı
10. Üçüncü Dielektrik Kaplaması ve Açıklığı Adımı
11. Metal 2 Adımı

2.1.1.1. Wafer Hazırlama ve Temizlik Adımı

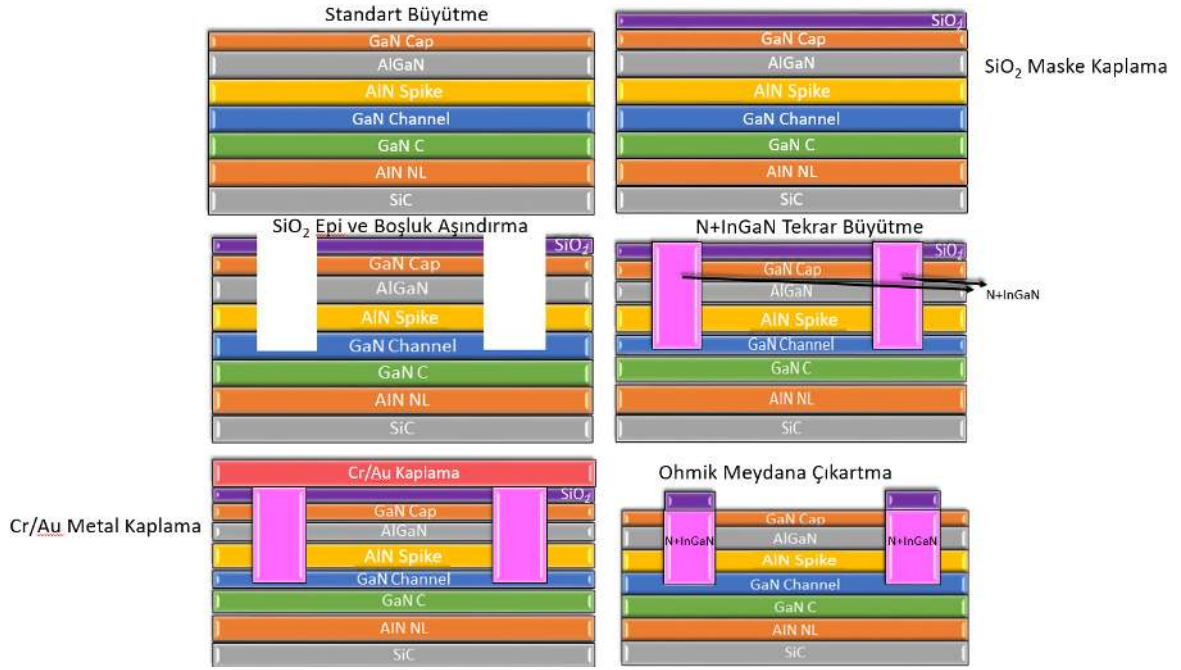
Üretimin ilk adımı wafer temizliğidir. Bunun yanında üretimdeki verim ve kalitenin artması için wafer üretimin bir çok adımından bu kimyasal işlemler yapılır. Wafer yüzeyindeki organik kirlilikleri temizlemek için RCA1 ($\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}$), inorganic kirlilikleri temizlemek için ise RCA2 ($\text{H}_2\text{O}_2\text{-HCl-H}_2\text{O}$) prosedürleri yapılır. Bazı üretim adımlarında ise wafer temizliği için sadece aseton ve IPA kullanılmaktadır.

2.1.1.2. Alaşımısız Ohmik Kontak Adımı

Ohmik kontaklar, waferın üst yüzeyinden kaynak ve akaç bölümünden kanal vasıtasıyla elektriksel bağlantıyı sağlamak için oluşturulmuştur. Şekil 2.3’de gösterilmiştir. Ohmik kontaklar aygıtların akaç ve kaynak kısmından voltaj verilip akım okunması için önemlidir. Ohmik kontaklar için; hem GaN hem de AlGaIn/GaN heteroyapılara yönelik en yaygın çözümlerden biri, tavllanmış alaşımlı Ti/Al/Ni/Au çok katmanlı metal yapısıdır. Ancak alaşımlı ohmik kontak yapısının verimliliğinin düşük olması, tekrarlanabilir sonuçlar alınamaması, yüksek sıcaklıklarda tavlama işleminin alaşımlı yapılarının yüzey morfolojisini bozması ve bu durumun yüzeyde kontrolsüz yapılar oluşmasına sebep olması nedeniyle HEMT/MMIC aygıtlar için alaşımısız ohmik kontak süreci geliştirilmiştir [32]. Alaşımısız ohmik kontak süreci ile yüksek sıcaklık ohmik tavlama işlemlerden kaçınarak, aktif aygıtların bulunduğu bölgeler haricindeki örnek yüzeyi, SiO_2 pasif malzeme ile korunarak sadece aktif bölgelerin (kaynak-akaç), MOCVD yöntemi kullanılarak iletken hale getirilmesi ve ardından metal kaplama işlemleri sonrasında ohmik kontakların oluşturulması sağlanmıştır (Şekil 2.4).

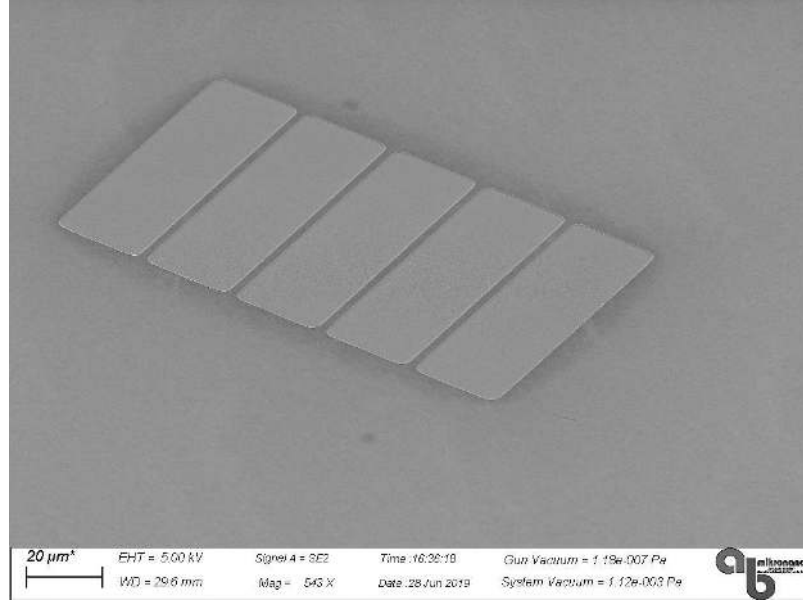


Şekil 2.3. Önyüz ohmik metal süreç adımı sonrası wafer kesit görüntüsü



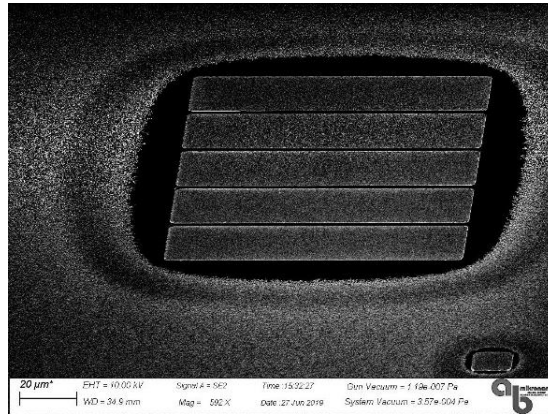
Şekil 2.4. Alaşımız ohmik kontak süreci şematik görüntüsü

Şekil 2.4’de alaşımız ohmik kontak sürecinin şeması gösterilmiştir. Üretimde kullanılan wafer, standart temizlik süreci sonrası PECVD sistemi ile SiO₂ tabakası kaplanmıştır. Kaplanan bu SiO₂ tabakası, ilerleyen adımlarda görülebileceği üzere sadece istenen bölgelerde iletken tabakaların büyütülebilmesi için maske görevi görmektedir. SiO₂ maske kaplama adımı sonrasında yeniden büyütme yöntemi ile iletken tabakaların büyütüleceği ohmik kontak bölgelerini belirlemek amacıyla söz konusu SiO₂ maske üzerinde optik litografi yöntemiyle desenleme işlemi yapılmıştır. Ohmik metal açıklıkları desenleme adımından sonra örnek üzerinden alınan SEM mikroskop görüntüsü Şekil 2.5’de gösterilmiştir.



Şekil 2.5. Ohmik metal açıklıkları desenleme adımı sonrası aygıtların optik mikroskop görüntüsü

Ardından F-tabanlı kuru aşındırma süreci ile Tetraflorometan (CF_4) ve Oksijen (O_2) gazları kullanarak öncelikle desenler içerisinde yer alan SiO_2 tabakasının tamamı aşındırılmıştır. Ardından Cl-tabanlı kuru aşındırma süreci ile GaN/AlGaN tabakası 2DEG bölgesini geçecek şekilde aşındırılmıştır. Aşındırma işleminden sonra fotorezist kalıntılarının temizliği için örnek için standart temizlik işlemi uygulanmıştır. Ohmik metal açıklıkları oluşturulduktan sonra wafer, bu açıklıklar içerisine N+InGaN iletken tabakasının büyütülmesi için MOCVD sistemine alınmıştır. Büyütme sonrası aygıtların SEM incelemesi Şekil 2.6’da gösterilmiştir.



Şekil 2.6. N+InGaN iletken Tabaka Büyütme adımı sonrası örnek yüzeyinden alınan SEM görüntüsü

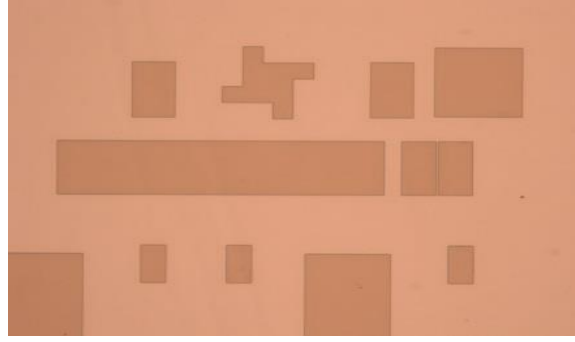
N+InGaN İletken Tabaka Büyütme işleminden sonra wafera herhangi bir işlem uygulanmadan tüm yüzeyi elektron demeti buharlaştırma sistemi ile Cr/Au (50/150 nm) metalleri ile kaplanmıştır. Ardından söz konusu metallerin sadece ohmik kontak açıklıkları içerisinde kalmasını sağlamak amacıyla daha önceden kaplanan tüm SiO₂ maskesi, Hidroflorik Asit (HF) kullanılarak aşındırılmıştır (lift off). Alaşımsız ohmik metal oluşturma adımı sonrası örneğin yüzeyinden alınan SEM görüntüsü Şekil 2.7’de gösterilmiştir.



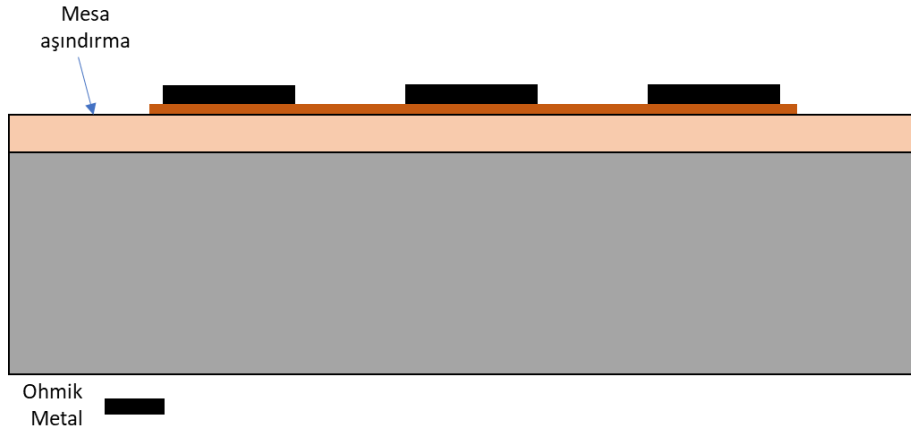
Şekil 2.7. Metal kaplama adımı sonrası ohmik kontakların SEM

2.1.1.3. Mesa İzolasyonu Adımı

Waferin ohmik adımından sonra, wafer üzerindeki her bir HEMT aygıtının diğer aygıtlardan elektriksel olarak izole edilmesi gerekmektedir. Böylece her bir HEMT’in aktif olarak çalışabileceği alan belirlenecektir. Optik desenleme yöntemiyle wafer yüzeyindeki aktif bölgeler foto direnç yardımıyla korunmakta (Şekil 2.8) ve geri kalan tüm wafer yüzey alanı ise ICP RIE sistemi kullanılarak GaN kanal tabakasına kadar aşındırılmaktadır. Aşındırma işlemi sonrası wafer kesit görüntüsü Şekil 2.9’da mevcuttur. Böylece aygıtın kanalı üzerinden oluşabilecek parazitik iletim engellenecek ve aygıt izole edilecektir.



Şekil 2.8. Mesa desenleme adımı sonrası aygıtların optik mikroskop görüntüsü

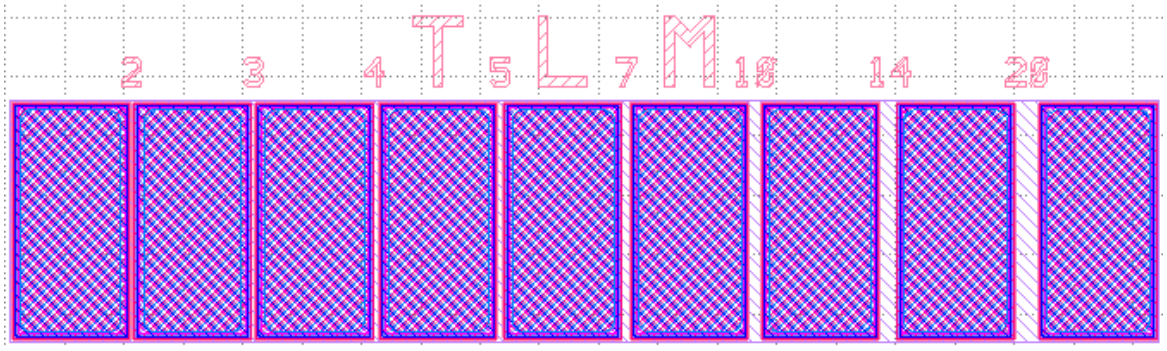


Şekil 2.9. Mesa aşındırma süreci sonrası wafer kesit görüntüsü

Mesa aşındırma adımı sonrası wafer standart temizlik işlemi uygulanmış ve ardından TLM metoduyla wafer üzerindeki kontakların dirençleri ölçülmüştür.

TLM Methodu Nedir?

TLM ölçümleri üretim adımı ohmik kontak ve mesa izolasyon adımları sonrasında ohmik kontakların kalitesini test etmek amacıyla yapılmaktadır. TLM modeli farklı aralıklarla aynı boyuta sahip ohmik kontakların yan yana gelerek birleştirilmesi ile oluşur. Şekil 2.10'da TLM yapısı mevcuttur.



Şekil 2.10. 3 inç wafer üzerindeki TLM deseninin görüntüsü

TLM ölçümleri dört portlu iğne prob ile yapılmaktadır. Dört portlu ölçüm Kelvin bağlantısı olarak adlandırılır. Kelvin bağlantısı ile kabloların iğne prob uçlarına kadar dirençleri geri dönüş ile sıfırlanmaktadır. Bu sayede asıl ölçülmek istenen direnç değeri parazitik dirençlerden ayrılmış olur.

Şekil 2.11’de görüldüğü üzere 3 inç bir wafer’ın kontak dirençleri 0,25-0,30 Ω *mm civarında elde edilmiştir.

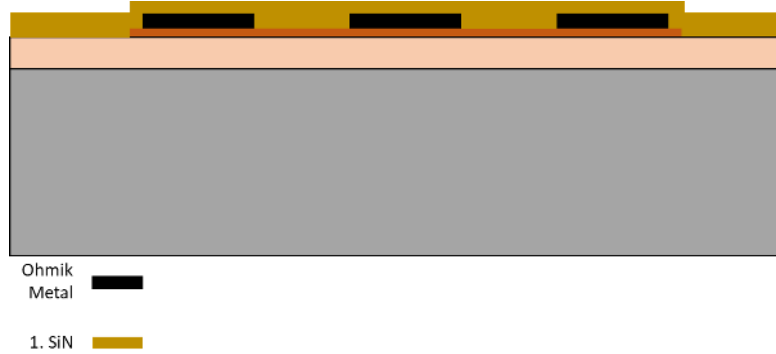
		0,28	0,29		
	0,25	0,28	0,29	0,30	
0,23	0,25	0,25	0,24	0,25	0,24
0,22	0,27	0,29	0,24	0,23	0,25
	0,25	0,25	0,29	0,26	
		0,28	0,26		

Şekil 2.11. 3 inç wafer boyunca kontak direnç dağılımı

2.1.1.4. Birinci Dielektrik Kaplaması ve Açıklığı Adımı

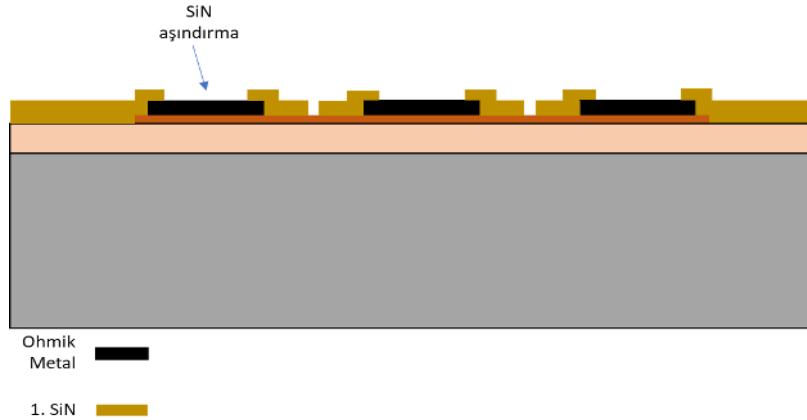
Yarıiletken yüzeyi üzerinde kararsız oksit oluşumunu önlemek, elektriksel izolasyonu güçlendirmek ve yarı iletkeni, yüksek voltaj taşıyan metallerle doğrudan temastan korumak amacıyla yapılır. Bu adım kaçak akımları en aza indirmek, ayrıca akım yoğunluğu ve kırılma gerilimini arttırmak için yapılmaktadır. Bu sebeple çok önemlidir.

PECVD (Plazma Geliştirilmiş Kimyasal Buhar Biriktirme) tekniği kullanılarak wafer yüzeyine 90 nm Silisyum Nitrür (Si_3N_4) tabakası kaplanmıştır. Şekil 2.12’de gösterilmiştir.



Şekil 2.12. Birinci Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü

Kontak açıklıkları için ICP-RIE tarafından kuru aşındırma yöntemi yapılır. Bu Si_3N_4 tabakası aynı zamanda kapı ayak izini tanımlamak ve T şekilli kapının üst kısmını desteklemek için kullanılmaktadır. Aşındırma işlemi Şekil 2.13’de görülmektedir.



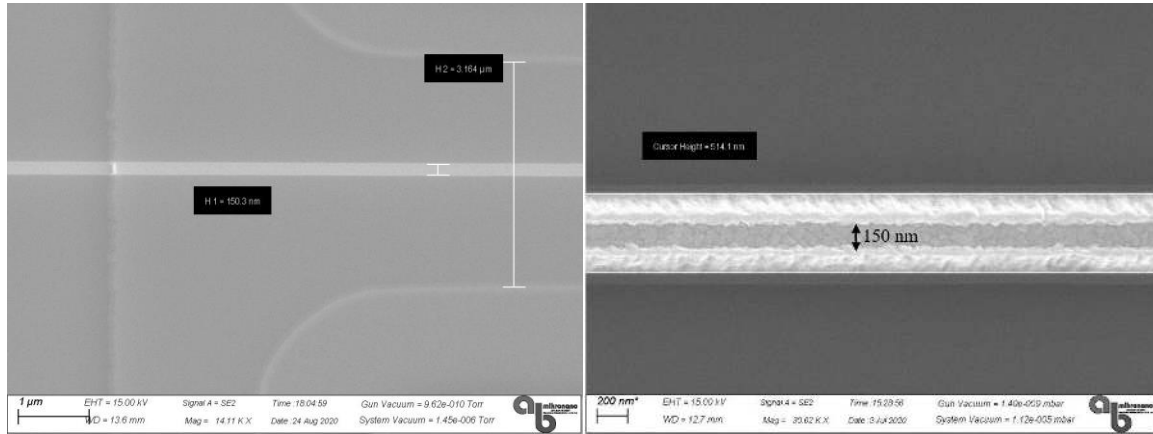
Şekil 2.13. Birinci Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü

2.1.1.5. Kapı (Gate) Oluşturma

Aygıt üretim süreci, T-şekilli Kapı oluşumu ile devam etmektedir. Bu adım ile 2DEG kanalındaki elektronların kontrolü ile akaç’dan kaynağa akan akım kontrol edilebilmektedir. Kapılar, yarı iletken yüzey ile kapı metalı arasında yüksek bariyer yüksekliği enerjisi oluşturmak için önemli olan Schottky kontakları olarak oluşturulur. Kapı metalinin yarı

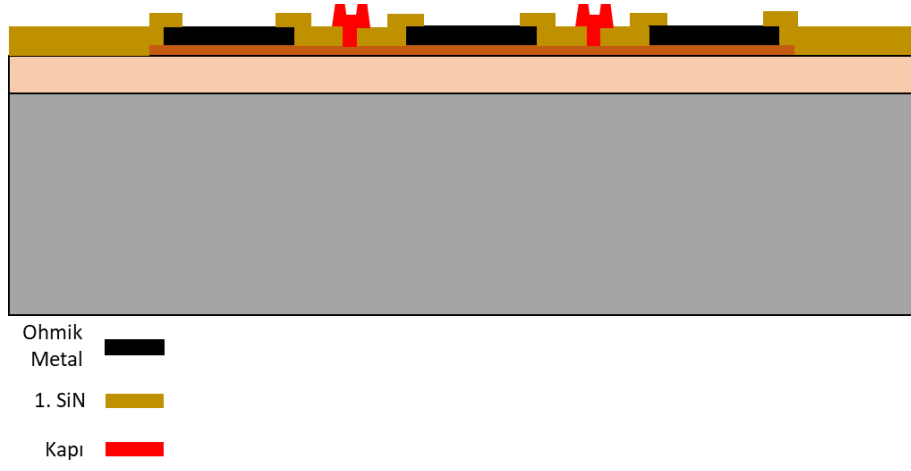
iletken yüzeye yapışması, termal kararlılığının yanı sıra çok önemlidir. Schottky temas metalinin direnci, cihazların giriş kapısı direncini doğrudan etkileyen bu özelliklere bağlıdır. Kapılar, kendisine bağlı kaynak kontaklı alan plakaları ile kapının altındaki elektrik alan dağılımını değiştirerek kapı direncini azaltır ve bunun sonucunda kırılma gerilimini arttıırırlar. Kapı ayak uzunluğu frekansa göre değişmektedir. Yüksek frekanslarda kapı ayak uzunluğu düşmektedir. Üretimimizde kullanılan cihazların limitleri nedeniyle kapı ayak uzunluğu minimum 150nm'dir.

Ni, üretimimizde Schottky kapısını oluşturmak için kullanılır ve Au, daha iyi iletkenlik ve oksidasyonu önlemek için Ni'nin üstünde kullanılır. Bu işlem 2 adım içerir. Kapı ayağı ve kapı kafası farklı adım olarak desenlenir. Kapı ayağı bölgeleri, 1 μm 'nin altında bir desenleme ihtiyacı duymasından, elektron demeti litografisi sistemi (Raith e-line) kullanılmıştır. Elektron duyarlı bir direnç kullanılarak E-ışın litografisi ile desenlenir. Kapı başı bölgeleri de E-ışın litografisi kullanılarak tanımlanır. Şekil 2.14'de Kapı ayak kısmından elde edilen SEM görüntüleri gösterilmiştir.



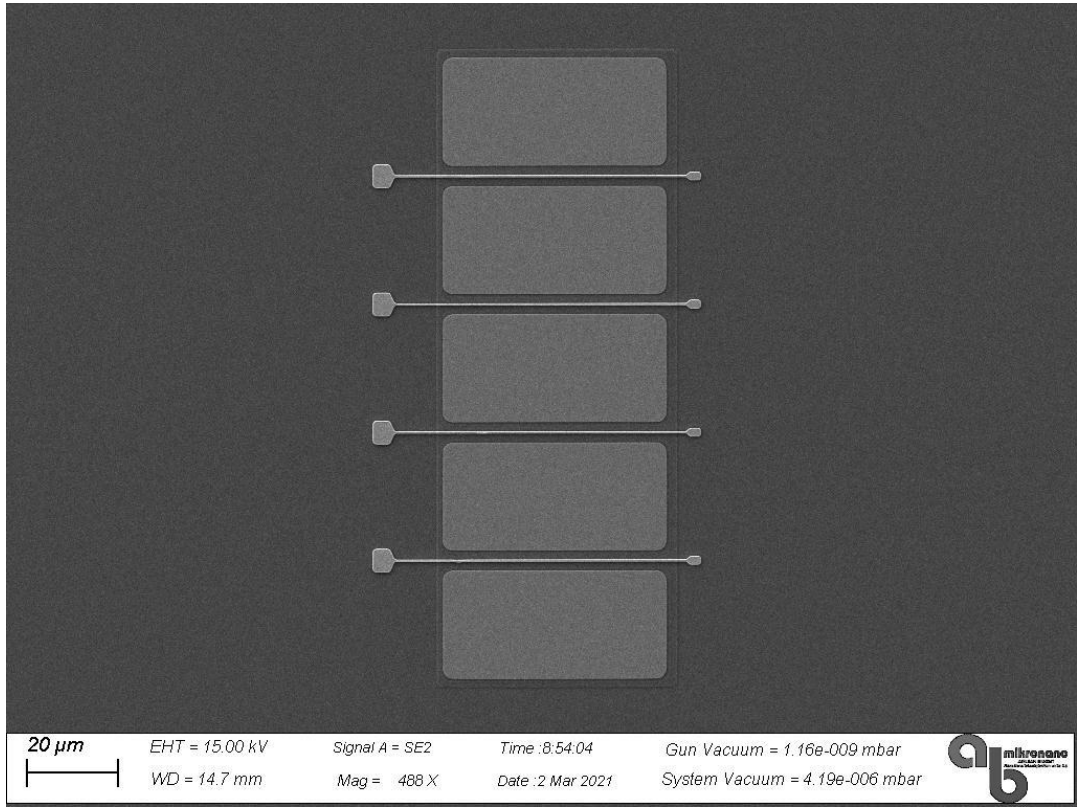
Şekil 2.14. T-Kapı aya kaşındırma adımı sonrası SEM görüntüleri

T-Kapı ayağı ve Kapı kafası oluşturulduktan sonra Elektron Demeti Kaplama sistemi ile Ni/Au metali kaplanmıştır. Şekil 2.15'de kapı adımı sonrası wafer'in enine kesiti mevcuttur.



Şekil 2.15. Kapı süreç adımı sonrası wafer kesit görüntüsü

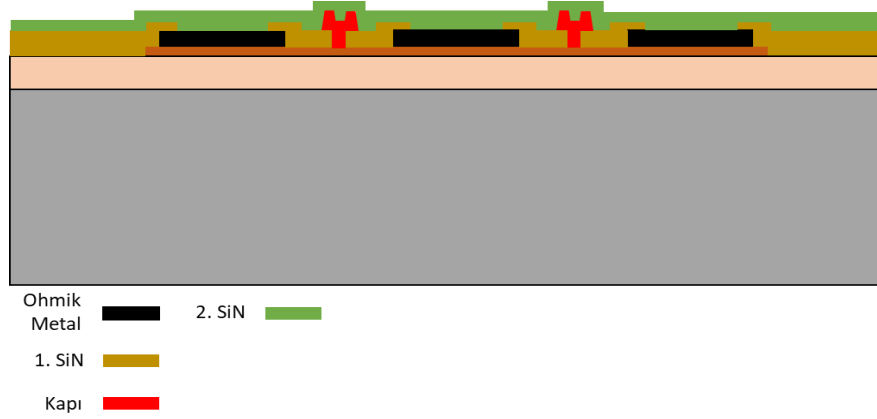
İşlem sonrası SEM görüntüleri Şekil 2.16’da verilmiştir. Kapı kafası görülmektedir.



Şekil 2.16. Kapı litografi adımı sonrası aygıtların SEM görüntüleri

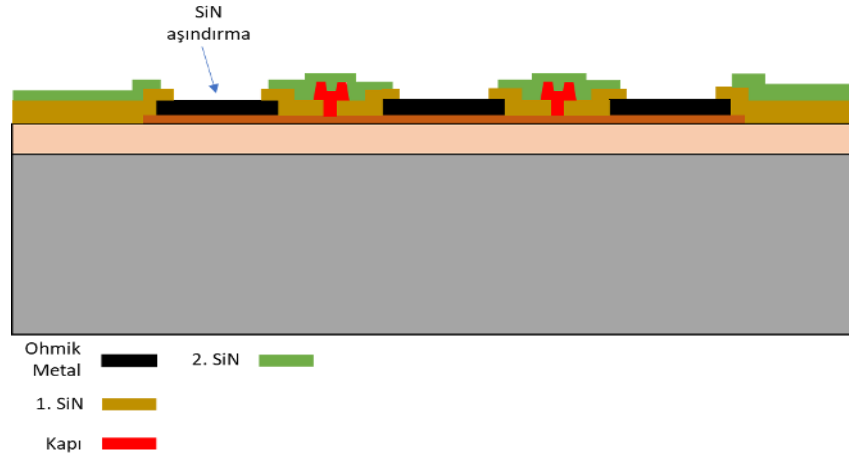
2.1.1.6. İkinci Dielektrik Kaplaması ve Açıklığı Adımı

Kapı metalini korumak ve kapı kafasını alan levhası metalinden izole etmek amacıyla ikinci Si_3N_4 dielektrik kaplaması yapılmaktadır. Bu amaçla örnek yüzeyine PECVD sisteminde 250 nm Si_3N_4 dielektrik kaplaması yapılmıştır. Şekil 2.17’de kaplama gösterilmiştir.



Şekil 2.17. İkinci Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü

İkinci Si_3N_4 dielektrik kaplama adımı sonrası elektriksel kontak almak amacıyla alan levhasının bağlı olduğu ohmik kontak metaline kadar optik litografi ve kuru aşındırma yöntemi ile kontak pencereleri (via açıklığı) açılmıştır. Şekil 2.18’de aşındırma işlemi sonrası wafer enine kesiti görülmektedir. Kuru aşındırma işlemi, ICP RIE sisteminde Flor tabanlı plazma kullanılarak yapılmıştır.



Şekil 2.18. İkinci Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü

2.1.1.7. Alan Lehvası (Field Plate) Oluşturma

Alan Lehvası, GaN esaslı RF transistörler için, akaç (drain) tarafındaki kapı ayağı kenarının altındaki elektrik alanını düzenleyerek HEMT' nin kırılma gerilimi karakteristiğini artırmak için önemli bir özelliktir.

Alan Lehvalarının, boyutunun ve pozisyonun tasarım parametrelerine göre iyi oturması gerektiğinden elektron demeti litografisi kullanılmıştır. Desenleme işleminden sonra elektron demeti ile buharlaştırma sistemi kullanarak 600 nm kalınlığında Ti / Au metal kaplama işlemi yapılmıştır.

Alan levhası adımı kullanılacak olan transistörlerde yoktur.

2.1.1.8. İnce Film Rezistör (TFR) Adımı

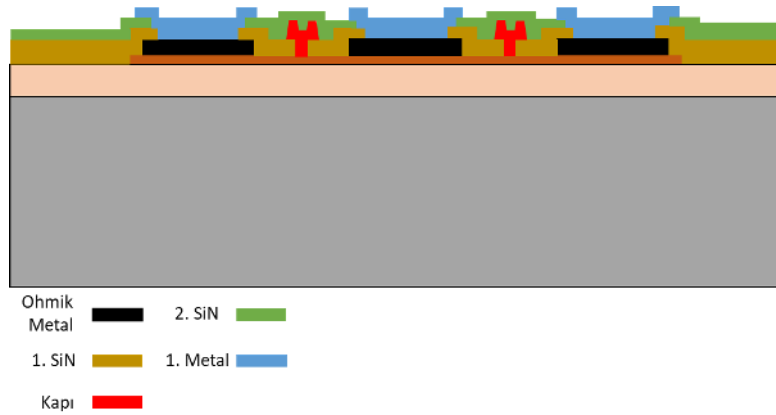
MMIC'lerde kullanılan kapasitör ve dirençlere sahip olmak için bu üretim adımı oluşturulmuştur. MMIC'lerde bulunan ince film rezistörlerin direnç değerlerinin tasarımdaki değer olan $30 \Omega/\square$ olacak şekilde 90 nm kalınlığında Ni/Cr kaplaması yapılmıştır. Bunun için optik litografi ile rezistörlerin kaplanacağı açıklıklar belirlenmiş, daha sonra da saçtırma yöntemi ile Ni/Cr kaplaması yapılmıştır. Kaplama sonrası rezistör desenlerinin dışındaki metallerin kaldırılması ve temizlik işlemi bu adımda tamamlanmıştır. Şekil 2.19'da TFR adımı sonrası wafer enine kesiti mevcuttur.



Şekil 2.19. TFR tabakasının süreç adımı sonrası wafer kesit görüntüsü

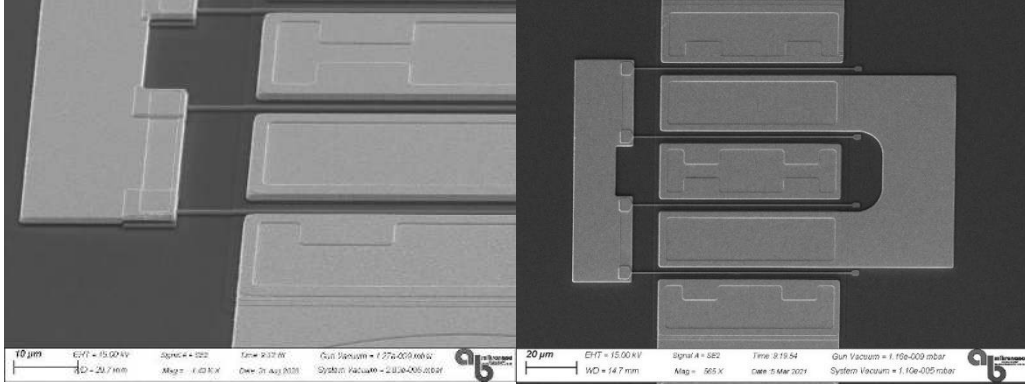
2.1.1.9. Metal 1 Adımı

Kapasitör, indüktör gibi pasif yapıların ilk metali, ince film rezistörlerin bağlantı metalleri, transistörlerin ayaç ve kaynak bağlantı kontakları için metal bu adımda yapılmıştır. Bu adımda wafer optik litografi ile 1.metal desenleri oluşturulmuş ve elektron demeti buharlaştırma sisteminde ile Ti/Au (50/1000 nm) kaplaması yapılmıştır. Kaplama sonrası 1.metal desenlerinin dışındaki metallerin kaldırılması (lift-off'u) ve waferin temizliği bu adım ile tamamlanmıştır. Şekil 2.20'de waferin 1. Metal adımından sonraki enine kesiti mevcuttur.



Şekil 2.20. Metal 1 süreç adımı sonrası wafer kesit görüntüsü

Şekil 2.21'de litografi sonrası ve metal lift-off sonrası 1.metallerin görünümü görülmektedir.



Şekil 2.21. İkinci Dielektrik Kaplaması ve dielektrik kontak açıklığı sonrası aygıtların SEM görüntüleri

2.1.1.10. Üçüncü Dielektrik Kaplaması ve Açıklığı Adımı

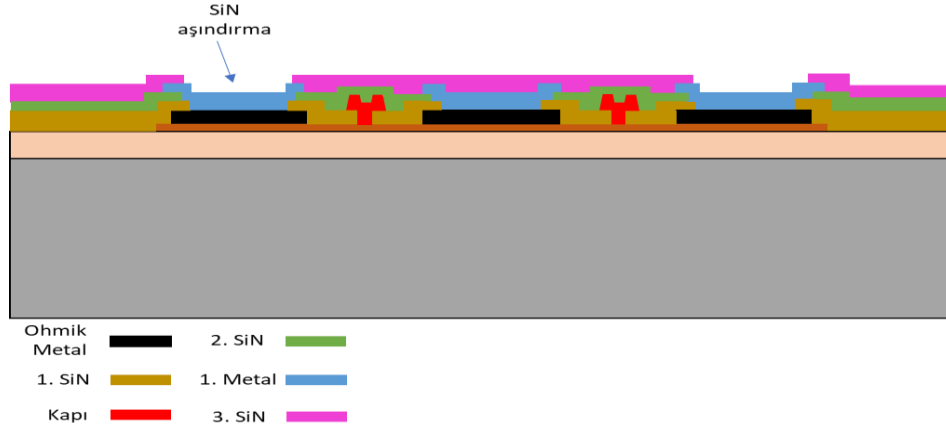
Alan lehva yapılarını korumak ve kapasitörlerin dielektrik katmanını oluşturmak amacıyla üçüncü Si_3N_4 dielektrik kaplaması yapılmaktadır. Bu amaçla örnek yüzeyine PECVD sisteminde 240 nm Si_3N_4 dielektrik kaplaması yapılmıştır. Şekil 2.22’de dielektrik kaplaması sonucunda oluşan görüntü mevcuttur.



Şekil 2.22. Üçüncü Silisyum Nitrür (Si_3N_4) tabakasının kaplandığı süreç adımı sonrası wafer kesit görüntüsü

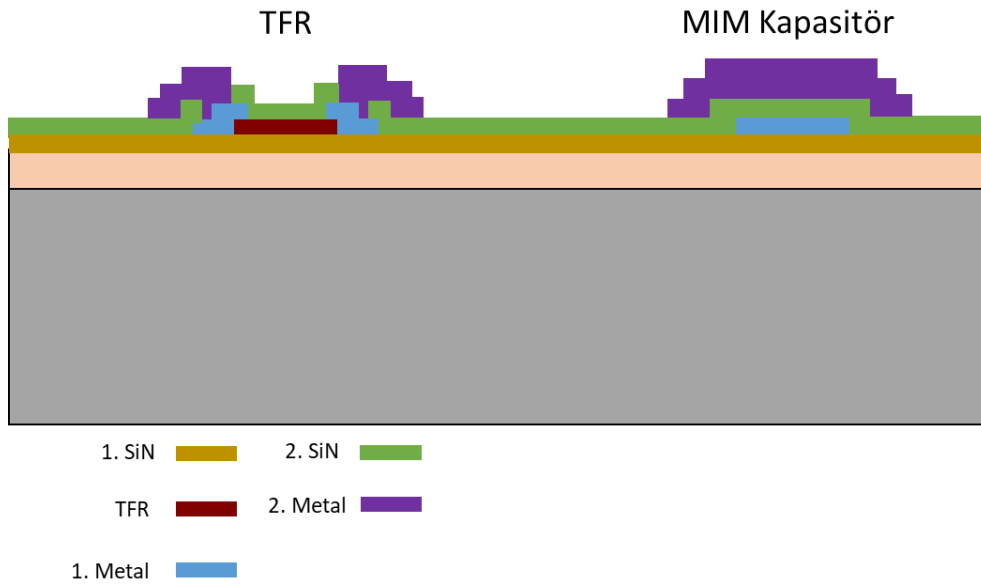
Üçüncü Si_3N_4 dielektrik kaplama adımı sonrası MIM kapasitörler için gerekli olan dielektrik kontak pencereleri, üçüncü Si_3N_4 dielektrik katmanından MET1 katmanına ulaşana kadar optik litografi ve kuru aşındırma yöntemi kullanılarak açılmıştır. Kuru

aşındırma işlemi, ICP RIE sisteminde Flor tabanlı plazma kullanılarak yapılmıştır. Şekil 2.23’de dielektrik katmanının aşındırma sonucunda oluşan görüntü mevcuttur.

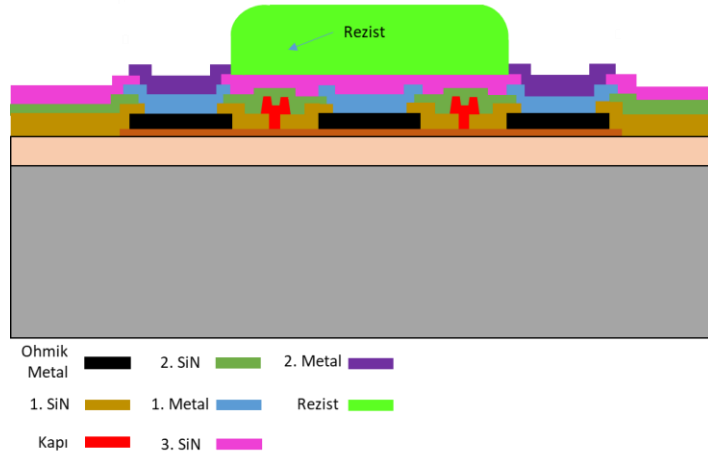


Şekil 2.23. Üçüncü Silisyum Nitrür (Si_3N_4) tabakasının aşındırıldığı süreç adımı sonrası wafer kesit görüntüsü

Çip üstü (MIM) kapasitörler için, işlemin iki metal tabakası arasında bir dielektrik Si_3N_4 tabakası ile MIM yapıları oluşturulur. Bu katman, 275 pF/mm^2 'lik bir kapasitans yoğunluğu elde etmek için 240 nm kalınlığında PECVD ile biriktirilir. Şekil 2.24’de TFR ve MIM kapasitörlerinin wafer enine kesiti mevcuttur. Bu yoğunluk, Si_3N_4 ’ün dielektrik sabitine ve ayrıca kalınlığa bağlıdır. Biriktirme işleminde dielektrik sabiti (ϵ_r) 7 değerine ayarlanmıştır, dolayısıyla dielektrik kalınlığı değiştirilerek kapasitans yoğunluğu değiştirilebilir.

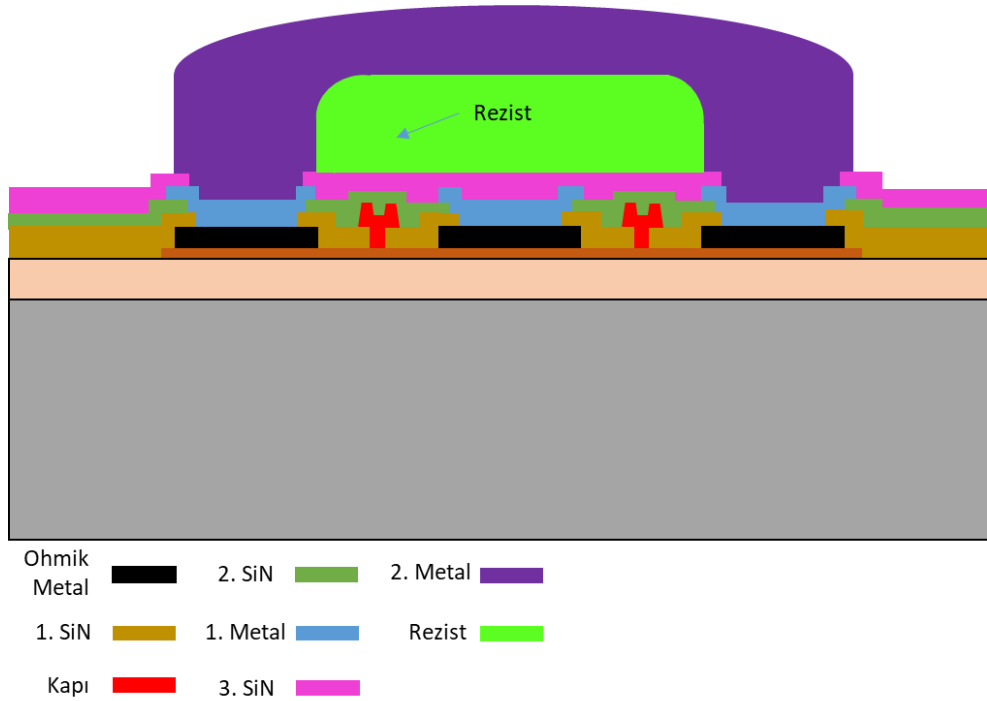


Şekil 2.24. TFR ve MIM Kapasitör süreç adımı sonrası wafer kesit görüntüsü



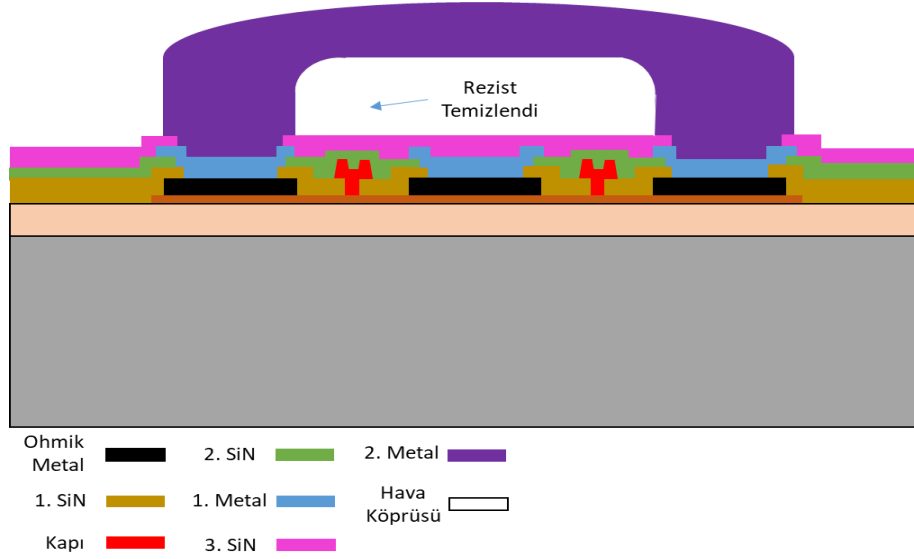
Şekil 2.26. Resizt süreç adımı sonrası wafer kesit görüntüsü

Ardından, kalın metal kaplanacak bölgelerin desenleme işlemi fotolitografi yöntemi ile tanımlanır. Daha sonra, Au metalin elektrokaplanması, örneğin katoda ve Au kaynağı elektrokaplama devresinin anoduna bağlanacak şekilde 70 °C' de tutulan elektrolit çözeltisinde yapılır. Devredeki akım akışı, iyonları numune yüzeyine kadar taşır ve birikme meydana gelir. Şekil 2.27'de kaynak kısımlarının 2. Metal ile kısa devre edildiği görülmektedir.



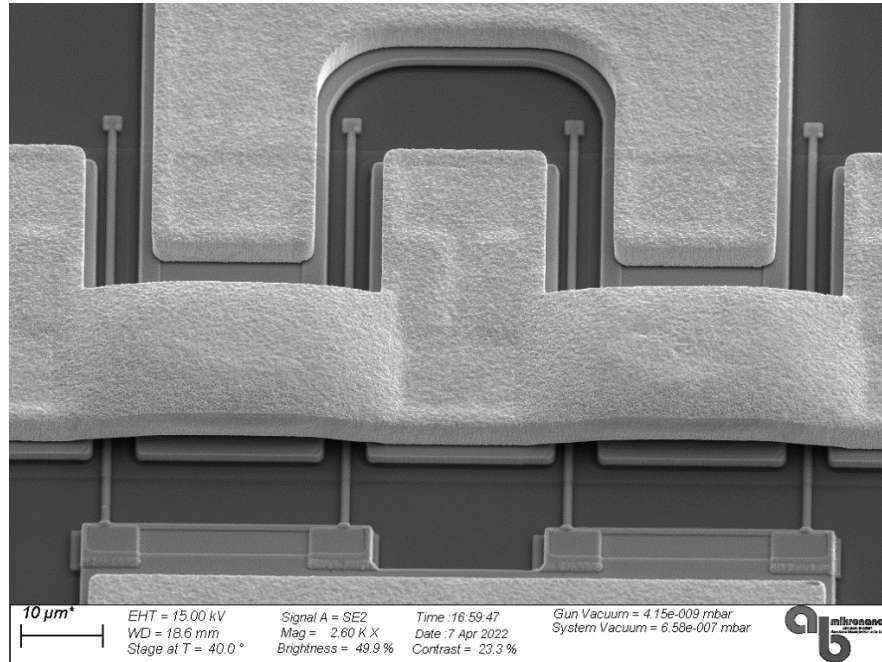
Şekil 2.27. Resizt süreç adımı sonrası Metal 2 adımının tekrarlanması sonrasındaki wafer kesit görüntüsü

Elektrokaplama işlemi tamamlandıktan sonra, elektrolizle temaslar, tohum tabakası tarafından birbirlerine kısa devre yapıldığından, tohum tabakası uygun dağlama teknikleri kullanılarak çıkarılır. Şekil 2.28’de foto rezist malzemesinin temizlenmiş hali mevcuttur.

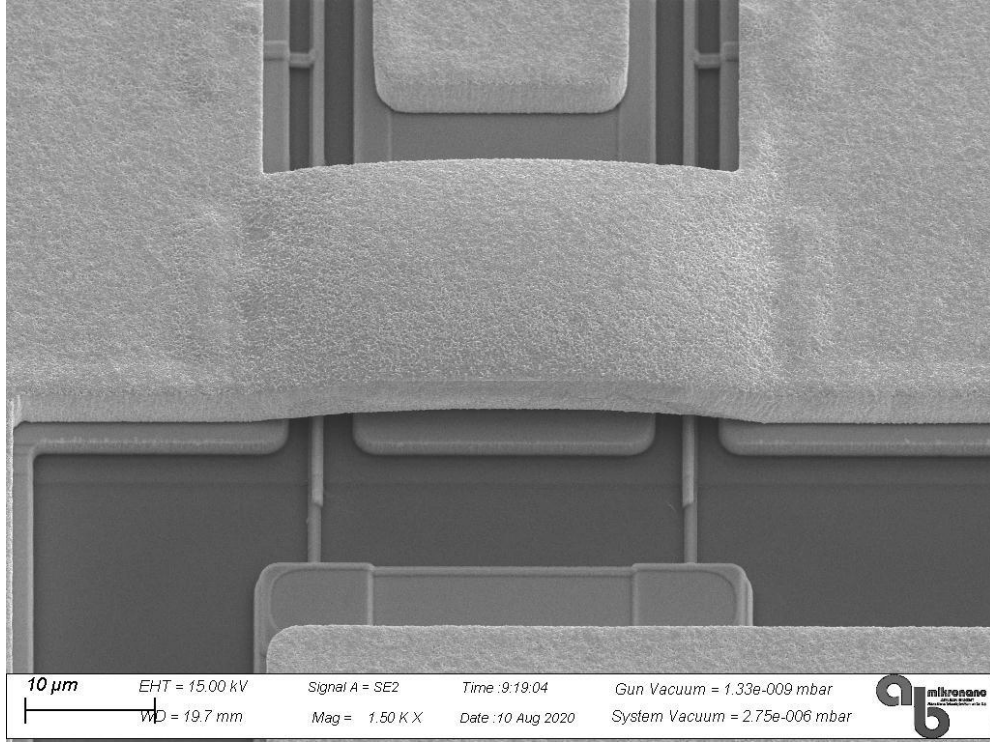


Şekil 2.28. Rezist malzemesinin kimyasal temizlik sonrası hava köprüsünün oluşumu wafer kesit görüntüsü

Şekil 2.29 ve Şekil 2.30’da bağlantı metali sonrası aygıtların Sem görüntüleri verilmiştir.



Şekil 2.29. Bağlantı metali sonrası aygıtların SEM görüntüsü



Şekil 2.30. Bağlantı metali sonrası aygıtların SEM görüntüsü

Tasarımda kullanılacak olan HEMT'in önyüz süreç adımı field plate adımı yoktur. Field plate adımı genel fabrikasyon adımı olarak anlatılmıştır.

2.1.2. Arka Yüz Üretim Adımları

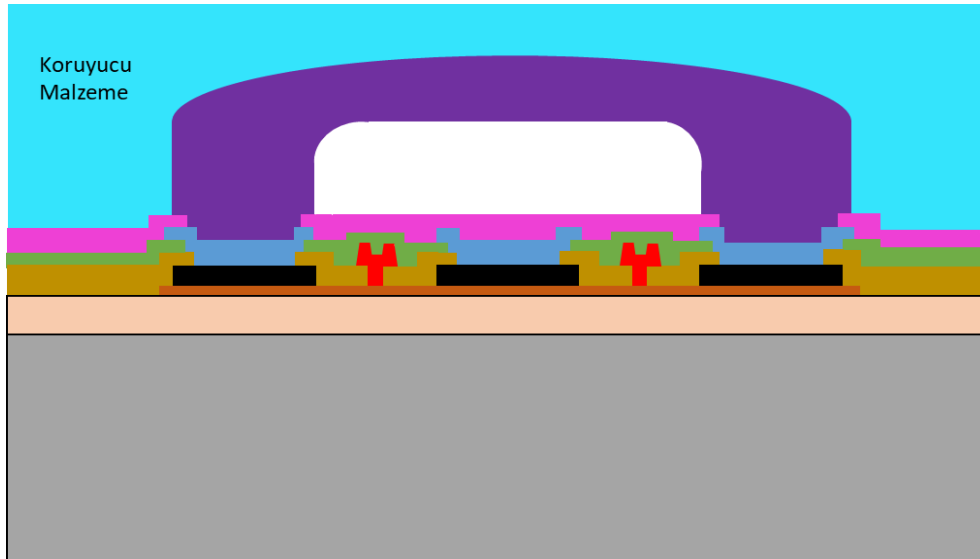
Arka yüz süreci, aygıt üretim işleminin en önemli parçalarından birisidir. SiC alttaş metallere benzer bir termal iletkenliğe sahip olduğu Bölüm 1 de aktarılmıştır. Bu nedenle aygıtın çalışması sırasında üretilen ısı alttaş'tan verimli bir şekilde yayılabilir. Bir kaynak elektrot pedinin yüksek frekanslı bir ortamda tel bağlama ile topraklanması durumunda güç kazancında bir azalma meydana gelir, ancak elektrot, bir geçiş deliğinden çipin arka tarafına topraklanarak güç kazancında oluşan bu kayıp azaltılabilmektedir. SiC alttaşın avantajlarına rağmen, sahip olduğu çok kararlı kimyasal ve fiziksel özellikler delik aşındırma işlemini oldukça zorlaştırır.

Yukarıda belirtilen ön yüz üretim işlemi ile tamamlanan SiC alttaşı üzerinde delik delme dâhil olmak üzere arka yüz süreç akışı şu şekildedir:

1. Ön Yüzey Koruma ve Taşıyıcı ile Birleştirme Adımı
2. SiC Alttaşı Yüzeyini İnceltme ve Parlatma Adımı
3. Nikel Sert Maske Hazırlanması
4. Geçiş Deliği Aşındırma Adımı
5. Elektroliz Yöntemi ile Geçiş Deliğinin Altın Metalizasyon Adımı
6. Alttaşı Ayırma Ve Temizlik İşlemi

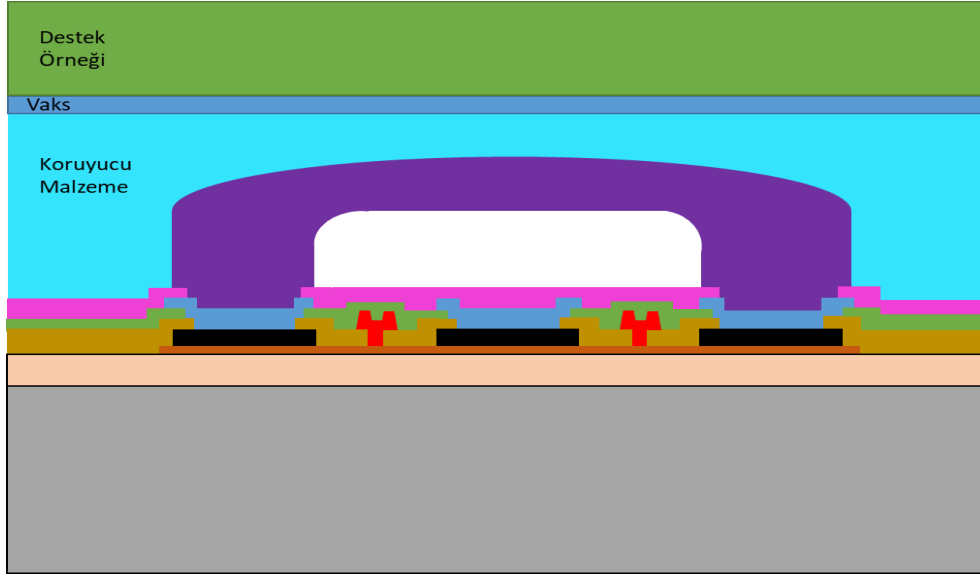
2.1.2.1. Ön Yüzey Koruma ve Taşıyıcı ile Birleştirme Adımı

SiC alttaşı üzerine büyütülmüş epitaksiyel yapının, tanımlanmış bir fabrikasyon işlemi bitirildikten sonra arka yüzeyinin işlenebilmesi için ön yüzey korunmalıdır. Bu koruma işlemini yapabilmek için yüksek sıcaklıklara dayanım gösteren fotodirenç polimer bir yapı alttaşı yüzeyine dönel kaplama sistemi ile homojen bir şekilde serilmiştir. Şekil 2.31’de wafer enine kesit görüntüsü mevcuttur.



Şekil 2.31. Fotorezist koruyucu malzemenin serilmesi işlemi sonrası wafer kesit görüntüsü

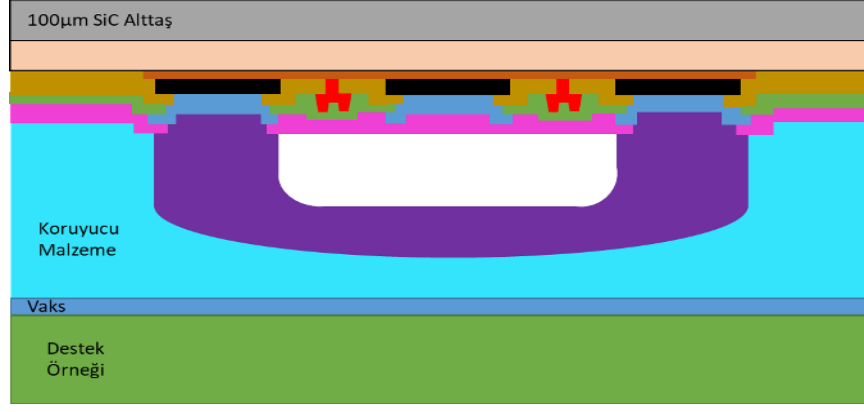
Ardından ön yüzeyi polimer malzeme ile korunan örneğimiz, çatlama, kırılma gibi fiziksel hasarların olasılıklarını azaltmak, ayrıca plazma işlemi sırasında ısı iletkenliği sabit tutmak amacıyla akışkan vaks kullanılarak taşıyıcı başka bir alttaşa yapıştırılır. Şekil 2.32’de wafer’ın yapıştırılmış hali mevcuttur.



Şekil 2.32. Destek örneğinin vaks ile yapıştırılması sonucu wafer kesit görüntüsü

2.1.2.2. SiC Altaş Yüzeyini İnceltme ve Parlatma Adımı

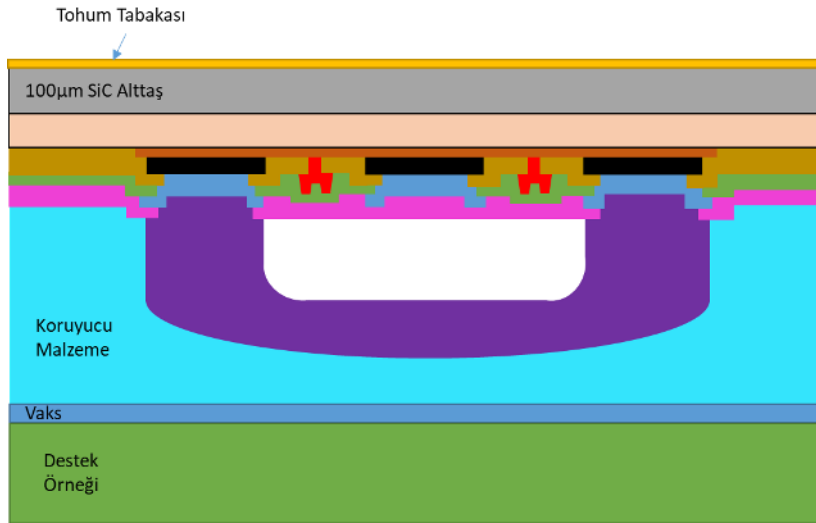
Taşıyıcı alttaş ile birleştirilen SiC altaşın ön yüzeyi korunmuş olup, örneğin arka yüzü olan SiC alttaş yüzeyi inceltme ve parlatma işlemi için hazır hale getirilmiş olur. İnceltme ve parlatma işlemleri, Disco firmasına ait “DAG 810” sistemi ile gerçekleştirilmiştir. Bu sistemde yer alan aşındırma diskinin dişleri sayesinde mekanik traşlama işlemi uygulanarak, SiC yüzeyi 100 µm kalınlığa kadar aşındırılarak inceltilmiş ve ardından da parlatılmıştır. Şekil 2.33’de alttaşın inceltilmiş hali mevcuttur.



Şekil 2.33. SiC alttas aşındırma ve inceltme sonrası wafer kesit görüntüsü

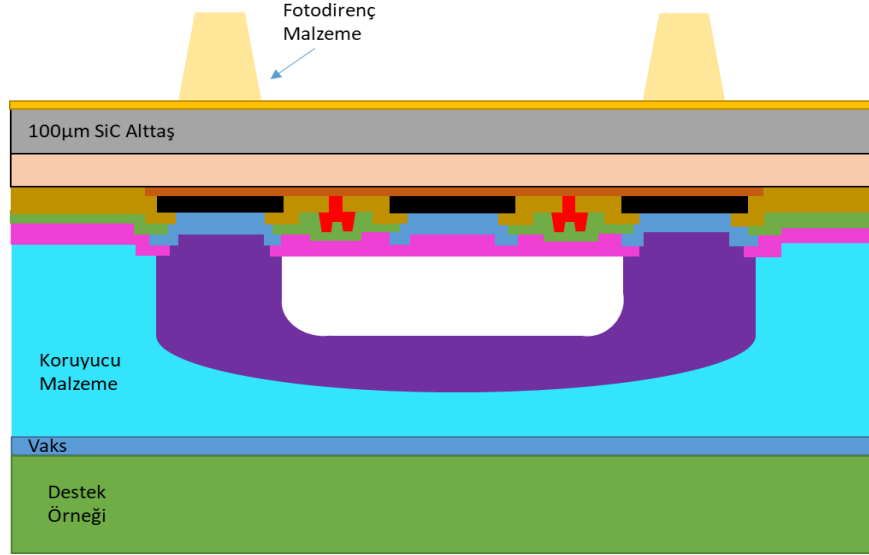
2.1.2.3. Nikel Sert Maske Hazırlanması

İnceltilmiş olan SiC alttas yüzey, kimyasal çözücüler kullanılarak metalizasyon işlemi için hazır hale getirilmiştir. Bu kimyasal çözücüler genel olarak organik solvent içeriklidir. Temizlik işlemi görsel olarak Optik Mikroskop ile teyit edildikten sonra SiC yüzeyinin her tarafını kaplayacak şekilde sırası ile Titanyum, Altın, Nikel metali kaplanarak nikel metal maskesini oluşturmak için gerekli olan tohum tabakası oluşturulur. Şekil 2.34’de tohum tabakası eklenmiş wafer enine kesiti mevcuttur. Tohum tabakası kaplaması Elektron Demeti Buharlaştırma sistemi ile gerçekleştirilmiştir.



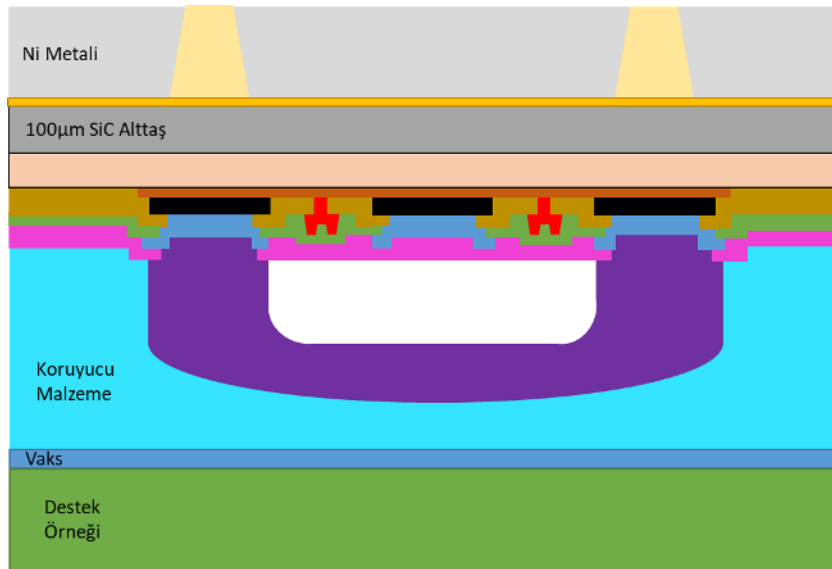
Şekil 2.34. SiC alttas aşındırma sonrası tohum tabakasının (Ti, Au, Ni) kaplanması sonucu wafer kesit görüntüsü

Nikel metal maskesinin kaplama işlemi, elektroliz yöntemi kullanılarak yapılmıştır. Nikel metal maske kaplama işlemi öncesi, fotolitografi yöntemi ile desenleme işlemi yapılmıştır. Bu desenleme işlemi ile istenilen yerlerde sadece nikel maskenin kaplanması sağlanmış olur. Şekil 2.35’de fotodirenç malzemesi bulunan desenler içerisine elektroliz yöntemi ile nikel metali kaplama işlemi esnasında metal kaplanmamaktadır.



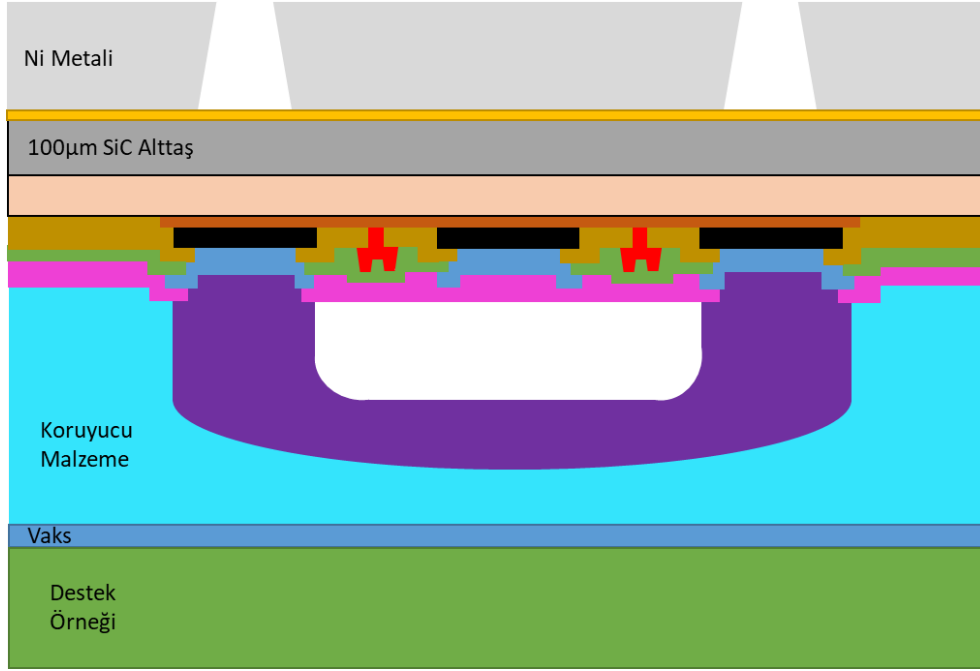
Şekil 2.35. Tohum tabakası sonrasında kaynak kısımlarına fotodirenç malzemenin geleceği yerlerin belirlenmesi sonucu wafer kesit görüntüsü

Şekil 2.36’da Nikel maske desenleme işleminden sonra elektroliz yöntemi ile istenen yerlere 8µm kalınlığında nikel metali kaplanmıştır.



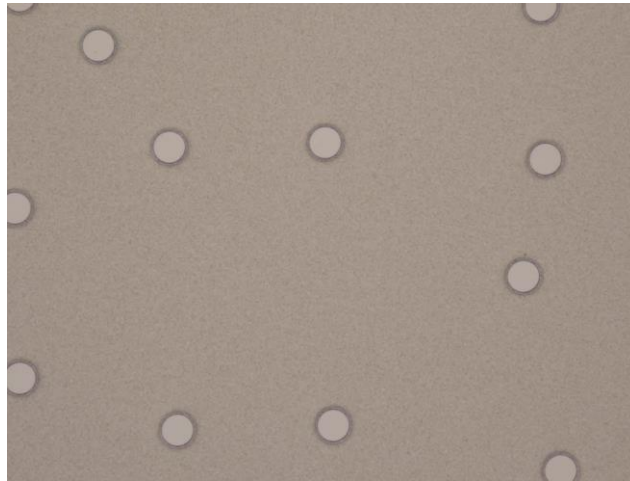
Şekil 2.36. Nikel maskesi oluşumu sonrası Nikel metali kaplanmış wafer kesit görüntüsü

Şekil 2.37’de kaplama işleminden sonra örneğe kimyasal temizlik işlemi uygulanarak fotodirenç malzemesinin temizlenmesi sağlanmıştır.

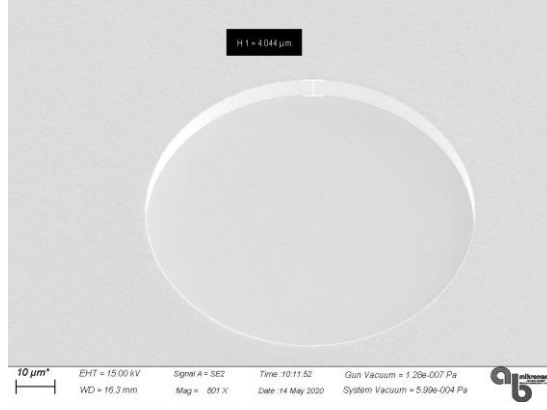


Şekil 2.37. Kimyasal temizlik sonrası Ni metalinin temizlenmiş hali wafer kesit görüntüsü

Şekil 2.38’de elektroliz yöntemi sonrası elde edilen nikel maskesinin optik mikroskop görüntüsü ve Şekil 2.39’da SEM görüntüsü verilmiştir.



Şekil 2.38. Elektroliz yöntemi ile nikel maske kaplama adımı sonrası SiC alttaş yüzeyin SEM görüntüsü

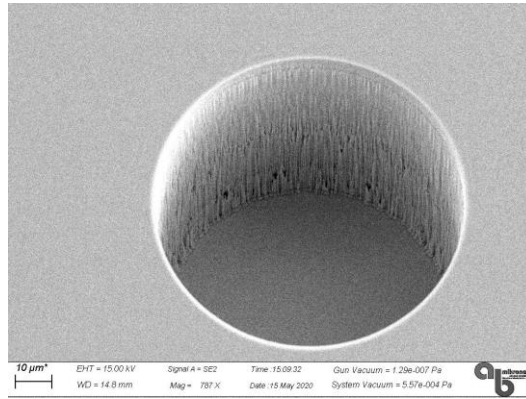


Şekil 2.39. Elektroliz yöntemi ile nikel maske kaplama adımı sonrası SiC alttaş yüzeyin SEM görüntüsü

Bu şekilde kuru aşındırma işlemi ile bu desenlerin içerisinde yer alan SiC alttaş 100 μm aşındırılarak ön yüzeyde yer alan kontak katmanına kadar ulaşan geçiş delikleri oluşturulmaktadır.

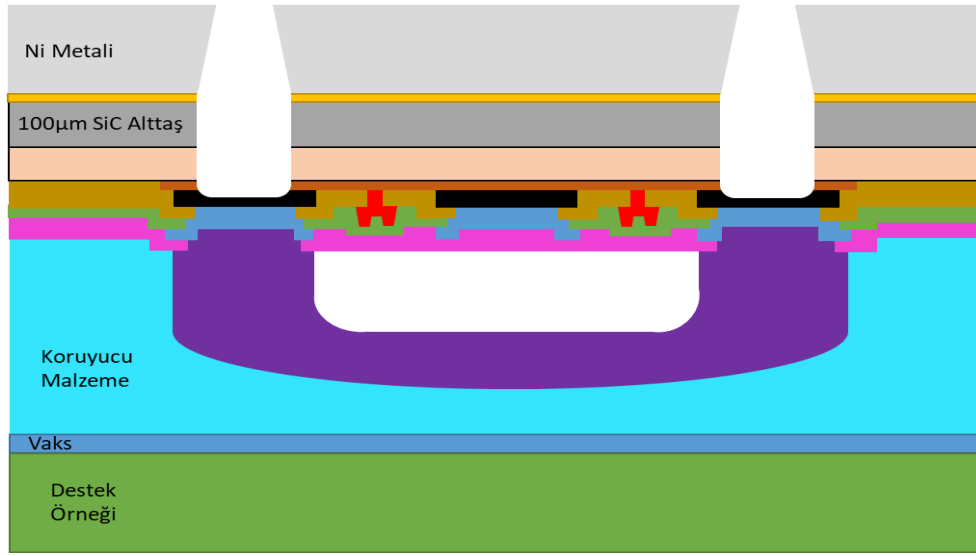
2.1.2.4. Geçiş Deliği Aşındırma Adımı

Flor tabanlı kuru aşındırma yöntemi ile yapılan bu işlem için SI 500 ICP RIE sistemi kullanılmıştır. Flor tabanlı kuru aşındırma yöntemi ile SiC alttaş yüzeyinde oluşturulan desenlerin içerisinde SiC alttaş, 100 μm aşındırılarak, aygıtın arka yüzünden ön yüzüne doğru 100 μm derinliğe sahip epitaksiyel tabakada duran geçiş delikleri oluşturulmuştur. Şekil 2.40'da Flor tabanlı kuru aşındırma sonrası geçiş deliklerinin SEM görüntüsü verilmiştir. Optik olarak incelendiğinde geçiş delikleri içerisinde Newton halkalarının görünüyor olması geçiş delikleri içerisinde tüm SiC tabakanın aşındığını ve epitaksiyel tabakada olduğunu göstermektedir.



Şekil 2.40. Flor tabanlı kuru aşındırma sonrası geçiş deliklerinin SEM görüntüsü

Geçiş deliklerinde epitaksiyel tabakaya ulaşıldıktan sonra daha kontrollü ve kimyasal bir aşındırma sağlamak amacıyla, Klor tabanlı bir kuru aşındırma yöntemi ile bu epitaksiyel tabakanın aşındırılarak ön yüzeyde yer alan altın tabakasına ulaşılması gerekmektedir. Bu amaçla öncelikle arka yüzeyde yer alan nikel maske ve nikel maskeyi oluşturmak için elektron demeti buharlaştırma yöntemi ile kaplanmış olan Ti/Au/Ni tohum tabakaları ıslak aşındırma yöntemi ile aşındırılmıştır. Şekil 2.41’de Flor tabanlı kuru aşındırma işlemi esnasında geçiş deliği duvarlarında oluşan polimerik kalıntılar, nitrik asit solüsyonu kullanılarak temizlenmiştir.

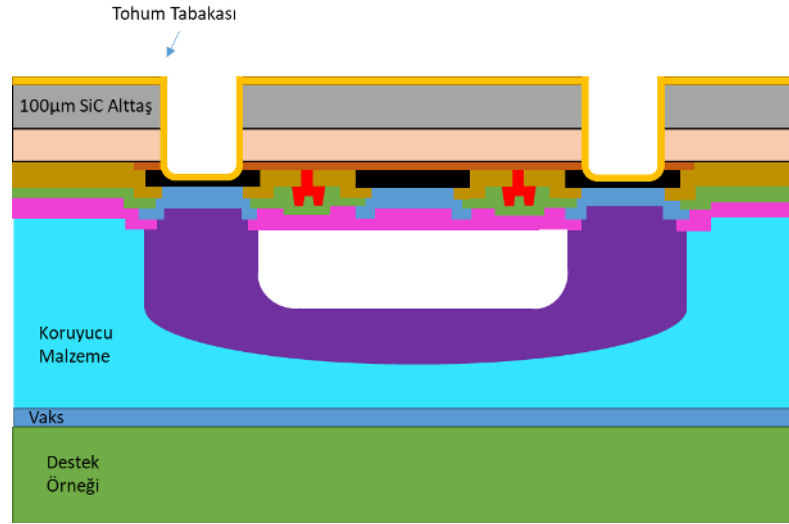


Şekil 2.41. Kimyasal temizlik sonrası omik bölgesine kadar aşındırılmış wafer kesit görüntüsü

Bu işlem ardından örnek, Klor tabanlı kuru aşındırma yöntemi ile geçiş delikleri içerisinde yer alan epitaksiyel tabakanın aşındırılması işlemi için SI 500 ICP RIE sistemine yüklenmiştir. Epitaksiyel tabakanın aşındırılması sonrasında geçiş deliklerinde altın tabakasına ulaşılmıştır. Klor tabanlı kuru aşındırma işlemi esnasında geçiş deliği duvarlarında oluşan polimerik kalıntıların ve altın katmanında oluşan yan ürünlerin temizliği için, Tetrametilamonyum hidroksit (TMAH) ile kimyasal temizlik işlemi uygulanmıştır.

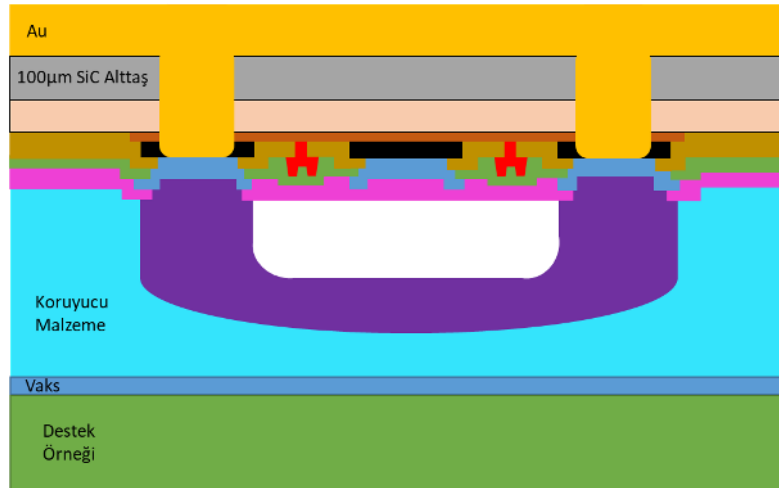
2.1.2.5. Elektroliz Yöntemi ile Geçiş Deliğinin Altın Metalizasyon Adımı

Örnek arka yüzeyinde geçiş delikleri oluşturulduktan sonra arka yüz ile ön yüzeyin geçiş delikleri aracılığıyla birleştirilerek gerekli kontakların alınması amacıyla arka yüz üzerine geçiş deliklerinin duvarları da kaplanacak şekilde Sputter sistemi kullanılarak Ti/Au tohum kaplaması yapılmıştır. Şekil 2.42’de yapılan adım mevcuttur.



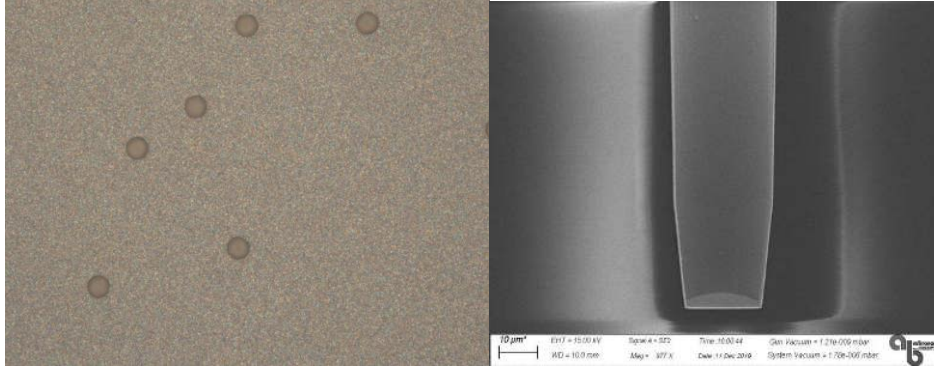
Şekil 2.42. SiC alttaşı Ni metal temizliği sonrası tohum tabakasının (Ti, Au) kaplanması sonucu oluşan wafer kesit görüntüsü

Ardından da Şekil 2.43’de görüldüğü gibi elektroliz yöntemi ile 5 µm kalınlıkta altın metali kaplanmıştır.



Şekil 2.43. SiC alttaşı Au kaplanması sonucu oluşan wafer kesit görüntüsü

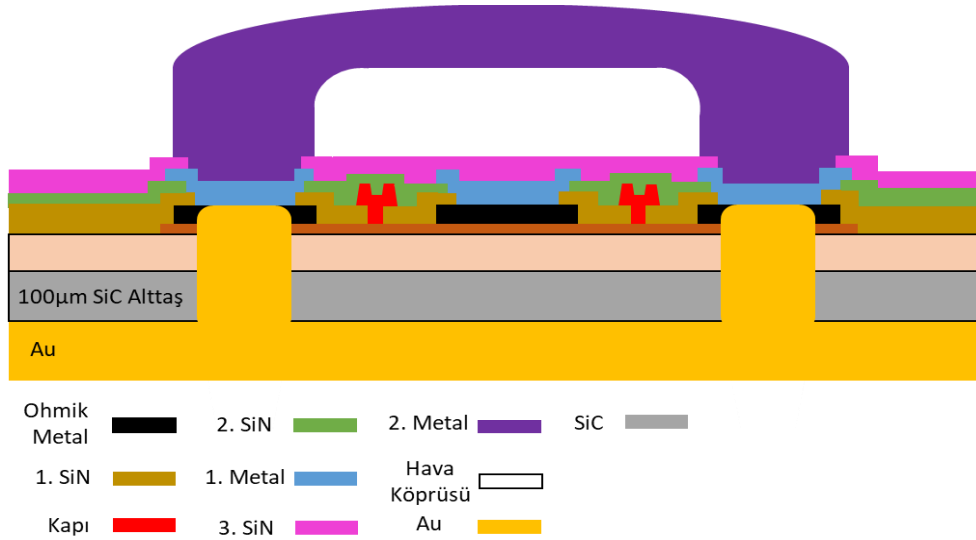
Şekil 2.44’de elektroliz yöntemi ile altın kaplanmış geçiş deliklerinin SEM görüntüsü verilmiştir.



Şekil 2.44. Elektroliz yöntemi ile altın kaplanmış geçiş deliklerinin SEM görüntüsü

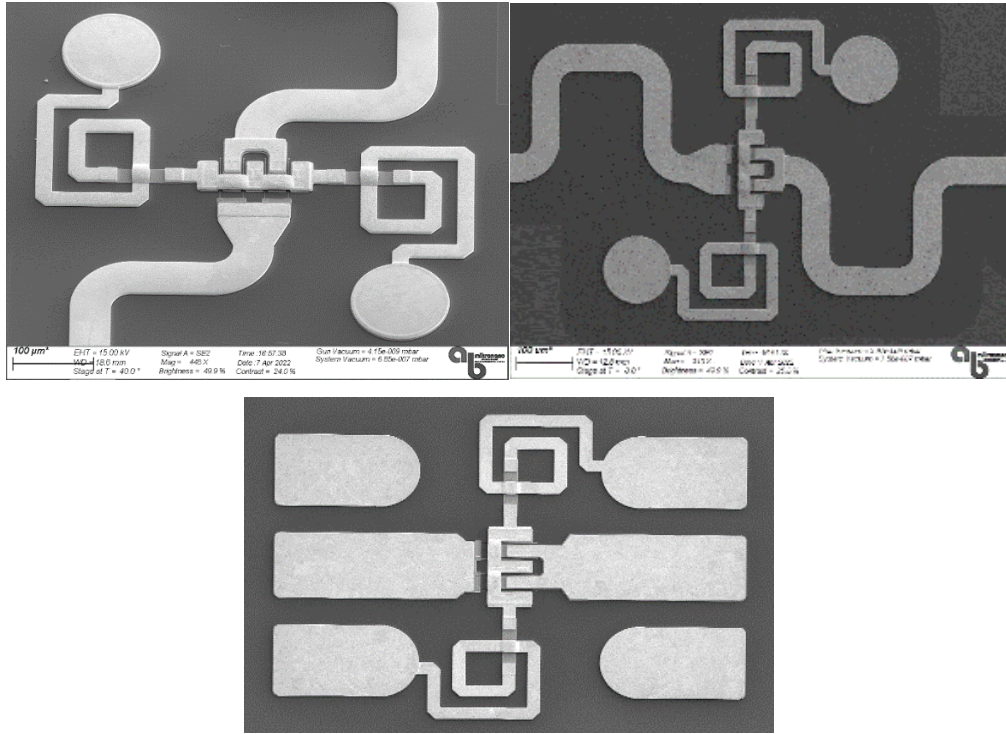
2.1.2.6. Alttaş Ayırma ve Temizlik İşlemi

Örneğin ön yüzü ile arka yüzü birbirine elektroliz yöntem ile geçiş delikleri içerisine kaplanan altın metali ile birleştirildikten sonra örneğimiz ile örneğimizi tutan tutucu alttaşın ayrılması işlemi gerçekleştirilmiştir. Ardından örneğimizin ön yüzeyini koruyan koruyucu polimer rezist (fotodirenç malzemesi) aseton yardımıyla temizlenmiş, ardından IPA yardımıyla durulanarak N₂ gazı yardımıyla kurutulmuştur. Bu son işlemten sonra örneğimizin, arka yüz işlemleri tamamlanmış olup DC ve RF elektriksel karakterizasyon aşamasına geçmiş olur. Şekil 2.45’de arkayüz işlemi tamamlanmış wafer enine kesiti mevcuttur.

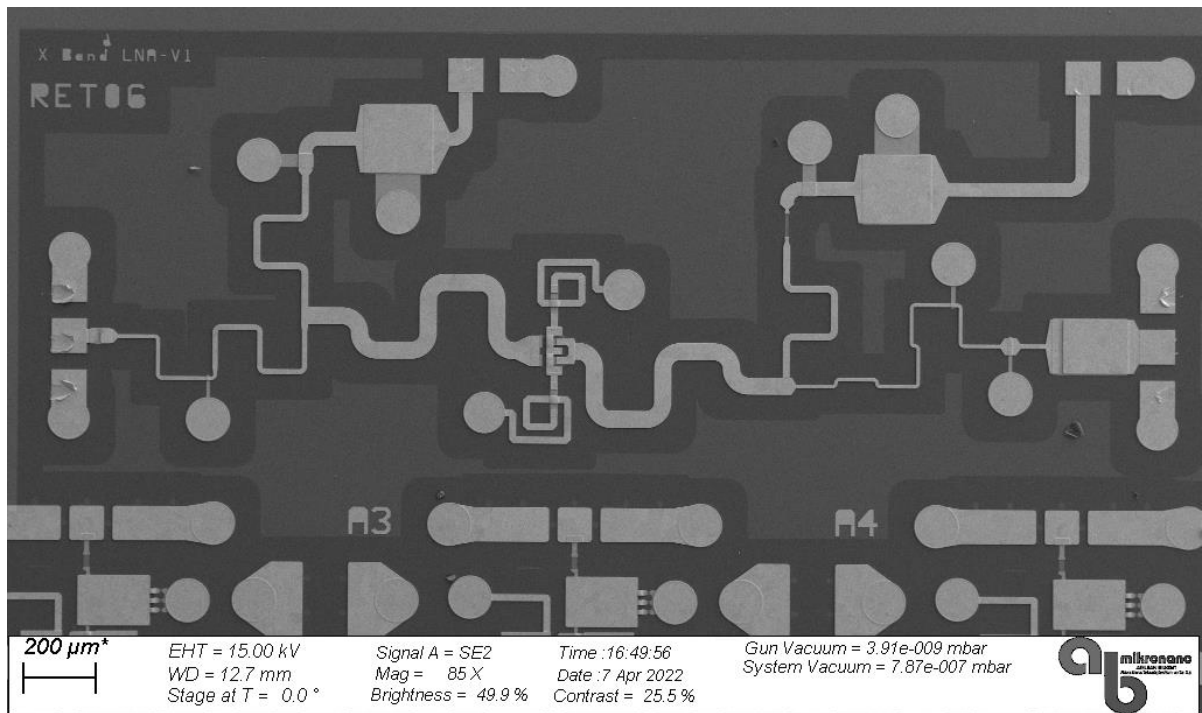


Şekil 2.45. Destek örneğinin ayrılması, koruyucu malzemenin kimyasal olarak temizlenmesi sonucu oluşan wafer kesit görüntüsü

Şekil 2.46 ve Şekil 2.47’de ön yüz ve arka yüz işlemleri tamamlanmış HEMT aygıtların optik mikroskop ve LNA SEM görüntüsü verilmiştir.



Şekil 2.46. Ön yüz ve arka yüz işlemleri tamamlanmış HEMT aygıtların optik mikroskop görüntüsü

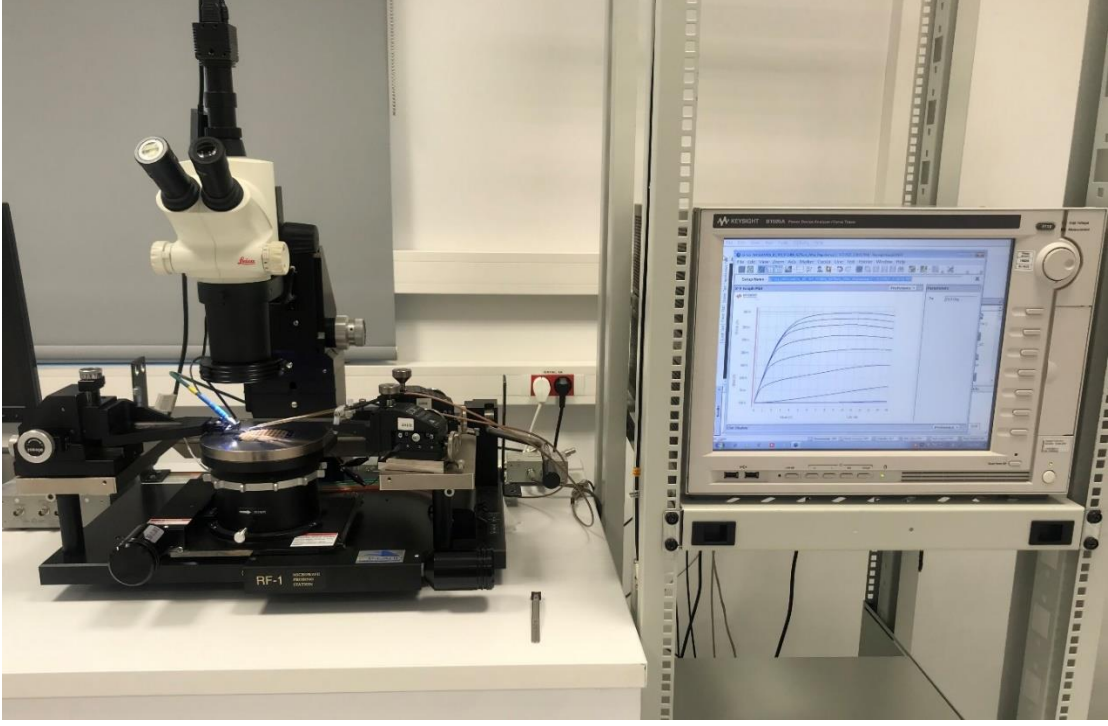


Şekil 2.47. Ön yüz ve arka yüz işlemleri tamamlanmış LNA SEM görüntüsü

3. ÖLÇÜM SİSTEMLERİ

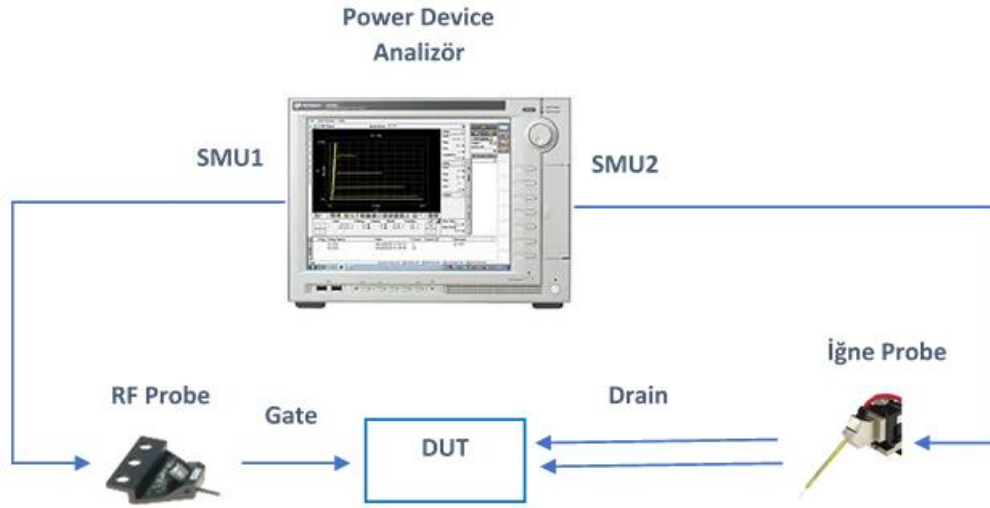
3.1. DC Karakterizasyon

Şekil 3.1’de transistör DC karakterizasyon ölçüm düzeneği mevcuttur. Bu düzenekte Cascade Microtech firmasının prob istasyonu kullanılmaktadır.



Şekil 3.1. Transistör DC karakterizasyon ölçüm düzeneğinin fotoğrafı

Şekil 3.1’de görüntülenen Cascade M150 sonda istasyonu kullanılarak B1505A model numaralı Güç Aygıt Analizi (Power Device Analyzer) aleti kullanılmaktadır. Şekil 3.2’de GaN HEMT aygıtlar için kullanılan DC ölçüm sistemi şematik çizimi görülmektedir. Kapı voltajında RF prob kullanılmıştır. Akaç ve kaynak kısımlarında iğne prob kullanılmıştır. Power Device Analizör’ün, Sinyal Görüntüleme Ünitesi (SMU; Signal Monitoring Unit) girişleri ile transistör’ün kapı ve akaç voltajları verilerek akımlar okunur. SMU1 tarafından kapı voltajı ve akımı, SMU2 tarafından akaç voltajı ve akımı verilip okunmaktadır.



Şekil 3.2. DC ölçüm sistemi

GaN HEMT aygıt karakterizasyonunda DC ölçümler ilk adımı oluşturmaktadır. DC ölçümler aygıtın davranışını saptamak için yapılmaktadır. Bir aygıtın I-V eğrileri, cihazdan çekilebilecek maksimum RF gücünü belirleyen maksimum voltaj ve akım dalgalanmalarını belirterek RF ve büyük sinyal performansı hakkında önden fikir verir.

DC ölçümlerde dört farklı ana ölçüm adımı vardır. İlk ölçüm adımı olarak aygıtın I_d - V_{ds} ölçümü alınır. Bu ölçüm ile aygıtın düzgün çalışması için gerekli olan minimum akaç voltajıdır; bükülme voltajı (V_{knee}), maksimum akaç akımı (I_{dssmax}) ve açılma direnci (R_{on}) parametreleri analiz edilir. Ayrıca bu ölçümde aygıtın akaç akımları hakkında ilk bilgiyi vermektedir. İkinci ölçüm adımı olarak aygıtın I_d - V_{gs} ölçümü alınır. Bu ölçüm ile aygıtın maksimum DC geçiş iletkenliği (g_{m_max}) ve eşik gerilimi (V_{th}) analiz edilir. Kapı üzerindeki negatif önyargı gerilimi arttıkça cihazın iletkenliği azalır [33]. g_m , ayrıca HEMT kazancının bir göstergesidir. Geçiş iletkenliği kapı ve kaynak arasındaki voltajın küçük değişikliklerden kaynaklanan akaç akımındaki değişiktir ve bu formül aşağıdaki gibi verilmektedir.

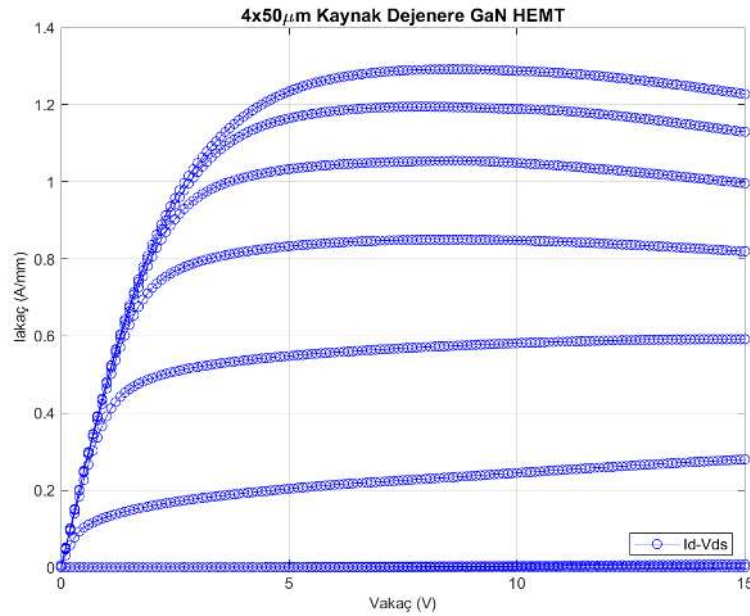
$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (3.1)$$

Üçüncü ölçüm adımı olarak ileri IV ölçümü alınır. Bu ölçüm ile aygıtın kapı açılma voltajı (V_{to}) ve aygıt kapalı konumda iken, kapı akım kaçağı analiz edilir.

Dördüncü ölçüm adımı olarak kırılma gerilimi ölçümü alınır. Bu ölçüm aygıt kapalı konumda iken aygıtın kırılma voltajı (V_{br}) ve kaçak akımları analiz edilir. Bu gibi önemli parametreler DC ölçümlerden elde edilmektedir.

Daha yüksek bir akaç dayanma voltajı, yüksek doygunluk akımı yoğunlukları, daha yüksek bir maksimum RF gücü ile ilişkilidir, çünkü bunlar, cihazın çıkışında ne kadar büyük bir voltaj ve akım salınımının sağlanabileceğini belirler [34]. Ayrıca kapı ve akaç sızıntıları, DC ve RF stresi altında gelecekteki olası cihaz bozulmasının göstergeleridir.

DC I_d - V_{ds} ölçümlerinde; belirli kapı voltajı (V_g) değer aralığında, akaç voltajı tarama aralığına (V_{ds}) bağlı olarak akaç-kaynak akımı (I_{dss}) değişimi ölçümlenmektedir. Şekil 3.3’de $4 \times 50 \mu\text{m}$ GaN HEMT transistörünün tipik bir I_d - V_{ds} ölçüm karakteristik eğrisi mevcuttur. Kapı voltajı -8V ’dan 2V ’a, akaç voltajı ise 0V ’dan 15V ’a kadar tarama yapılmıştır. Kapı voltajı 2V iken akaç-kaynak akımının maksimum olduğu nokta (I_{dssmax}), aygıtın bükülme voltajı (V_{knee}), açılma direnci (R_{on}) ve aygıt kapalı konumda iken akaç kaçak akımı ($I_{d_kaçak}$) analiz edilir.



Şekil 3.3. $4 \times 50 \mu\text{m}$ HEMT’in I_d - V_{ds} ölçüm grafiği

Şekil 3.3’de ölçüm eğrisi gösterilen HEMT’in, I_d - V_{ds} sonuçları Tablo 3.1’de görülmektedir. $4 \times 50 \mu\text{m}$ HEMT’in maksimum akaç akımı (I_{dssmax}), $258,35\text{mA}$ olarak ölçülmüştür, 1mm ’lık

aygıtta göre normalize edildiğinde bu değer 1,29 A/mm ile sonuçlanır. Bükülme voltajı (V_{knee}), 4,9V'dur. Açılma direnci (R_{on}), $10,87\Omega$ ölçülmüş, normalize edildiğinde bu da $2,17\Omega \cdot \text{mm}$ 'dir. Akaç kaçak akımı 15V akaç voltajında 5,00 μA ölçülmüş, bu da 25,00 $\mu\text{A}/\text{mm}$ 'dir.

Tablo 3.1. 4x50 μm HEMT I_d - V_{ds} ölçüm sonuçları

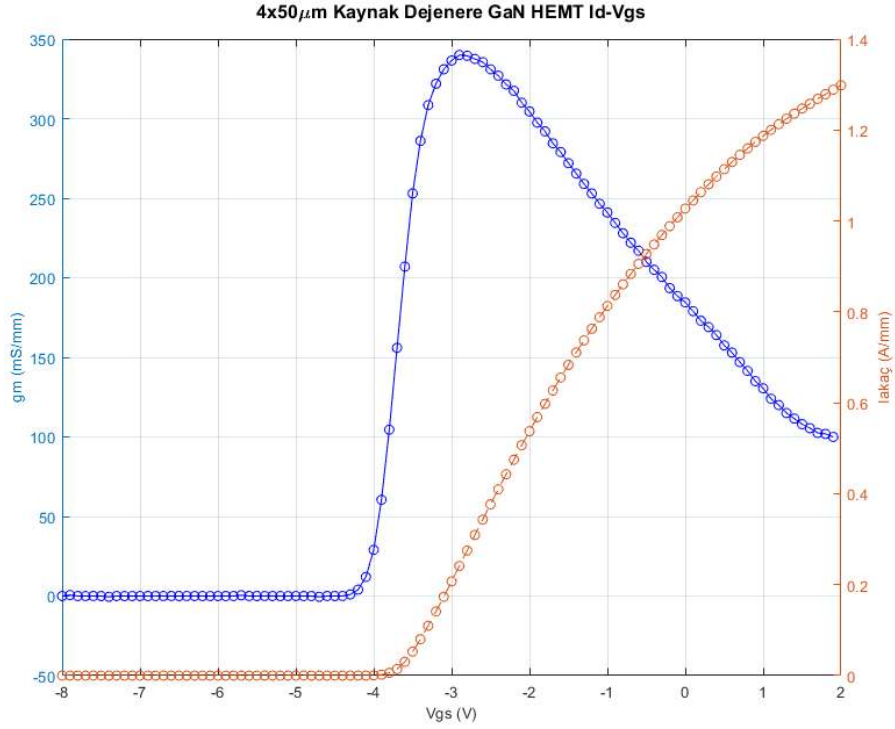
	I_{dssmax} (A/mm)	V_{knee} (V)	R_{on} ($\Omega \cdot \text{mm}$)	I_{d_leak} ($\mu\text{A}/\text{mm}$)
4x50 μm	1,29	4,9	2,17	25,00

DC I_d - V_{gs} ölçümlerinde kapı voltajı (V_g) belirli bir tarama aralığında; belirli bir akaç voltajına (V_d) bağlı, akaç akımı (I_d) değişimine göre kapı voltaj (V_g) değişimi ölçümlenmektedir. Bu parametre geçiş iletkenliği (g_m) olarak bilinmektedir. Ayrıca akaç akımının kapı voltajına göre eğimi eşik gerilimini (V_{th}) vermektedir. Şekil 3.4'de 4x50 μm GaN HEMT aygıtının I_d - V_{gs} ölçüm karakteristik eğrisi mevcuttur. Kapı voltajı -8V'dan 2V'a, akaç voltajı ise 10V'da tarama yapılmıştır. Akaç voltajı 10V iken maksimum geçiş iletkenliği (g_{m_max}) ve eşik gerilimi (V_{th}) analiz edilmiştir.

Şekil 3.4'deki ölçüm eğrisi gösterilen HEMT'in DC I_g - V_{gs} sonuçları Tablo 3.2'de görülmektedir. 4x50 μm HEMT'in maksimum geçiş iletkenliği (g_{m_max}) ve eşik gerilimi (V_{th}) ölçülmüştür. g_{m_max} değeri 68,25mS olarak ölçülmüştür, bu da 341,25 mS/mm ile sonuçlanır. Eşik gerilimi -3.44V'dur.

Tablo 3.2. 4x50 μm HEMT I_d - V_{gs} ölçüm sonuçları

	g_{m_max} (mS/mm)	V_{th} (V)
4x50 μm	341,25	-3,44



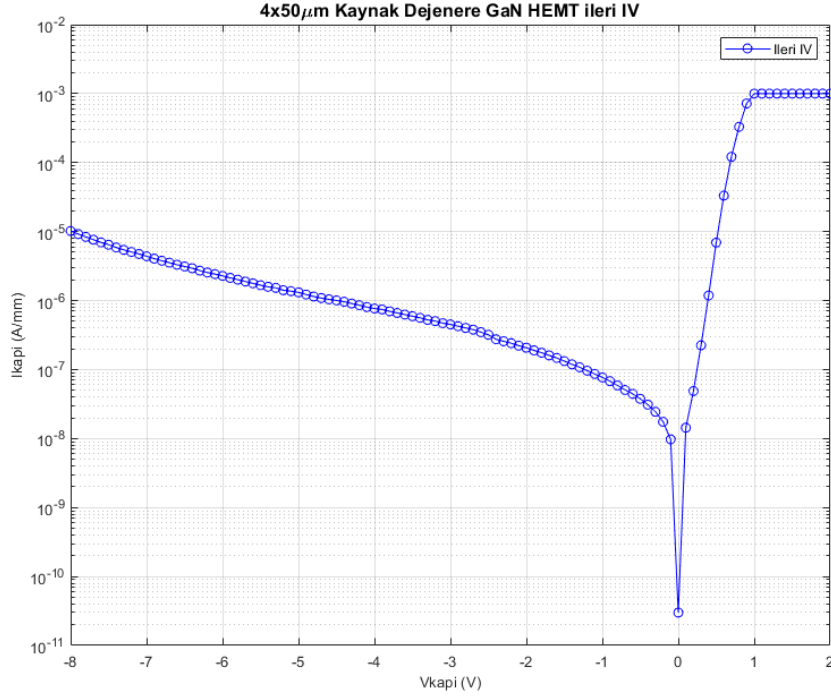
Şekil 3.4. 4x50µm HEMT'in I_d - V_{gs} ölçüm grafiği

DC ileri IV ölçümü alınır. Bu ölçüm ile aygıtın kapı açılma voltajı ölçülür. Kapı voltajının (V_g) belirli bir aralıktaki değişimine bağlı olarak kapı akımı (I_g) ölçülmektedir. Şekil 3.5'de 4x50µm GaN HEMT transistörünün ileri IV ölçüm karakteristik eğrisi mevcuttur. Kapı voltajı -8V'dan 2V'a, akaç voltajı ise toprakta iken tarama yapılmıştır. Kapı akımı 1mA/mm değerinde olduğunda kapı voltajı, kapı açılma voltajı (V_{to}) olarak analiz edilir.

Şekil 3.5'de ölçüm eğrisi gösterilen HEMT'in DC ileri IV sonuçları Tablo 3.3'de görülmektedir. 4x50µm HEMT'in kapı açılma voltajı (V_{to}) ve kapalı konumdaki kapı akım kaçağı ölçülmüştür. V_{to} değeri 1,0V olarak ölçülmüştür. Kapalı konumdaki kapı akım kaçağı ($I_{g_kaçak-FIV}$) -2,04µA ölçülmüş, bu da -10,21µA/mm'dir.

Tablo 3.3. 4x50µm HEMT ileri IV ölçüm sonuçları

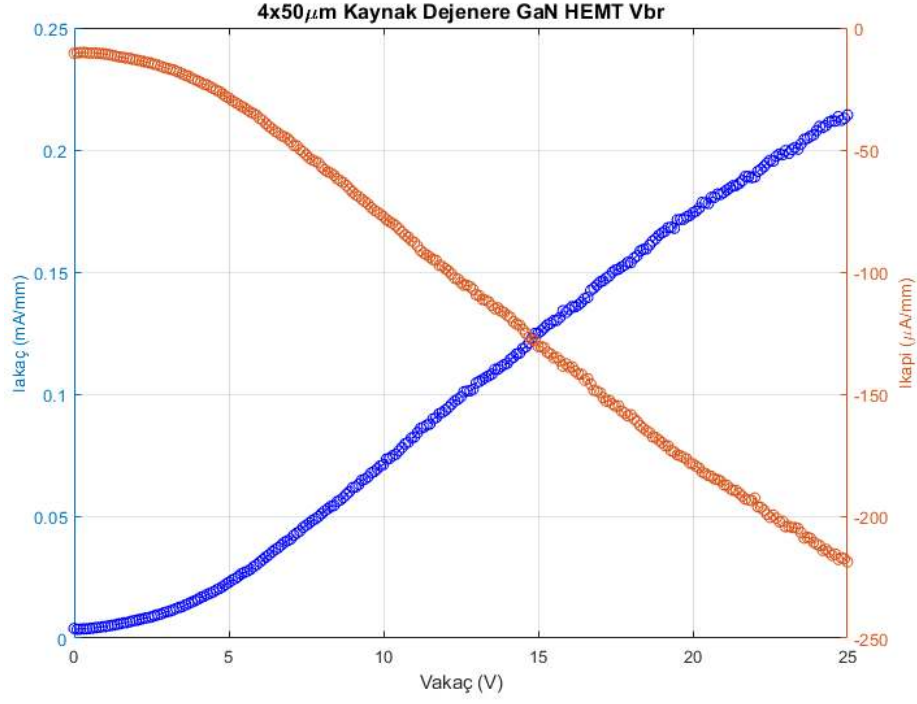
	V_{to} (V)	$I_{g_kaçak-FIV}$ (µA/mm)
4x50µm	1,0	-10,21



Şekil 3.5. 4x50μm HEMT'in ileri IV ölçüm grafiği

DC kırılma voltajı ölçümlerinde kapı voltajı (V_g) sabit kapalı durumda, belirli bir aralıktaki akaç voltaj (V_d) değişimine bağlı olarak kapı ve akaç kaçak akımları ölçülmektedir. Ayrıca maksimum kırılma voltajı (V_{br}) ölçülmektedir. Şekil 3.6'da 4x50μm GaN HEMT aygıtının kırılma voltajı ölçüm karakteristik eğrisi mevcuttur. Kapı voltajı -8V'da sabit, akaç voltajı ise 0V'dan 25V'a kadar tarama yapılmıştır. Akaç voltajı 9V iken kapı ve akaç akım kaçakları analiz edilmiştir.

Şekil 3.6'da ölçüm eğrisi gösterilen HEMT'in DC kırılma voltajı ölçüm sonuçları Tablo 3.4'de görülmektedir. 4x50μm HEMT'in 9V akaç voltajındaki akaç kaçak akımı ($I_{d_kaçak}$) ve kapı kaçak akımı ($I_{g_kaçak}$)'dir. Ayrıca 25V akaç voltajındaki akaç kaçak akımı ($I_{br_d_kaçak}$) ve kapı kaçak akımı ($I_{br_g_kaçak}$)'dir. Akaç ve kapı akım kaçakları 1mA/mm olduğu bölgedeki akaç kırılma voltajı (V_{br})'dır. 9V değerindeki $I_{d_kaçak}$ 12,34μA, $I_{g_kaçak}$ -13,44μA bu da sırasıyla 61,70μA/mm, -67,20μA/mm'dir. 25V değerindeki $I_{br_d_kaçak}$ 42,87μA, $I_{br_g_kaçak}$ -43,75μA bu da sırasıyla 214,35μA/mm, -218,75μA/mm'dir. Ölçüm sonuçlarına göre akaç ve kapı akım kaçakları 1mA/mm değerinin altındadır. Bu nedenle kırılma voltajı ise >25V'dur.



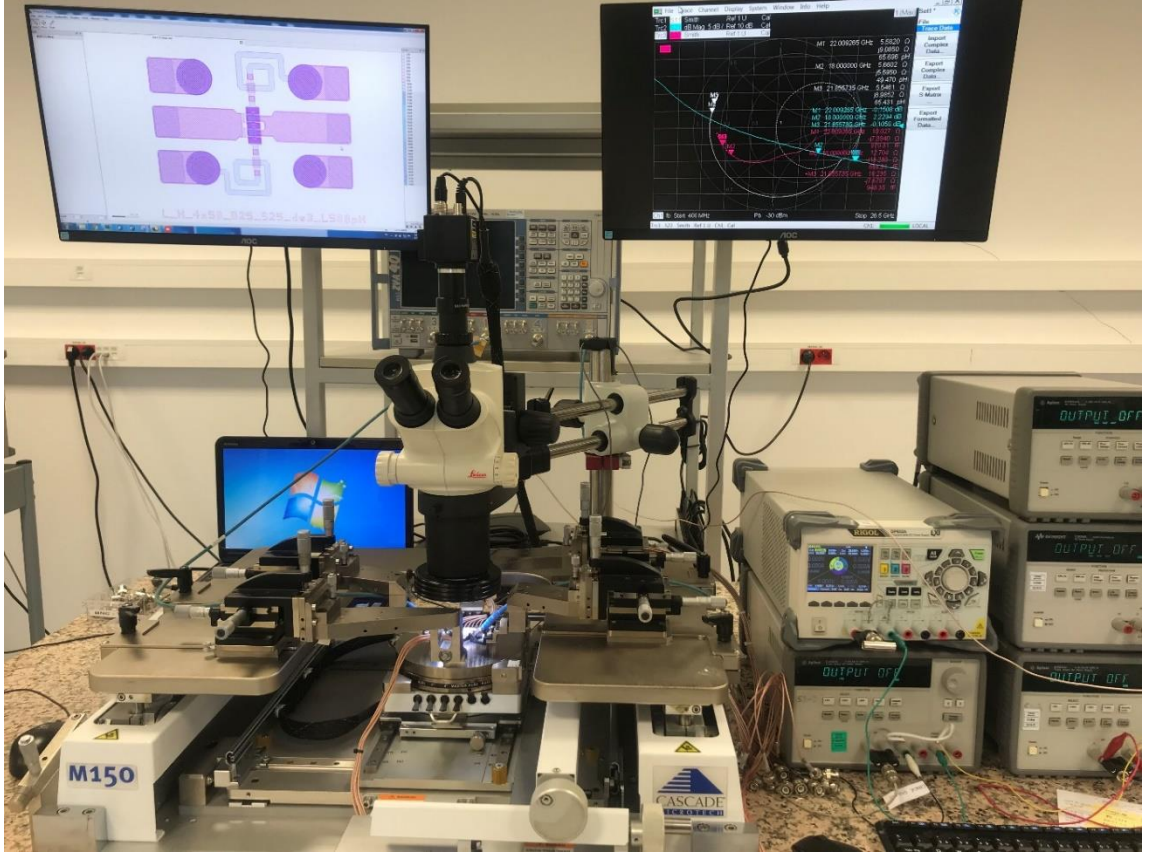
Şekil 3.6. 4x50μm HEMT'in kırılma gerilimi ölçüm grafiği

Tablo 3.4. 4x50μm HEMT kırılma voltajı ölçüm sonuçları

	$I_{d_kaçak}$ @9V ($\mu A/mm$)	$I_{g_kaçak}$ @9V ($\mu A/mm$)	$I_{br_d_kaçak}$ @25V ($\mu A/mm$)	$I_{br_g_kaçak}$ @25V ($\mu A/mm$)	V_{br} (V)
4x50μm	61,70	-67,20	214,35	-218,75	>25

3.2. Küçük İşaret Karakterizasyonu

Şekil 3.7'de transistör RF karakterizasyon ölçüm düzeneği mevcuttur. Aygıtın frekansa bağlı olarak davranışını karakterize etmek için küçük işaret ölçümü yapılır. Şekil 3.7'deki ölçüm düzeneğinde wafer üzerindeki aygıtın ölçümleri için Network Analizör (Ağ Analizör) kullanılır.



Şekil 3.7. Transistör RF küçük işaret karakterizasyon ölçüm düzeneğinin fotoğrafı

Bir n-portlu mikrodalga ağı, gücün beslenebileceği ve gücün alınabileceği n sayıda yola sahiptir. S-parametreleri, bir n-port lineer ağı modellemek ve karakterize etmek için kullanılır [35]. S-parametrelerini kullanarak iki kapılı devrenin davranışını tanımlayan doğrusal denklemler şunlardır:

$$b_1 = S_{11} * a_1 + S_{12} * a_2 \quad (3.2)$$

$$b_2 = S_{21} * a_1 + S_{22} * a_2 \quad (3.3)$$

Burada b_1 , b_2 , a_1 ve a_2 , bağlantı noktalarındaki gelen voltajları temsil eden hareket eden dalgalarıdır.

S parametreleri şu şekilde tanımlanır:

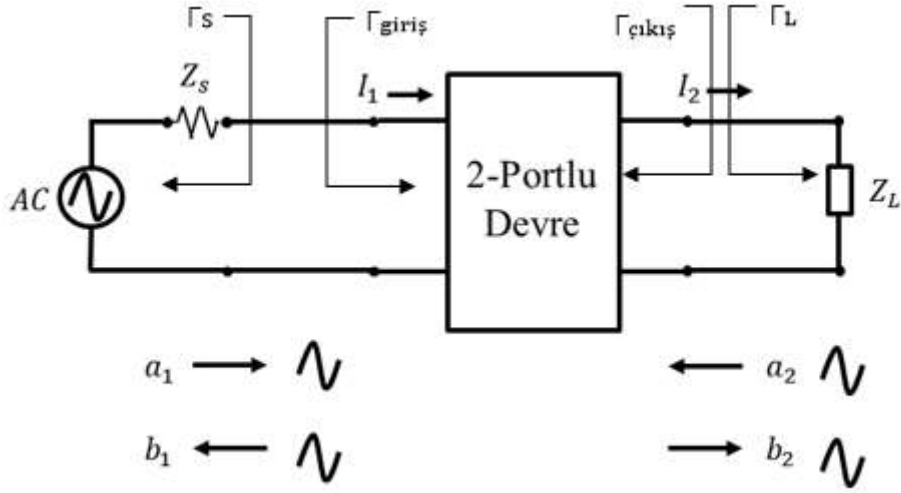
$$S_{11} = \frac{b_1}{a_1}, \quad a_2 = 0 \text{ iken} \quad (3.4)$$

$$S_{22} = \frac{b_2}{a_2}, \quad a_1 = 0 \text{ iken} \quad (3.5)$$

$$S_{21} = \frac{b_2}{a_1}, \quad a_2 = 0 \text{ iken} \quad (3.6)$$

$$S_{12} = \frac{b_1}{a_2}, \quad a_1 = 0 \text{ iken} \quad (3.7)$$

Çoğu ölçüm ve hesaplama için Z_S ve Z_L portları referans empedanslarının pozitif ve gerçek olduğu varsayılır. I_1 ve I_2 giriş ve çıkış portlarının akımlarıdır. Model Şekil 3.8’de gösterilmiştir. Tüm bağlantı noktalarının aynı referansı Z_0 kullanılır.



Şekil 3.8. İki portlu devrenin modeli

b_1 , b_2 , a_1 ve a_2 , değişkenleri voltaj ve akım cinsinden ilişkilendirilebilir.

$$a_1 = \frac{(V_1 + I_1 * Z_0)}{(2 * \sqrt{Z_0})}, \quad a_2 = \frac{(V_2 + I_2 * Z_0)}{(2 * \sqrt{Z_0})} \quad (3.8)$$

$$b_1 = \frac{(V_1 - I_1 * Z_0)}{(2 * \sqrt{Z_0})}, \quad b_2 = \frac{(V_2 - I_2 * Z_0)}{(2 * \sqrt{Z_0})} \quad (3.9)$$

b_1 , b_2 , a_1 ve a_2 , değişkenleri güç kazancı ve uyumsuzluk ile ilgili ifade edilebilir.

$$|S_{11}|^2 = \frac{\text{Girişten yansıyan güç}}{\text{Girişten gelen güç}} \quad (3.10)$$

$$|S_{22}|^2 = \frac{\text{Çıkıştan yansıyan güç}}{\text{Çıkıştan gelen güç}} \quad (3.11)$$

$$|S_{21}|^2 = \frac{\text{Yüke iletilen güç}}{\text{Kaynakdaki kullanılabilir güç}} \quad (3.12)$$

$$|S_{12}|^2 = Z_0 \text{ yük ve kaynak ile birlikte ters dönüştürücü güç kazancı} \quad (3.13)$$

Herhangi bir RF yükselticisinin kazanç performansını etkileyen iki kriter vardır: RF transistörünün kendisi ve giriş çıkış eşleştirme ağı. Yükseltecin, S parametreleri ile karakterize edilir ve sırasıyla kaynak ve yük empedansı Z_S ve Z_L ile sonlandırılır. S_{11} ve S_{22} , giriş ve çıkış yansıma katsayılarıdır.

$$\Gamma_{\text{giriş}} = \left(\frac{b_1}{a_2}\right) = S_{11} + \left(\frac{S_{12} * S_{21} * \Gamma_L}{(1 - S_{22} * \Gamma_L)}\right) \quad (3.14)$$

$$\Gamma_{\text{çıkış}} = \left(\frac{b_2}{a_2}\right) = S_{22} + \left(\frac{S_{12} * S_{21} * \Gamma_S}{(1 - S_{11} * \Gamma_S)}\right) F = \frac{S_{i(\text{giriş})}/N_{i(\text{giriş})}}{S_{o(\text{çıkış})}/N_{o(\text{çıkış})}} \geq 1 \quad (3.15)$$

$$\Gamma_L = \left(\frac{Z_S - Z_0}{Z_S + Z_0}\right), \quad \Gamma_S = \left(\frac{Z_L - Z_0}{Z_L + Z_0}\right) \quad (3.16)$$

Burada Γ_L kaynak yansıma katsayısı, Γ_S yük yansıma katsayısı ve Z_0 referans empedansıdır. Giriş ve çıkış aynı anda karmaşık eşlenik ile eşleştirilirse, yani $\Gamma_{\text{giriş}} = \Gamma_S^*$ ve $\Gamma_{\text{çıkış}} = \Gamma_L^*$, yükseltecin maksimum güç aktarımına sahiptir. Aynı anda karmaşık eşlenik eşleştirme koşulunu elde etmek kolay değildir. Özel bir durum, S_{12} 'nin pratik olarak sıfır olduğu tek taraflı bir cihaz içindir, o zaman $\Gamma_{\text{giriş}} = S_{11}$ ve $\Gamma_{\text{çıkış}} = S_{22}$. Giriş ve çıkış birbirinden ayrılırsa, giriş ve çıkışta ayrı ayrı eşleştirme yapılabilir. [36].

Literatürde yüksek frekanslı yükselteç tasarımları için çeşitli kazanç tanımları kullanılmaktadır. Tek taraflı dönüştürücü kazancı G_T , yüke etkin bir şekilde iletilen güç ile kaynaktan sağlanan güç arasındaki oran olarak tanımlanır.

$$G_T = \left(\frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S * S_{11}|^2}\right) * |S_{21}|^2 * \left(\frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L * \Gamma_{\text{çıkış}}|^2}\right) \quad (3.17)$$

İki portun kullanılabilir kazanç G_{AV} 'si, iki port noktasının çıkışından sağlanan gücün ve kaynaktan sağlanan gücün oranı olarak tanımlanır.

$$G_{AV} = \left(\frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S * S_{11}|^2} \right) * |S_{21}|^2 * \left(\frac{1}{|1 - \Gamma_{Çıkış}|^2} \right) \quad (3.18)$$

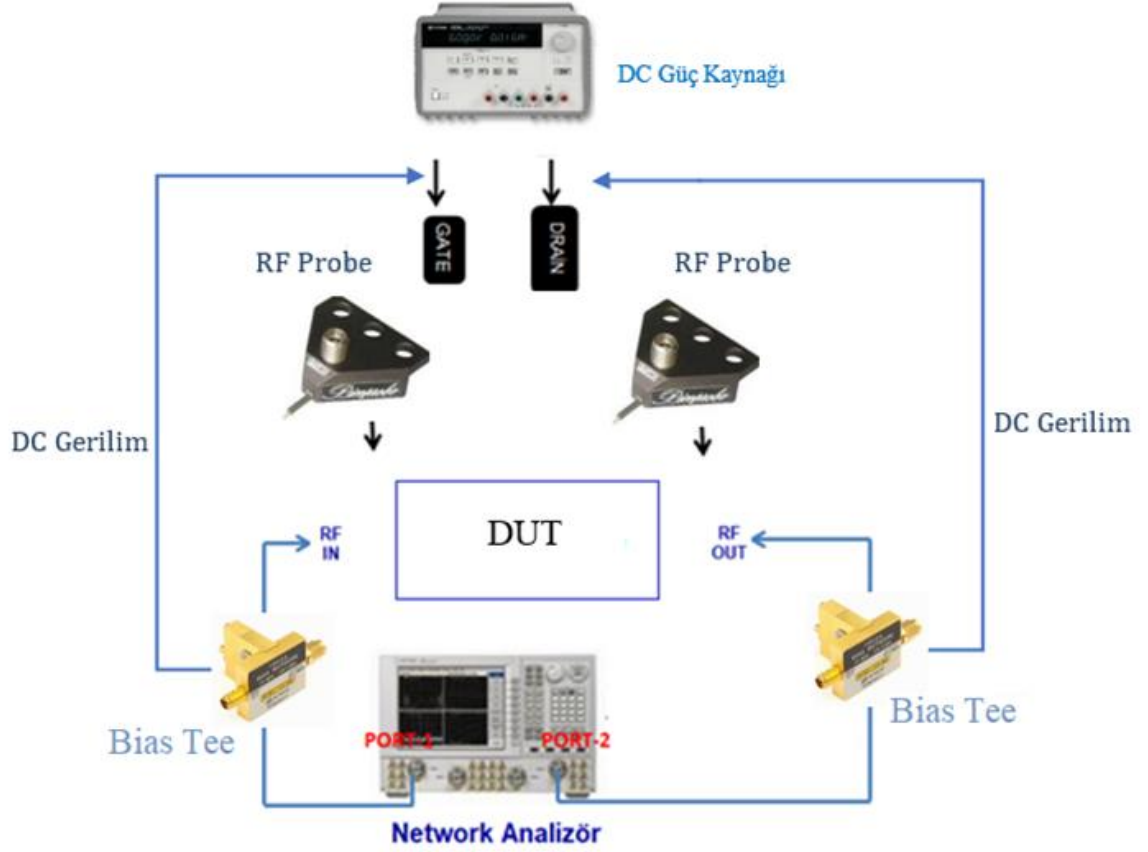
Çıkış karmaşık eşlenik yük ile sonlandırılırsa, bir port noktasındaki mevcut gücün tamamı yüke aktarılabilir. Kullanılabilir kazanç G_{AV} , iki kapılı S parametrelerinin ve kaynak yansıma katsayısının bir fonksiyonudur, ancak yük yansıma katsayısı Γ_L 'den bağımsızdır. Kullanılabilir kazanç, belirli bir kaynak girişinde eşlenik olarak eşleştirilmiş bir yüke maksimum kazanç için bir ölçü verir. İlişkili kazanç G_{ASS} , gürültü eşleştirme koşulları altında mevcut kazanç olarak tanımlanır [37].

$$G_{ASS} = \left(\frac{1 - |\Gamma_{opt}|^2}{|1 - \Gamma_{opt} * S_{11}|^2} \right) * |S_{21}|^2 * \left(\frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L * \Gamma_{Çıkış}|^2} \right) \quad (3.19)$$

Network Analizör (Ağ Analizörü), elektriksel bir sistemin ağ parametrelerini ölçen bir cihazdır. Ağ parametreleri S-parametreleridir. Network Analizör bir sinyal üretir ve bunu bir ağı veya cihazı analiz etmek için kullanır. Başlangıç ve bitiş frekansları arasında, aygıtın S_{11} , S_{21} , S_{12} , S_{22} gibi saçılma parametrelerini (scattering parameters) yani S-parametrelerini, kazanç ve kayıp ölçümlerini yapmayı sağlar.

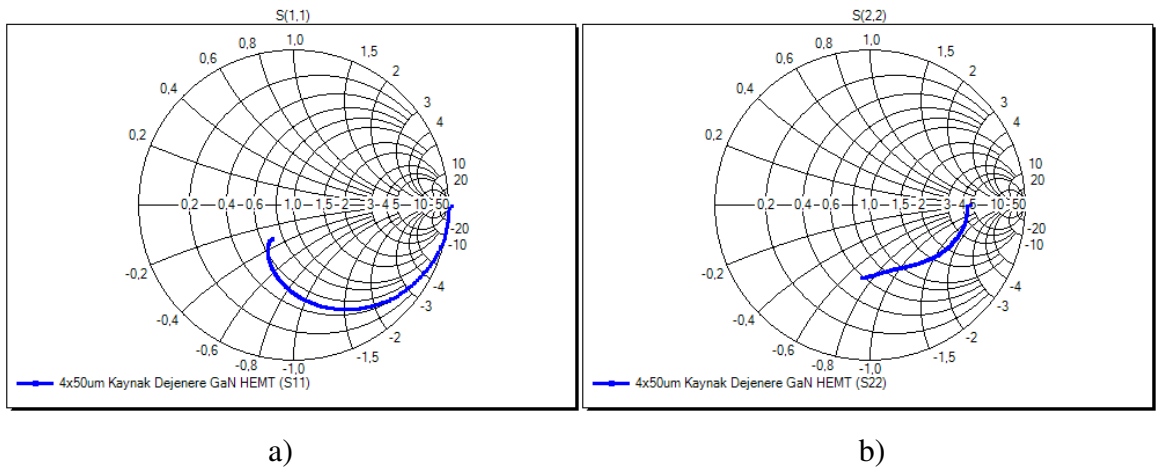
HEMT'in kapı ve akaç kısımları için RF prob kullanılır. Küçük sinyal ölçümleri, çeşitli Chuck (wafer'ın konulduğu yer) sıcaklıkları ile farklı önyargı voltajlarında yapılabilir. Önyargı gerilimleri, sürekli dalga (CW) veya darbeli dalga ile yapılabilir. Sürekli dalga (CW) ölçümleri için harici DC güç kaynakları ile aygıt önyargılanabilir. Darbeli S-parametresi ölçümleri için darbeler kullanılarak önyargılanabilir. Chuck yardımı ile sıcaklık artırılıp azaltılarak aygıtın sıcaklık altındaki RF performansı saptanabilir. Bir cihazın küçük sinyal ölçümü, ileri ve geri iletimli S-parametre verilerini; yani giriş yansıma katsayısını (IRC) ve çıkış yansıma katsayısını (ORC) verir.

Ölçümler yapılmadan önce sistem Şekil 3.9'da görüldüğü gibi kurulur. Sistemin kablolardan RF prob ucuna kadar kalibrasyonu CS-5 kalibrasyon kiti kullanılarak yapılır. Harici güç kaynağı kullanılarak aygıtın operasyon voltajı ve akımı (CW) aygıta verilir. Kullanılan Port 1-2 için yansıyan ve geçen sinyallerin faz ve genlikleri ölçülmektedir. Sistem frekansına bağlı olarak S parametre değerleri ölçülür.



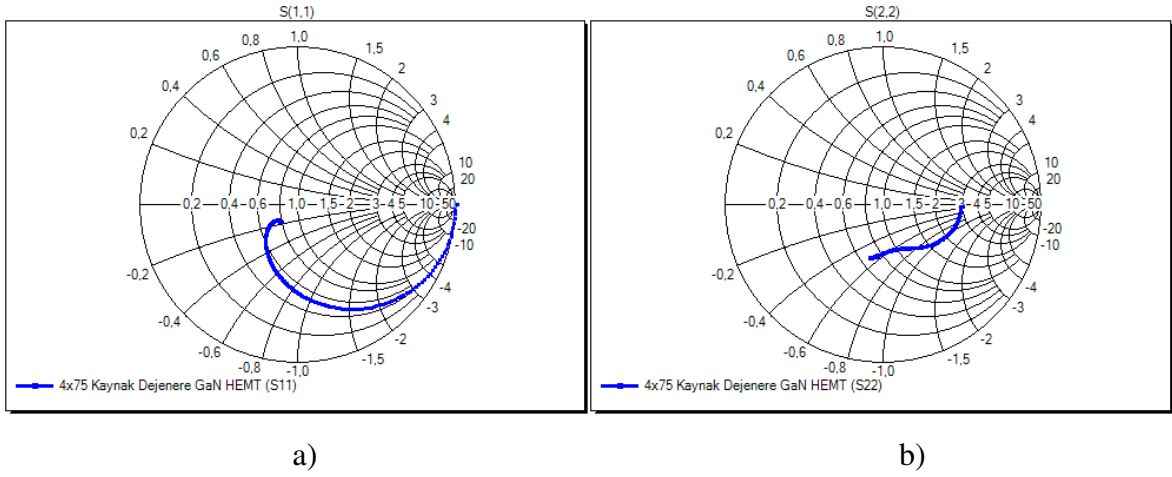
Şekil 3.9. Transistör RF küçük işaret karakterizasyon ölçüm düzeneği

9V akaç gerilimine ve 100mA/mm akaç akımına sahip 4x50µm kaynak dejenere aygıtın giriş ve çıkış geri dönüş kayıpları S parametresi ölçüm sonuçları sırasıyla Şekil 3.10'da görülebilir.



Şekil 3.10. a) 4x50µm kaynak dejenere HEMT S11 sonucu b) 4x50µm kaynak dejenere HEMT S22 sonucu

4x75µm kaynak dejenere aygıtın S parametresi ölçüm sonuçları sırasıyla Şekil 3.11’de görülebilir.



Şekil 3.11. a) 4x75µm kaynak dejenere HEMT S₁₁ sonucu b)4x50µm kaynak dejenere HEMT S₂₂ sonucu

Elde edilen ölçüm bilgisayar ortamına aktarılıp transistörün elde edilebilir en büyük kazanç (MAG), kesim frekansı (f_T), maksimum salınım frekansı (f_{max}) değerleri analiz edilir. f_T (kesim frekansı), transistörün akım kazancının (H21) 0 dB değerine denk geldiği noktadır. S-parametre verilerinden elde edilen H21 (dB) formül aşağıdaki gibi hesaplanır:

$$H21 = 20 * \log_{10} \left| \frac{-2 * S21}{(1 - S11) * (1 + S22) + (S12 * S21)} \right| \quad (3.20)$$

Bulunan H21 eğrisinin (frekansa bağlı bir değişken) 0 dB değerini kestiği nokta f_T değerini vermektedir.

Transistörün kararlılık faktörü (K faktörü), olası tüm sonlandırmalarda 1’den büyük bir yansıma katsayısına sahip olma olasılığını gösterir ve şu şekilde tanımlanır:

$$K = \frac{1 - |S11|^2 - |S22|^2 + |\Delta|^2}{2 * |S21 * S12|} > 1 \quad (3.21)$$

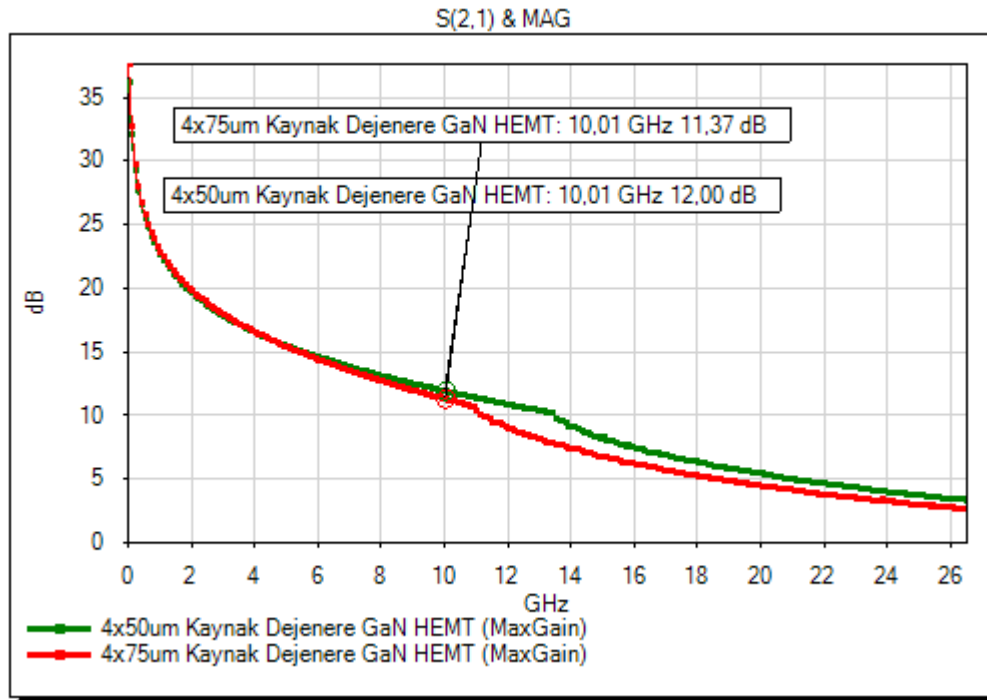
$$\Delta = (S11 * S22) - (S12 * S21) \quad (3.22)$$

MAG, cihazın giriş ve çıkış taraflarında mükemmel bir eşleşme ile elde edilebilecek kazanç değeridir. MAG, kararlılık faktörüne bağlıdır ve şu şekilde hesaplanır:

$$\text{MAG} = \left(\frac{|S_{21}|}{|S_{12}|} \right) * \left(K - \sqrt{K^2 - 1} \right), \quad \text{eğer } K > 1 \text{ ise} \quad (3.23)$$

$$\text{MAG} = \left(\frac{|S_{21}|}{|S_{12}|} \right), \quad \text{eğer } K \leq 1 \text{ ise} \quad (3.24)$$

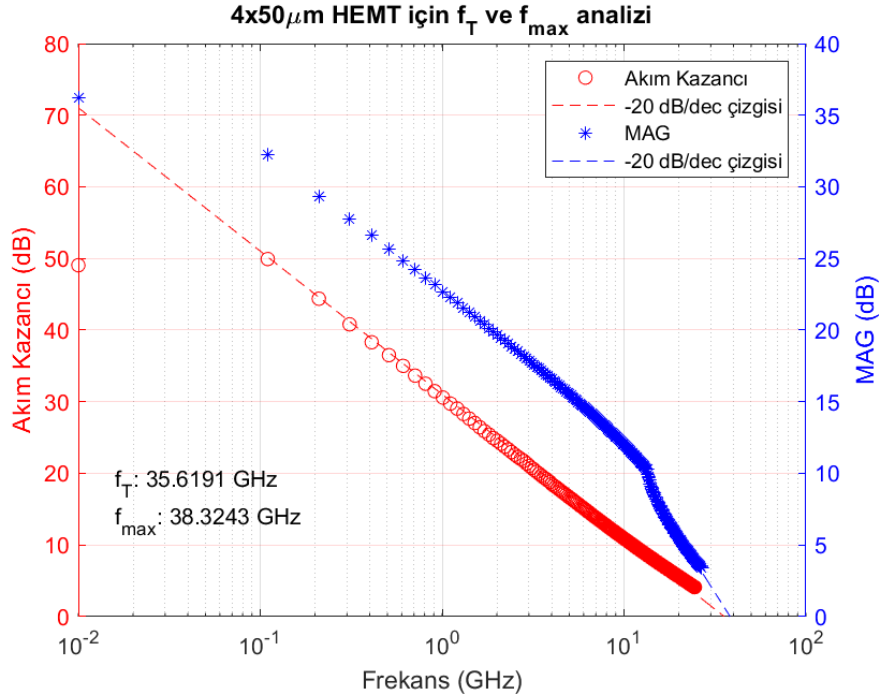
Şekil 3.12’de 10GHz değerindeki 4x50µm ve 4x75µm kaynak dejenere transistörlerin 9V@100mA/mm akaç önyargı değerindeki RF küçük işaret ölçümü sonucunda MAG değerleri görülmektedir. 4x50µm transistör için MAG değeri, 12,00 dB ve 4x75µm transistör için MAG değeri; 11,37 dB’dir.



Şekil 3.12. 4x50µm ve 4x75µm kaynak dejenere HEMT’lerin MAG sonucu karşılaştırması

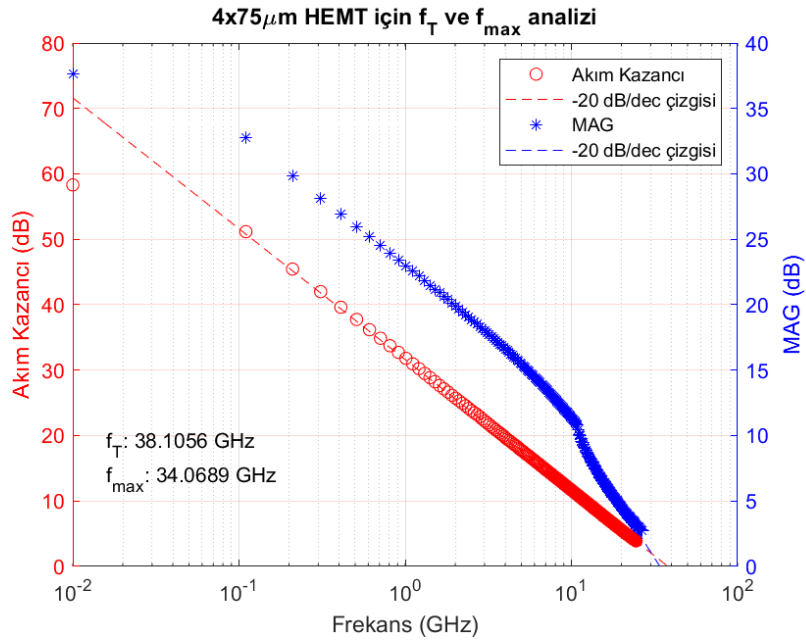
f_{max} değeri, transistörün “koşulsuz kararlı” olduğu frekans aralığındaki MAG eğrisinin 0 dB değerine denk geldiği noktadır. f_{max} hesabını yapmak için aygıtın S-parametre verilerinden aygıtın “koşulsuz kararlı” (kararlılık faktörü K değerinin 1’den büyük olduğu bölge) olduğu frekans aralığındaki MAG (dB) eğrisi yukarıdaki formül ile hesaplanır. Bulunan MAG eğrisinin (frekansa bağlı bir değişken) 0 dB değerini kestiği nokta f_{max} değerini vermektedir.

Bir transistörün f_T ve f_{max} 'ı; akım kazancı (Current Gain) ve MAG'yi hesaplayarak ve sıfır geçiş noktalarını bularak S parametresi ölçüm verilerinden kolayca belirlenebilir. S parametre ölçümleri gerçekleştirilmiş $4 \times 50 \mu\text{m}$ kaynak dejenere HEMT verisi bilgisayar ortamında analiz edilir. Analiz sonuçları Şekil 3.13'de görülmektedir. Akım kazancı (Current Gain) ve MAG değerleri 20 dB/dec değerine ulaşarak 0 değerini kesmesi için çıkarım yapılmıştır. Buna bağlı olarak f_{max} değeri; 38,32 GHz f_T değeri 35,62GHz'dir.



Şekil 3.13. $4 \times 50 \mu\text{m}$ kaynak dejenere HEMT'in f_T ve f_{max} analiz sonucu karşılaştırması

$4 \times 75 \mu\text{m}$ kaynak dejenere HEMT verisi bilgisayar ortamında analiz edilir. Analiz sonuçları Şekil 3.14'de görülmektedir. MAG değerleri 20 dB/dec değerine ulaşarak 0 değerini kesmesi için çıkarım yapılmıştır. Buna bağlı olarak f_{max} değeri; 34,07 GHz f_T değeri 38,11GHz'dir.



Şekil 3.14. 4x75µm kaynak dejenere HEMT’in f_T ve f_{max} analiz sonucu karşılaştırması

Tablo 3.5’de 4x50µm ve 4x75µm kaynak dejenere aygıtların RF küçük işaret ölçüm sonuçlarının analizleri mevcuttur. Aygıt boyutu büyüdükçe kazanç düşmektedir.

Tablo 3.5. 4x50 µm & 4x75 µm Kaynak Dejenere HEMT RF Küçük İşaret Ölçüm Sonuçları Karşılaştırması

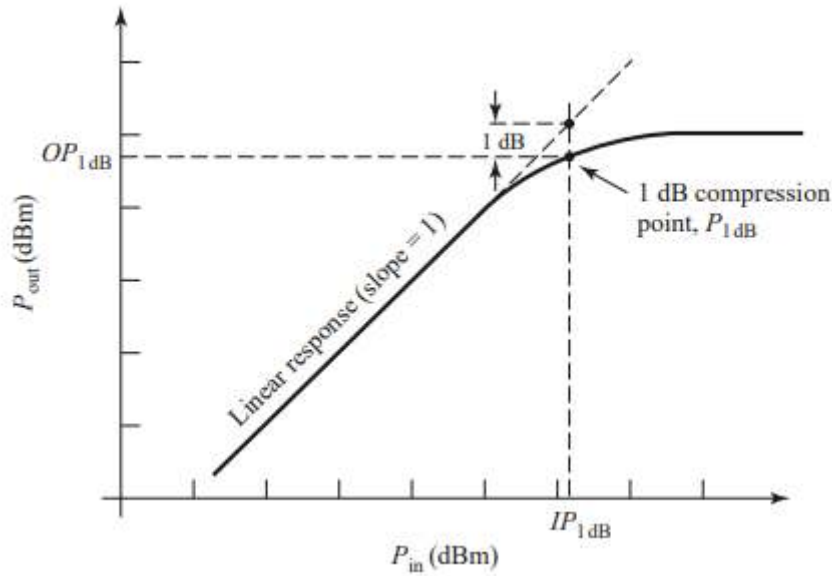
Parametre	Sembol	4x50µm	4x75µm
Elde Edilebilir En Büyük Kazanç	MAG	12,00dB	11,37dB
Maksimum Salınım Frekansı	f_{max}	38,32GHz	34,07GHz
Kesim Frekansı	f_T	35,62GHz	38,11GHz

3.3. Büyük İşaret (Load Pull) Karakterizasyonu

Uygulamada ideal doğrusal bir aygıt yoktur. Transistör gibi aktif cihazlar söz konusu olduğunda doğrusal olmayan bozunum, kazanç bastırması ve parazitik frekans bileşenlerinin üretilmesi gibi aygıtın doğrusal olmamasından doğan etkilerden kaynaklanır. Bununla

birlikte her aygıt çok yüksek sinyal seviyelerinde eninde sonunda doğrusal olmamaya başlar. Transistörlerin çıkışı beklenen doğrusal bağımlılıktan azalmaya başlar. Bu etki kazanç bastırması (G_T compression) ve doyumu (saturation) olarak adlandırılır [31]. Fiziksel olarak bunun nedeni, transistörün anlık çıkış geriliminin aktif cihazları etkilemek için kullanılan güç kaynağının gerilimi ile sınırlı olmasıdır.

Tipik bir aktif aygıtın tepkisi Şekil 3.15’de görülmektedir. İdeal bir aygıt için çıkış gücünün giriş gücü ile değişiminin grafiği eğimi bir olan bir doğru olacaktır ve çıkış gücünün giriş gücüne oranı aygıtın güç kazancı (G_T) olacaktır. Şekil 3.15’de aygıtın çıkış gücü tepsisi belirli bir alana kadar giriş gücünü takip ediyor, sonra doymaya başlayarak güç kazancında azalma olmaktadır. Aygıtın doğrusal çalışma aralığını nicel olarak değerlendirmek için aygıtın çıkış gücünün ideal doğrusal karakteristiktan 1dB azaldığı güç seviyesi olarak 1 dB bastırma (P_{1dB}) noktası tanımlanır. Aktif aygıtlar için P_{1dB} genellikle çıkış gücü olarak belirtilir.



Şekil 3.15. Doğrusal olmayan yükselteç için 1dB bastırma tanımı

Transistörlerin giriş ve çıkış empedansları kaynak güç seviyesine göre değiştiğinden ve küçük sinyal ölçümlerinden çıkarılan empedanslardan farklı hale geldiğinden, HEMT cihazlarının büyük sinyal karakterizasyonunu gerektirir. RF giriş gücü altındaki çıkış gücü karakterize edilir. Transistörün kaynak güç seviyesi artarken, doğrusal olmamasından kaynaklı kazanç bastırması başlar, ayrıca çıkış gücü doyuma ulaşır, kazanç, çıkış gücü ve verim için optimum empedans noktaları farklı frekanslarda farklılaşmaya başlar.

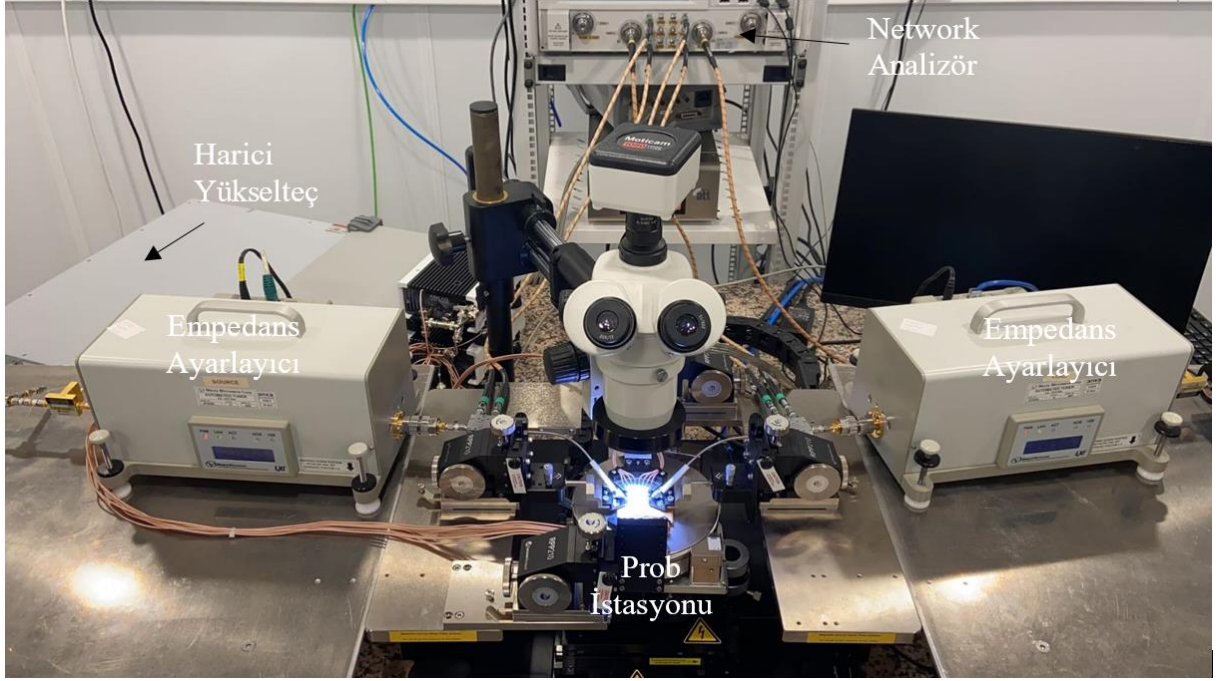
Transistörün kazanç bastırmasındaki giriş ve çıkış empedans değerleri; en yüksek çıkış gücü, kazancı veya verimliliği elde etmek için eşleştirme kullanılmaktadır. Bu farklı frekanslardaki empedans noktaları, aygıtın çıkış gücü, verimi ve kazancının ölçüldüğü vektör tabanlı büyük sinyal (load pull) ölçümleri ile belirlenir.

Vektör tabanlı load pull ölçüm sistemi, kaynak ve yük empedans ayarlayıcıları ile bir network analizöre dayalıdır. Ayrıca giriş sinyalini üretmek için sinyal jeneratörü de kullanılır. Verilen sinyali yükseltmek için harici güç yükselteci kullanılır. Sörkülatör verilen sinyalin geriye doğru kaçışını engeller. Bias Tee ise, network analizörü verilen DC öngerilimden portlarını korumak için kullanılır. Empedans ayarlayıcılar ölçüm yapılmak istenilen frekansa bağlı olarak uygun empedans noktasını belirlememizi sağlar. Aygıtın giriş ve çıkışındaki gelen ve yansıyan güç dalgaları, empedans ayarlayıcılardan hemen önce bağlanan düşük kayıplı bağdaştırıcı aracılığıyla örneklenir. Bu şekilde aygıtın referans düzlemlerindeki kaynak, giriş, çıkış ve yük empedanslarının yanı sıra mevcut ve teslim edilen giriş ve çıkış güçleri a ve b dalgaları ile doğrudan hesaplanabilir.

Wafer üzerinde ölçümler için test edilecek aygıt prob istasyonu düzleminde kalibrasyon ile, düşük kayıplı bağdaştırıcılardan örneklenen; yansıyan ve ileriye doğru hareket eden dalgalar, her biri için istenen frekans noktalarındaki parametreleri belirlemek üzere Maury Microwave'in IVCAD (Advanced Measurement and Modeling Software) ölçüm yazılımı tarafından analiz edilir.

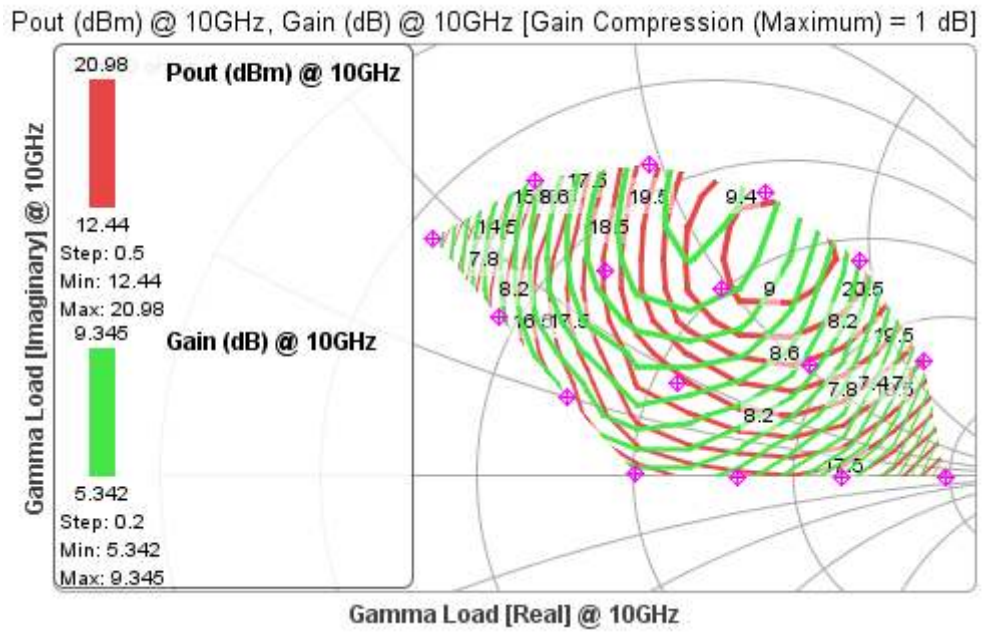
Ölçümlere başlamadan önce sistemin kalibrasyonu yapılmalıdır. Kalibrasyon iki aşamadan oluşmaktadır. İlk aşamasında S parametre kalibrasyonu yapılır. İkinci aşamasında güç kalibrasyonu yapılacaktır. Kalibrasyon esnasında ilk empedans ayarlayıcılar kalibre edilir. İlk olarak empedans ayarlayıcılara ölçüm yapılmak istenen empedans aralığı belirtilir. Elektronik kalibrasyon kiti (ECAL) kullanılarak otomatik S parametre kalibrasyonu network analizörden kablo uçlarına kadar kalibre edilir. Bir alt aşama olarak RF probe'lar takılır wafer üzerinde probe'ların ucuna kadar S parametresi kalibrasyonu yapılarak empedans ayarlayıcıların empedans konturları belirlenmiş olur.

Kalibrasyonun ikinci aşamasında çıkış tarafının güç seviyelerini okuyabilmesi için güç kalibrasyonu yapılacaktır. Maury manuel kalibrasyon kiti yük portunda uygulanır. Bir diğer alt adımda güç sensörü ile sistemden verilen gücün doğru okunması için kalibrasyon yapılır. Kalibrasyon sonrasında CS-5 kalibrasyon kitindeki 50Ω 'luk bir $250\mu\text{m}$ hat ile sistem



Şekil 3.17. Transistör büyük işaret karakterizasyon ölçüm düzeneğinin fotoğrafı

Şekil 3.18’de, $4 \times 50 \mu\text{m}$ HEMT için 10 GHz’de 1 dB sıkıştırma G_T , PAE ve P_{1dB} ’nin load pull konturlarını gösterir. Tüm bu konturların farklı empedanslarda birleştiğine dikkat edilmelidir. Kazanç konturları yeşil renk güç konturları kırmızı renktir. $4 \times 50 \mu\text{m}$ HEMT için 1 dB kazanç bastırmasındaki sonuçları Tablo 3.6’da mevcuttur.

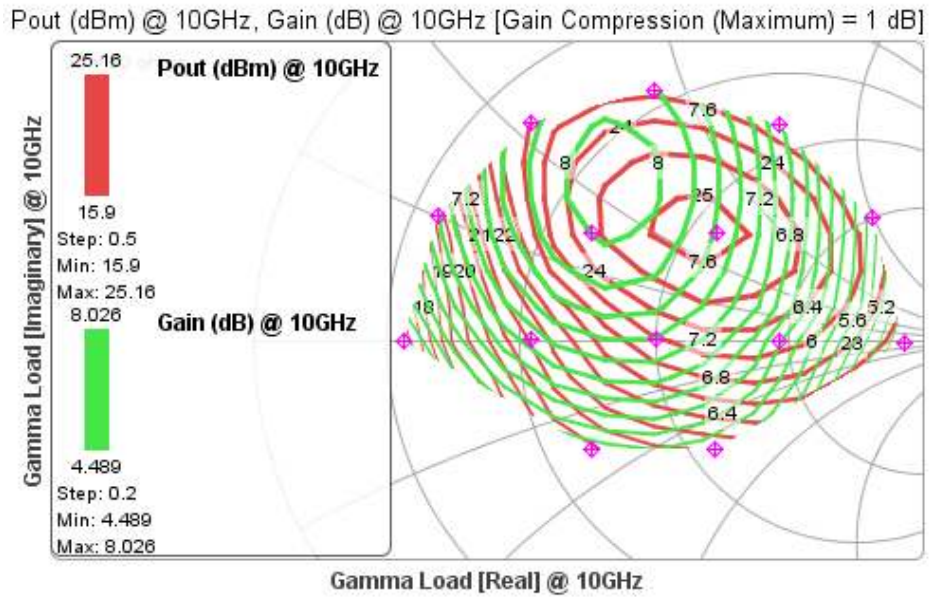


Şekil 3.18. $4 \times 50 \mu\text{m}$ HEMT büyük işaret ölçüm sonucu

Tablo 3.6. 4x50 μ m Kaynak Dejenere HEMT 1dB Kazanç Bastırması Sonuçları

4x50 μ m HEMT için Parametre	Sembol	Değer
Akaç ÖnYargı Gerilimi	V_d	9,00V
Akaç ÖnYargı Akımı	I_d	20,00mA
Elde Edilebilir En Yüksek Kazanç (G_T) @ 10GHz	G_{T_max}	9,35dB
1dB Kazanç Bastırmasındaki Güç (P_{1dB}) @ 10GHz	P_{1dB}	20,98dBm
1dB Kazanç Bastırmasındaki Güç Yoğunluğu (P_{1dB}) @ 10GHz	P_{1dB}	0,13W

Şekil 3.19'da, 4x75 μ m HEMT için 10 GHz'de 1 dB sıkıştırma G_T , PAE ve P_{1dB} 'nin load pull konturlarını gösterir. Farklı empedans noktalarına göre değerler değişiklik göstermektedir. 4x75 μ m HEMT için 1 dB kazanç bastırmasındaki sonuçları Tablo 3.7'de mevcuttur.



Şekil 3.19. 4x75 μ m HEMT büyük işaret ölçüm sonucu

Tablo 3.7. 4x75µm Kaynak Dejenere HEMT 1dB Kazanç Bastırması Sonuçları

4x75µm HEMT için Parametre	Sembol	Değer
Akaç ÖnYargı Gerilimi	V_d	9,00V
Akaç ÖnYargı Akımı	I_d	30,00mA
Elde Edilebilir En Yüksek Kazanç (G_T) @10GHz	G_{T_max}	8,03dB
1dB Kazanç Bastırmasındaki Güç (P_{1dB}) @10GHz	P_{1dB}	25,16dBm
1dB Kazanç Bastırmasındaki Güç Yoğunluğu (P_{1dB}) @10GHz	P_{1dB}	0,39W

LNA'ların ana işlevi, diğer performans değerlerinin yanı sıra mümkün olan en yüksek kazanç ve en düşük gürültü katsayısı sağlamak olduğundan, bu güç konturlarının cihazdan daha fazla güç alacak şekilde modellenmesi gerekir. Empedanslar deneysel olarak belirlenmelidir.

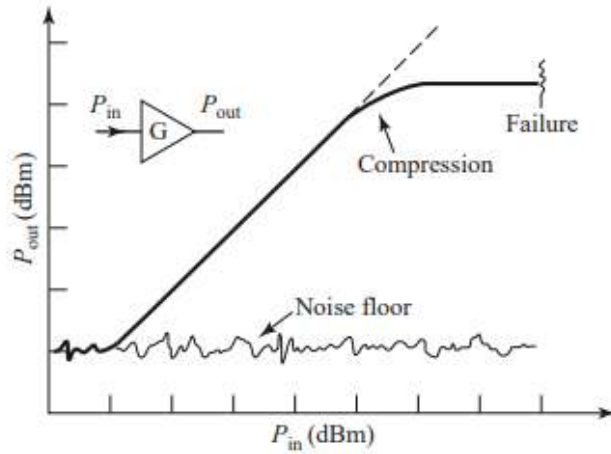
3.4. Gürültü Katsayısı (Noise Figure) Karakterizasyonu

Gürültü gücü mutlak sıcaklığının üstünde bir sıcaklıktaki herhangi bir birleşende olan ısı titreşimleri gibi rastgele süreçlerin sonucudur. Gürültü bir mikrodalga sistemine dışarıdan da gelebilir veya sistemin kendisi tarafından da üretilebilir. Her iki durumda da sistemin gürültü seviyesi gürültünün varlığında sezilebilecek sinyal şiddetinin alt sınırını belirler [31].

Gürültü faktörü, sinyal-gürültü oranındaki kötüleşmenin bir ölçüsüdür. Sinyal-gürültü oranı istenen sinyal gücünün istenmeyen gürültü gücüne oranıdır ve sinyal gücüne bağlıdır. Bölüm 1 de gürültü faktörü ve desibel karşılığı olan gürültü katsayısı formülize edilmiştir.

Elektronik bileşenlerin her birinin gürültüsü mevcuttur. Çıkıştaki sinyalin gürültüye oranı giriştekenden daha düşük olması sebebiyle herhangi bir yükseltecin gürültü faktörü her zaman 1'den yüksektir.

Gerçekte hiçbir bileşen sınırsız bir giriş/çıkış sinyal seviyesi aralığında doğrusal olarak çalışmaz. Uygulamada doğrusal varsayımların yaklaşık olarak geçerli olduğu bir sinyal seviyesi aralığı vardır ve bu aralık bileşenin dinamik aralığıdır. Şekil 3.20’de gerçekçi bir yükseltecin dinamik aralığı mevcuttur. Giriş gücü (P_{in}) değerinin sıfır olduğu durumda yükseltecin kendi ürettiği gürültü nedeniyle bir miktar gürültü çıkışa iletilecektir. Çok düşük giriş gücü seviyelerinde yükseltecin ürettiği gürültü, çıkışta baskın olacaktır. Bu seviye yükseltecin veya sistemin gürültü zeminidir (noise floor). Tipik değerleri -80 ile -140dBm arasındadır. Bu zeminin üstünde yükseltecin $P_{out} = G * P_{in}$ eşitliğinin iyi bir yaklaşıklıkla geçerli olduğu giriş gücü aralığı vardır. Bu aralık yükseltecin kullanılabilir dinamik aralığıdır. Bu aralığın üst sınırında çıkış doyuma girmeye başlar ve giriş gücü arttıkça çıkış gücü doğrusal artmaz.



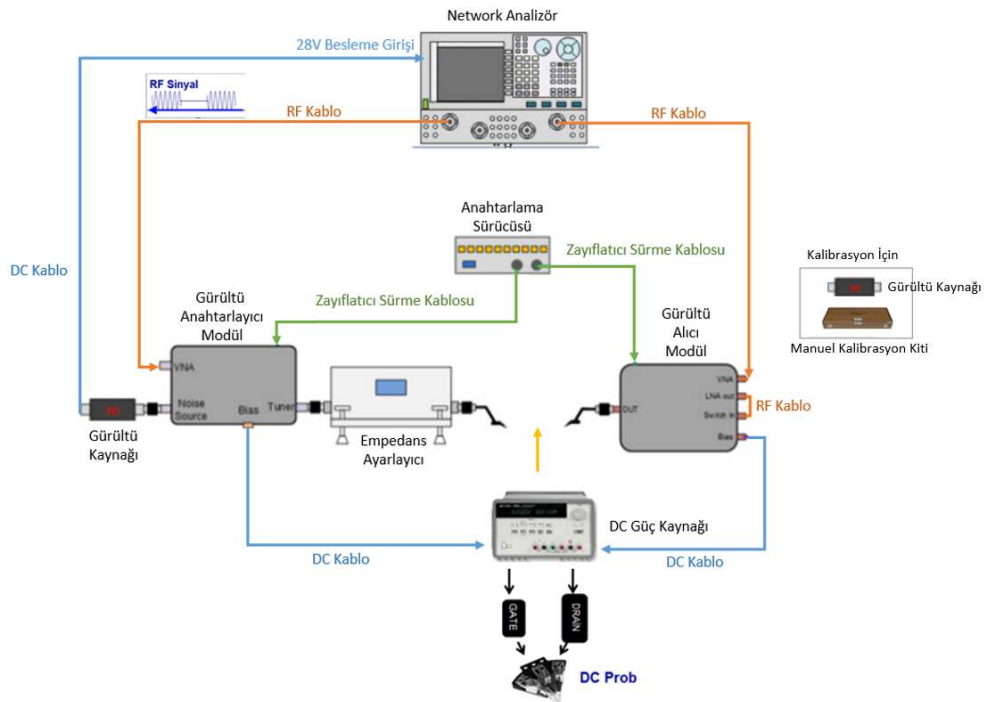
Şekil 3.20. Gerçekçi yükseltecin dinamik aralığı

Gürültü katsayısı ölçümlerinde Maury Microwave firmasının gürültü anahtarlayıcı ve alıcı modülü, gürültü kaynağı, kaynak empedans ayarlayıcı ve DC güç kaynağı ve Network analizör’ü (PNA-X’i) kullanılmaktadır. Gürültü sistemi kalibrasyonu, doğrulaması ve ölçümü için ATS (Automated Tuner Software) yazılımı kullanılmaktadır. ATS yazılım konfigürasyonuna ilk olarak kaynak empedans ayarlayıcı, gürültü alıcı modülü, gürültü anahtarlama modülü ve PNA-X eklenir.

Ölçümler öncesinde sistem kalibre edilmelidir. Gürültü figürü kalibrasyon prosedüründe iki ayrı kalibrasyon vardır. Empedans ayarlayıcıyı karakterize etmek ve ayrıca sistem için gerekli s-parametrelerini ölçmek için empedans ayarlayıcının s parametresi

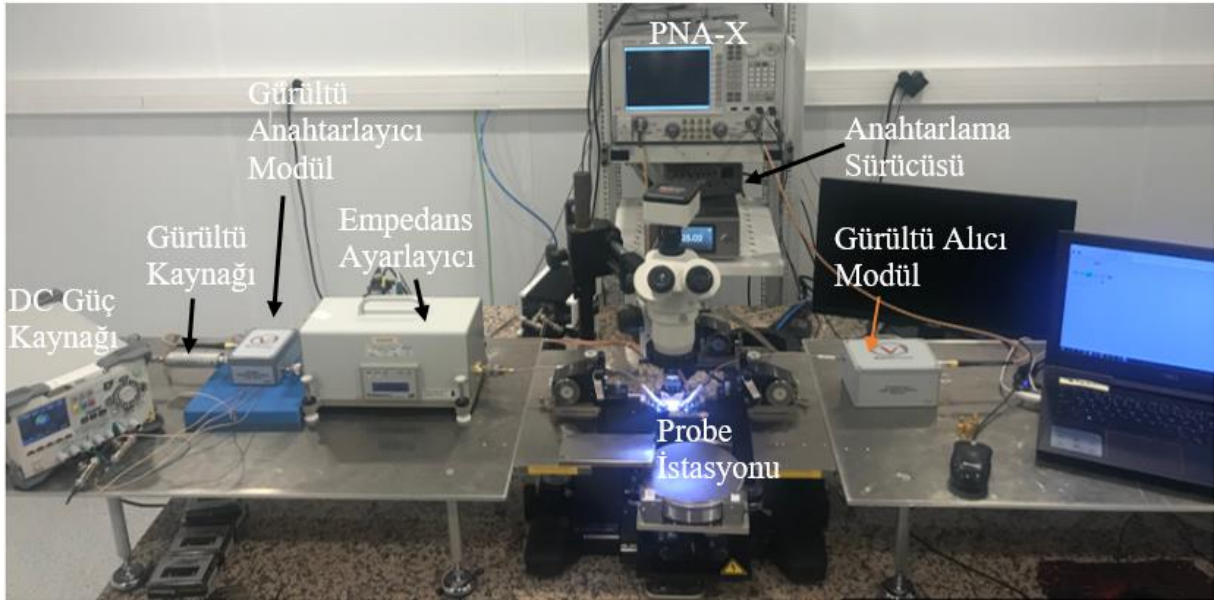
kalibrasyonu yapılır. Gürültü alıcısı sistemin gürültüsünü doğru ölçebilmesi gürültü alıcısı gürültü kalibrasyonu yapılacaktır.

Önce giriş kısmındaki parametreleri doğrulanır ve ardından gürültü kaynağının aşırı gürültü oranı, ENR tablosu girildi. Gürültü kaynağı açık (sıcak) durumdayken ve gürültü kaynağı kapalı (soğuk) durumdayken, gürültü kaynağı iki ayrı yansıma katsayısına sahiptir. Daha sonra gürültü yükü yansıma katsayısı ölçülür. Empedans ayarlayıcı için sabit pozisyon seçilir kalibrasyon esnasında ve ölçümlerde empedans ayarlayıcıyı yerinden hareket ettirmemek gereklidir. Empedans ayarlayıcının karakterizasyonu yapıldı. İkinci kalibrasyon adımı gürültü alıcısı kalibre edilecektir. Bunun için Maury firmasının manuel kalibrasyon kiti ve gürültü kaynağı kullanılır. Gürültü alıcı kalibrasyonundan sonra aygıtın gürültüsünü ölçebiliriz. PNA-X, Nf_{min} , Γ_{opt} , r_n ve S_{21} 'i verir. NF ölçüm kurulumu Şekil 3.21'de gösterilmiştir.



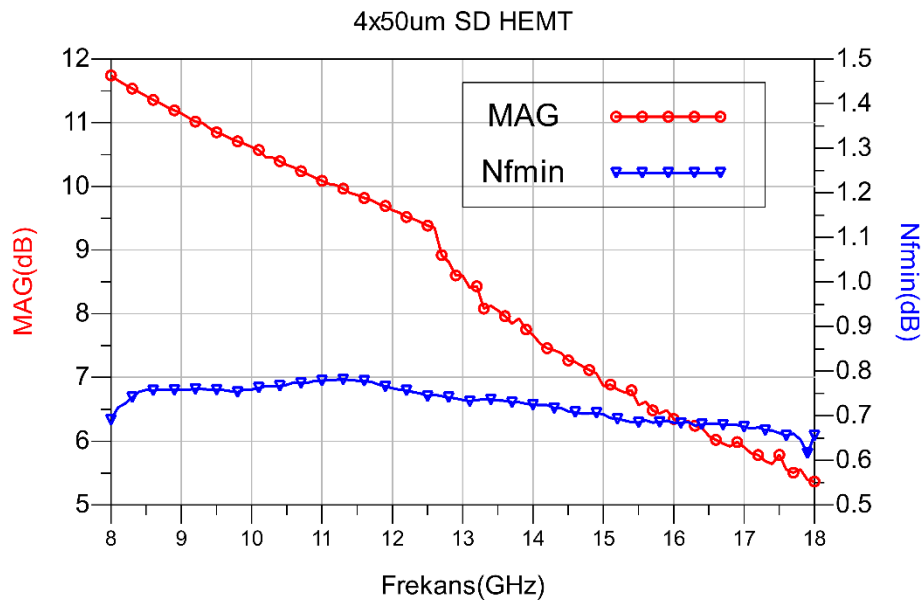
Şekil 3.21. Transistör gürültü katsayısı karakterizasyon ölçüm düzeneği

NF ölçüm düzeninin fotoğrafı Şekil 3.22’de gösterilmektedir.



Şekil 3.22. Transistör gürültü katsayısı karakterizasyon ölçüm düzeneğinin fotoğrafı

Şekil 3.23’de 4x50µm Kaynak Dejenere HEMT’in gürültü katsayısı ölçümleri yapılmıştır. Ölçümleri yapılan HEMT’in analizleri bilgisayar ortamında ADS programı kullanılarak gerçekleştirilmiştir. Grafik de MAG ve N_{fmin} eğrileri görülmektedir. Tablo 3.8’de değerleri mevcuttur.

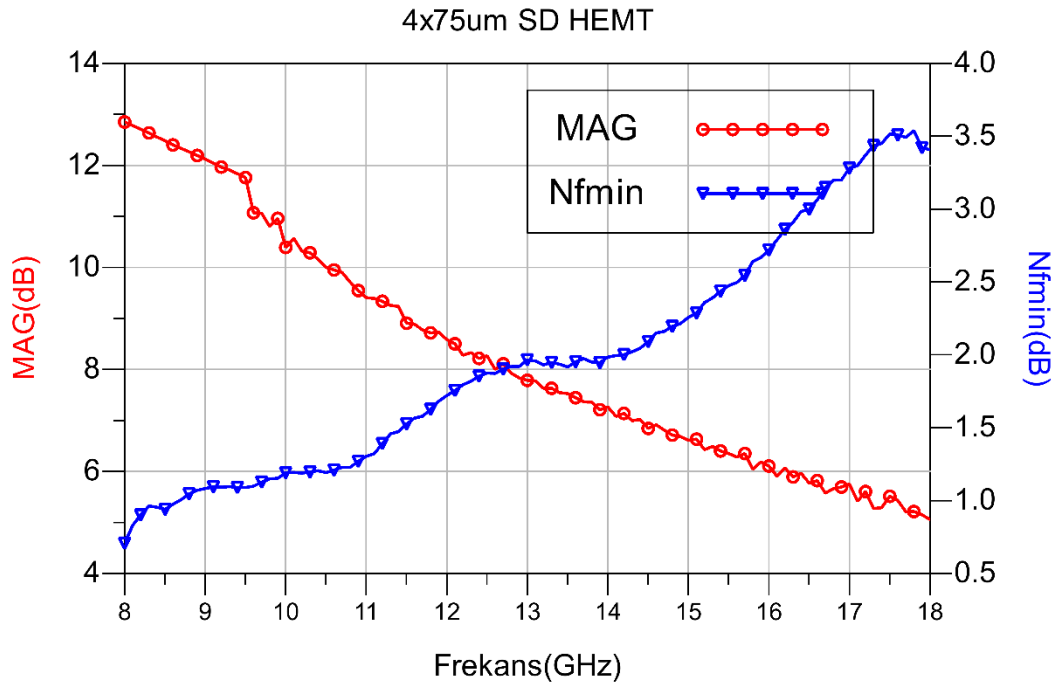


Şekil 3.23. 4x50µm HEMT gürültü katsayısı ölçüm sonucu

Tablo 3.8. 4x50 μ m Kaynak Dejenere HEMT'in Gürültü Katsayısı Ölçüm Sonucu

Parametre	8 GHz	11 GHz
N_{fmin}	0,7	0,8

Şekil 3.24'de 4x75 μ m Kaynak Dejenere HEMT'in gürültü katsayısı ölçümleri yapılmıştır. Ölçümleri yapılan HEMT'in analizleri bilgisayar ortamında ADS programı kullanılarak gerçekleştirilmiştir. Grafik de MAG ve N_{fmin} eğrileri görülmektedir. Tablo 3.9'da değerleri mevcuttur.



Şekil 3.24. 4x75 μ m HEMT gürültü katsayısı ölçüm sonucu

Tablo 3.9. 4x75 μ m Kaynak Dejenere HEMT'in Gürültü Katsayısı Ölçüm Sonucu

Parametre	8 GHz	11 GHz
N_{fmin}	0,80	1,30

4. HEMT Tasarımı

Bu bölümde LNA tasarımı için uygun HEMT seçimi ve HEMT tasarımının yapısı anlatılacaktır.

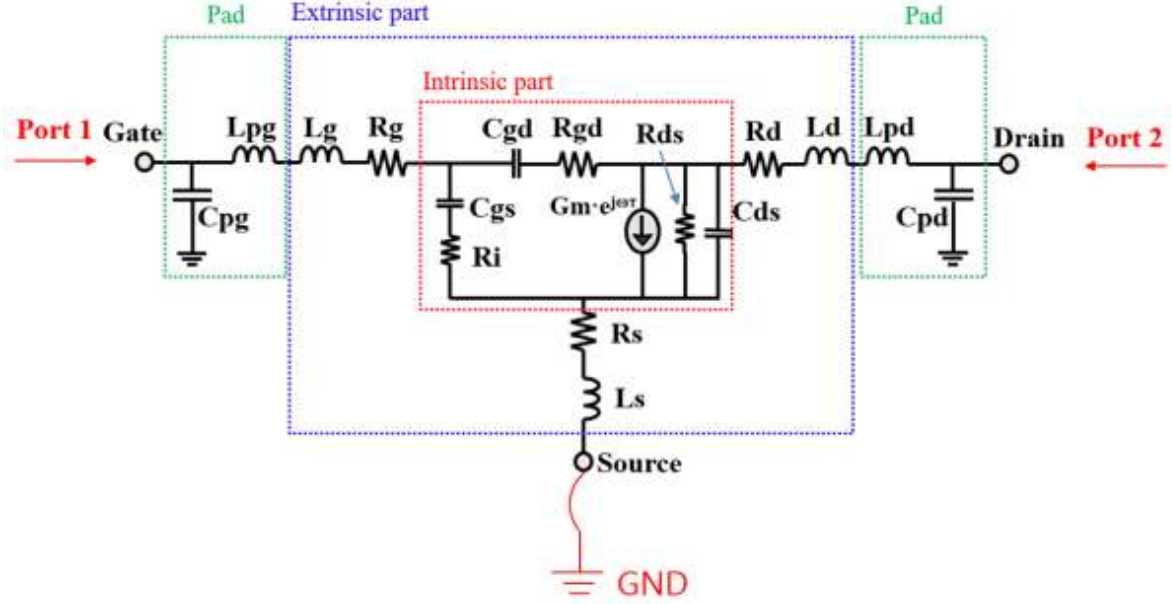
4.1. HEMT Küçük Sinyal Modeli

Bir transistörün MAG'ı, uyumsuzluk kayıpları ve daha yüksek parazitik etkiler nedeniyle artan sayıda kapı parmağı ile azalır. Öte yandan, bir transistörün çıkış gücü, HEMT layout tasarımı ile kontrol edilebilen daha büyük boyutlar (bir parmağın kapı genişliği çarpı kapı parmak sayısı) ile artar. Ayrıca, transistörden kazanç sağlamak için maksimum salınım frekansı (f_{max}) kapı uzunluğu küçüldükçe yükselir. Bu nedenle, mm dalga frekanslarında çalışmak için daha küçük kapı uzunlukları gereklidir. E-beam litografi ekipmanının özelliklerine göre standart kapı süreci ile üretimimiz için mümkün olan en küçük kapı uzunluğu 150 nm'dir.

Şekil 4.1'de [38] bir HEMT'in küçük işaret eşdeğer devresi mevcuttur. Port 1' kapı bölgesini port 2 ise akaç bölgesini göstermektedir. Pad kısmında parazitik kapasitansları ve endüktansları sırasıyla kapı ve akaç için (C_{pg} , C_{pd} , L_{pg} , L_{pd}). HEMT'in layout yapısına bağlı olarak harici bir parçadan (intrinsic part) ve transistörün kanal varyasyonuna göre değeri değişen içsel bir parçadan oluşur.

Burada R_s , R_g , R_{ch} ve R_d sırasıyla kaynak, kapı, kanal ve akaç direncidir, L_s , L_g ve L_d sırasıyla dış kaynak, kapı ve akaç endüktansdır. R_{sdj} ve C_{sdj} sırasıyla Schottky diyot direnci ve kapasitansdır ve ω açısal frekanstır. R_i , R_{gd} ve R_{ds} sırasıyla giriş, kapı-akaç ve çıkış direncidir. C_{gs} , C_{gd} ve G_m sırasıyla kapı kaynağı, kapı-akaç kapasitansı ve geçiş iletkenliğidir.

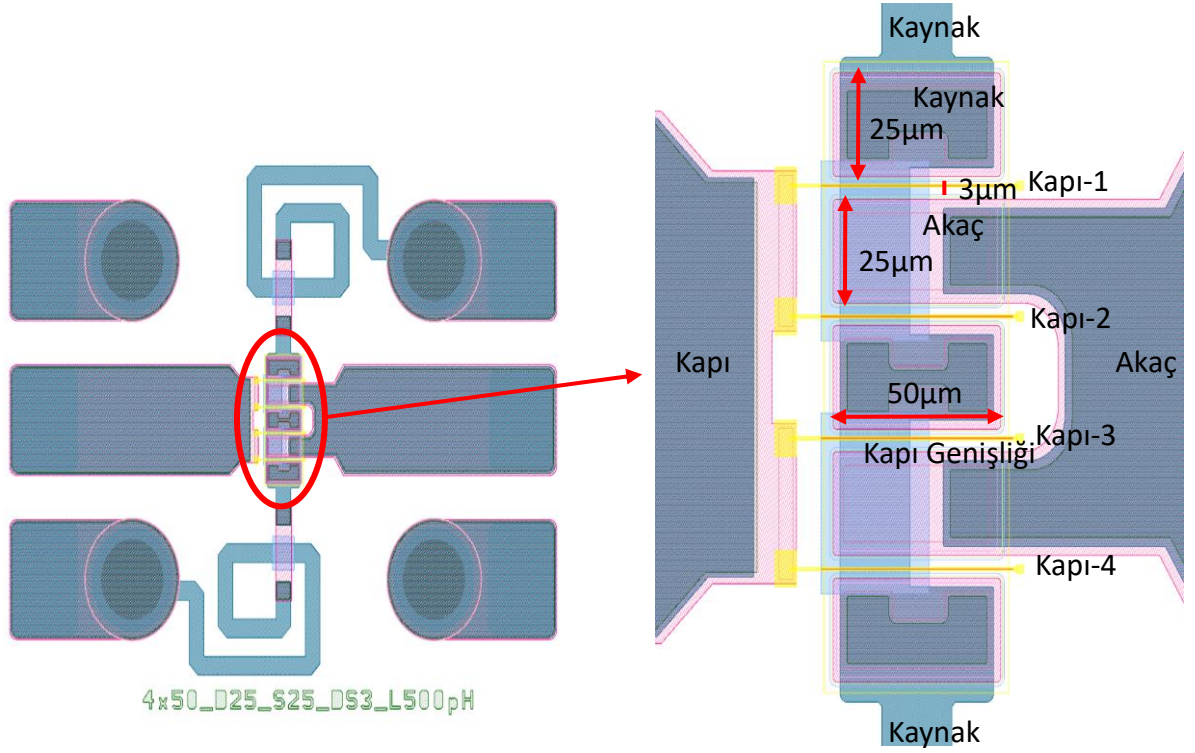
Parazitik kapasitanslar düşük frekans altında Y- parametresi ile elde edilir. Parazitik endüktans ve parazitik direnç, yüksek frekans altında çıkarılır. Z-parametresi ile elde edilir. İçsel (Intrinsic) partı S-Y-Z parametre dönüşümü ile, parazitik parametrelerin etkisi adım adım ortadan kaldırılır ve içsel parametre Y'den elde edilen parazitik parametrelerden tamamen arınmış olan içsel parçanın eşdeğer devre şeması elde edilir.



Şekil 4.1. HEMT küçük işaret modeli

4.2. HEMT Layout Yapısı

HEMT layout tasarımında Şekil 4.2’de, $4 \times 50 \mu\text{m}$ HEMT kaynak dejenere HEMT’in kapı litografi desenleri, kaynak kontakları, akaç kontakları, akaç- kaynak arasındaki mesafe, geçiş delikleri (via hole), kapı ve akaç kontakları için pedler ve kaynak kısmında 500pH değerinde indüktansı bulunan $4 \times 50 \mu\text{m}$ HEMT düzenini göstermektedir. Bu HEMT’in her biri $50 \mu\text{m}$ genişliğinde dört adet kapı parmağı vardır, bu da toplam $200 \mu\text{m}$ kapı çevresi ile sonuçlanır. Bir kaynak kontağının temas bölgesi uzunluğu, bir akaç kontağının yanı sıra $25 \mu\text{m}$ ’dir. Bir kaynak ile bir akaç kontağı arasındaki mesafe, cihazın kanal uzunluğunu belirleyen $3,0 \mu\text{m}$ ’dir. Kapı uzunluğu 150nm ’dir. Bilindiği üzere önceki bölümlerde anlatıldığı gibi g_m ve MAG değerini arttırmak için kapı genişliğini düşürmek gereklidir.



Şekil 4.2. 4x50µm HEMT layout görüntüsü

4×75µm HEMT'in her biri 75µm genişliğinde dört adet kapı parmağı vardır, bu da toplam 300µm kapı çevresi ile sonuçlanır. Bir kaynak kontağının temas bölgesi uzunluğu, bir akaç kontağının yanı sıra 25µm'dir. Bir kaynak ile bir akaç kontağı arasındaki mesafe, cihazın kanal uzunluğunu belirleyen 3,0µm'dir. Kapı uzunluğu 150nm'dir. Bilindiği üzere önceki bölümlerde anlatıldığı gibi g_m ve MAG değerini arttırmak için kapı genişliğini düşürmek gereklidir. Kaynak kısmındaki indüktans giriş eşleşmesinde kolaylık sağlamaktadır.

4.3. Optimum HEMT Seçimi

Önceki bölümde 4×50µm ve 4×75µm boyutlarına sahip HEMT'lerin DC, RF, Load-Pull, gürültü katsayısı ölçümleri gerçekleştirilmiştir. Elde edilen sonuçlara göre tasarım için en uygun HEMT belirlenecektir.

1. DC ölçüm sonuçları
2. RF ölçüm sonuçları

3. Load Pull ölçüm sonuçları

4. Gürültü katsayısı ölçüm sonuçları

İlk olarak uygun HEMT seçmek için önceki bölümde anlatılan DC ölçüm sonuçlarından elde edilen parametreler; I_{dssmax} , V_{knee} , R_{on} , g_{m_max} , V_{th} , V_{to} , $I_{g_kaçak-FIV}$, $I_{d_kaçak}$, $I_{g_kaçak}$, $I_{br_d_kaçak}$, $I_{br_g_kaçak}$ ve V_{br} karşılaştırılacaktır.

Tablo 4.1'de 4x50 μ m ve 4x75 μ m HEMT'lerin DC ölçüm sonuçlarının karşılaştırması mevcuttur.

Tablo 4.1. 4x50 μ m ve 4x75 μ m HEMT DC ölçüm sonuçları

DC Ölçüm Parametreleri	4x50 μ m Kaynak Dejenere HEMT	4x75 μ m Kaynak Dejenere HEMT
I_{dssmax}	1,29A/mm	1,24A/mm
V_{knee}	4,90V	4,50V
R_{on}	2,17 Ω *mm	2,07 Ω *mm
g_{m_max}	341,25mS/mm	340,00mS/mm
V_{th}	-3,44V	-3,43V
V_{to}	1,00V	1,00V
$I_{g_kaçak-FIV}$	-10,21 μ A/mm	-2,04 μ A/mm
V_{br}	>25V	>25V
$I_{d_kaçak}@9V$	61,70 μ A/mm	23,82 μ A/mm
$I_{g_kaçak}@9V$	-67,20 μ A/mm	-25,18 μ A/mm
$I_{br_d_kaçak}@25V$	214,35 μ A/mm	105,78 μ A/mm
$I_{br_g_kaçak}@25V$	-218,75 μ A/mm	-104,31 μ A/mm

Ölçüm sonuçlarına göre 4x50 μ m I_{dssmax} ve g_{m_max} değerleri 4x75 μ m HEMT'e göre daha yüksek çıkmıştır.

Tablo 4.2'de 4x50 μ m ve 4x75 μ m HEMT'lerin RF ölçüm sonuçlarının karşılaştırması mevcuttur. İkinci olarak uygun HEMT seçmek için önceki bölümde anlatılan RF küçük işaret ölçüm sonuçlarından elde edilen parametreler; f_T , f_{max} ve MAG karşılaştırılacaktır.

Tablo 4.2. 4x50 μ m ve 4x75 μ m HEMT'lerin RF ölçüm sonuçları

RF Ölçüm Parametreleri	4x50 μ m	4x75 μ m
MAG	12,00dB	11,37dB
f_{max}	38,32GHz	34,07GHz
f_T	35,62GHz	38,11GHz

Ölçüm sonuçlarına göre 4x50 μ m MAG ve f_{max} değerleri 4x75 μ m HEMT'e göre daha yüksek çıkmıştır.

Tablo 4.3’de 4x50 μ m ve 4x75 μ m HEMT’lerin büyük işaret ölçüm sonuçlarının karşılaştırması mevcuttur. Üçüncü olarak uygun HEMT seçmek için önceki bölümde anlatılan load pull büyük işaret ölçüm sonuçlarından elde edilen parametreler; G_T ve P_{1dB} karşılaştırılacaktır.

Tablo 4.3. 4x50 μ m ve 4x75 μ m HEMT’lerin Load Pull ölçüm sonuçları

Load Pull Ölçüm Parametreleri	4x50μm	4x75μm
V_d	9,00V	9,00V
I_d	20,00mA	30,00mA
G_{T_max}	9,35dB	8,03dB
P_{1dB}	20,98dBm	25,16dBm
$P_{1dB} - W$	0,13W	0,39W

Ölçüm sonuçlarına göre 4x50 μ m G_{T_max} değeri 4x75 μ m HEMT’e göre daha yüksek çıkmıştır. Fakat 4x75 μ m HEMT’in P_{1dB} değeri de 4x50 μ m HEMT’e göre daha yüksek çıkmıştır.

Tablo 4.4’de 4x50 μ m ve 4x75 μ m HEMT’lerin gürültü katsayısı ölçüm sonuçlarının karşılaştırması mevcuttur. Dördüncü olarak uygun HEMT seçmek için önceki bölümde anlatılan Gürültü Katsayısı ölçüm sonuçlarından elde edilen parametresi; Nf_{min} karşılaştırılacaktır.

Tablo 4.4. 4x50 μ m ve 4x75 μ m HEMT’lerin Gürültü Katsayısı ölçüm sonuçları

Gürültü Katsayısı Ölçüm Parametreleri	4x50μm @ 8GHz	4x50μm @ 11GHz	4x75μm @ 8GHz	4x75μm @ 11GHz
Nf_{min}	0,7	0,8	0,80	1,30

Ölçüm sonuçlarına göre 4x50 μ m Nf_{min} değeri 4x75 μ m HEMT’e göre daha düşük çıkmıştır.

Düşük Gürültülü Yükselteç (LNA) tasarımı için en sık kullanılan topoloji, ortak kaynak topolojisidir. Endüktif kaynak dejenerasyonu ile LNA, düşük Gürültü Katsayısı

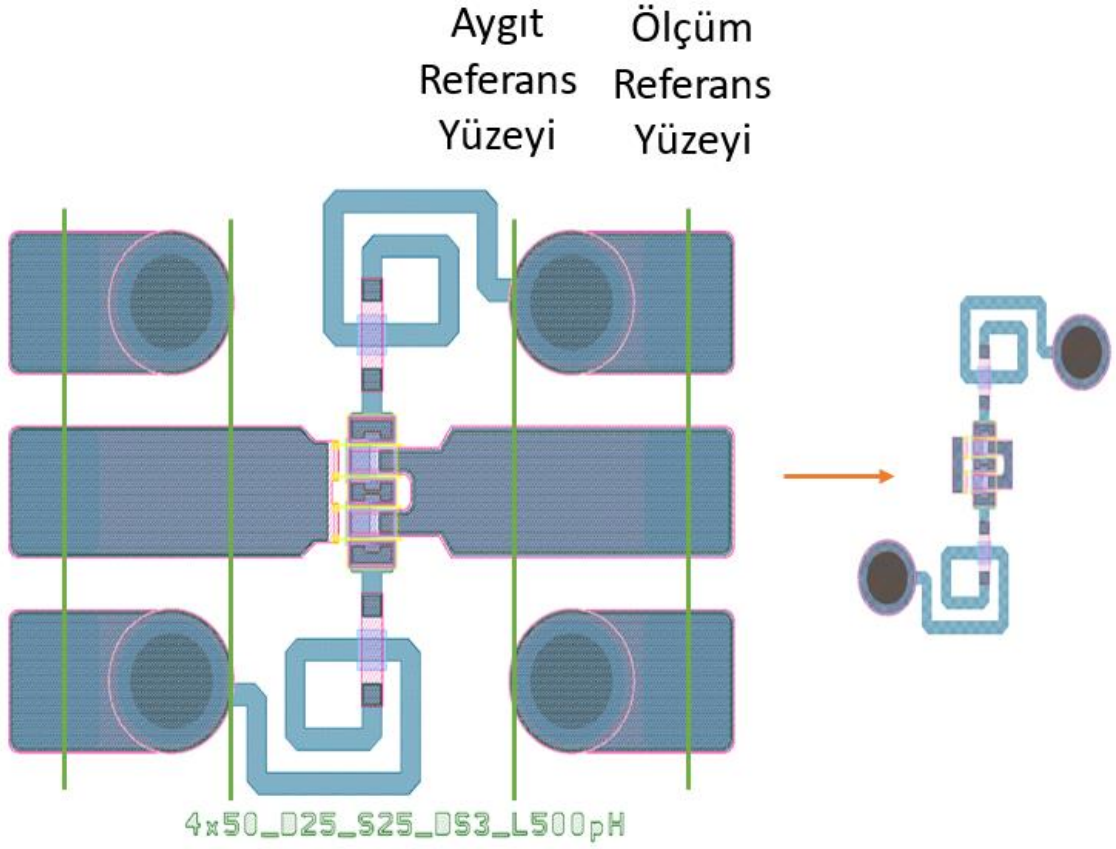
(N_{fmin}), yüksek kazanç ve iyi performans ile düşük güç tüketimi nedeniyle tipik olarak uygulamalarda en iyi seçim olmuştur. Kaynak indüktörlerinden ve kaynak kapasitansına açılan kapıdan (C_{gs}) oluşan giriş eşleştirme devresi, tek bir frekansta rezonansa girer. Kaynak kısmındaki indüktans giriş eşleymesinde kolaylık sağlamaktadır. $4 \times 50 \mu m$ ve $4 \times 75 \mu m$ HEMT'lerin ölçüm sonuçları karşılaştırıldığında N_{fmin} ve kazanç sonuçları göz önüne alınarak tasarım sürecinde kullanılması için $4 \times 50 \mu m$ HEMT tercih edilmiştir.

5. MMIC Tasarımı

Bu bölümde, tek aşamadan oluşan MMIC LNA'nın tasarım adımları ayrıntılı olarak açıklanmaktadır. Bu tasarımdaki amacımız, darbeli olarak çalışan 3 dB'den daha az kazanç sıkıştırması ile 0,1 W'tan fazla çıkış gücü elde etmek, minimum 7 dB küçük sinyal kazancı ve 2dB'den küçük gürültü katsayısı hedeflemektir. Boyut olarak 3mm'nin altında olması istenildi. Tasarım, transistörlerin S parametresine, büyük işaret ölçüm verilerine ve gürültü rakamı ölçüm verilerine dayanmaktadır. Küçük sinyal simülasyonları, yerleşim (layout) tasarımı ve EM simülasyonları Keysight'ın Gelişmiş Tasarım Sistemi (ADS) yazılımında gerçekleştirilir. Amplifikatör tasarımının ilk adımı olarak, transistöre kararlılık devreleri eklenir. Ardından, yeterli bant içi RF topraklama ve izolasyona sahip kapı ve drenaj öngerilim hatları gerçekleştirilir. Çıkış eşleştirme ağı, maksimum çıkış gücü ve maksimum kazanç için transistörün optimum empedans noktaları dikkate alınarak tasarlanmıştır. Giriş eşleştirme ağı, minimum gürültü katsayısı için uygun empedans noktaları dikkate alınarak tasarlanmıştır. Öngerilim ağları, yeterli bant içi RF yalıtımına sahipken eşleştirmeye yerleştirilmiştir. Uyumlu ağ tasarımları, wafer üstü ölçümler için uygun RF ve DC pedlerinin konumlandırılmasıyla sonuçlandırılır.

5.1. HEMT Referans Düzlemi Belirleme

Transistörün büyük ve küçük işaret ölçüm verileri, RF pedlerini ve aygıt ile iletim hatlarını içermektedir. RF pedleri de ayrıca bir kayıp getirir. Bu sebeple ölçümler esnasında RF pedlerin Şekil 5.1'de gösterildiği gibi ayrılmasıyla bir aygıt referans düzlemi elde edilir. Bu ayırma, yapıların EM simülasyon verileriyle ADS'in ayırma bileşeni kullanılarak yapılır.



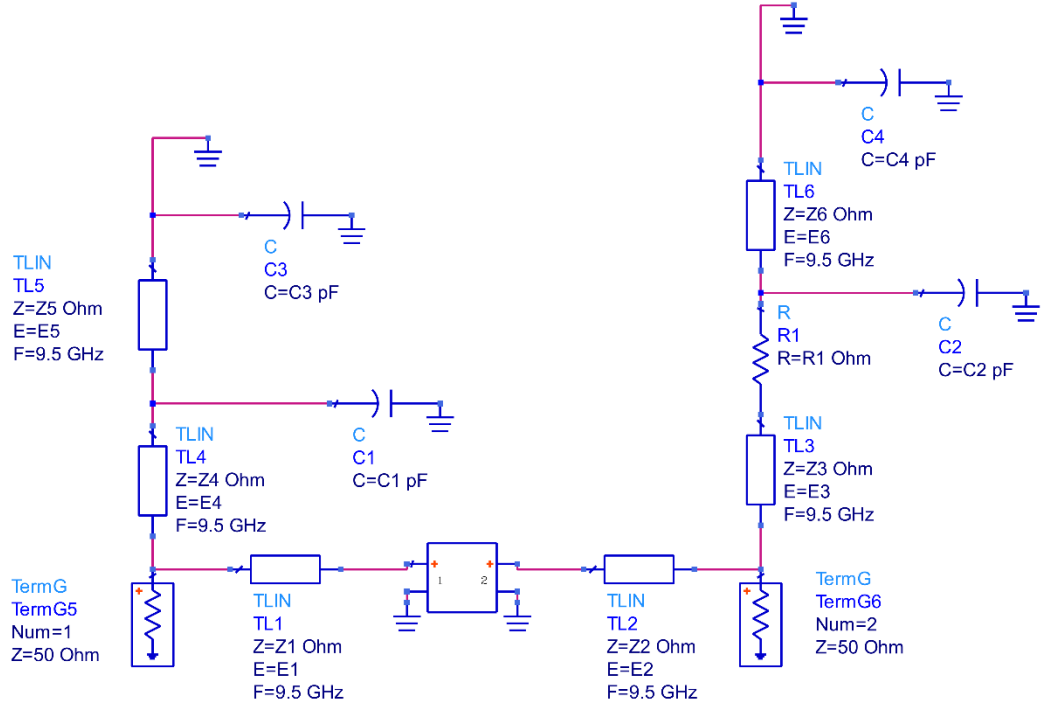
Şekil 5.1. 4x50µm HEMT'in referans düzlemi

Bu ayırma, yapıların EM simülasyon verileriyle ADS'in ayırma bileşeni kullanılarak yapılır. Şekil 5.1'de ayırma işlemi yapılmış HEMT mevcuttur. Ayırma işlemi yapılmış HEMT bundan sonra tüm ileri seviyedeki tasarım adımlarında kullanılacaktır.

5.2. HEMT Kararlılık Devresi Belirleme

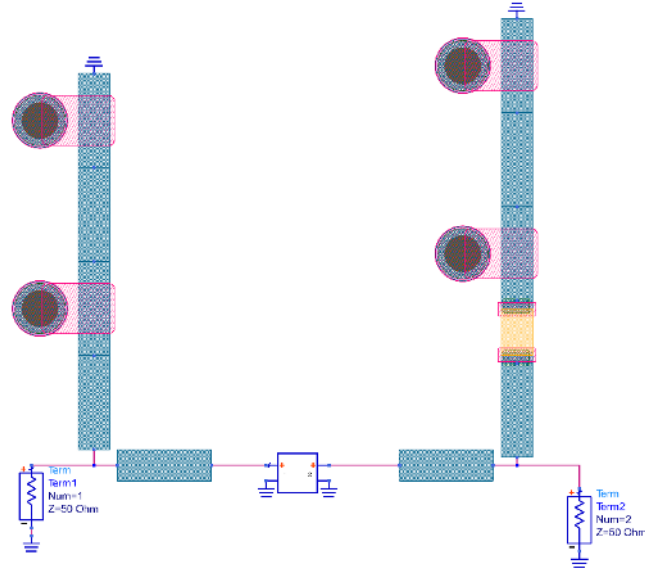
Aygıtı maksimum güç aktarımına göre eşleştirerek sinyal seviyesini yükseltebiliriz ancak bu sinyalde daha fazla gürültüye neden olur. Kararlılık devresi tasarımı istenilen frekans aralığında alınmak istenen sinyalin, istenmeyen sinyaller sonucunda zayıflamasını engeller. Kutuplama kısmında Kararlılık devresi belirlerken kapı bölgesi oldukça önem taşımaktadır. Kapı bölgesine koyulacak olan elemanlar tasarıma gürültü olarak döneceği için optimum seçimler yapılmalıdır. Kutuplama kısmına RF şok indüktörler veya iletim hatları, tasarım frekansında açık devre gibi davranır ve bantta kutuplama devresinin kaybı en aza indirilir. İzolasyon elde etmek için polarlama devrelerinde bypass kapasitörleri kullanılır. Bu kapasitörler devrede izolasyonu artırarak RF geçişlerini engellerler.

Koşulsuz kararlılık devreleri için direnç kullanılır. Kapı kısmına direnç eklendiğinde gürültü katsayısını artırır. Bu sebeple direnç değerleri akaç kısmına koyulmalıdır. Belirlenen bu yapılara uygun olarak Şekil 5.2’de kapı ve akaç bölgelerine kararlılık devreleri şematik de eklenmiştir.



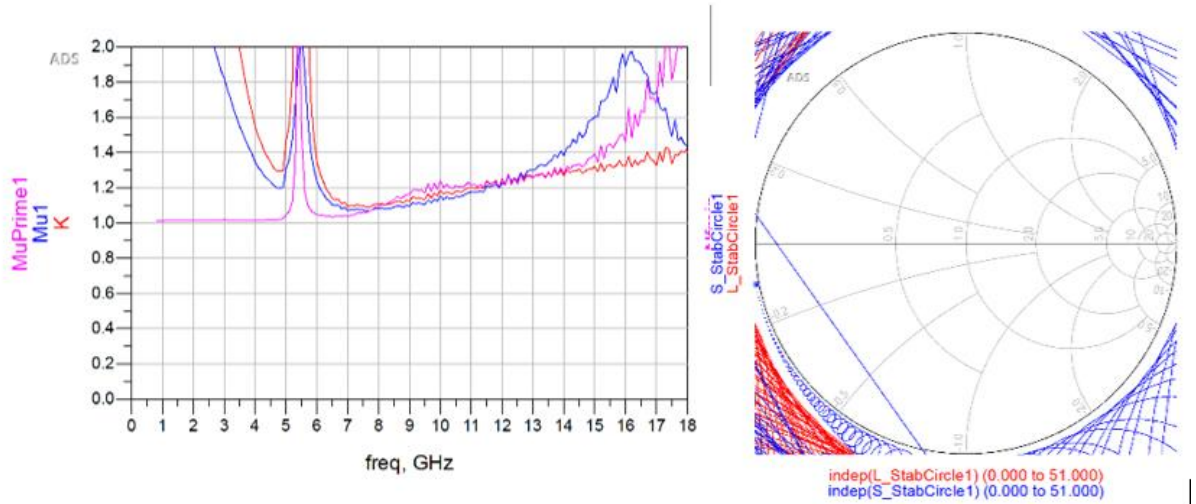
Şekil 5.2. LNA kararlılık ve önyargı devresi

EM simülasyonları yapılması için EM elemanları kullanılmıştır. Şekil 5.3’de mevcuttur.



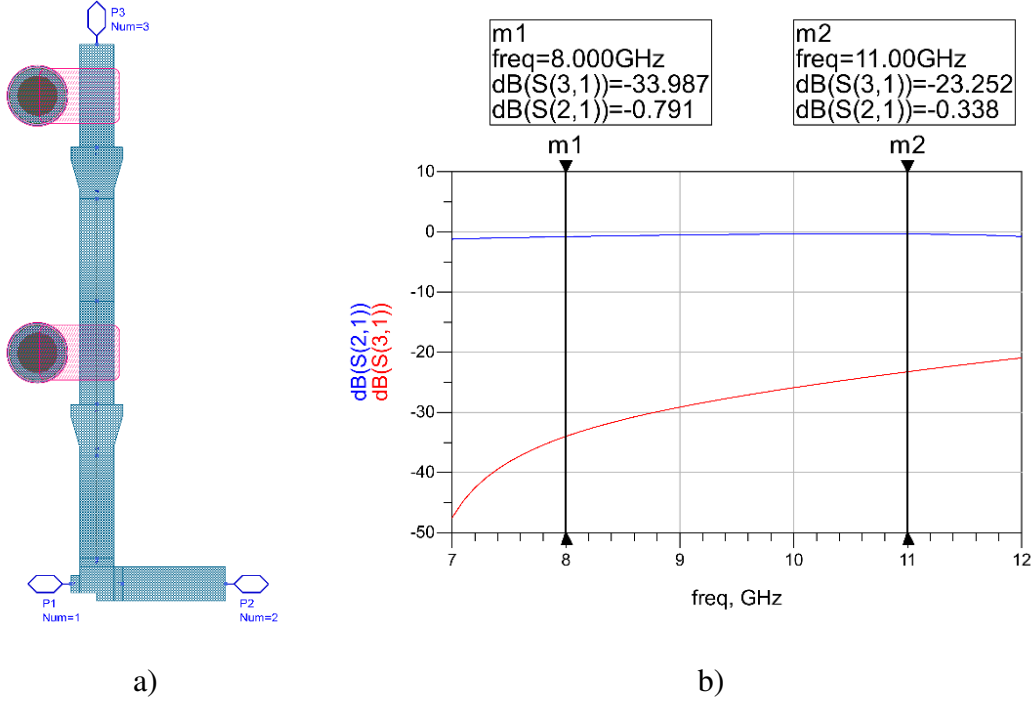
Şekil 5.3. LNA kararlılık ve önyargı devresinin EM model gösterimi

Kapı ve akaç devrelerindeki önyargı ağırları RF sinyali geçirmemelidir. Bu sebeple bu devrelerin ayrı ayrı izolasyon kontrolleri yapılmıştır. Şekil 5.4’de kararlılık devreleri sonunda MAG ve kazanç değerleri, gürültü katsayısı sonuçları ve kararlılık sonuçları görülmektedir. Kaynak ve yük sonuçlarına göre Smith abağının içerisinde yer almadığı ve kararlılık sonuçları olan K , μ değerlerinin tüm frekans aralığında bir değerinden büyük olmasına göre kararlılık sağlanmıştır. Kararlılık devresi aynı zamanda izolasyon için de kullanılıyor.



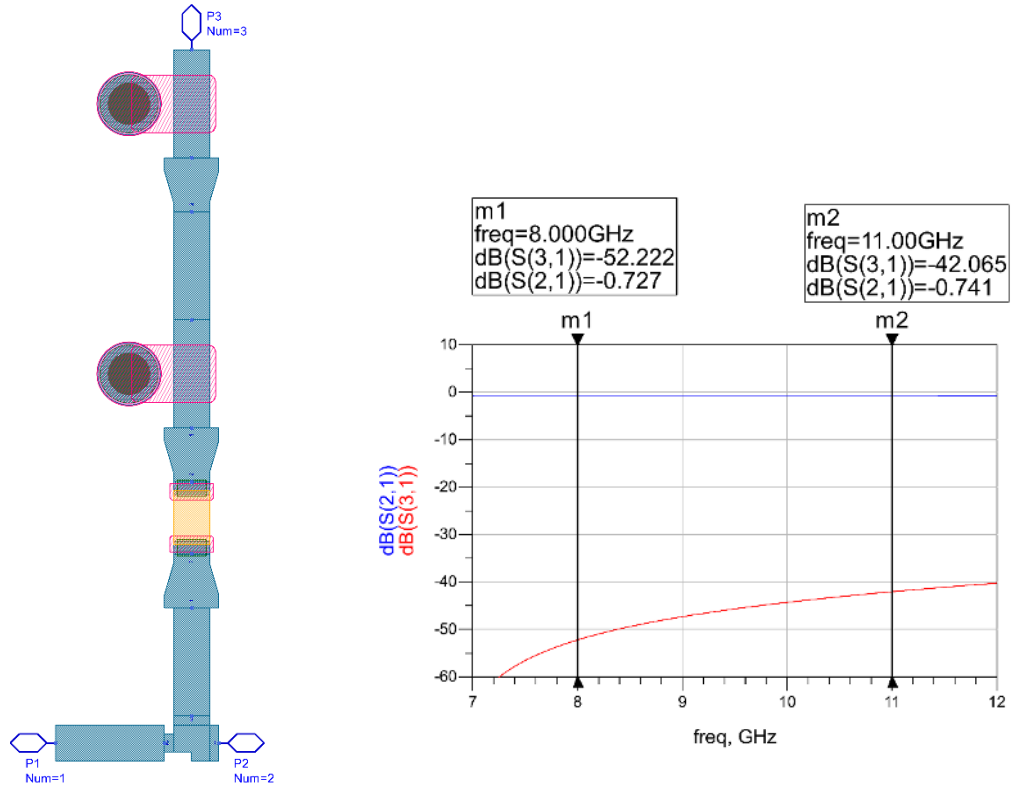
Şekil 5.4. LNA kararlılık ve önyargı devresinin sonuçları

Kapı devresinin izolasyon sonuçları Şekil 5.5’de mevcuttur. Kutuplama kısmında RF şok indüktörler veya iletim hatları, tasarım frekansında açık devre gibi davranır. S(3,1) sonucunda devrenin RF sinyalden izole olduğu görülmektedir. Port 1-2 arasında RF sinyal kısa devre gibi davranır.



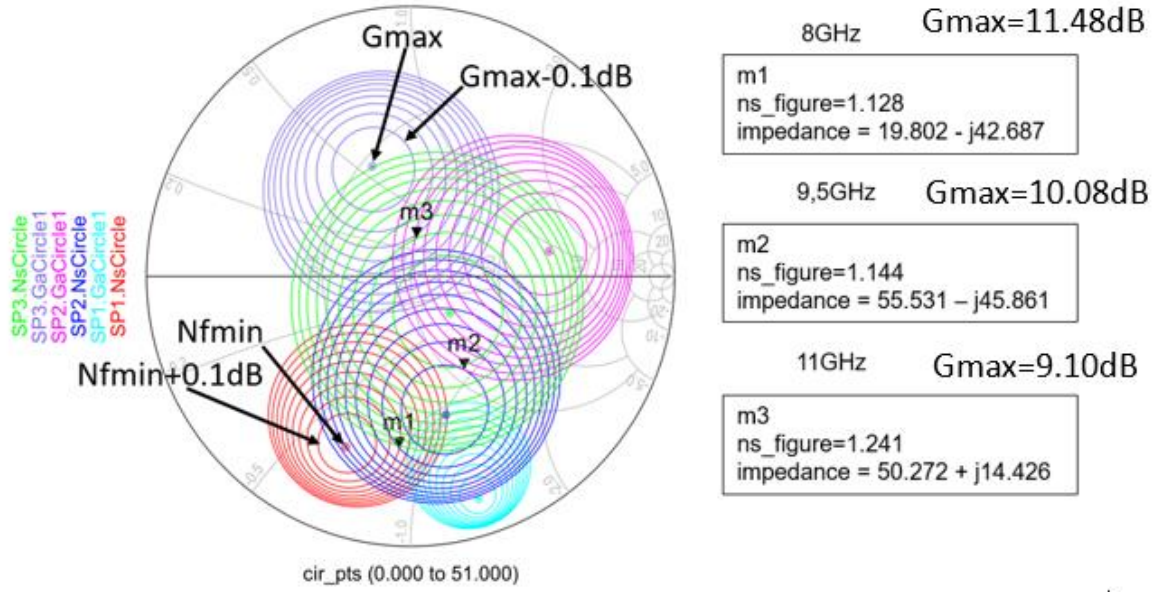
Şekil 5.5. a) Kapı önyargı devresinin EM model gösterimi b) izolasyon sonucu

Akaç devresinin izolasyon sonuçları Şekil 5.6’da mevcuttur. Kutuplama kısmında RF şok indüktörler veya iletim hatları, tasarım frekansında açık devre gibi davranır. S(3,1) sonucunda devrenin RF sinyalden izole olduğu görülmektedir. Port 1-2 arasında RF sinyal kısa devre gibi davranır.



Şekil 5.6. Akaç önyargı devresinin EM model gösterimi ve izolasyon sonucu

Maksimum güç aktarımı (eşlenik eşleşme) empedansları, minimum gürültü katsayısı empedanslarıyla örtüşmez. Kazanç ve NF, kararlılık ve NF ve kazanç dalgalanması ve NF arasında uzlaşmalar yapmamız gerekiyor [39]. Optimum tasarımı elde etmek için kazanç ve NF'den feragat etmemiz gerekiyor. Gerçek Gmax, NFmin, Kaynak kararlılığı ve Yük kararlılığı dairelerini takip etmek kolay değildir, bu nedenle teorik Gmax ve NFmin daireleri Şekil 5.7'de verilmiştir. Daireler 3 farklı frekansa göre çizilmiştir. 8-9, 5-11 GHz değerlerine göre kazanç ve minimum gürültü katsayısından feragat edilerek optimum kaynak noktaları belirlenmiştir. Kazanç ve gürültü katsayısı konturları 0,1 dB farkla çizilmiştir.



Şekil 5.7. Gürültü katsayısı ve kazanç kontürlerinin Smith Abağında gösterimi

Şekil 5.7'de Kararlılık devresi sonrası optimum kazanç ve gürültü katsayısı kontürleri belirlenen noktalar (kaynak yansıma katsayıları) için aşağıdaki formüller ile empedansa çevrilmiştir.

$$\Gamma_{s1} = m1$$

$$\Gamma_{s2} = m2$$

$$\Gamma_{s3} = m3$$

$$Z_{S1} = 50 * \left(\frac{1 + m1}{1 - m1} \right) \quad (5.1)$$

$$Z_{S2} = 50 * \left(\frac{1 + m2}{1 - m2} \right) \quad (5.2)$$

$$Z_{S3} = 50 * \left(\frac{1 + m3}{1 - m3} \right) \quad (5.3)$$

Belirlenen kaynak yansıma katsayılarından yük yansıma katsayıları bulunacaktır. Teorik olarak aşağıdaki formül ile 8-9,5-11 GHz değerlerinde yük yansıma katsayıları bulunur.

$$\Gamma_{L1} = Conj \left(\frac{(SP1(S(2,2)) + (SP1(S(1,2)) * SP1(S(2,1)))) * \Gamma_{S1}}{(1 - SP1(S(1,1)) * \Gamma_{S1})} \right) \quad (5.4)$$

$$\Gamma_{L2} = Conj \left(\frac{(SP2(S(2,2)) + (SP2(S(1,2)) * SP2(S(2,1)))) * \Gamma_{S2}}{(1 - SP2(S(1,1)) * \Gamma_{S2})} \right) \quad (5.5)$$

$$\Gamma_{L3} = Conj \left(\frac{(SP3(S(2,2)) + (SP3(S(1,2)) * SP3(S(2,1)))) * \Gamma_{S3}}{(1 - SP3(S(1,1)) * \Gamma_{S3})} \right) \quad (5.6)$$

Bununan yük yansıma katsayıları aşağıdaki formüller ile empedansa çevirilir.

$$Z_{L1} = 50 * \left(\frac{1 + \Gamma_{L1}}{1 - \Gamma_{L1}} \right) \quad (5.7)$$

$$Z_{L2} = 50 * \left(\frac{1 + \Gamma_{L2}}{1 - \Gamma_{L2}} \right) \quad (5.8)$$

$$Z_{L3} = 50 * \left(\frac{1 + \Gamma_{L3}}{1 - \Gamma_{L3}} \right) \quad (5.9)$$

Yukarıdaki formüller ile elde edilen yük yansıma katsayıları 8GHz, 9,5GHz ve 11GHz için sırasıyla aşağıdaki gibidir;

$$Z_{L1} = 19,94 + 27,78j$$

$$Z_{L2} = 18,60 + 19,90j$$

$$Z_{L3} = 17,19 + 18,23j$$

Yukarıdaki formüller ile elde edilen kaynak yansıma katsayıları 8GHz, 9,5GHz ve 11GHz için sırasıyla aşağıdaki gibidir;

$$Z_{S1} = 19,80 - 42,69j$$

$$Z_{S2} = 55,53 - 45,86j$$

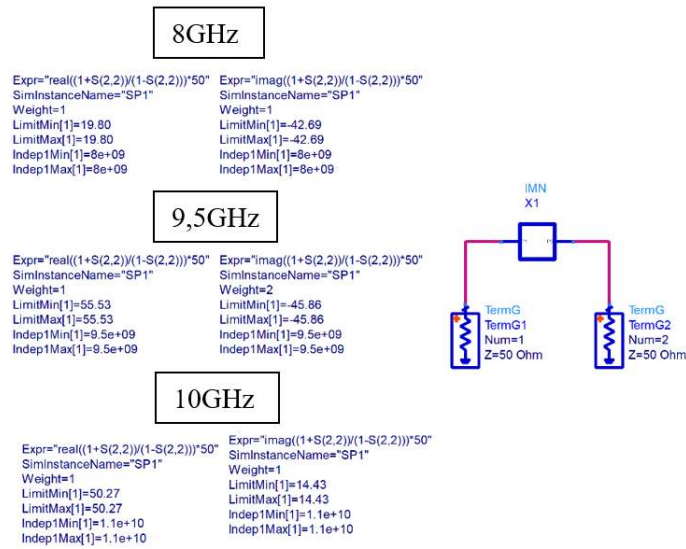
$$Z_{S3} = 50,27 + 14,43j$$

Bulunan empedans değerleri kullanılarak giriş ve çıkış eşleme devreleri tasarlanacaktır.

5.3. HEMT Giriş Eşleme Devresi Tasarımı

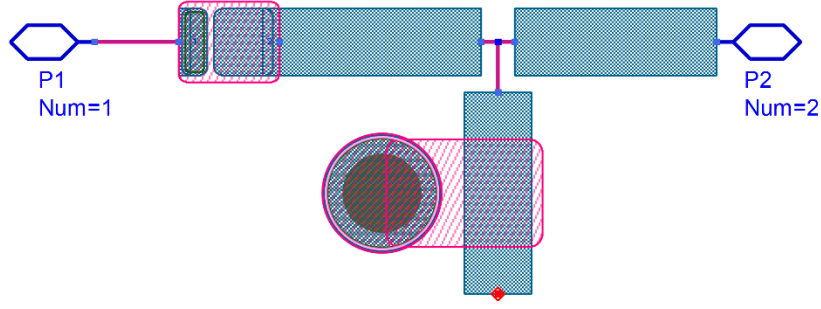
Gürültü katsayısını artırmadan giriş eşleştirmesini iyileştirmek için kaynak dejenere HEMT topolojisi kullanılır. Gürültü değeri için kritik olan giriş eşleştirme ağında dirençler yerine düşük kayıplı (yüksek Q) indüktörler [33] ve kapasitörler kullanılmaktadır.

Bir önceki bölümde anlatıldığı gibi eşleme için optimum noktalar belirlenmiştir. Giriş eşleme kısmında uygun gürültü katsayısı ve kazanç konturlarına göre seçilen empedans noktalarında eşleme adımları için ADS programında Şekil 5.8’de görüldüğü gibi şematik tasarımları yapılmıştır.



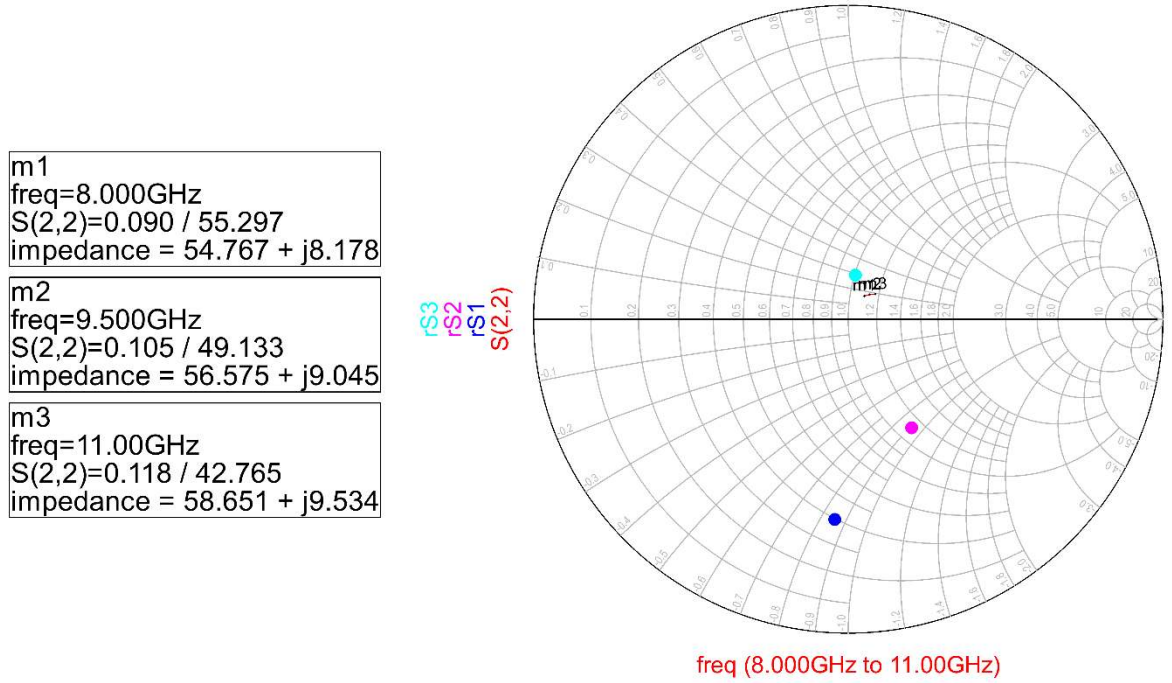
Şekil 5.8. Giriş eşleme devresi şematik tasarımı

IMN bloğunun içerisinde giriş eşleme devresi yer almaktadır. Şekil 5.9’da blok içerisinde kullanılan elemanlar mevcuttur. Seri DC blok kapasitörü RF giriş pedinde yer alacaktır. Ayrıca eşlemeye dahil edilmiştir. İletim hattı ve paralel kapasitör kullanılmıştır.



Şekil 5.9. Giriş eşleme devresi EM model tasarımı

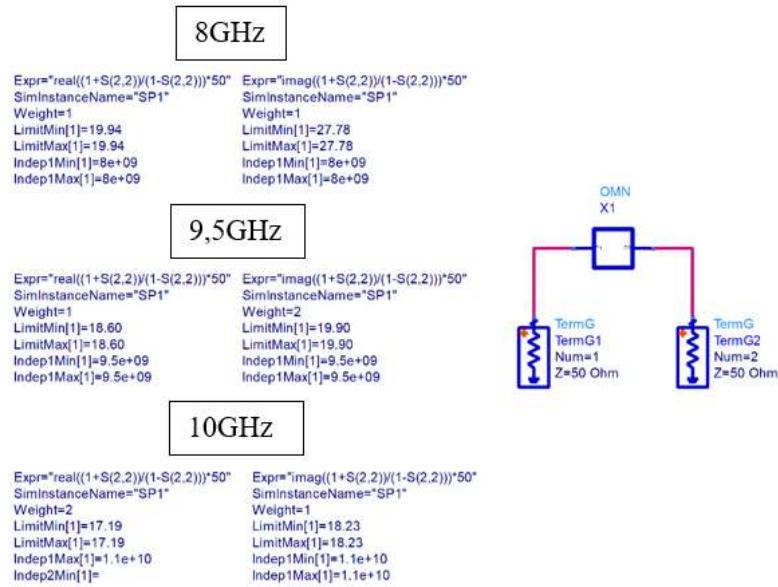
Şekil 5.10'da sonuçlar mevcuttur. ADS programında optimum kaynak empedansları yansıma katsayısına çevrilerek Smith abağına eklenilmiştir. Lacivert renkli olan nokta 8GHz değerindeki kaynak noktasını temsil eder. Pembe renkli olan nokta 9,5GHz değerindeki kaynak noktasını temsil eder. Turkuaz renkli olan nokta ise 11GHz değerindeki kaynak noktasını temsil eder. Elde edilen simulasyon sonuçlarına göre giriş empedanslarına bakılır. Lacivert, pembe ve turkuaz renk ile gösterilen noktalara yaklaştırılmaya çalışılmıştır. En yakın 11GHz değerinde elde edilmiştir.



Şekil 5.10. Giriş eşleme devresinin Smith Abağı düzerinde empedans kontrolü

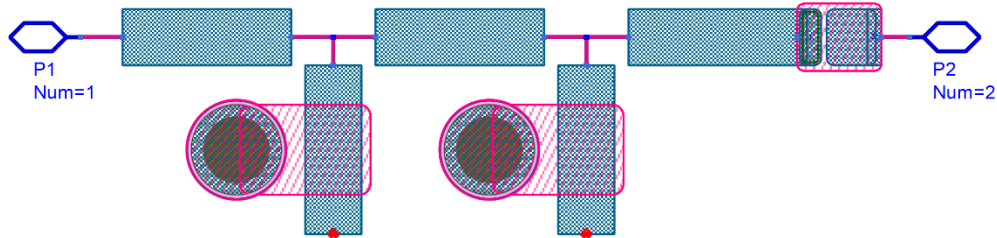
5.4. HEMT Çıkış Eşleme Devresi Tasarımı

Önceki bölümlerde anlatıldığı gibi eşleme için optimum noktalar belirlenmiştir. Çıkış eşleme kısmında uygun kazanç konturlarına göre seçilen empedans noktalarında eşleme adımları için ADS programında Şekil 5.11’de görüldüğü gibi şematik tasarımları yapılmıştır.



Şekil 5.11. Çıkış eşleme devresi şematik tasarımı

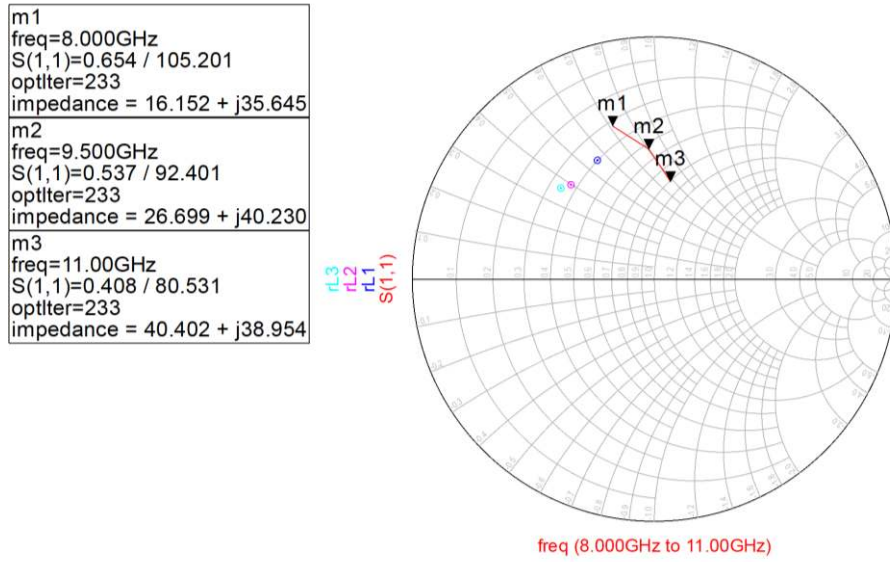
OMN bloğunun içerisinde çıkış eşleme devresi yer almaktadır. Şekil 5.12’de blok içerisinde kullanılan elemanlar mevcuttur. Seri DC blok kapasitörü RF çıkış pedinde yer alacaktır. Ayrıca eşlemeye dahil edilmiştir. İletim hattı ve paralel kapasitörler kullanılmıştır.



Şekil 5.12. Çıkış eşleme devresi EM model tasarımı

Şekil 5.13’de sonuçlar mevcuttur. ADS programında optimum yük empedansları yansıma katsayısına çevrilerek Smith abağına eklenilmiştir. Lacivert renkli olan nokta 8GHz

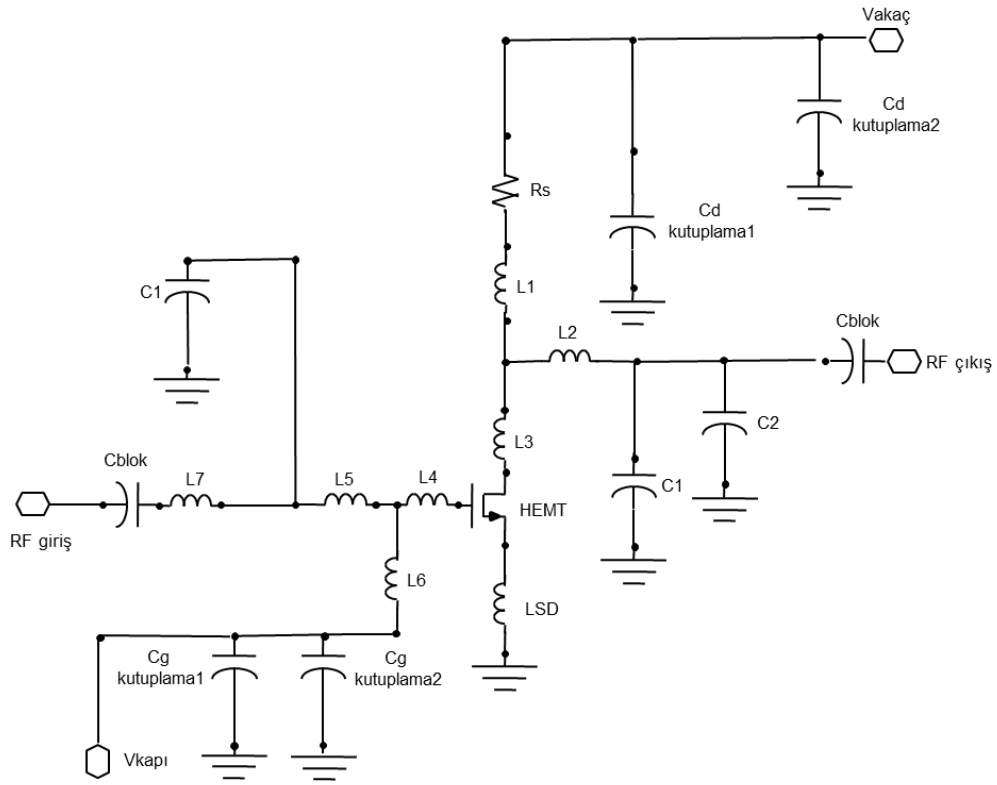
değerindeki kaynak noktasını temsil eder. Pembe renkli olan nokta 9,5GHz değerindeki kaynak noktasını temsil eder. Turkuaz renkli olan nokta ise 11GHz değerindeki kaynak noktasını temsil eder. Elde edilen simulasyon sonuçlarına göre optimum kaynak empedanslarına lacivert, pembe ve turkuaz renk ile gösterilen noktalara yaklaştırılmaya çalışılmıştır. En yakın nokta 8GHz değerinde elde edilmiştir.



Şekil 5.13. Çıkış eşleme devresinin Smith Abağı üzerinde empedans kontrolü

5.5. LNA Layout Tasarımı

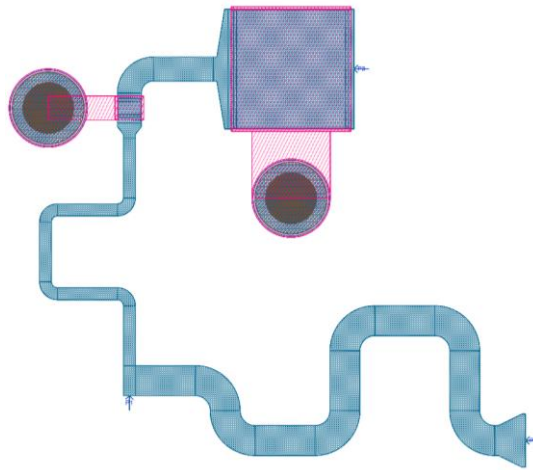
Şematik tasarımlarından sonra layout kısmına geçilecektir. LNA tasarımının basitleştirilmiş şeması Şekil 5.14'de gösterilmektedir.



Şekil 5.14. LNA devresi basitleştirilmiş gösterimi

5.5.1. Kapı Kutuplama Devresi Tasarımı

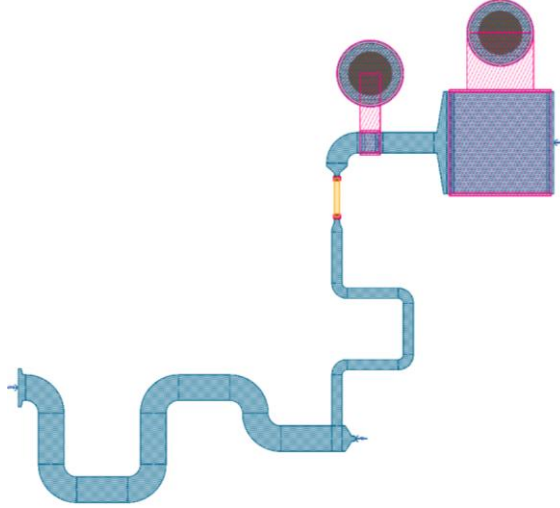
Kapı bölgesinin kutuplama devresi Şekil 5.15’de görülmektedir. Şematik tasarımında kullanılan parametreler EM simülasyonları yapılması için layout’a geçilmiştir.



Şekil 5.15. Giriş kutuplama devresinin layout görüntüsü

5.5.2. Akaç Kutuplama Devresi Tasarımı

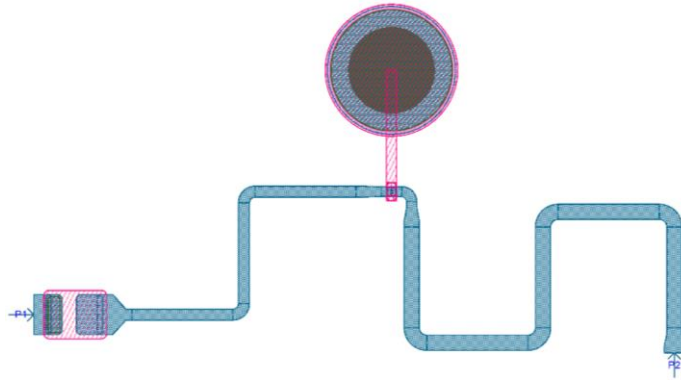
Akaç bölgesinin kutuplama devresi Şekil 5.16’da görülmektedir. Şematik tasarımında kullanılan parametreler EM simülasyonları yapılması için layout’a geçilmiştir.



Şekil 5.16. Çıkış kutuplama devresinin layout görüntüsü

5.5.3. Giriş Eşleme Devresi Tasarımı

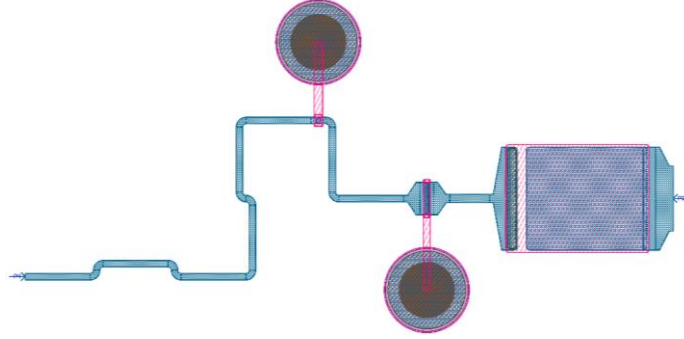
Giriş bölgesinin eşleme devresi Şekil 5.17’de görülmektedir. Şematik tasarımında kullanılan parametreler EM simülasyonları yapılması için layout’a geçilmiştir.



Şekil 5.17. Giriş eşleme devresinin layout görüntüsü

5.5.4. Çıkış Eşleme Devresi Tasarımı

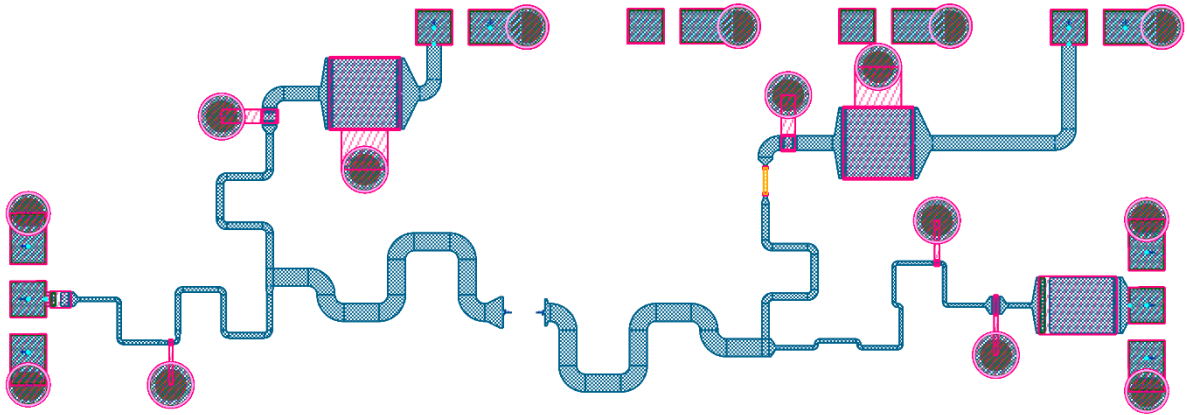
Çıkış bölgesinin eşleme devresi Şekil 5.18’de görülmektedir. Şematik tasarımında kullanılan parametreler EM simülasyonları yapılması için layout’a geçilmiştir.



Şekil 5.18. Çıkış eşleme devresinin layout görüntüsü

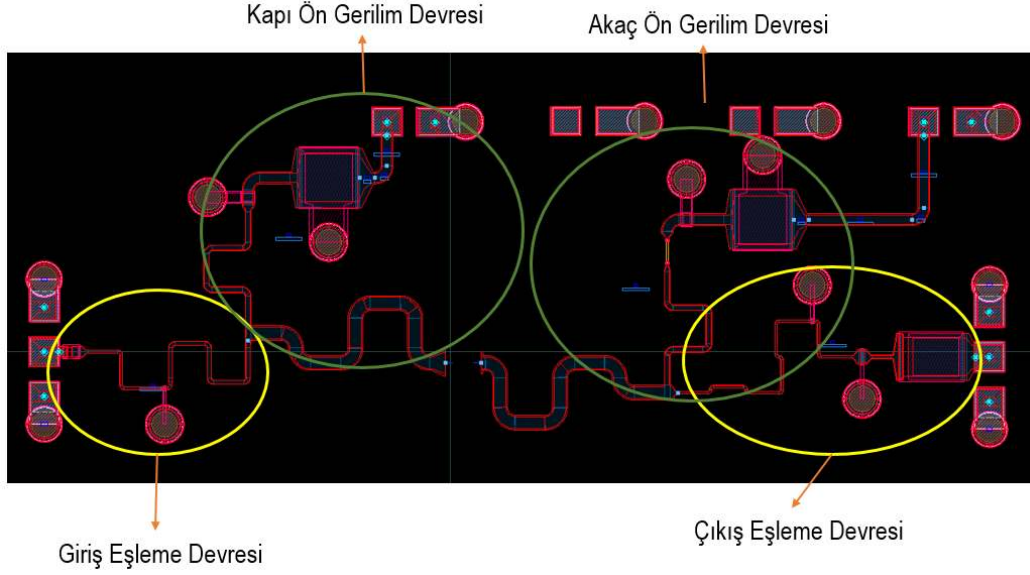
5.5.5. LNA Devresi Tasarımı

LNA devresinin tüm tasarlanan bölümlerinin birleşmiş hali Şekil 5.19’da görülmektedir. Şematik tasarımında kullanılan parametreler EM simülasyonları yapılması için layout’a geçilmiştir. Layout’un her bir bölümünün birleştirilmiş hali aşağıdaki Şekil’de mevcuttur.



Şekil 5.19. LNA devresinin layout görüntüsü

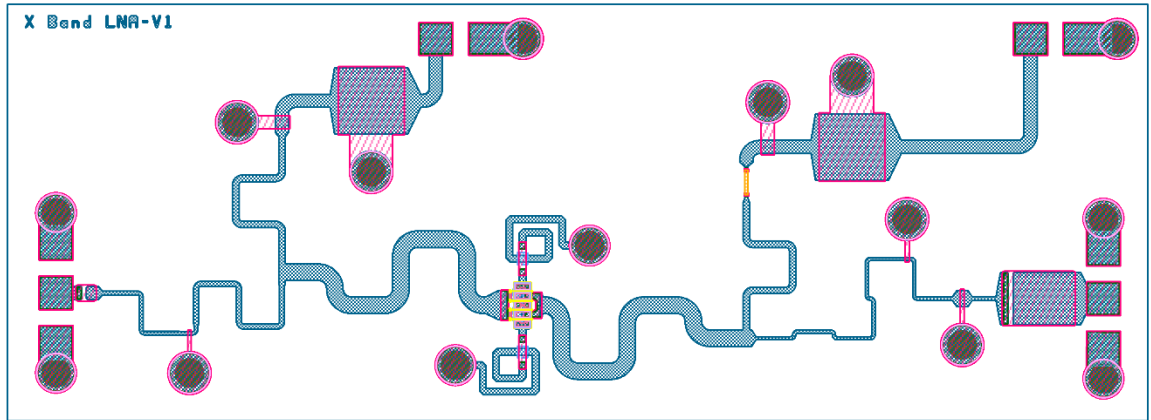
Şekil 5.20’de EM simülasyonları yapılmış hali görülmektedir.



Şekil 5.20. LNA devresi EM simülasyon sonucu layout görüntüsü

5.6. LNA Layout Tasarımı ve Simülasyon Sonuçları

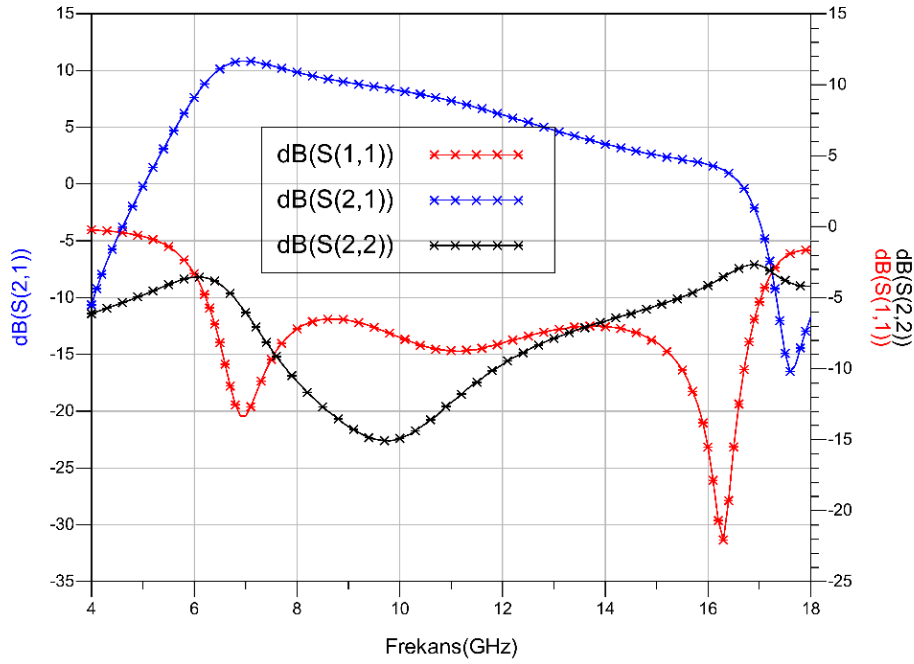
LNA tasarımının HEMT yerleştirilmiş hali Şekil 5.21’de mevcuttur. Bu tasarımda 4x50µm HEMT kullanılarak yapılmıştır. Wafer üzerinde ölçümleri için DC pedler yerleştirilmiştir. Tasarım boyutları X ekseninde 3.2mm ve Y ekseninde 1mm’dir.



Şekil 5.21. LNA devresi referans HEMT’in yerleştirilmiş Layout görüntüsü

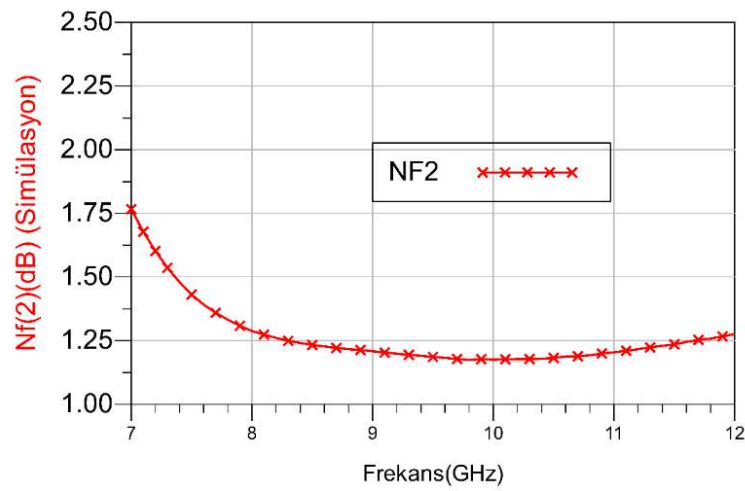
Bu tasarımın simülasyonunda, 7,4 dB’den daha yüksek kazanç (9,9 dB – 7,4 dB), kazanç dalgalanması 2,5 dB’dir. 7,3 dB’den fazla giriş dönüş kaybı (7,3 dB – 8,8 dB), 11,0 dB fazla

çıkış dönüş kaybı (11.0 dB - 12.4 dB) elde edilmiştir. Şekil 5.22Şekil 5.22’de küçük işaret sonucunda alınan sonuçlar mevcuttur. Mavi olan eğri kazanç eğrisi, kırmızı giriş geri dönüş ve siyah ise çıkış geri dönüş kayıplarıdır.



Şekil 5.22. LNA devresinin küçük işaret simülasyon sonucu

Bu tasarımın simülasyonunda, 1,3 dB'den daha az (1,3 dB – 1,2 dB), gürültü katsayısı elde edilmiştir. Şekil 5.23’de gürültü katsayısı simülasyon sonucundan alınan sonuçlar mevcuttur. Kırmızı renk gürültü katsayısını temsil eder.

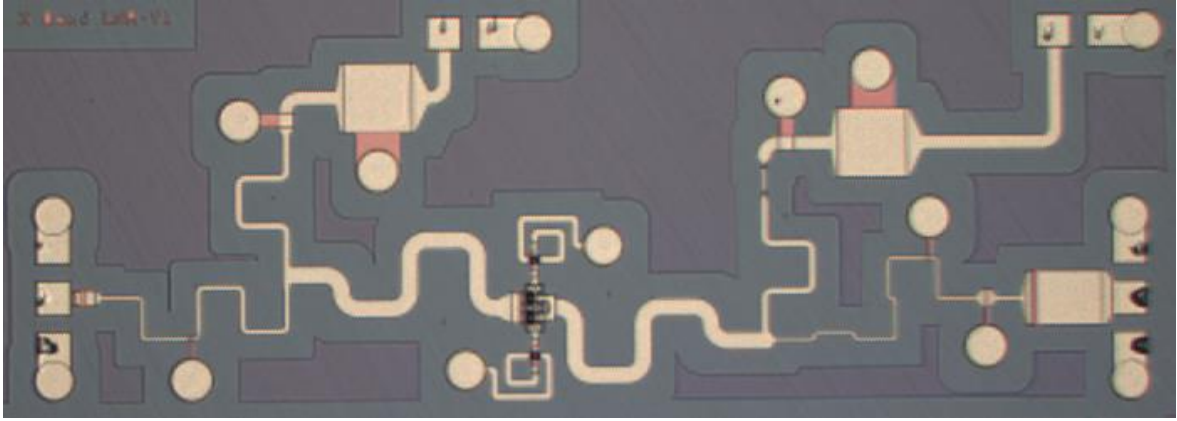


Şekil 5.23. LNA devresinin gürültü katsayısı simülasyon sonucu

6. MMIC Ölçüm Sonuçları

Bu bölümde fabrikasyon üretiminin ardından wafer üzerinde LNA tasarımının görüntüsü ve wafer üzerinde ölçüm sonuçları ve simülasyon sonuçları ile karşılaştırması anlatılacaktır.

Tasarlanan MMIC, üretim sonunda wafer üzerinde küçük sinyal, büyük sinyal ve gürültü katsayısı ölçümleri yapılması için karakterize edilir. Fabrikasyon yapılmış MMIC'in wafer üzerindeki mikroskop görüntüsü Şekil 6.1.



Şekil 6.1. LNA devresinin fabrikasyon sonrası wafer üzerindeki görüntüsü

NANOTAM'da fabrikasyon yöntemi ile üretilen bu tasarım, normal süreç adımları ile yapılmıştır. MMIC simülasyonu, simülasyon sonuçlarını ve ölçümleri karşılaştırmak için MMIC ile aynı üretimden gelen yeni transistör verileriyle de gerçekleştirilir.

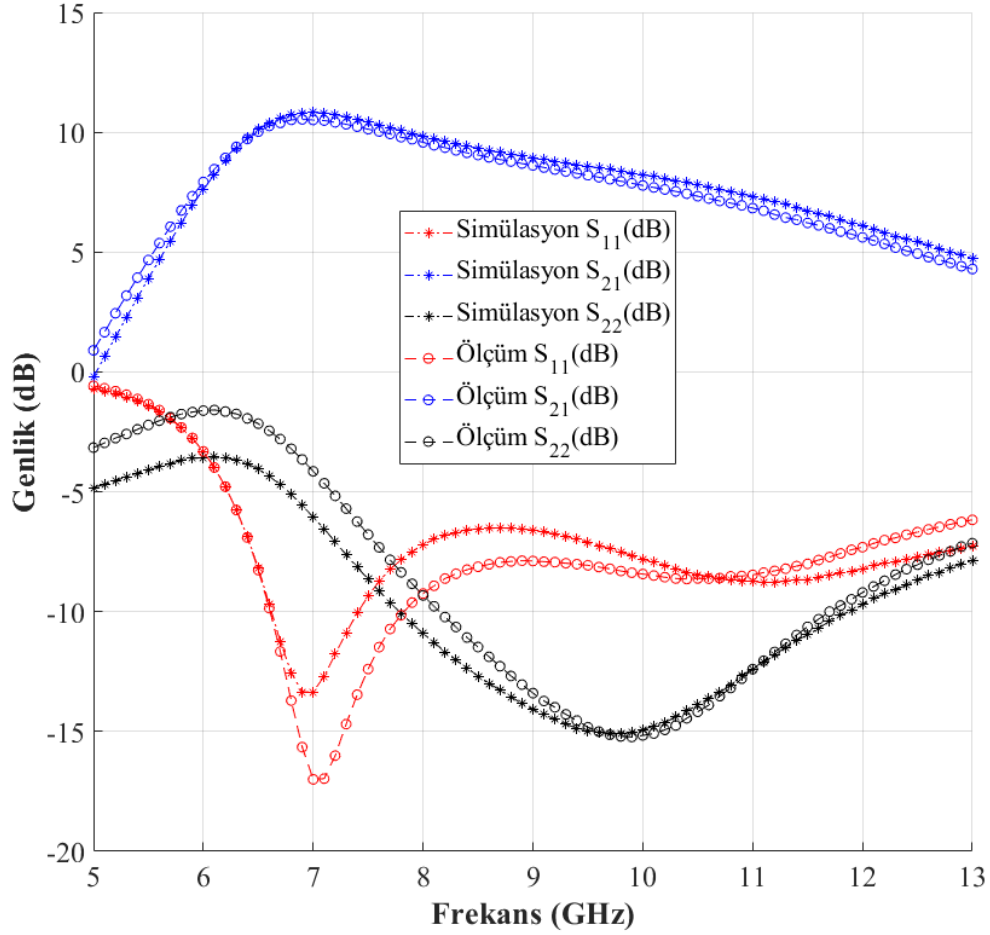
6.1. LNA Küçük İşaret Ölçüm Sonuçları

Küçük sinyal ölçümleri, Bölüm 3'te açıklandığı gibi, iki portlu karakterizasyon için bir network analizörü kullanılarak oda sıcaklığında CW işlemi altında gerçekleştirilir. Kapı ve akaç kutuplama kısmını beslemek için özelleştirilmiş DC problrı kullanılır. 9 V boşaltma gerilimi ve 20 mA ile iki portlu S-parametre sonuçları elde edilir.

İlk üretimden elde edilen MMIC'in ölçüm sonuçları aynı üretimden elde edilen transistör verilerini kullanarak MMIC simülasyonu ile RF küçük işaret sonuçlarının karşılaştırılması Şekil 6.2'de görülmektedir. Yapılan ölçüm sonuçlarına göre 8 GHz civarında 9,6 dB'lik en yüksek kazancı sağlar. 8-11 GHz aralığında, kazanç performansı 9,6 dB ile 6,9 dB arasında değişir. Ölçülen giriş yansıma kayıpları, 8 GHz'de sırasıyla 9,4 dB ve 11GHz'de 8,5 dir.

Ölçülen çıkış yansıma kayıpları, 8 GHz'de sırasıyla 9,4 dB ve 11GHz'de 12,4 dir. Ölçümler ile simülasyon sonuçlarına bakıldığında iyi bir uyum içerisinde. Giriş ve çıkış yansıma kayıplarında biraz farklılık görülmektedir. Bu da üretimdeki farklılıklar nedeniyle olabilir. Dahası, giriş ve çıkış yansıma kaybı için, transistör simülasyonlarda ayrı olarak karakterize edilebilir.

Ölçüm sonuçlarından görüldüğü gibi RF küçük işaret sonuçları üst üste çıkmıştır.



Şekil 6.2. LNA devresinin küçük işaret ölçüm ve simülasyon sonucunun karşılaştırılması

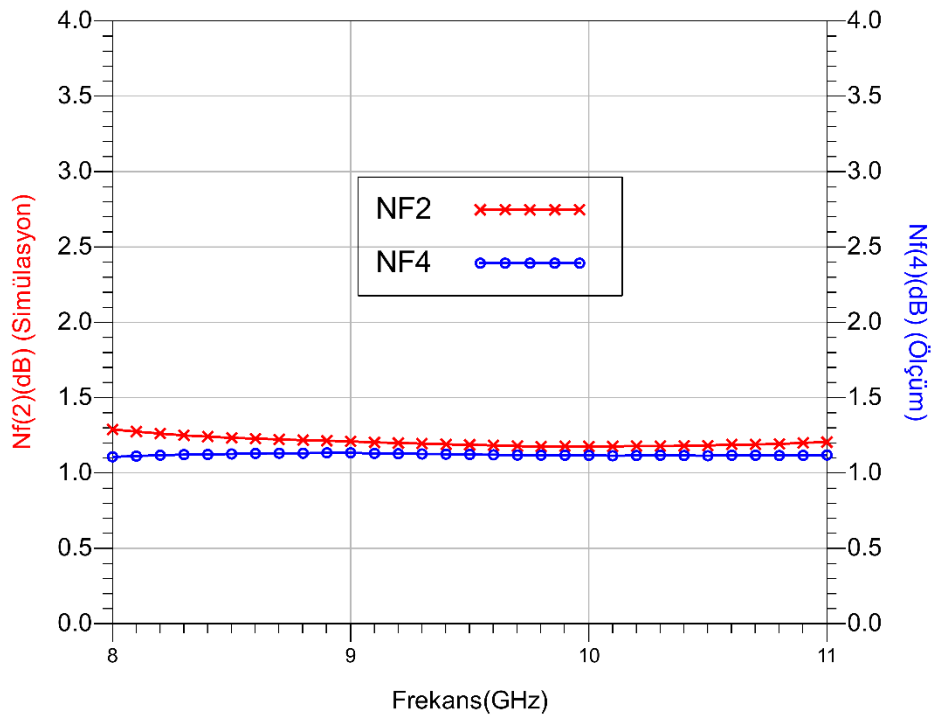
6.2. LNA Gürültü Katsayısı Ölçüm Sonuçları

Gürültü katsayısı ölçümleri, Bölüm 3'te açıklandığı gibi, iki portlu karakterizasyon için bir PNA-x kullanılarak oda sıcaklığında CW işlemi altında gerçekleştirilir. Kapı ve akaç

kutuplama kısmını beslemek için özelleştirilmiş DC problemleri kullanılır. 9 V boşaltma gerilimi ve 20 mA ile iki portlu gürültü katsayısı sonuçları elde edilir.

İlk üretimden elde edilen MMIC'in ölçüm sonuçları ile aynı üretimden elde edilen transistör verilerini kullanarak MMIC gürültü katsayısı simülasyon karşılaştırmaları Şekil 6.3'de görülmektedir. Ölçüm sonuçlarına göre, 11 GHz civarında 1,12 dB'lik en yüksek gürültü katsayısı sağlar. 8-11 GHz aralığında, gürültü katsayısı performansı 1,11 dB ile 1,12 dB arasında değişir.

Üretim sonrasında, simülasyon ve ölçüm sonuçları karşılaştırıldığında, gürültü katsayısı sonuçları benzerdir.



Şekil 6.3. LNA devresinin gürültü katsayısı ölçüm ve simülasyon sonucunun karşılaştırılması

6.3. LNA Load Pull Ölçüm Sonuçları

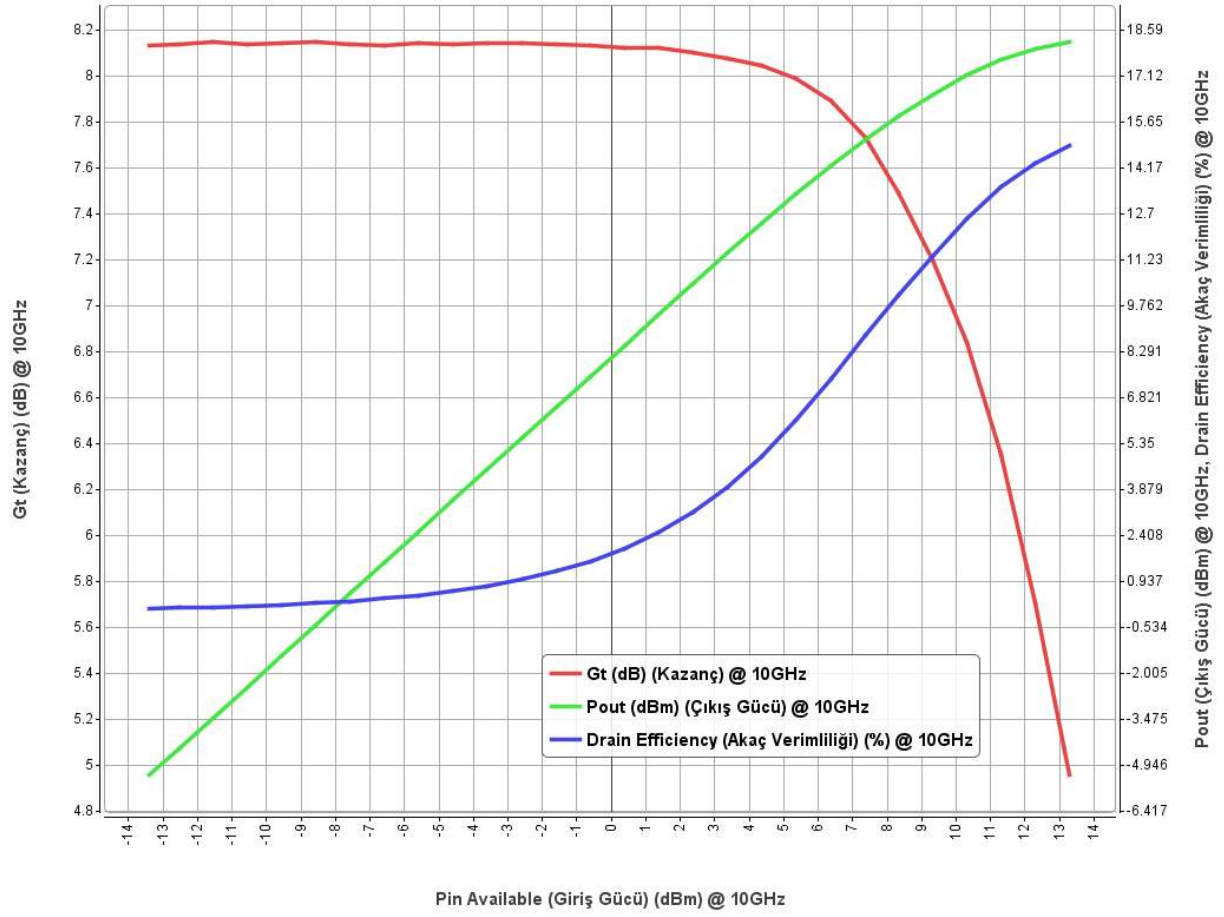
Load Pull ölçümleri, Bölüm 3'te açıklandığı gibi, iki portlu karakterizasyon için bir vektör tabanlı yük çekme ölçüm sistemi kullanılarak oda sıcaklığında 33 μ s darbe genişliği ve oda sıcaklığında 10 GHz'de % 30 görev döngüsü ile gerçekleştirilir. Kapı ve akaç kutuplama

kısmını beslemek için özelleştirilmiş DC probaları kullanılır. 9 V boşaltma gerilimi ve 20 mA ile iki portlu gürültü katsayısı sonuçları elde edilir.

MMIC, hem kapı hem de akaç kutuplama voltajları için darbeler tarafından beslenir. Böylece güç tüketimi verileri ölçüm sırasında otomatik olarak takip edilir. MMIC'e sağlanan mevcut giriş gücü, çıkış gücünü ve verimlilik performansını gözlemlemek hedeflenmiştir. Bu güç süpürme ölçümleri, MMIC için 9 V akaç voltajı ve 20 mA akaç akımı ile elde edilir.

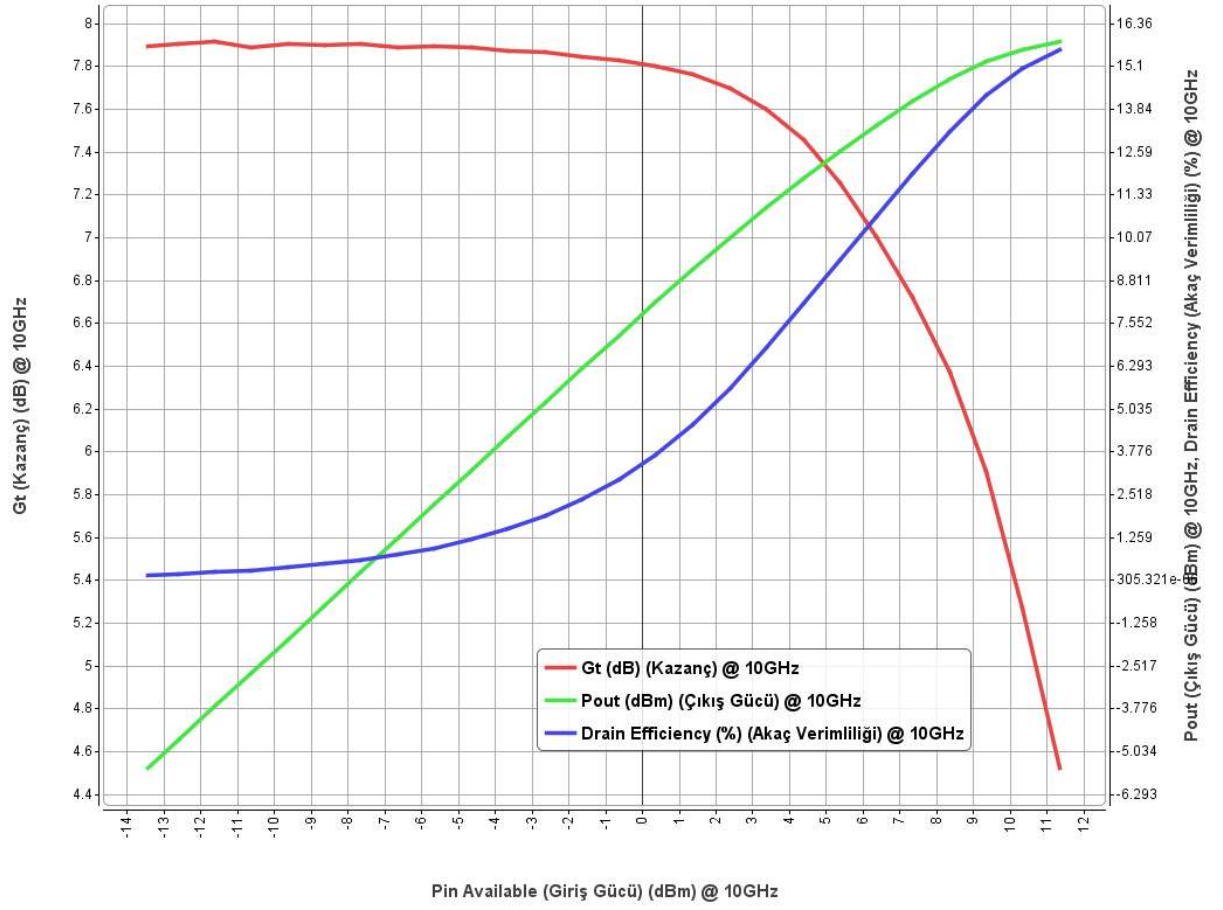
MMIC'den elde edilecek mevcut giriş gücü, çıkış gücünü ve verimlilik performansını gözlemlemek için küçük sinyal bölgesinden daha yüksek değerlere süpürülür. Bu load pull ölçümleri, MMIC için 9 V ile 12V akaç gerilimi ve 20 mA ve 30mA akaç akımı ile elde edilir.

İlk üretimden elde edilen sonuçlar Şekil 6.4'de mevcuttur. Bu ölçüm 12V 30mA akaç kutuplamasında gerçekleştirilmiştir. Ölçüm sonuçlarına göre, 1 dB kazanç sıkıştırmasında 17,19 dBm çıkış gücü verir. 3 dB sıkıştırmada 18,23 dBm çıkış çıkış gücü elde edilir. 1 dB kazanç sıkıştırmasında %12,64 ve 3 dB kazanç sıkıştırmasında %14,88 akaç verimliliği verir. Küçük işaret kazancı 10 GHz de 8,14 dB civarında elde edilmiştir.



Şekil 6.4. LNA devresinin 12V@100mA/mm kutuplama koşulundaki büyük işaret ölçüm sonucu

İlk üretimden elde edilen sonuçlar Şekil 6.5’de mevcuttur. Bu ölçüm 9V 20mA akaç kutuplamasında gerçekleştirilmiştir. Ölçüm sonuçlarına göre, 1 dB kazanç sıkıştırmasında 14,4 dBm çıkış gücü verir. 3 dB sıkıştırmada 15,84 dBm çıkış gücü elde edilir. 1 dB kazanç sıkıştırmada %12,56 ve 3 dB kazanç sıkıştırmada %15,59 akaç verimliliği verir. Küçük işaret kazancı 10 GHz de 7,92 dB civarında elde edilmiştir.



Şekil 6.5. LNA devresinin 9V@100mA/mm kutuplama koşulundaki büyük işaret ölçüm sonucu

7. TARTIŞMA VE SONUÇ

MMIC'ler, güvenilir üretimleri, düşük maliyetleri ve kompaktlıkları nedeniyle RF zincirlerinde tercih edilir. GaN üzeri SiC tabanlı HEMT'ler, yapıları yüksek güç yoğunlukları ve iyi termal özellikler gösterdiğinden, yüksek frekans ve yüksek güçlü MMIC uygulamaları için umut verici adaylardır. mm dalga frekansları için GaN HEMT'ler üzerindeki çalışma, 8-11 GHz'deki haberleşme alıcı modüllerinde, radarlar ve uydular gibi uygulamalarında ticari kullanım için tutarlıdır.

Bu tez çalışmasında X Bant uygulamalarına yönelik olarak, NANOTAM'ın kendi bünyesinde bulunan AlGaN'ı kullanılarak bir amplifikatör MMIC tasarlanmış, üretilmiş ve testi sunulmuştur. Sub-dB NF ölçüm değeri elde edilir. Yüksek kazanç ve düşük NF tasarım yaklaşımları incelenmiştir. Yüksek kazanç, düşük gürültü katsayısı, yüksek güç ve geniş bant aralığı elde edilir. Koşulsuz kararlılık, yükselteç tasarımları için önemli bir parametredir, bu tez çalışmasında LNA tasarımlarının hiçbiri salınmamıştır.

Endüktif kaynak topolojisi, hem daha iyi giriş dönüş kaybı hem de gürültü rakamı elde etmek için kullanılır. MMIC teknolojisinde boyut küçültme çok önemlidir. GaN teknolojisinde SiN katman kalınlığının kontrolü çok problemlidir ve bu üretim aşaması kapasitör değerlerini etkiler.

Tablo 7.1'de birkaç X bant MMIC çalışmasının yapılan tez çalışması ile karşılaştırmaları mevcuttur. LNA, IRL ve ORL parametreleri açısından iyidir. 2020 yılında yapılan çalışmalar dışında LNA'ların tamamı 3 aşamalıdır. Bu çalışmada önerilen LNA, diğer tüm çalışmalara göre daha düşük bir NF'ye sahiptir. Ayrıca çıkış gücü olarak tek kademeli olmasına rağmen performansı iyidir. LNA'nın boyutu, NF performansı açısından X-band Radar ve iletişim sistemlerindeki alıcı sistemler için ideal tasarım haline gelmiştir.

Tablo 7.1. Önerilen tek aşamalı kaynak dejenere LNA'nın X-bandında bildirilen verilerle karşılaştırılması

Referans	Frekans (GHz)	IRL (dB)	ORL (dB)	Kazanç (dB)	Gürültü Katsayısı (dB)	Topoloji	Üretim	Boyut (mm X mm)
[40]2013	9,7-12,9	>2	>6	20	< 2,1	2 Katlı	0,25µm GaN / SiC HEMT	1,7x0,8
[41]2016	8-10	>2	>12	25,5	< 1,3	3 Katlı	0,25µm GaN / SiC HEMT	3,0x1,5
[41] 2016	8-12	>10	>10	24,8	1,3-1,75	3 Katlı	0,25µm GaN / SiC HEMT	3,0x1,5
[42]2016	8-11	>6	>10	>23	< 3	3 Katlı	0,25µm GaN / SiC HEMT	2,72x1,16
[43]2017	9-11 8-11	>11	>4	>13,5 >11	< 2,2	Kaskod	0,15µm GaN / SiC HEMT	-
[44] 2018	8-11	>9,1	>10	>22	< 2	3 Katlı	0,25µm GaN / SiC HEMT	2,8x1,3
[45]2020	8-11	>9,8	>12,8	>8	< 1,4	1 Katlı	0,15µm AlGaIn / GaN HEMT	1,8x2,0
[45] 2020	8-11	>8,8	>10	>16,8	< 1,7	2 Katlı	0,15µm AlGaIn / GaN HEMT	2,8x2,3
Bu Çalışma	8-11	>8,5	>9,5	>6,9	< 1,1	1 Katlı	0,15µm AlGaIn / GaN HEMT	3,0x1,2

Gelecekteki çalışmalar için, geniş bant LNA tasarımı için kaskod topolojisi incelenebilir [42]. Giriş gücü işleme kapasitesini artırmak için kararlılık üzerinde çalışılacaktır. Yüksek çıkış gücü elde etmek için çıkış eşleme devreleri güncellenecektir. Boyut tek katlı olduğu için daha optimum olması adına küçültülebilir. Kazancı arttırmak adına çok katlı tasarım çalışmaları denenebilir. Yeni tasarım yaklaşımları incelenebilir, geri dönüşlü tasarımlar. Yeni nesil LNA tasarımlarında özellikle 5G uygulamaları için alışılmış LNA tasarımlarına göre çok bantlı uygulamalar tercih edilecektir.

KAYNAKÇA

- [1] A. Khan, *Appl. Phys. Lett.*, pp. Vol. 62, pp 1786-1787, 1993.
- [2] M. Micovic, D. F. Brown, D. Regan, J. Wong, Y. Tang, F. Herrault and D. Santos, "High Frequency GaN HEMTs for RF MMIC Applications," in *2016 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2016.
- [3] M. Rudolph, "GaN HEMTs for low-noise amplification status and challenges," in *2017 International Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits (INMMIC)*, Graz, Austria, April 20-21, 2017.
- [4] R. Foster, "MMICs vs. Discrete Circuits, What Are The Trade-Offs," 15 October 2019. Available: <http://www.rfglobalnet.com>.
- [5] S. Oliver, "Optimize a Power Scheme for these Transient Times," 30 September 2014. Available: <https://www.electronicdesign.com>.
- [6] SemiconductorToday, "GaN to grow at 9% CAGR to over 18% of RF device market by 2020," 4 June 2014. Available: <http://www.semiconductor-today.com/>.
- [7] B. Çankaya Akoğlu, "GaN HEMT BASED MMIC DESIGN AND FABRICATION FOR Ka-BAND APPLICATIONS," Master's thesis, Bilkent University, 2020.
- [8] W. Bi, H. Kuo, P. Ku and B. Shen, *Handbook of GaN Semiconductor Materials and Devices*, CRC Press, 2017.
- [9] F. Medjdoub, *Gallium Nitride (GaN): Physics, Devices, and Technology. Devices, Circuits, and Systems*, 1st Edition ed., CRC Press, 2017.
- [10] K. Mishra, L. Shen, T. E. Kazior and Y. . -F. Wu, "GaN-based RF power devices and amplifiers," in *Proceedings of the IEEE*, 2008.

- [11] S. Colangeli, A. Bentini, W. Ciccognani and E. Limiti, "GaN-Based Robust Low-Noise Amplifiers," *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 3238-3248, 2013.
- [12] Wikipedia, "Transistor," Available: <https://tr.wikipedia.org/wiki/Transist%C3%B6r>. [Accessed 10 04 2022].
- [13] R. W. Price, Roadmap To Entrepreneurial Success, AMACOM, 2004.
- [14] Wikipedia, "Wide-bandgap semiconductor," Available: https://en.wikipedia.org/wiki/Wide-bandgap_semiconductor. [Accessed 10 04 2022].
- [15] I. J. Bahl, Fundamentals of RF and Microwave Transistor Amplifiers, USA: Wiley-Interscience, 2009.
- [16] T. Mimura, "The early history of the high electron mobility transistor (HEMT)," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, pp. 780-782, 2002.
- [17] Y. Nakayama , K. Suyama, H. Shimizu, N. Yokoyama, H. Ohnishi, A. Shibatomi and H. Ishikawa, "A GaAs 16x16 bit parallel multiplier," *IEEE Journal of Solid-State Circuits*, vol. 18, no. 5, pp. 599-603, 1983.
- [18] M. Freng, C. L. Lau, V. Eu and C. Ito, "Does the two-dimensional electron gas effect contribute to high-frequency and high speed performance of field-effect transistors," *Applied Physics Letters*, vol. 57, no. 1233, 1990.
- [19] S. Zafar, "Design of single and double gate HEMT in TCAD for high frequency applications," Master's thesis, National University of Science and Technology, Rawalpindi, 2009.
- [20] H. Harima, "Properties of GaN and related compounds studied by means of Raman scattering," *Journal of Physics: Condensed Matter*, vol. 14, no. 38, p. R967–R993, 2002.

- [21] H. Morkoç, Nitride Semiconductors and Devices, Germany: Springer-Verlag Berlin Heidelberg, 8-9, 1999.
- [22] M. Sumiya and S. Fuke, "Review of polarity determination and control of GaN," *Materials Research Society (MRS) Internet Journal Nitride Semiconductor Research*, vol. 9, no. 1, pp. 1-34, 2004.
- [23] V. D. Murugesan, "Quantum well photoluminescence under the influence of externally applied electric field," Master's thesis, Ulm University, Germany, 2016.
- [24] J. J. Coleman, "Strained Semiconductor Layers Shift the Paradigm," EETimes, 17 06 2021. Available: <https://www.eetimes.com/strained-semiconductor-layers-shift-the-paradigm/>.
- [25] X. He, Z. De-Gang and D. Jiang, "Formation of two-dimensional electron gas at AlGa_N/Ga_N heterostructure and the derivation of its sheet density expression," *Chinese Physics B*, vol. 24, no. 6, pp. 067301-1-067301-5, 2015.
- [26] A. Toprak, "EFFECT OF GATE LENGTH ON POWER PERFORMANCE OF GaN HEMT DEVICES," Master's thesis, Hacettepe University, Ankara, 2014.
- [27] U. Singiseti, T. Razzak and Y. Zhang, Wide Bandgap Semiconductor Electronics and Devices (Selected Topics in Electronics and Systems), World Scientific Publishing, 2020.
- [28] S. Gustafsson, J. Chen, J. Bergsten, U. Forsberg, M. Thorsell, E. Janzén and N. Rorsman, "Dispersive Effects in Microwave AlGa_N/AlN/GaN HEMTs With Carbon-Doped Buffer," *IEEE Transactions on Electron Devices*, vol. 62, no. 7, p. 2162–2169, 2015.
- [29] Y. Kawada, H. Hanawa and K. Horio, "Effects of acceptors in a Fe-doped buffer layer on breakdown characteristics of AlGa_N/Ga_N high electron mobility transistors

with a high-k passivation layer," *Japanese Journal of Applied Physics*, vol. 56, p. 108003, 2017 The Japan Society of Applied Physics.

- [30] F. Medjdoub, Gallium Nitride (GaN): Physics, Devices, and Technology, vol. 1st Edition, Taylor & Francis, 2017.
- [31] D. M. Pozar, Microwave Engineering, 4th Edition ed., United States of America: Wiley JohnWiley & Sons, Inc, 2011.
- [32] H. Çakmak, M. Öztürk, E. Özbay and B. İmer, "Nonalloyed Ohmic Contacts in AlGaIn/GaN HEMTs With MOCVD Regrowth of InGaIn for Ka-Band Applications," *IEEE Transactions on Electron Devices*, vol. 68, no. 3, pp. 1006-1010, 2021.
- [33] M. Taşcı, "S-BAND GAN BASED LOW NOISE MMIC AMPLIFIER DESIGN AND CHARACTERIZATION," Master's thesis, Bilkent University, Ankara, 2019.
- [34] F. H. Raab, P. Asbeck, S. Cripps, P. B. Kenington, Z. B. Popovic, N. Potheary, J. F. Sevic and N. O. Sokal, "Power amplifiers and transmitters for RF and Microwave," *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 3, p. 814–826, 2002.
- [35] R. J. Fontana, E. A. Richley, L. C. Beard and J. Barney, "A programmable ultra wideband signal generator for electromagnetic susceptibility testing," in *Ultra Wideband Systems and Technologies*, DAPRA, Jun 2003.
- [36] A. Janmejy, "Design and analysis of ultra wide band CMOS LNA," Master's thesis, San José State University, United States of America, 2007.
- [37] M. Golio and J. Golio, "The RF and Microwave Handbook," in *The RF and Microwave Handbook*, CRC Press LLC, 2008.
- [38] J. Kim, "A New GaN HEMT Small-Signal Model Considering Source via Effects for 5G Millimeter-Wave Power Amplifier Design," *Applied Sciences*, vol. 11, no. 19, pp. 1-14, 2021.

- [39] M. Radmanesh, *Radio Frequency and Microwave Electronics Illustrated*, Prentice Hall PTR, 2001.
- [40] W. Chang, J. Mun and L. Sangheung, "X-band low noise amplifier MMIC using AlGaIn/GaN HEMT technology on SiC substrate," *Microwave and Optical Technology Letters*, vol. 56, no. 1, pp. 96-99, 2014.
- [41] M. Vittori, S. Colangeli, W. Ciccognani, A. Salvucci and G. Po, "High performance X-band LNAs using a 0.25 μm GaN technology," in *2017 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, Italy, 2017.
- [42] B. Kim and W. Gao, "X-Band Robust Current-Shared GaN Low Noise Amplifier for Receiver Applications," in *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, USA, 2016.
- [43] K. W. Kobayashi, C. Campbell, C. Lee, J. Gallagher and A. Botelho, "A reconfigurable S-/X-band GaN cascode LNA MMIC," in *2017 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, USA, 2017.
- [44] O. Kazan, F. Kocer and Ö. Aydin Civi, "An X-Band Robust GaN Low-Noise Amplifier MMIC with Sub 2 dB Noise Figure," in *2018 13th European Microwave Integrated Circuits Conference (EuMIC)*, Spain, 2018.
- [45] S. Zafar, S. Osmanoglu, M. Ozturk, B. Cankaya, D. Yilmaz, A. Kashif and E. Ozbay, "GaN based LNA MMICs for X-Band Applications," in *2020 17th International Bhurban Conference on Applied Sciences and Technology (IBCAST)*, Pakistan, 2020.